



(12) 发明专利

(10) 授权公告号 CN 110063750 B

(45) 授权公告日 2021.10.22

(21) 申请号 201910332138.4

审查员 熊狮

(22) 申请日 2019.04.24

(65) 同一申请的已公布的文献号

申请公布号 CN 110063750 A

(43) 申请公布日 2019.07.30

(73) 专利权人 飞依诺科技(苏州)有限公司

地址 215123 江苏省苏州市工业园区新发
路27号A栋5楼、C栋4楼

(72) 发明人 杨业 贾志远 吕铁军

(74) 专利代理机构 苏州威世朋知识产权代理事
务所(普通合伙) 32235

代理人 苏婷婷

(51) Int.Cl.

A61B 8/00 (2006.01)

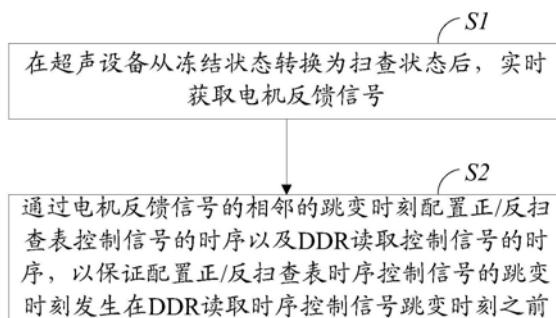
权利要求书2页 说明书8页 附图4页

(54) 发明名称

四维超声扫查时序配置方法及配置系统

(57) 摘要

本发明提供一种四维超声扫查时序配置方法及配置系统,所述方法包括:S1、在超声设备从冻结状态转换为扫查状态后,实时获取电机反馈信号;S2、通过电机反馈信号的相邻的跳变时刻配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前;本发明的四维超声扫查时序配置方法及配置系统,基于电机反馈信号配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以在同一时钟域调整各个信号的时序,简化了4D扫查的控制逻辑,提升扫查效率。



1. 一种四维超声扫查时序配置方法,其特征在于,所述方法包括以下步骤:

S1、在超声设备从冻结状态转换为扫查状态后,实时获取电机反馈信号;

S2、通过电机反馈信号的相邻的跳变时刻配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前;

所述电机反馈信号、正/反扫查表控制信号以及DDR读取控制信号均为高、低信号跳变时序;

电机反馈信号每次跳变后,其对应的每一高电平期间或低电平期间表示电机正向扫查和反向扫查的转换,其相邻的后一个低电平期间或高电平期间表示正向扫查期间或反向扫查期间的所有扫查线的数据配置、扫查及发送;

正/反扫查表控制信号的高、低信号跳变时,表示正向扫查表和反向扫查表的转换;所述正向扫查表用于存储正向扫查时对应于扫查线的配置数据,所述反向扫查表用于存储反向扫查时对应于扫查线的配置数据;

DDR读取控制信号的每一高电平期间或低电平期间表示读取任一根扫查线的配置数据;其相邻的后一个低电平或高电平期间表示匹配一根扫查线配置数据的扫查阶段;

所述步骤S2具体包括:

在同一个电机反馈信号到来时的跳变开始时刻,配置正/反扫查表控制信号发生跳变,并在该电机反馈信号到来时的跳变结束时刻,配置DDR读取时序控制信号跳变。

2. 根据权利要求1所述的四维超声扫查时序配置方法,其特征在于,

所述步骤S2还包括:

配置正/反扫查表控制信号在超声设备的冻结状态时始终为高电平,配置正/反扫查表控制信号低电平期间为正向扫查;配置正/反扫查表控制信号高电平期间为反向扫查;

或者配置正/反扫查表控制信号在超声设备的冻结状态时始终为低电平,配置正/反扫查表控制信号高电平期间为正向扫查;配置正/反扫查表控制信号低电平期间为反向扫查。

3. 根据权利要求1所述的四维超声扫查时序配置方法,其特征在于,

在同一电机反馈信号发生期间,清空FIFO中记载的前次扫查所对应的最后一根扫查线的配置数据。

4. 根据权利要求3所述的四维超声扫查时序配置方法,其特征在于,

在同一电机反馈信号的跳变结束时刻,根据正/反扫查表控制信号的指向,读取其对应的第一根扫查线的配置数据并存入fifo缓存中等待发送。

5. 一种四维超声扫查时序配置系统,其特征在于,所述系统包括:

获取模块,用于在超声设备从冻结状态转换为扫查状态后,实时获取电机反馈信号;

配置模块,用于通过电机反馈信号的相邻的跳变时刻配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前;

所述电机反馈信号、正/反扫查表控制信号以及DDR读取控制信号均为高、低信号跳变时序;

电机反馈信号每次跳变后,其对应的每一高电平期间或低电平期间表示电机正向扫查和反向扫查的转换,其相邻的后一个低电平期间或高电平期间表示正向扫查期间或反向扫

查期间的所有扫查线的数据配置、扫查及发送；

正/反扫查表控制信号的高、低信号跳变时，表示正向扫查表和反向扫查表的转换；所述正向扫查表用于存储正向扫查时对应于扫查线的配置数据，所述反向扫查表用于存储反向扫查时对应于扫查线的配置数据；

DDR读取控制信号的每一高电平期间或低电平期间表示读取任一根扫查线的配置数据；其相邻的后一个低电平或高电平期间表示匹配一根扫查线配置数据的扫查阶段；

所述配置模块具体用于：在同一个电机反馈信号到来时的跳变开始时刻，配置正/反扫查表控制信号发生跳变，并在该电机反馈信号到来时的跳变结束时刻，配置DDR读取时序控制信号跳变。

6. 根据权利要求5所述的四维超声扫查时序配置系统，其特征在于，

所述配置模块还用于：配置正/反扫查表控制信号在超声设备的冻结状态时始终为高电平，配置正/反扫查表控制信号低电平期间为正向扫查；配置正/反扫查表控制信号高电平期间为反向扫查；

或者配置正/反扫查表控制信号在超声设备的冻结状态时始终为低电平，配置正/反扫查表控制信号高电平期间为正向扫查；配置正/反扫查表控制信号低电平期间为反向扫查。

7. 根据权利要求5所述的四维超声扫查时序配置系统，其特征在于，

所述配置模块具体用于：在同一电机反馈信号发生期间，清空FIFO中记载的前次扫查所对应的最后一根扫查线的配置数据。

8. 根据权利要求7所述的四维超声扫查时序配置系统，其特征在于，

所述配置模块具体用于：

在同一电机反馈信号的跳变结束时刻，根据正/反扫查表控制信号的指向，读取其对应的第一根扫查线的配置数据并存入fifo缓存中等待发送。

四维超声扫查时序配置方法及配置系统

技术领域

[0001] 本发明属于医疗超声技术领域,主要涉及一种四维超声扫查时序配置方法及配置系统。

背景技术

[0002] 超声成像因为其无创性、实时性、操作方便、价格便宜等诸多优势,使其成为临床上应用最为广泛的诊断工具之一。超声成像过程中:探头发射聚焦超声波束,探头各基元接收超声回波信号并进入每一个通道进行放大、滤波处理,通道级信号进行波束合成得到射频信号(RF信号),重复上述扫查过程直至得到一定线密度的一帧射频信号,射频信号经过解调滤波处理得到正交信号(IQ信号),正交信号经过处理得到图像,图像经过后处理最终经显示器显示输出。

[0003] 彩色超声诊断仪以其独有的实时动态特性,成为现代医学不可或缺的辅助诊断的手段之一,在临床诊断中成为某些病症的判断标准。

[0004] 如图1所示,超声设备的工作时序图中,Freeze信号为高表示冻结阶段,为低表示超声设备处于扫查阶段,每一次trig信号表示一线数据的扫查,N根线信号组合起来形成一幅超声图像;一般来说,每一根扫查线都具有对应的配置信息,超声设备工作过程中,trig的高电平期间将当前扫查线对应的配置信息发送到相应的硬件中,在低电平期间发送波形并接收回波数据。具体的,在Freeze信号为高期间,所有扫查线对应的配置信息由PC组织一次性下发到下位机DDR存储设备(Double Data Rate双倍速率)中,在扫查的时候,下位机主控芯片FPGA(Field-Programmable Gate Array,现场可编程门阵列)根据当前扫查线的线号和线长参数找到需要读取扫查线位置,并把其对应的配置信息读取出来以在trig高电平期间下发。

[0005] 现有技术中,DDR存储空闲被扫插线配置数据分成若干个存储块,每次trig高电平都会解析一个存储块的数据,即一条扫查线的配置信息,并在trig的下降沿,读出下一根扫查的扫查线对应的配置信息,存入fifo(First Input First Output,先入先出队列)中,以在下一次的trig高电平期间解析。

[0006] 需要说明的是,在上述扫查过程中,需要逐条读取每根扫查线的配置数据并发送,当最后一根扫查线被读取完成后,DDR指针会跳到起始的第一根线中,再次重复发送扫查信息,直到接收到冻结命令后结束本次扫查。

[0007] 4维超声扫查(4D)是一种特殊的超声扫查机制,其能够显示被扫查对象的3D模型,4D就是3D的连续扫查模式。在4D成像过程中,在4D探头中内置一个电机,冻结期间或者处于2D期间,电机是停在中间位置的。在进入到4D期间,电机就会左右摆动,每一次电机从探头的一边运动到另一边,并在到达另一边后再反向运动至出发的一边,在电机往复运动过程中,当电机到达探头一边的时候都会产生一个电机反馈信号MFS(Motor Feedback Signal)给主控芯片FPGA,如此循环往复直到接收到冻结或者退出4D命令,以结束扫查。

[0008] 结合图2所示,描述了在4D扫查过程中探头中电机的运动方式。由于4D扫查模式是

3D扫查的维度衍生,如图2所示,在超声设备从冻结状态转换为扫查状态后,电机开始运动,当产生第一个MFS的时候,扫查开始,电机从探头的一边运动到另一边所扫查过的全部数据称之为一个volumn,当一个volumn的数据全部扫查完成后,就开始等待下一个MFS信号;需要说明的是,扫查一次volumn的时间 t 的长度须要小于电机从一边运动到另一边的周期时间 T 。

[0009] 结合图3所示,以图中的时序为例, t_0 代表解冻时刻, t_1 时刻接收到第一个电机反馈信号MFS, t_0 到 t_1 时间段,是电机从中心位置第一次运动到边的时候,此时系统是没有扫查的;当接收到第一个MFS后,FPGA从DDR中读取第一根线的配置数据并且产生第一个扫查trig信号; t_2 到 t_3 时间段为电机正扫时间,最后一根线扫查完成后扫查暂停,并等待 t_4 时刻开始反扫,如此循环,直到结束4D扫查。

[0010] 结合图4所示,在冻结期间,PC把全部的扫查线下发到DDR中存储起来,在扫查的时候,把每条线的配置数据逐条读取出来,并经过fifo缓存后下发到前端扫查中。

[0011] 结合图5所示,在 t_0 时刻,系统解冻,并将第一条线的配置数据读取出来并存入fifo,在第一个trig高电平期间,即 t_1 ,读取fifo中的数据并下发到前端,当trig的下降沿产生后从DDR中读取下一根线的配置信息并写入fifo中,依次类推直到冻结后清空缓存。

[0012] 结合图6所示,在2D模式下只有Scan_A,解冻之后,从Start_addr开始读取每一条线的配置数据。如果是在4D模式下,在冻结期间是下发两个扫查表Scan_A和Scan_B,分别存储在DDR的不同位置。当电机正向扫查的时候,执行Scan_A,反向扫查的时候,执行Scan_B,如此,会涉及到扫查表跳转,需要在正向扫查的最后一根线的trig下降沿后及时读取Scan_B的start_addr。

[0013] 结合图7、图8所示,图7、图8是现有技术的4D模式下的跳转时序。在第一个与第二个motor_sig之间,电机处于正向扫查阶段,在第二个与第三个motor_sig之间,电机处于反向扫查阶段。图7中所示的 t_0 是第一根线开始扫查的时刻, t_1 是正扫的最后一根线配置完成,此时需要注意要读取Scan_B的第一根线的配置数据并缓存到fifo中。同理, t_2 时刻是反扫的最后一根线配置完成,在他的trig下降沿需要读取并缓存Scan_A的第一根线配置数据,依次循环,直到结束本次扫查。

[0014] 图8所示4D跳转时序,通过Scan_sel信号和Read_cfg信号控制时序跳转,相应的,Scan_sel表示扫查表选择信号,0的时候为A表,1的时候为B表,Read_cfg高电平表示从DDR中读取参数的时间段;在motor_sig前面是Scan_A的最后一根线,后面是Scan_B的第一根线。

[0015] 然而,扫查的关键在于每次在电机翻转前要准确定位到本次扫查的最后一根线,定位之后需要先把扫查表控制信号翻转再开始读取配置参数,现有技术中的4D跳转时序中,Scan_sel信号和Read_cfg信号的产生,不在同一个时钟域,如此,在现有技术的4D时序中,时序控制过程中,Scan_sel跳变的时刻可能会发生在Read_cfg之后,此时,最后一根线时,读取的可能是与当前扫查方向相同的扫查方向所对应的第一根线,导致扫查时序错乱。

发明内容

[0016] 为解决上述技术问题,本发明的目的在于提供一种四维超声扫查时序配置方法及配置系统。

[0017] 为了实现上述发明目的之一,本发明一实施方式提供一种四维超声扫查时序配置方法,所述方法包括:S1、在超声设备从冻结状态转换为扫查状态后,实时获取电机反馈信号;

[0018] S2、通过电机反馈信号的相邻的跳变时刻配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前;

[0019] 所述电机反馈信号、正/反扫查表控制信号以及DDR读取控制信号均为高、低信号跳变时序;

[0020] 电机反馈信号每次跳变后,其对应的每一高电平期间或低电平期间表示电机正向扫查和反向扫查的转换,其相邻的后一个低电平期间或高电平期间表示正向扫查期间或反向扫查期间的所有扫查线的数据配置、扫查及发送;

[0021] 正/反扫查表控制信号的高、低信号跳变时,表示正向扫查表和反向扫查表的转换;所述正向扫查表用于存储正向扫查时对应于扫查线的配置数据,所述反向扫查表用于存储反向扫查时对应于扫查线的配置数据;

[0022] DDR读取控制信号的每一高电平期间或低电平期间表示读取任一根扫查线的配置数据;其相邻的后一个低电平或高电平期间表示匹配一根扫查线配置数据的扫查阶段。

[0023] 作为本发明一实施方式的进一步改进,所述步骤S2具体包括:

[0024] 在同一个电机反馈信号到来时的跳变开始时刻,配置正/反扫查表控制信号发生跳变,并在该电机反馈信号到来时的跳变结束时刻,配置DDR读取时序控制信号跳变。

[0025] 作为本发明一实施方式的进一步改进,所述步骤S2还包括:

[0026] 配置正/反扫查表控制信号在超声设备的冻结状态时始终为高电平,配置正/反扫查表控制信号低电平期间为正向扫查;配置正/反扫查表控制信号高电平期间为反向扫查;

[0027] 或者配置正/反扫查表控制信号在超声设备的冻结状态时始终为低电平,配置正/反扫查表控制信号高电平期间为正向扫查;配置正/反扫查表控制信号低电平期间为反向扫查。

[0028] 作为本发明一实施方式的进一步改进,在同一电机反馈信号发生期间,清空FIFO中记载的前次扫查所对应的最后一根扫查线的配置数据。

[0029] 作为本发明一实施方式的进一步改进,在同一电机反馈信号的跳变结束时刻,根据正/反扫查表控制信号的指向,读取其对应的第一根扫查线的配置数据并存入fifo缓存中等待发送。

[0030] 为了实现上述发明目的之一,本发明一实施方式提供一种四维超声扫查时序配置系统,所述系统包括:获取模块,用于在超声设备从冻结状态转换为扫查状态后,实时获取电机反馈信号;

[0031] 配置模块,用于通过电机反馈信号的相邻的跳变时刻配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前;

[0032] 所述电机反馈信号、正/反扫查表控制信号以及DDR读取控制信号均为高、低信号跳变时序;

[0033] 电机反馈信号每次跳变后,其对应的每一高电平期间或低电平期间表示电机正向

扫查和反向扫查的转换,其相邻的后一个低电平期间或高电平期间表示正向扫查期间或反向扫查期间的所有扫查线的数据配置、扫查及发送;

[0034] 正/反扫查表控制信号的高、低信号跳变时,表示正向扫查表和反向扫查表的转换;所述正向扫查表用于存储正向扫查时对应于扫查线的配置数据,所述反向扫查表用于存储反向扫查时对应于扫查线的配置数据;

[0035] DDR读取控制信号的每一高电平期间或低电平期间表示读取任一根扫查线的配置数据;其相邻的后一个低电平或高电平期间表示匹配一根扫查线配置数据的扫查阶段。

[0036] 作为本发明一实施方式的进一步改进,所述配置模块具体用于:在同一个电机反馈信号到来时的跳变开始时刻,配置正/反扫查表控制信号发生跳变,并在该电机反馈信号到来时的跳变结束时刻,配置DDR读取时序控制信号跳变。

[0037] 作为本发明一实施方式的进一步改进,所述配置模块还用于:配置正/反扫查表控制信号在超声设备的冻结状态时始终为高电平,配置正/反扫查表控制信号低电平期间为正向扫查;配置正/反扫查表控制信号高电平期间为反向扫查;

[0038] 或者配置正/反扫查表控制信号在超声设备的冻结状态时始终为低电平,配置正/反扫查表控制信号高电平期间为正向扫查;配置正/反扫查表控制信号低电平期间为反向扫查。

[0039] 作为本发明一实施方式的进一步改进,所述配置模块具体用于:在同一电机反馈信号发生期间,清空FIFO中记载的前次扫查所对应的最后一根扫查线的配置数据。

[0040] 作为本发明一实施方式的进一步改进,所述配置模块具体用于:在同一电机反馈信号发生期间,清空FIFO中记载的前次扫查所对应的最后一根扫查线的配置数据。

[0041] 与现有技术相比,本发明的有益效果是:本发明的四维超声扫查时序配置方法及配置系统,基于电机反馈信号配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以在同一时钟域调整各个信号的时序,简化了4D扫查的控制逻辑,提升扫查效率。

附图说明

[0042] 图1是背景技术中涉及的超声系统工作基本时序图;

[0043] 图2是背景技术中涉及的4D探头的正面示意图;

[0044] 图3是背景技术中涉及的4D扫查时序;

[0045] 图4是背景技术中4D扫查过程中涉及到的硬件结构示意图;

[0046] 图5是背景技术中涉及的下发配置数据的波形图;

[0047] 图6是背景技术中涉及的DDR存储示意图;

[0048] 图7、图8是背景技术中涉及的4D模式下的跳转时序;

[0049] 图9是本发明一实施方式提供的四维超声扫查时序配置方法的流程示意图;

[0050] 图10是本发明一具体示例的4D模式下的跳转时序图;

[0051] 图11本发明一实施方式中四维超声扫查时序配置系统的模块示意图。

具体实施方式

[0052] 以下将结合附图所示的具体实施方式对本发明进行详细描述。但这些实施方式并不限制本发明,本领域的普通技术人员根据这些实施方式所做出的结构、方法、或功能上的

变换均包含在本发明的保护范围内。

[0053] 需要说明的是,本发明主要应用于超声设备,相应的,所述待测物可为待测组织,在此不做详细赘述。

[0054] 结合图9、图10所示,本发明一实施方式提供的四维超声扫查时序配置方法,所述方法包括:

[0055] S1、在超声设备从冻结状态转换为扫查状态后,实时获取电机反馈信号。

[0056] 本发明具体实施方式中,通过设置冻结信号Freeze来控制超声设备的工作状态,若冻结信号为高电平或低电平其中之一,则判断超声设备处于冻结状态,若冻结信号为高电平或低电平其中另一,则判断超声设备处于扫查状态。

[0057] 电机反馈信号Motor_sig,为高、低信号跳变时序;电机反馈信号每次跳变后,其对应的每一高电平期间或低电平期间表示电机正向扫查和反向扫查的转换,其相邻的后一个低电平期间或高电平期间表示正向扫查期间或反向扫查期间的所有扫查线的数据配置、扫查及发送;

[0058] 相应的,配置一DDR存储设备,在超声设备处于冻结状态,PC组织好所有扫查线的配置信息,并将全部扫查线配置信息一次性下发到所述DDR存储设备中,根据扫查线的扫查顺序将每根扫查线的配置信息独立并顺序的存储于所述DDR存储设备的每一存储块中。

[0059] 进一步的,为扫查线配置一Trig信号,在超声设备处于扫查状态,且当对应当前扫查线的trig信号为高电平或低电平其中之一时,表示当前扫查线处于参数解析配置阶段,当对应当前扫查线的trig信号为高电平或低电平其中另一时,表示当前扫查线处于扫查阶段。

[0060] S2、通过电机反馈信号的相邻的跳变时刻配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前。

[0061] 相应的,本发明配置的正/反扫查表控制信号Scan_sel以及DDR读取控制信号Read_cfg也均为高、低信号跳变时序;正/反扫查表控制信号的高、低信号跳变时,表示正向扫查表和反向扫查表的转换;所述正向扫查表用于存储正向扫查时对应于扫查线的配置数据,所述反向扫查表用于存储反向扫查时对应于扫查线的配置数据;DDR读取控制信号的每一高电平期间或低电平期间表示读取任一根扫查线的配置数据;其相邻的后一个低电平或高电平期间表示匹配一根扫查线配置数据的扫查阶段。

[0062] 本发明具体方式中,所述步骤S2具体包括:在同一个电机反馈信号到来时的跳变开始时刻,配置正/反扫查表控制信号发生跳变,并在该电机反馈信号到来时的跳变结束时刻,配置DDR读取时序控制信号跳变。

[0063] 在本发明较佳实施方式中,所述步骤S2还包括:配置正/反扫查表控制信号在超声设备的冻结状态时始终为高电平,配置正/反扫查表控制信号低电平期间为正向扫查;配置正/反扫查表控制信号高电平期间为反向扫查;或者配置正/反扫查表控制信号在超声设备的冻结状态时始终为低电平,配置正/反扫查表控制信号高电平期间为正向扫查;配置正/反扫查表控制信号低电平期间为反向扫查。

[0064] 如此,本发明可以保证在同一时钟域下更新配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR

读取时序控制信号跳变时刻之前。

[0065] 本发明较佳实施方式中,为了避免正反扫查时的数据混淆,所述步骤S2还包括:在同一电机反馈信号发生期间,清空FIFO中记载的前次扫查所对应的最后一根扫查线的配置数据,并在同一电机反馈信号的跳变结束时刻,根据正/反扫查表控制信号的指向,读取其对应的第一根扫查线的配置数据并存入fifo缓存中等待发送。

[0066] 相应的,配置DDR读取时序控制信号为高电平或低电平其中之一时,其表示正向扫查,为另一时,表示反向扫查。

[0067] 进一步的所述方法还包括:根据正/反扫查表控制信号以及DDR读取控制信号实时状态,读取配置数据以进行四维超声扫查。

[0068] 为了便于理解,本发明描述一具体示例以供参考。

[0069] 具体结合图10所示示例,在本发明的具体实施方式中,Freeze信号为高电平期间,则表示超声设备于冻结状态,若其为低电平期间,则表示超声设备处于扫查状态。

[0070] Trig信号为高电平期间,表示当前扫查线处于参数解析配置阶段,当前扫查线的trig信号为低电平时,表示当前扫查线处于扫查阶段。

[0071] Motor_sig信号为高电平期间,表示电机从正向扫查转变为反向扫查,或从反向扫查转变为正向扫查,为低电平期间,表示正向扫查期间或反向扫查期间的所有扫查线的数据配置、扫查及发送,其中,需要说明的是,在该示例中,Freeze信号在低电平期间的第一个Motor_sig信号的高电平期间,表示其之后低电平期间的扫查为电机正向扫查,第二个Motor_sig信号的高电平期间,表示其之后低电平期间的扫查为电机反向扫查,依次循环,直至Freeze信号跳变为高电平,或外部条件截止,在此不做继续赘述。

[0072] 相应的,在Motor_sig信号的跳变时刻同步配置Scan_sel信号和Read_cfg信号。

[0073] 如图10所示,t0,t1是解冻后的第一个motor_sig信号的上升沿和下降沿,t2,t3是第二个motor_sig信号的上升沿和下降沿,在逻辑设定中,Scan_sel信号作如下设定:该信号为0表示正向扫查,读取Scan_A,为1表示反向扫查,读取Scan_B。

[0074] 相应的,依据Motor_sig信号配置Scan_sel信号以及Read_cfg信号具体包括:

[0075] 1、Freeze信号为高电平时,配置Scan_sel信号持续为1;

[0076] 2、Freeze信号从高电平跳变至低电平后,在第一个Motor_sig信号的上升沿,即t0时刻,产生第一个Scan_sel信号并进行配置,使其从高电平跳变为低电平,并清空FIFO缓存;

[0077] 3、在第一个Motor_sig信号的下降沿,即t1时刻,产生第一个Read_cfg信号并进行配置,使其从低电平跳变为高电平,并将该时刻作为读取正向扫查的第一根线配置数据的时刻,也就是在t1时刻,FPGA从DDR中读取正向扫查的第一根线的配置信息并存入fifo缓存中等待发送;接着等到第一个trig信号高电平将第一根线的配置信息发送下去,等到第一个trig高电平结束,用trig的下降沿为触发,产生第二根线的Read_cfg信号,将第二根线的配置信息读入缓存,以此类推,直到正向扫查的最后一个根线扫查结束。

[0078] 4、在第二个Motor_sig信号的上升沿,即t2时刻,产生第二个Scan_sel信号并进行配置,将Scan_sel信号翻转,即使其从低电平跳变为高电平,并清空FIFO缓存;

[0079] 5、在第二个Motor_sig信号的下降沿,即t3时刻,产生新Read_cfg信号并进行配置,使其从低电平跳变为高电平,并将该时刻作为读取反向扫查的第一根线配置数据的时

刻,也就是在 t_3 时刻,FPGA从DDR中读取反向扫查的第一根线的配置信息并存入fifo缓存中等待。

[0080] 如此反复循环,以直接通过Motor_sig信号配置Scan_sel信号以及Read_cfg信号,在该配置过程中,由于Scan_sel信号和Read_cfg信号都以Motor_sig的上升沿和下降沿做参考触发,所以先后顺序是可以控制的,不会出现误读取的问题。进一步的,由于在每个motor_sig信号的上升沿会把fifo清空,所以前一次扫查的配置信息是不会影响到下一次的扫查;并且,在每个motor_sig的下降沿,由于Scan_sel的关系,此时读取了对应于Scan_sel信号所指向的第一根线配置信息,并存入fifo中,等到trig信号到来之后,开始扫查,如此,避免正反扫查时的数据混淆。

[0081] 结合图11所示,本发明一实施方式中提供的四维超声扫查时序配置系统,所述系统包括:获取模块100,配置模块200以及处理模块。

[0082] 获取模块100用于在超声设备从冻结状态转换为扫查状态后,实时获取电机反馈信号。

[0083] 本发明具体实施方式中,通过设置冻结信号Freeze来控制超声设备的工作状态,若冻结信号为高电平或低电平其中之一,则判断超声设备处于冻结状态,若冻结信号为高电平或低电平其中另一,则判断超声设备处于扫查状态。

[0084] 配置模块200用于通过电机反馈信号的相邻的跳变时刻配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前。

[0085] 处理模块用于根据正/反扫查表控制信号以及DDR读取控制信号实时状态,读取配置数据以进行四维超声扫查。

[0086] 本发明具体方式中,配置模块200具体用于:在同一个电机反馈信号到来时的跳变开始时刻,配置正/反扫查表控制信号发生跳变,并在该电机反馈信号到来时的跳变结束时刻,配置DDR读取时序控制信号跳变。

[0087] 在本发明较佳实施方式中,配置模块200还用于配置正/反扫查表控制信号在超声设备的冻结状态时始终为高电平,配置正/反扫查表控制信号低电平期间为正向扫查;配置正/反扫查表控制信号高电平期间为反向扫查;或者配置正/反扫查表控制信号在超声设备的冻结状态时始终为低电平,配置正/反扫查表控制信号高电平期间为正向扫查;配置正/反扫查表控制信号低电平期间为反向扫查。

[0088] 如此,本发明可以保证在同一时钟域下更新配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以保证配置正/反扫查表时序控制信号的跳变时刻发生在DDR读取时序控制信号跳变时刻之前。

[0089] 本发明较佳实施方式中,为了避免正反扫查时的数据混淆,配置模块200还用于在同一电机反馈信号发生期间,清空FIFO中记载的前次扫查所对应的最后一根扫查线的配置数据,并在同一电机反馈信号的跳变结束时刻,根据正/反扫查表控制信号的指向,读取其对应的第一根扫查线的配置数据并存入fifo缓存中等待发送。

[0090] 相应的,配置DDR读取时序控制信号为高电平或低电平其中之一时,其表示正向扫查,为另一时,表示反向扫查。

[0091] 所属领域的技术人员可以清楚地了解到,为描述的方便和简洁,上述描述的系统

的具体工作过程,可以参考前述方法实施方式中的对应过程,在此不再赘述。

[0092] 综上所述,本发明的四维超声扫查时序配置方法及配置系统,基于电机反馈信号配置正/反扫查表控制信号的时序以及DDR读取控制信号的时序,以在同一时钟域调整各个信号的时序,简化了4D扫查的控制逻辑,提升扫查效率。

[0093] 在本申请所提供的几个实施方式中,应该理解到,所揭露的系统,系统和方法,可以通过其它的方式实现。例如,以上所描述的系统实施方式仅仅是示意性的,例如,所述模块的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个模块或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,系统或模块的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0094] 所述作为分离部件说明的模块可以是或者也可以不是物理上分开的,作为模块显示的部件可以是或者也可以不是物理模块,即可以位于一个地方,或者也可以分布到多个网络模块上。可以根据实际的需要选择其中的部分或者全部模块来实现本实施方式方案的目的。

[0095] 另外,在本申请各个实施方式中的各功能模块可以集成在一个处理模块中,也可以是各个模块单独物理存在,也可以2个或2个以上模块集成在一个模块中。上述集成的模块既可以采用硬件的形式实现,也可以采用硬件加软件功能模块的形式实现。

[0096] 上述以软件功能模块的形式实现的集成的模块,可以存储在一个计算机可读取存储介质中。上述软件功能模块存储在一个存储介质中,包括若干指令用以使得一台计算机系统(可以是个人计算机,服务器,或者网络系统等)或处理器(processor)执行本申请各个实施方式所述方法的部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(Read-Only Memory,ROM)、随机存取存储器(Random Access Memory,RAM)、磁碟或者光盘等各种可以存储程序代码的介质。

[0097] 最后应说明的是:以上实施方式仅用以说明本申请的技术方案,而非对其限制;尽管参照前述实施方式对本申请进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施方式所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施方式技术方案的精神和范围。

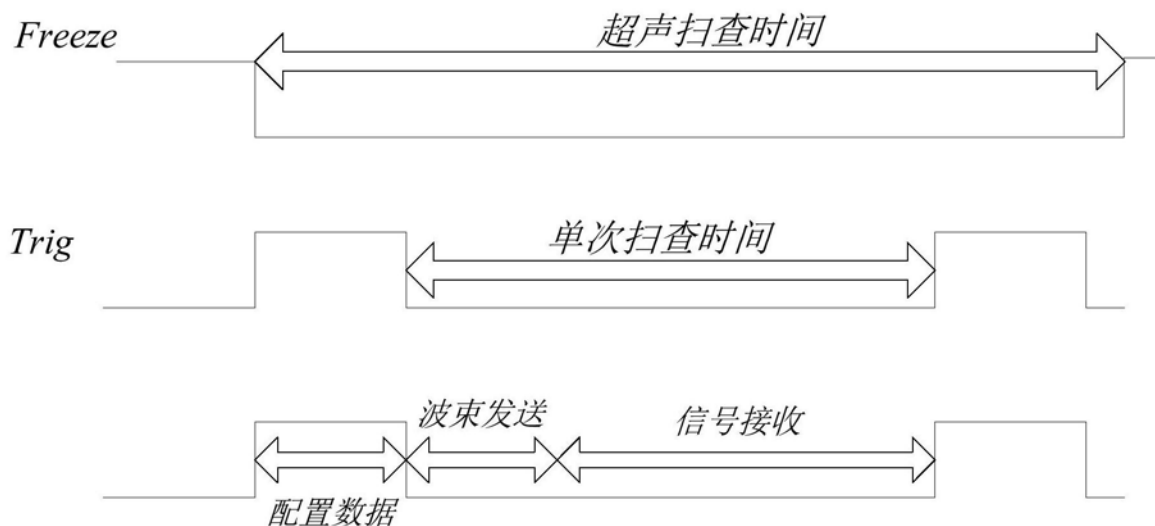


图1

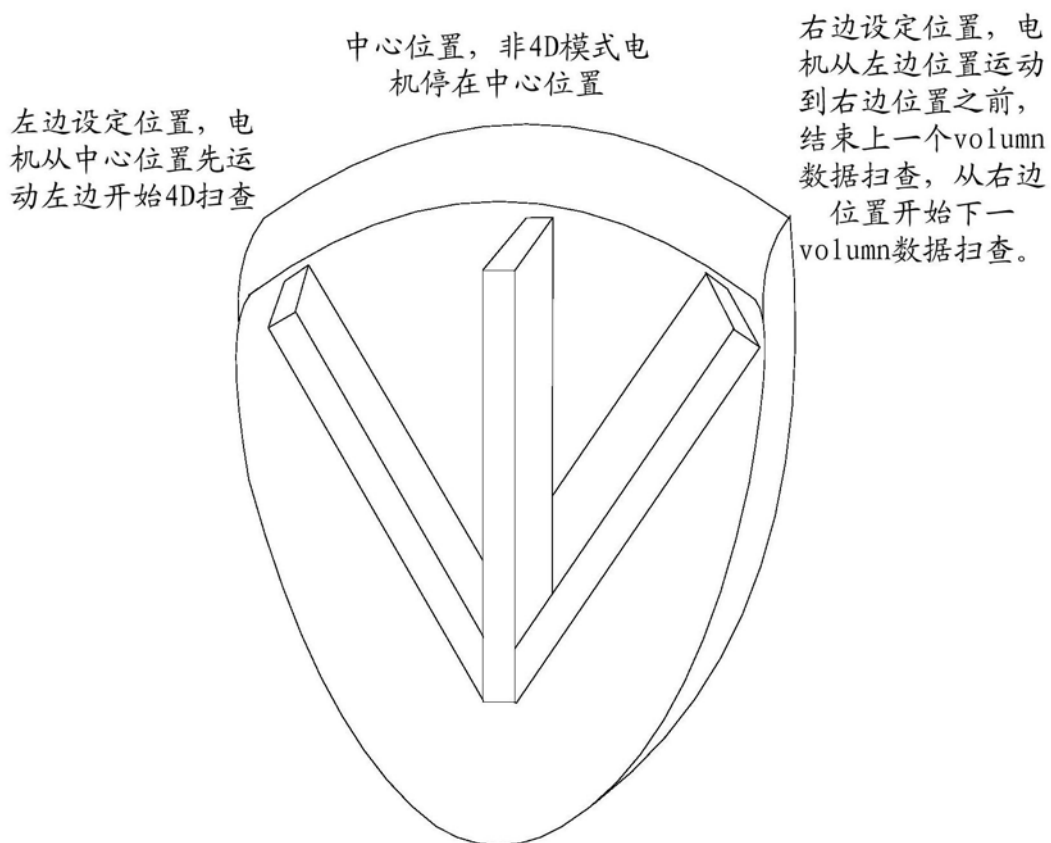


图2

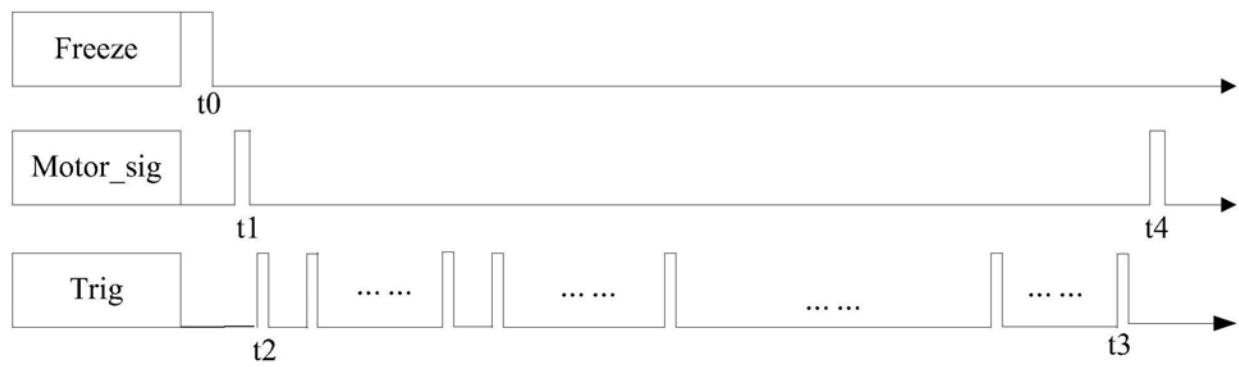


图3

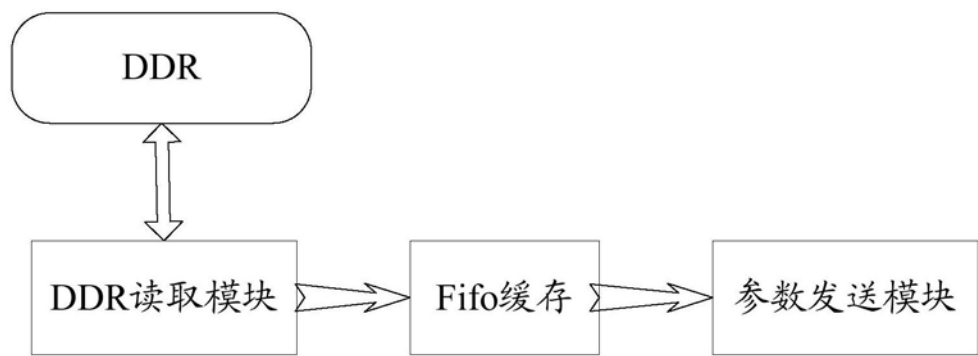


图4

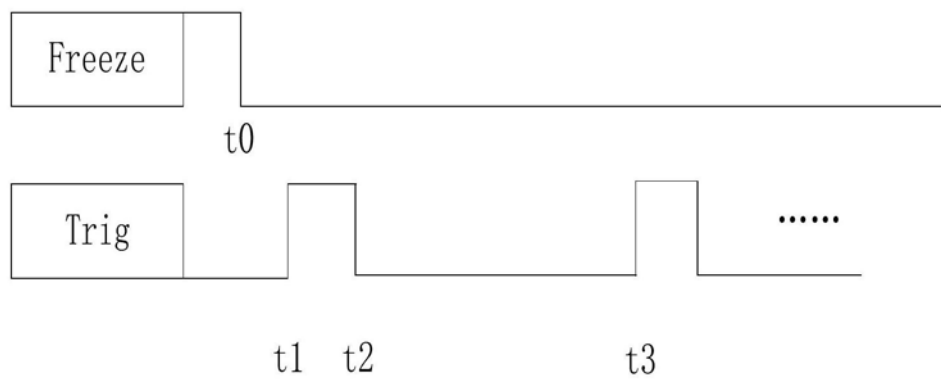


图5

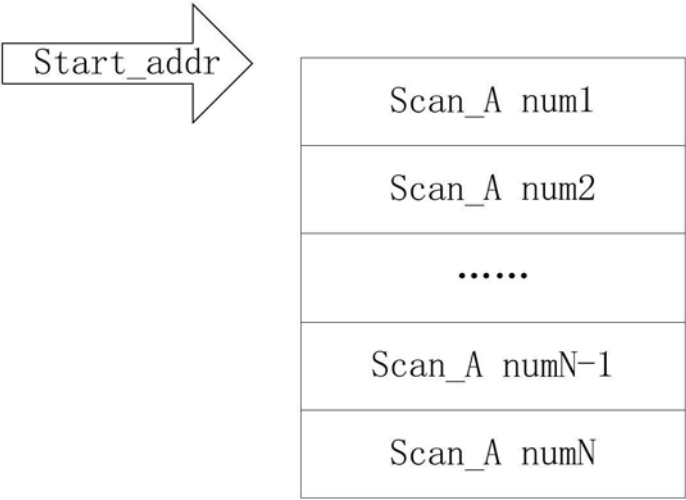


图6

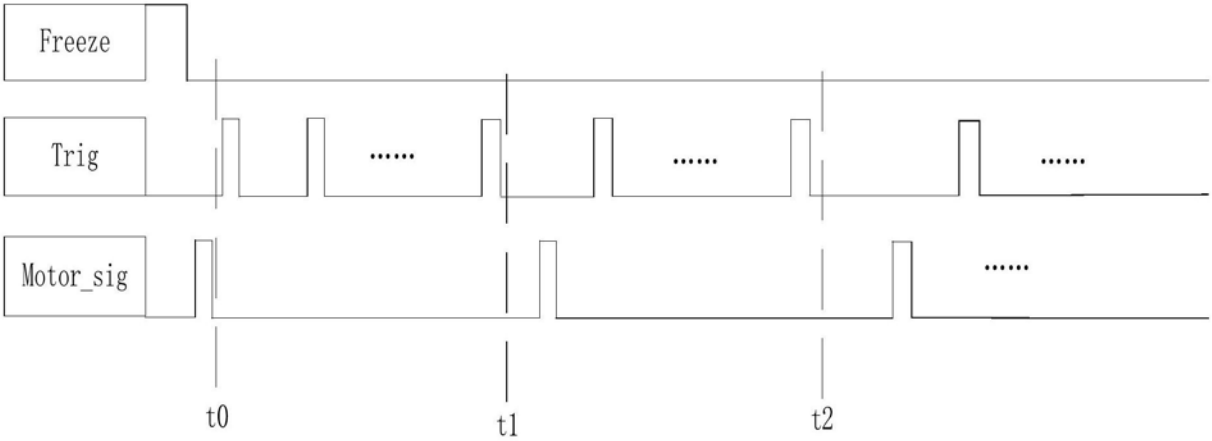


图7

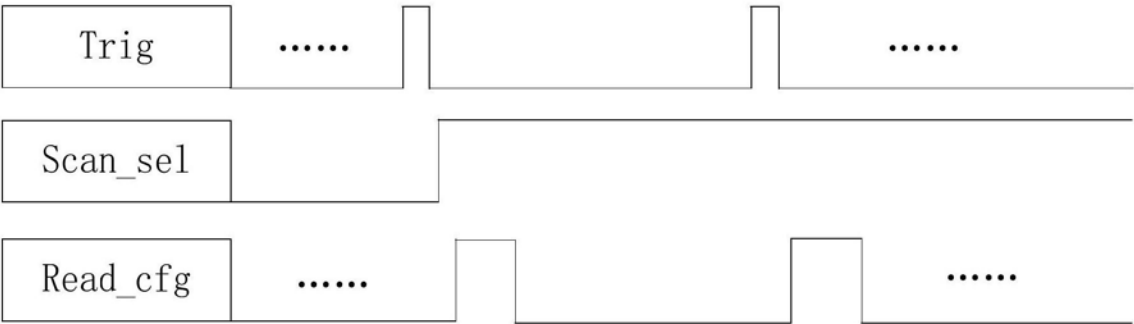


图8

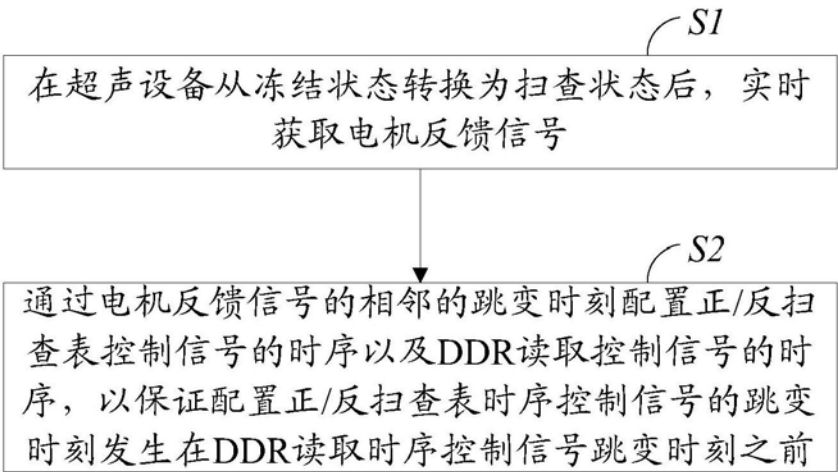


图9

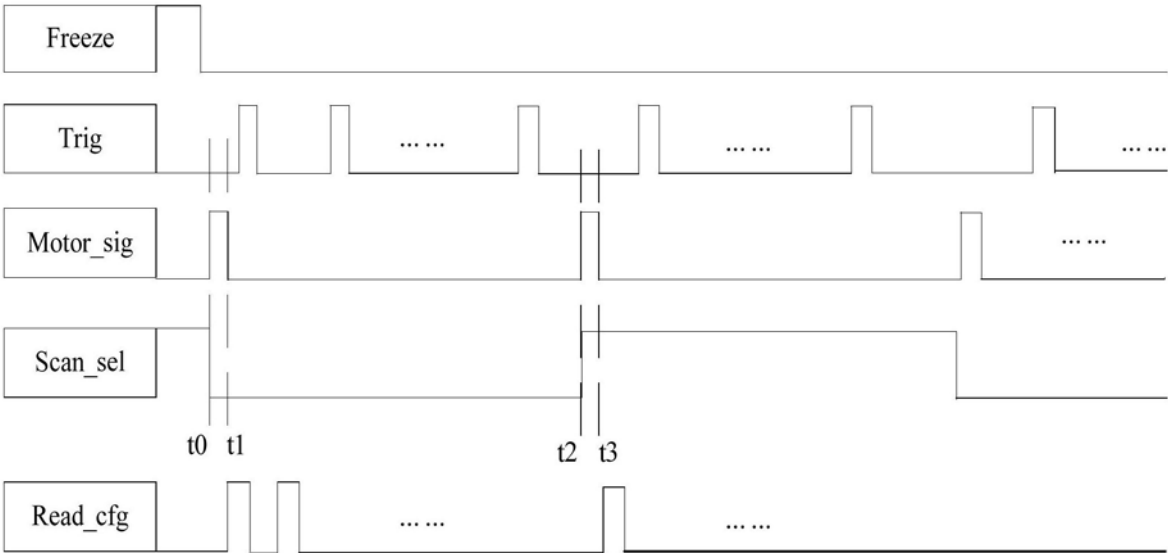


图10

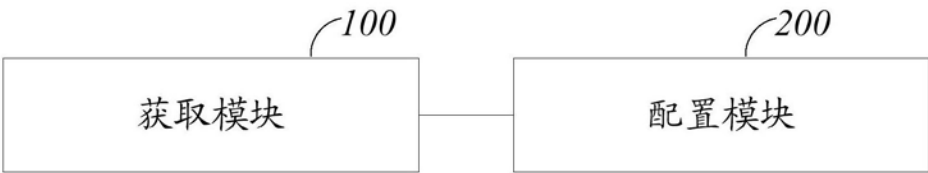


图11