

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-523573

(P2016-523573A)

(43) 公表日 平成28年8月12日(2016.8.12)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 8/14 (2006.01)	A 6 1 B 8/14	4 C 6 0 1
G 0 1 S 7/521 (2006.01)	G 0 1 S 7/521 A	5 D 0 1 9
G 0 1 S 15/89 (2006.01)	G 0 1 S 15/89 B	5 J 0 8 3
H 0 4 R 19/00 (2006.01)	H 0 4 R 19/00 3 3 0	
H 0 4 R 1/02 (2006.01)	H 0 4 R 1/02 3 3 0	
審査請求 未請求 予備審査請求 未請求 (全 90 頁) 最終頁に続く		

(21) 出願番号 特願2016-501885 (P2016-501885)
 (86) (22) 出願日 平成26年3月13日 (2014.3.13)
 (85) 翻訳文提出日 平成27年10月20日 (2015.10.20)
 (86) 国際出願番号 PCT/US2014/025567
 (87) 国際公開番号 W02014/151362
 (87) 国際公開日 平成26年9月25日 (2014.9.25)
 (31) 優先権主張番号 61/798,851
 (32) 優先日 平成25年3月15日 (2013.3.15)
 (33) 優先権主張国 米国 (US)

(71) 出願人 515244151
 バタフライ ネットワーク、インコーポレイテッド
 アメリカ合衆国、コネチカット州 06437
 ギルフォード、オールド ウィットフィールド ストリート 530
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史
 (74) 代理人 100117189
 弁理士 江口 昭彦
 (74) 代理人 100134120
 弁理士 内藤 和彦

最終頁に続く

(54) 【発明の名称】 モノリシックウルトラソニック撮像デバイス、システム、および方法

(57) 【要約】

【課題】 従来型アーキテクチャおよび信号処理パラダイムを採用することによる厳しい制限および欠点を改善することである。

【解決手段】 単一チップウルトラソニック撮像解決策を実装するため、オンチップ信号処理を、たとえばデータ帯域幅を減少するために、受信信号経路中に採用することができ、高速シリアルデータモジュールを使用して、デジタルデータストリームとして、オフチップのすべての受信チャンネルにデータを移動することができる。オンチップの受信信号のデジタル化によって、進んだデジタル信号処理がオンチップで実施することが可能になり、したがって、単一の半導体基板上に全ウルトラソニック撮像システムの完全な一体化が可能になる。様々な新規の波形生成技法、トランスデューサ構成およびバイアス方法論などが同様に開示される。本明細書に開示される「超音波オンチップ」解決策の構成要素として、H I F U方法を、追加または代替的に採用することができる。

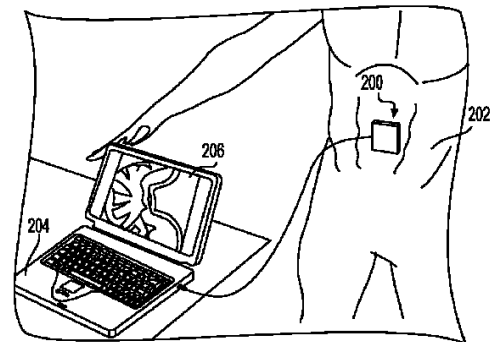


FIG. 2A

【選択図】 図2A

【特許請求の範囲】**【請求項 1】**

ウルトラソニックトランスデューサ要素からの信号を処理するための方法であって、
前記ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される構成要素を用いて、前記ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換することを含む、方法。

【請求項 2】

前記半導体ダイ上に一体化される少なくとも 1 つの追加構成要素を用いて、高速シリアルデータストリームとして、前記半導体ダイから前記デジタル信号に対応するデータを送信することをさらに含む、請求項 1 に記載の方法。

10

【請求項 3】

前記半導体ダイ上に一体化される少なくとも 1 つの追加構成要素を用いて、前記デジタル信号を処理してそのデータ帯域幅を減少させることをさらに含む、請求項 1 または 2 に記載の方法。

【請求項 4】

前記少なくとも 1 つの追加構成要素がデジタル直交復調器を備える、請求項 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 5】

前記少なくとも 1 つの追加構成要素が平均化モジュールを備える、請求項 3 または他の上記の請求項のいずれか一項に記載の方法。

20

【請求項 6】

前記少なくとも 1 つの追加構成要素が整合フィルタを備える、請求項 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7】

前記少なくとも 1 つの追加構成要素が不整合フィルタを備える、請求項 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 8】

前記少なくとも 1 つの追加構成要素が有限インパルス応答 (FIR) フィルタを備える、請求項 3 または他の上記の請求項のいずれか一項に記載の方法。

30

【請求項 9】

前記少なくとも 1 つの追加構成要素が 1 / 2 帯域デシメーション低域通過フィルタを備える、請求項 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 10】

前記少なくとも 1 つの追加構成要素がデチャープモジュールを備える、請求項 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 11】

前記半導体ダイ上に一体化される少なくとも 1 つの追加構成要素を用いて、前記デジタル信号に対応するデータを処理して 1 つまたは複数の画像形成機能を実施することをさらに含む、請求項 1 または他の上記の請求項のいずれか一項に記載の方法。

40

【請求項 12】

前記 1 つまたは複数の画像形成機能が、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー再構成からなるグループから選択される少なくとも 1 つの画像形成機能を含む、請求項 11 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 13】

前記半導体ダイ上に一体化される少なくとも 1 つの追加構成要素を用いて、前記デジタル信号に対応するデータを処理して 1 つまたは複数のバックエンド処理機能を実施することをさらに含む、請求項 1 または他の上記の請求項のいずれか一項に記載の方法。

50

【請求項 14】

前記 1 つまたは複数のバックエンド処理機能が、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも 1 つのバックエンド処理機能を含む、請求項 13 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 15】

前記半導体ダイ上に一体化される少なくとも 1 つのマイクロプロセッサを使用して、少なくとも 1 つのデジタル信号処理機能を実施することをさらに含む、請求項 1 または他の上記の請求項のいずれか一項に記載の方法。

10

【請求項 16】

前記少なくとも 1 つのマイクロプロセッサが使用されて、前記デジタル信号に対応するデータの帯域幅を減少させる、請求項 15 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 17】

前記少なくとも 1 つのマイクロプロセッサが使用されて、1 つまたは複数の画像形成機能を実施する、請求項 15 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 18】

前記 1 つまたは複数の画像形成機能が、アポディゼーション、逆投影、ファストヒエラルキー逆投影、Stolt 補間、ダイナミックフォーカス、遅延加算処理、およびトモグラフィ撮影からなるグループから選択される少なくとも 1 つの画像形成機能を含む、請求項 17 または他の上記の請求項のいずれか一項に記載の方法。

20

【請求項 19】

前記少なくとも 1 つのマイクロプロセッサが使用されて、1 つまたは複数のバックエンド処理機能を実施する、請求項 15 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 20】

前記 1 つまたは複数のバックエンド処理機能が、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも 1 つのバックエンド処理機能を含む、請求項 19 または他の上記の請求項のいずれか一項に記載の方法。

30

【請求項 21】

前記半導体ダイ上に一体化される少なくとも 1 つの追加構成要素を用いて、前記アナログ信号をデジタル信号に変換する前に、前記アナログ信号を処理して、そこから波形を分離することをさらに含む、請求項 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 22】

前記少なくとも 1 つの追加構成要素がアナログ直交復調器を備える、請求項 21 または他の上記の請求項のいずれか一項に記載の方法。

40

【請求項 23】

前記少なくとも 1 つの追加構成要素がアナログデチャープモジュールを備える、請求項 21 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 24】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 25】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ(

50

CMUT) セルを備える、請求項 2 4 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 2 6】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 2 4 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 2 7】

半導体ダイ上に一体化される、少なくとも 1 つのウルトラソニックトランスデューサ要素と、

前記半導体ダイ上に一体化され、前記ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換するように構成されるアナログ - デジタル (ADC) 変換器と
を備える、超音波デバイス。

【請求項 2 8】

前記半導体ダイ上に一体化され、前記半導体ダイからの前記デジタル信号に対応するデータを高速シリアルデータストリームとして送信するように構成される、高速シリアルデータモジュール
をさらに備える、請求項 2 7 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 2 9】

前記半導体ダイ上に一体化され、前記デジタル信号を処理してそのデータ帯域幅を減少させるように構成される、少なくとも 1 つの信号処理モジュール
をさらに備える、請求項 2 7 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 0】

前記少なくとも 1 つの信号処理モジュールがデジタル直交復調器を備える、請求項 2 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 1】

前記少なくとも 1 つの信号処理モジュールが平均化モジュールを備える、請求項 2 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 2】

前記少なくとも 1 つの信号処理モジュールが整合フィルタを備える、請求項 2 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 3】

前記少なくとも 1 つの信号処理モジュールが不整合フィルタを備える、請求項 2 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 4】

前記少なくとも 1 つの信号処理モジュールが有限インパルス応答フィルタを備える、請求項 2 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 5】

前記少なくとも 1 つの信号処理モジュールが 1 / 2 帯域デシメーション低域通過フィルタを備える、請求項 2 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 6】

前記少なくとも 1 つの信号処理モジュールがデチャープモジュールを備える、請求項 2 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 3 7】

前記半導体ダイ上に一体化され、前記デジタル信号に対応するデータを処理して、1 つまたは複数の画像形成機能を実施するように構成される、少なくとも 1 つの信号処理モジュール
をさらに備える、請求項 2 7 または他の上記の請求項のいずれか一項に記載の超音波デバ

10

20

30

40

50

イス。

【請求項 38】

前記 1 つまたは複数の画像形成機能が、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー再構成からなるグループから選択される少なくとも 1 つの画像形成機能を含む、請求項 37 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 39】

前記半導体ダイ上に一体化され、前記デジタル信号に対応するデータを処理して、1 つまたは複数のバックエンド処理機能を実施するように構成される、少なくとも 1 つの信号処理モジュール
をさらに備える、請求項 27 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

10

【請求項 40】

前記 1 つまたは複数のバックエンド処理機能が、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも 1 つのバックエンド処理機能を含む、請求項 39 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 41】

20

前記半導体ダイ上に一体化され、少なくとも 1 つのデジタル信号処理機能を実施するように構成される、マイクロプロセッサ
をさらに備える、請求項 27 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 42】

前記マイクロプロセッサが、前記デジタル信号に対応するデータの帯域幅を減少させるように構成される、請求項 41 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 43】

前記マイクロプロセッサが 1 つまたは複数の画像形成機能を実施するように構成される、請求項 41 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

30

【請求項 44】

前記 1 つまたは複数の画像形成機能が、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー撮像からなるグループから選択される少なくとも 1 つの画像形成機能を含む、請求項 43 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 45】

前記マイクロプロセッサが 1 つまたは複数のバックエンド処理機能を実施するように構成される、請求項 41 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

40

【請求項 46】

前記 1 つまたは複数のバックエンド処理機能が、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも 1 つのバックエンド処理機能を含む、請求項 45 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 47】

前記半導体ダイ上に一体化され、前記 A/D コンバータが前記アナログ信号をデジタル信号に変換する前に、前記アナログ信号を処理して、そこから波形を分離するように構成される、少なくとも 1 つの追加構成要素

50

をさらに備える、請求項 27 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 48】

前記少なくとも 1 つの追加構成要素がアナログ直交復調器を備える、請求項 47 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 49】

前記少なくとも 1 つの追加構成要素がアナログデチャープモジュールを備える、請求項 47 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 50】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 27 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

10

【請求項 51】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 50 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 52】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 50 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

20

【請求項 53】

ウルトラソニックトランスデューサ要素からの信号を処理するための方法であって、前記ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される少なくとも 1 つの構成要素を用いて、前記トランスデューサ要素の出力に対応する信号を処理して、そこから波形を分離することを含む、方法。

【請求項 54】

前記少なくとも 1 つの構成要素がアナログ直交復調器を備える、請求項 53 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 55】

前記少なくとも 1 つの構成要素がアナログデチャープモジュールを備える、請求項 53 または他の上記の請求項のいずれか一項に記載の方法。

30

【請求項 56】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 53 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 57】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 56 または他の上記の請求項のいずれか一項に記載の方法。

40

【請求項 58】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 56 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 59】

半導体ダイ上に一体化される、少なくとも 1 つのウルトラソニックトランスデューサ要素と、

前記半導体ダイ上に一体化され、前記少なくとも 1 つのウルトラソニックトランスデューサ要素の出力に対応する信号を処理して、そこから波形を分離するように構成される、少なくとも 1 つの構成要素と

50

を備える、超音波デバイス。

【請求項 6 0】

前記少なくとも 1 つの構成要素がアナログ直交復調器を備える、請求項 5 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 6 1】

前記少なくとも 1 つの構成要素がアナログデチャープモジュールを備える、請求項 5 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 6 2】

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 5 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

10

【請求項 6 3】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 6 2 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 6 4】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 6 2 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

20

【請求項 6 5】

各々が複数のウルトラソニックトランスデューサセルを備える、少なくとも 2 つのウルトラソニックトランスデューサ要素を構成するための方法であって、

前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも 1 つのウルトラソニックトランスデューサセルを、前記少なくとも 2 つのウルトラソニックトランスデューサ要素の他方の中の少なくとも 1 つのウルトラソニックトランスデューサセルに結合すること

を含む、方法。

【請求項 6 6】

前記結合することが、前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの前記一方の中の前記少なくとも 1 つのウルトラソニックトランスデューサセルを、前記少なくとも 2 つのウルトラソニックトランスデューサ要素の前記他方の中の前記少なくとも 1 つのウルトラソニックトランスデューサセルに、抵抗性要素を介して結合することを含む、請求項 6 5 または他の上記の請求項のいずれか一項に記載の方法。

30

【請求項 6 7】

前記抵抗性要素がポリシリコン抵抗器を備える、請求項 6 6 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 6 8】

前記結合することが、前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの異なるものの第 1 の対のウルトラソニックトランスデューサセルを、第 1 のインピーダンス値を有する第 1 の結合要素と結合することと、前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの前記異なるものの第 2 の対のウルトラソニックトランスデューサセルを、前記第 1 のインピーダンス値と異なる第 2 のインピーダンス値を有する第 2 の結合要素と結合することを含む、請求項 6 5 または他の上記の請求項のいずれか一項に記載の方法。

40

【請求項 6 9】

前記結合することが、前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの前記一方の中の前記少なくとも 1 つのウルトラソニックトランスデューサセルと、前記少なくとも 2 つのウルトラソニックトランスデューサ要素の前記他方の中の前記少なくとも 1 つのウルトラソニックトランスデューサセルとの間に誘導結合を確立することを

50

含む、請求項 6 5 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7 0】

前記少なくとも 2 つのウルトラソニックトランスデューサ要素の前記ウルトラソニックトランスデューサセルのうちの少なくともいくつかを混合することをさらに含む、請求項 6 5 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7 1】

前記少なくとも 2 つのウルトラソニックトランスデューサ要素の各々が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 6 5 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7 2】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 7 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7 3】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 7 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7 4】

前記少なくとも 2 つのトランスデューサ要素の各々の中の少なくともいくつかのトランスデューサセルをアポダイズすることをさらに含む、請求項 6 5 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7 5】

前記アポダイズすることが、前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの前記一方の中の前記少なくとも 1 つのトランスデューサセル、および前記少なくとも 2 つのトランスデューサ要素の前記他方の中の前記少なくとも 1 つのトランスデューサセルをアポダイズすることを含む、請求項 7 4 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 7 6】

各々が複数のウルトラソニックトランスデューサセルを備える少なくとも 2 つのウルトラソニックトランスデューサ要素を備える、超音波デバイスであって、前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも 1 つのウルトラソニックトランスデューサセルが、前記少なくとも 2 つのウルトラソニックトランスデューサ要素の他方の中の少なくとも 1 つのウルトラソニックトランスデューサセルに結合される、超音波デバイス。

【請求項 7 7】

前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの前記一方の中の前記少なくとも 1 つのトランスデューサセルが、前記少なくとも 2 つのトランスデューサ要素の前記他方の中の前記少なくとも 1 つのトランスデューサセルに抵抗性要素を介して結合される、請求項 7 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 7 8】

前記抵抗性要素がポリシリコン抵抗器を備える、請求項 7 7 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 7 9】

前記少なくとも 2 つのトランスデューサ要素のうちの一方が少なくとも第 1 および第 2 のトランスデューサセルを備え、前記少なくとも 2 つのトランスデューサ要素のうちの他方が少なくとも第 3 および第 4 のトランスデューサセルを備え、

前記第 1 のトランスデューサセルと第 3 のトランスデューサセルが第 1 のインピーダンス値を有する第 1 の結合要素を介して結合され、

前記第 2 のトランスデューサセルと第 4 のトランスデューサセルが前記第 1 のインピー

10

20

30

40

50

ダンス値と異なる第 2 のインピーダンス値を有する第 2 の結合要素を介して結合される、請求項 7 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 0】

前記少なくとも 2 つのトランスデューサ要素のうちの前記一方の中の前記少なくとも 1 つのトランスデューサセルと、前記少なくとも 2 つのトランスデューサ要素の前記他方の中の前記少なくとも 1 つのトランスデューサセルとの間に誘導結合が確立されるように、前記少なくとも 2 つのトランスデューサ要素が、構成および配置される、請求項 7 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 1】

前記少なくとも 2 つのトランスデューサ要素の前記トランスデューサセルのうちの少なくともいくつかは混合される、請求項 7 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 2】

前記少なくとも 2 つのウルトラソニックトランスデューサ要素の各々が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 7 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 3】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 8 2 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 4】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 8 2 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 5】

前記少なくとも 2 つのトランスデューサ要素の各々の中の前記少なくとも 1 つのトランスデューサセルがアボダイズされる、請求項 7 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 6】

前記少なくとも 2 つのウルトラソニックトランスデューサ要素のうちの前記一方の中の前記少なくとも 1 つのトランスデューサセル、および前記少なくとも 2 つのトランスデューサ要素の前記他方の中の前記少なくとも 1 つのトランスデューサセルがアボダイズされる、請求項 8 5 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 8 7】

ウルトラソニックトランスデューサ要素に電圧でバイアスをかけるための方法であって、

パルサの出力を使用して、前記ウルトラソニックトランスデューサ要素を駆動し、その結果、前記ウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出することと、

少なくともいくつかの場合に、前記パルサが前記ウルトラソニックトランスデューサ要素を駆動するために使用されておらず、その結果、前記ウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出するとき、ウルトラソニックトランスデューサ要素へバイアス信号を印加するために前記パルサの前記出力を使用することを含む、方法。

【請求項 8 8】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 8 7 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 8 9】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 8 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 9 0】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 8 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 9 1】

少なくとも 1 つのウルトラソニックトランスデューサ要素と、

前記少なくとも 1 つのウルトラソニックトランスデューサに結合され、少なくともいくつかの場合に、前記少なくとも 1 つのトランスデューサ要素が使用されて受信したウルトラソニックエネルギーを検知するとき、前記パルサの出力が使用されて前記少なくとも 1 つのウルトラソニックトランスデューサ要素にバイアスをかけるように構成および配置されるパルサと

を備える、超音波デバイス。

【請求項 9 2】

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 9 3】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 9 4】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 9 5】

半導体ダイ上に一体化される少なくとも 1 つのウルトラソニックトランスデューサ要素にバイアスをかけるための方法であって、

前記半導体ダイに印加されるバイアス電圧を使用して前記少なくとも 1 つのウルトラソニックトランスデューサ要素にバイアスをかけることを含む、方法。

【請求項 9 6】

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が対象物を撮像または治療するために使用されている間、前記対象物に面する前記少なくとも 1 つのウルトラソニックトランスデューサ要素の側に、アースを印加すること

をさらに含む、請求項 9 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 9 7】

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 9 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 9 8】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 9 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 9 9】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備え

10

20

30

40

50

る、請求項 97 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 100】

半導体ダイ上に一体化される、少なくとも 1 つのウルトラソニックトランスデューサ要素を備え、前記ダイに印加されるバイアス電圧が前記少なくとも 1 つのウルトラソニックトランスデューサ要素にバイアスをかけるためにも使用されるように、前記少なくとも 1 つのウルトラソニックトランスデューサ要素が前記ダイ上で構成および配置される、超音波デバイス。

【請求項 101】

前記超音波デバイスが、前記少なくとも 1 つのウルトラソニックトランスデューサ要素を使用して対象物を撮像または治療するように構成され、撮像または治療の期間前記対象物に面するように構成される前記少なくとも 1 つのウルトラソニックトランスデューサ要素の側がアースに接続される、請求項 100 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

10

【請求項 102】

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 100 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 103】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 102 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

20

【請求項 104】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 102 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 105】

少なくとも 1 つのウルトラソニックトランスデューサ要素にバイアスをかけるための方法であって、

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が対象物を撮像または治療するために使用されている間、前記対象物に面する前記少なくとも 1 つのウルトラソニックトランスデューサ要素の側に、アースを印加することを含む、方法。

30

【請求項 106】

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 105 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 107】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 106 または他の上記の請求項のいずれか一項に記載の方法。

40

【請求項 108】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 106 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 109】

少なくとも 1 つのウルトラソニックトランスデューサ要素を使用して対象物を撮像または治療するように構成され、撮像または治療の期間前記対象物に面するように構成される前記少なくとも 1 つのウルトラソニックトランスデューサ要素の側がアースに接続される

50

、超音波デバイス。

【請求項 1 1 0】

前記少なくとも 1 つのウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 1 0 9 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 1 1】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 1 1 0 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

10

【請求項 1 1 2】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 1 1 0 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 1 3】

超音波デバイス中で第 1 および第 2 の送信制御回路を構成するための方法であって、前記第 1 および第 2 の送信制御回路の各々が、ウルトラソニックトランスデューサ要素のためのパルスを駆動する波形発生器を備える方法において、

前記第 1 の制御回路が送信イネーブル信号を受信するときと、前記第 1 の波形発生器により生成される第 1 の波形が前記第 1 のパルスに印加されるときとの間の第 1 の遅延の長さが、前記第 2 の制御回路が前記送信イネーブル信号を受信するときと、前記第 2 の波形発生器により生成される第 2 の波形が前記第 2 のパルスに印加されるときとの間の第 2 の遅延の長さとは異なるように、前記第 1 の送信制御回路と第 2 の送信制御回路を異なって構成すること

20

を含む、方法。

【請求項 1 1 4】

前記第 1 および第 2 の送信制御回路を構成する前記ことが、

前記送信イネーブル信号が前記第 1 の波形発生器に到達する前に第 1 の長さの時間だけ前記送信イネーブル信号が遅延されるように前記第 1 の送信制御回路を構成することと、

前記送信イネーブル信号が前記第 2 の波形発生器に到達する前に第 2 の長さの時間だけ前記送信イネーブル信号が遅延されるように前記第 2 の送信制御回路を構成することであって、前記第 2 の長さの時間が前記第 1 の長さの時間と異なることと

30

を含む、請求項 1 1 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 1 5】

前記第 1 および第 2 の送信制御回路を構成する前記ことが、

前記第 1 の波形発生器が第 1 の開始周波数を持つように構成することと、

前記第 2 の波形発生器が、前記第 1 の開始周波数と異なる第 2 の開始周波数を持つように構成することと

を含む、請求項 1 1 3 または他の上記の請求項のいずれか一項に記載の方法。

40

【請求項 1 1 6】

前記第 1 および第 2 の送信制御回路を構成する前記ことが、

前記第 1 の波形発生器が第 1 の開始位相を持つように構成することと、

前記第 2 の波形発生器が、前記第 1 の開始位相と異なる第 2 の開始位相を持つように構成することと

を含む、請求項 1 1 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 1 7】

前記第 1 および第 2 の送信制御回路を構成する前記ことが、

前記第 1 の波形発生器により出力される前記第 1 の波形が、前記第 1 の波形が前記第 1 のパルスに到達する前に、第 1 の長さの時間だけ遅延されるように前記第 1 の送信制御回路を構成することと、

50

前記第 2 の波形発生器により出力される前記第 2 の波形が、前記第 2 の波形が前記第 2 のパルサに到達する前に、前記第 1 の長さの時間と異なる第 2 の長さの時間だけ遅延されるように前記第 2 の送信制御回路を構成することと

を含む、請求項 1 1 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 1 8】

少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素と、

前記第 1 のウルトラソニックトランスデューサ要素を駆動するように前記第 1 のウルトラソニックトランスデューサ要素に結合され、その結果、前記第 1 のウルトラソニックトランスデューサ要素がウルトラソニックパルスを出す第 1 のパルサ、

前記第 1 のパルサに結合され、前記第 1 の送信制御回路による送信イネーブル信号の受信に应答して、前記第 1 のパルサに第 1 の波形を提供する第 1 の波形発生器、および

前記第 1 の送信制御回路が前記送信イネーブル信号を受信するときと前記第 1 の波形が前記第 1 のパルサに印加されるときとの間の第 1 の遅延の長さに影響を及ぼす、少なくとも 1 つの第 1 の構成要素

を備える第 1 の送信制御回路と、

前記第 2 のウルトラソニックトランスデューサ要素を駆動するように前記第 2 のウルトラソニックトランスデューサ要素に結合され、その結果、前記第 2 のウルトラソニックトランスデューサ要素がウルトラソニックパルスを出す第 2 のパルサ、

前記第 2 のパルサに結合され、前記第 2 の送信制御回路による前記送信イネーブル信号の受信に应答して、前記第 2 のパルサに第 2 の波形を提供する第 2 の波形発生器、および

前記第 2 の送信制御回路が前記イネーブル信号を受信するときと前記第 2 の波形が前記第 2 のパルサに印加されるときとの間の第 2 の遅延の長さに影響を及ぼす、少なくとも 1 つの第 2 の構成要素

を備える第 2 の送信制御回路と

を備え、

前記少なくとも 1 つの第 1 の構成要素が前記少なくとも 1 つの第 2 の構成要素と異なって構成され、その結果、前記第 2 の遅延の前記長さが前記第 1 の遅延の前記長さと異なる

、

超音波デバイス。

【請求項 1 1 9】

前記少なくとも 1 つの第 1 の構成要素が、前記イネーブル信号を前記第 1 の波形発生器に提供する前に、第 1 の数のクロックサイクルだけ前記イネーブル信号を遅延させる第 1 のシフトレジスタを備え、

前記少なくとも 1 つの第 2 の構成要素が、前記イネーブル信号を前記第 2 の波形発生器に提供する前に、前記第 1 の数のクロックサイクルと異なる第 2 の数のクロックサイクルだけ前記イネーブル信号を遅延させる第 2 のシフトレジスタを備える、

請求項 1 1 8 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 2 0】

前記少なくとも 1 つの第 1 の構成要素が、前記第 1 の波形発生器の開始周波数を決定する第 1 の値を含む第 1 のレジスタを含み、

前記少なくとも 1 つの第 2 の構成要素が、前記第 2 の波形発生器の開始周波数を決定する、前記第 1 の値と異なる第 2 の値を含む第 2 のレジスタを含み、

請求項 1 1 8 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 2 1】

前記少なくとも 1 つの第 1 の構成要素が、前記第 1 の波形発生器の開始位相を決定する第 1 の値を含む第 1 のレジスタを含み、

前記少なくとも 1 つの第 2 の構成要素が、前記第 2 の波形発生器の開始位相を決定する、前記第 1 の値と異なる第 2 の値を含む第 2 のレジスタを含み、

請求項 1 1 8 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 2 2】

前記第 1 の波形発生器により出力される前記第 1 の波形を、前記第 1 の波形が前記第 1 のパルサに到達する前に、第 1 の長さの時間だけ遅延させる第 1 の遅延要素を前記少なくとも 1 つの第 1 の構成要素が備え、

前記第 2 の波形発生器により出力される前記第 2 の波形を、前記第 2 の波形が前記第 2 のパルサに到達する前に、前記第 1 の長さの時間と異なる第 2 の長さの時間だけ遅延させる第 2 の遅延要素を前記少なくとも 1 つの第 2 の構成要素が備える、

請求項 1 1 8 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 2 3】

少なくとも第 1 および第 2 の波形発生器を構成するための方法であって、

前記少なくとも第 1 および第 2 の波形発生器の第 1 および第 2 の構成可能動作パラメータの値を制御するためにコントローラを使用することを含む、方法。

【請求項 1 2 4】

前記コントローラで一連のイベント数を生成することと、

前記第 1 の波形発生器について、前記第 1 の波形発生器に関連する第 1 のメモリから前記コントローラにより提供されるイベント数に関連する第 1 の値を検索し、前記第 1 の構成可能動作パラメータとして使用するために前記第 1 の値を前記第 1 の波形発生器に提供することと、

前記第 2 の波形発生器について、前記第 2 の波形発生器に関連する第 2 のメモリから前記コントローラにより提供される前記イベント数に関連する第 2 の値を検索し、前記第 2 の構成可能動作パラメータとして使用するために前記第 2 の値を前記第 2 の波形発生器に提供することと

をさらに含む、請求項 1 2 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 2 5】

前記第 1 および第 2 の構成可能動作パラメータが前記第 1 および第 2 の波形発生器の同じ機能性を制御し、少なくとも 1 つのイベント数について、前記第 1 のメモリから検索された前記第 1 の値と前記第 2 のメモリから検索された前記第 2 の値が異なる、請求項 1 2 4 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 2 6】

前記第 1 および第 2 の波形発生器の各々にイネーブル信号を送信するために前記コントローラを使用すること

をさらに含む、請求項 1 2 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 2 7】

第 1 の波形発生器の前記第 1 の構成可能動作パラメータと第 2 の波形発生器の前記第 2 の構成可能動作パラメータのそれぞれが異なる値を有するように設定すること

をさらに含む、請求項 1 2 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 2 8】

少なくとも第 1 および第 2 の対応するウルトラソニックトランスデューサ要素による送信のための波形を生成するように構成される少なくとも第 1 および第 2 の波形発生器であって、前記第 1 の波形発生器が少なくとも 1 つの第 1 の構成可能動作パラメータを含み、前記第 2 の波形発生器が少なくとも 1 つの第 2 の構成可能動作パラメータを含む、少なくとも第 1 および第 2 の波形発生器と、

前記第 1 および第 2 の構成可能動作パラメータの値を制御するように構成されるコントローラと

を備えるデバイス。

【請求項 1 2 9】

前記コントローラが一連の送信イベント数を出力するように構成され、

前記第 1 の波形発生器が、それぞれの送信イベント数に関連する前記第 1 の構成可能動作パラメータについての値を記憶する第 1 のイベントメモリに関連し、前記コントローラ

10

20

30

40

50

から送信されたイベント数を受信して、前記第 1 の波形発生器にそれによる使用のために、前記第 1 の構成可能動作パラメータについての対応する記憶された値を出力するように構成され、

前記第 2 の波形発生器が、それぞれの送信イベント数に関連する前記第 2 の構成可能動作パラメータについての値を記憶する第 2 のイベントメモリに関連し、前記コントローラから送信されたイベント数を受信して、前記第 2 の波形発生器にそれによる使用のために、前記第 2 の構成可能動作パラメータについての対応する記憶された値を出力するように構成される、

請求項 1 2 8 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 1 3 0】

前記コントローラにより出力される少なくとも 1 つのイベント数について、前記第 1 のイベントメモリおよび第 2 のイベントメモリが、前記第 1 および第 2 の構成可能動作パラメータについての異なる関連値を記憶する、

請求項 1 2 9 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 1 3 1】

前記コントローラが前記第 1 および第 2 の波形発生器の各々に送信イネーブル信号を送信するようにさらに構成される、請求項 1 2 8 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 1 3 2】

前記第 1 の構成可能動作パラメータが前記第 2 の構成可能動作パラメータと異なる値に設定することができる、請求項 1 2 8 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 1 3 3】

超音波デバイスを作るための方法であって、少なくとも 1 つの C M O S ウルトラソニックトランスデューサ要素と同じ半導体ダイ上にデジタル受信回路を一体化することを含む、方法。

【請求項 1 3 4】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 1 3 3 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 3 5】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 1 3 4 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 3 6】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の C M O S ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 1 3 4 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 3 7】

単一の集積回路基板上に形成される、少なくとも 1 つの C M O S ウルトラソニックトランスデューサ要素とデジタル受信回路とを備えるデバイス。

【請求項 1 3 8】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 1 3 7 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 3 9】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 1 3 8 または他の上記の請求項のいずれか一項に記載の超音

10

20

30

40

50

波デバイス。

【請求項 1 4 0】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の C M O S ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 1 3 8 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 4 1】

超音波デバイスを作るための方法であって、

少なくとも第 1 および第 2 の送信制御回路ならびに第 1 および第 2 のウルトラソニックトランスデューサ要素に対応する少なくとも第 1 および第 2 の受信制御回路を備える C M O S 回路の上に、少なくとも前記第 1 および第 2 のウルトラソニックトランスデューサ要素を製造することを含む、方法。

10

【請求項 1 4 2】

前記第 1 および第 2 の受信制御回路の各々が、アナログ - デジタル変換器を備える、請求項 1 4 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 4 3】

前記第 1 および第 2 の受信制御回路の各々が、デジタル信号処理回路をさらに備える、請求項 1 4 2 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 4 4】

前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素が、前記 C M O S 回路の上に製造され、そのため、前記第 1 の送信制御回路および前記第 1 の受信制御回路は、両方が前記第 1 のウルトラソニックトランスデューサ要素の下に配設され、前記第 2 の送信制御回路および前記第 2 の受信制御回路は、両方が前記第 2 のウルトラソニックトランスデューサ要素の下に配設される、請求項 1 4 1 または他の上記の請求項のいずれか一項に記載の方法。

20

【請求項 1 4 5】

前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素を製造する前記ことが、前記 C M O S 回路と同じ半導体基板上に前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素を製造することを含む、請求項 1 4 1 に記載の方法。

【請求項 1 4 6】

前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素を製造する前記ことが、

30

前記第 1 のウルトラソニックトランスデューサ要素のために第 1 のパルスを駆動するように結合される第 1 の波形発生器を含むように前記第 1 の送信制御回路を製造することと、

前記第 2 のウルトラソニックトランスデューサ要素のために第 2 のパルスを駆動するように結合される第 2 の波形発生器を含むように前記第 2 の送信制御回路を製造することとを含む、請求項 1 4 1 に記載の方法。

【請求項 1 4 7】

前記第 1 および第 2 のウルトラソニックトランスデューサ要素の各々が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 1 4 1 または他の上記の請求項のいずれか一項に記載の方法。

40

【請求項 1 4 8】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 1 4 7 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 4 9】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の C M O S ウルトラソニックトランスデューサ (CUT) セルを備え

50

る、請求項 1 4 7 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 5 0】

少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素と、

前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素の下に配設される C M O S 回路と

を備え、

前記 C M O S 回路が、その中に、第 1 および第 2 の送信制御回路ならびに前記第 1 および第 2 のウルトラソニックトランスデューサ要素に対応する第 1 および第 2 の受信制御回路を一体化した、超音波デバイス。

【請求項 1 5 1】

前記第 1 および第 2 の受信制御回路の各々が、アナログ - デジタル変換器を備える、請求項 1 5 0 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 2】

前記第 1 および第 2 の受信制御回路の各々が、デジタル信号処理回路をさらに備える、請求項 1 5 1 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 3】

前記第 1 の送信制御回路および前記第 1 の受信制御回路は、両方が前記第 1 のウルトラソニックトランスデューサ要素の下に配設され、前記第 2 の送信制御回路および前記第 2 の受信制御回路は、両方が前記第 2 のウルトラソニックトランスデューサ要素の下に配設される、請求項 1 5 0 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 4】

前記第 1 および第 2 のウルトラソニックトランスデューサ要素が、前記 C M O S 回路と同じ半導体ダイ上に一体化される、請求項 1 5 0 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 5】

前記第 1 の送信制御回路が、前記第 1 のウルトラソニックトランスデューサ要素のために第 1 のパルスを駆動するように結合される第 1 の波形発生器を備え、前記第 2 の送信制御回路が、前記第 2 のウルトラソニックトランスデューサ要素のために第 2 のパルスを駆動するように結合される第 2 の波形発生器を備える、請求項 1 5 0 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 6】

前記第 1 および第 2 のウルトラソニックトランスデューサ要素の各々が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 1 5 0 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 7】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 1 5 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 8】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の C M O S ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 1 5 6 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 1 5 9】

ウルトラソニックトランスデューサ要素からの信号を処理するための方法であって、

前記ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される構成要素を用いて、前記半導体ダイからの前記ウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信することを含む、方法。

【請求項 1 6 0】

前記ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換することをさらに含み、

データを送信する前記ことが前記高速シリアルデータストリームとして前記半導体ダイからの前記デジタル信号に対応するデータを送信することを含む、
請求項 1 5 9 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 1】

前記半導体ダイ上に一体化される少なくとも 1 つの追加構成要素を用いて、前記デジタル信号を処理してそのデータ帯域幅を減少させること
をさらに含む、請求項 1 6 0 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 2】

前記少なくとも 1 つの追加構成要素がデジタル直交復調器を備える、請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 3】

前記少なくとも 1 つの追加構成要素が平均化モジュールを備える、請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 4】

前記少なくとも 1 つの追加構成要素が整合フィルタを備える、請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 5】

前記少なくとも 1 つの追加構成要素が不整合フィルタを備える、請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 6】

前記少なくとも 1 つの追加構成要素が有限インパルス応答 (FIR) フィルタを備える、
請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 7】

前記少なくとも 1 つの追加構成要素が 1 / 2 帯域デシメーション低域通過フィルタを備える、請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 8】

前記少なくとも 1 つの追加構成要素がデチャープモジュールを備える、請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 6 9】

前記半導体ダイ上に一体化される少なくとも 1 つの追加構成要素を用いて、前記アナログ信号をデジタル信号に変換する前に、前記アナログ信号を処理して、そこから波形を分離すること

をさらに含む、請求項 1 6 1 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 7 0】

前記少なくとも 1 つの追加構成要素がアナログ直交復調器を備える、請求項 1 6 9 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 7 1】

前記少なくとも 1 つの追加構成要素がアナログデチャープモジュールを備える、請求項 1 6 9 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 7 2】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 1 5 9 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 1 7 3】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 1 7 2 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 174】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の CMOS ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 172 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 175】

送信する前記ことが、USB モジュールを使用して、前記半導体ダイからの前記ウルトラソニックトランスデューサ要素の前記出力に対応する前記データを前記高速シリアルデータストリームとして送信することを含む、

請求項 159 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 176】

前記 USB モジュールが USB 3.0 モジュールを備える、請求項 175 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 177】

送信する前記ことが、低電圧差動信号 (LVDS) リンクを使用して、前記半導体ダイから前記ウルトラソニックトランスデューサ要素の前記出力に対応する前記データを送信することを含む、

請求項 159 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 178】

半導体ダイ上に一体化される、少なくとも 1 つのウルトラソニックトランスデューサ要素と、

前記半導体ダイ上に一体化され、前記半導体ダイからの前記ウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信するように構成される高速シリアルデータモジュールと

を備える、超音波デバイス。

【請求項 179】

前記デバイスが、前記半導体ダイ上に一体化され、前記ウルトラソニックトランスデューサ要素の前記出力に対応するアナログ信号をデジタル信号に変換するように構成されるアナログ - デジタル (ADC) 変換器をさらに備え、

前記高速シリアルデータモジュールが、前記半導体ダイからの前記デジタル信号に対応するデータを前記高速シリアルデータストリームとして送信するように構成される、

請求項 178 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 180】

前記半導体ダイ上に一体化され、前記デジタル信号を処理してそのデータ帯域幅を減少させるように構成される、少なくとも 1 つの信号処理モジュール

をさらに備える、請求項 179 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 181】

前記少なくとも 1 つの信号処理モジュールがデジタル直交復調器を備える、請求項 180 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 182】

前記少なくとも 1 つの信号処理モジュールが平均化モジュールを備える、請求項 180 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 183】

前記少なくとも 1 つの信号処理モジュールが整合フィルタを備える、請求項 180 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 184】

前記少なくとも 1 つの信号処理モジュールが不整合フィルタを備える、請求項 180 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 185】

前記少なくとも 1 つの信号処理モジュールが有限インパルス応答フィルタを備える、請

10

20

30

40

50

求項 180 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 186】

前記少なくとも 1 つの信号処理モジュールが 1 / 2 帯域デシメーション低域通過フィルタを備える、請求項 180 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 187】

前記少なくとも 1 つの信号処理モジュールがデチャープモジュールを備える、請求項 180 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 188】

前記半導体ダイ上に一体化され、前記 A D C コンバータが前記アナログ信号をデジタル信号に変換する前に、前記アナログ信号を処理して、そこから波形を分離するように構成される、少なくとも 1 つの追加構成要素

をさらに備える、請求項 179 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 189】

前記少なくとも 1 つの追加構成要素がアナログ直交復調器を備える、請求項 188 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 190】

前記少なくとも 1 つの追加構成要素がアナログデチャープモジュールを備える、請求項 188 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 191】

前記ウルトラソニックトランスデューサ要素が、1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える、請求項 178 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 192】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ (CMUT) セルを備える、請求項 191 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 193】

前記 1 つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルが、1 つまたは複数の C M O S ウルトラソニックトランスデューサ (CUT) セルを備える、請求項 191 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 194】

前記高速シリアルデータモジュールが U S B モジュールを備える、請求項 178 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 195】

前記 U S B モジュールが U S B 3 . 0 モジュールを備える、請求項 178 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 196】

前記高速シリアルデータモジュールが低電圧差動信号 (LVDS) リンクモジュールを備える、請求項 178 または他の上記の請求項のいずれか一項に記載の超音波デバイス。

【請求項 197】

送信および / または制御回路と同じ半導体ダイ上に一体化される、少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素のために、前記送信および / または制御回路を動作させるための方法であって、

コントローラを使用して、前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素のために、前記送信および / または制御回路の動作パラメータの値を制御すること

を含む、方法。

10

20

30

40

50

【請求項 198】

前記半導体ダイ上に一体化されないコントローラを用いて、高速シリアルデータリンクを介して、前記送信および／または制御回路に関連する前記レジスタに前記動作パラメータを通信すること
をさらに含む、請求項 197 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 199】

前記コントローラを使用する前記ことが、前記コントローラを使用して、前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素のために、送信制御回路の波形発生器の動作パラメータの値を制御することを含む、請求項 197 または他の上記の請求項のいずれか一項に記載の方法。

10

【請求項 200】

前記コントローラを使用する前記ことが、前記コントローラを使用して、前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素のために、受信制御回路の増幅器の動作パラメータの値を制御することを含む、請求項 197 または他の上記の請求項のいずれか一項に記載の方法。

【請求項 201】

半導体ダイ上に一体化される、少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素と、

前記半導体ダイ上に一体化される、送信および／または制御回路と、

前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素のために、前記送信および／または制御回路の動作パラメータの値を制御するように構成されるコントローラと
を備えるデバイス。

20

【請求項 202】

前記コントローラが、前記半導体ダイ上に一体化されず、高速シリアルデータリンクを介して、前記送信および／または制御回路に関連する前記レジスタに前記動作パラメータを通信するように構成される、請求項 201 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 203】

前記コントローラが、前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素のために、送信制御回路の波形発生器の動作パラメータの値を制御するように構成される、請求項 201 または他の上記の請求項のいずれか一項に記載のデバイス。

30

【請求項 204】

前記コントローラが、前記少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素のために、受信制御回路の増幅器の動作パラメータの値を制御するように構成される、請求項 201 または他の上記の請求項のいずれか一項に記載のデバイス。

【請求項 205】

超音波撮像チップと

高密度焦点式超音波（HIFU）チップと

を備え、

40

前記超音波撮像チップと前記 HIFU チップが結合され、組み合わされて動作し、画像誘導 HIFU を実施する、デバイス。

【請求項 206】

単一のチップに一体化された、超音波撮像回路および高密度焦点式超音波（HIFU）回路を備え、画像誘導 HIFU を実施するように構成される、デバイス。

【請求項 207】

CMOS ウェハ上の超音波トランスデューサ要素の配置と、

前記 CMOS ウェハ上に形成されて超音波トランスデューサ要素の前記配置に電氣的に結合される集積回路と
を備え、

50

前記集積回路が約 50 V までの電圧を駆動するように構成される、デバイス。

【請求項 208】

前記集積回路がサブミクロンノードを備え、前記サブミクロンノードが約 50 V までの電圧を駆動するように構成される、請求項 207 に記載のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001] 本出願は、その全体が参照により本明細書に組み込まれる、2013年3月15日に代理人整理番号第B1348,70006US00号で出願され、「MONOLITHIC ULTRASONIC IMAGING DEVICES, SYSTEMS AND METHODS」と題する、米国仮特許出願第61/798,851号の米国特許法の下に利益を主張する。

10

【0002】

[0002] 本開示の態様は、撮像および/または治療（たとえば、ウルトラソニック撮像および/または治療技術）のためのデバイス、システム、および方法に関する。たとえば、本明細書に開示されるアーキテクチャおよび技法の特定の態様は、全ウルトラソニック撮像システムが単一の半導体基板上に一体化されることを可能にする。したがって、本明細書に記載される特徴および方法論の多くは、シングルチップウルトラソニック撮像ソリューションに関し、または、ウルトラソニック撮像システムの少なくともかなりの部分がシングルチップ上に設けられるデバイスおよびシステムに関する。

20

【背景技術】

【0003】

[0003] 従来型の超音波スキャナは、画像処理に使用することができる、撮像アルゴリズムのタイプを制限する、送受信動作のためのビーム形成を備える線走査などのハードウェア構成を有する。

【0004】

[0004] さらに、ウルトラソニックスキャナの費用および拡張性は、現在業界で主流を占める圧電トランスデューサ技術の限界に近づいてきた。圧電トランスデューサは、依然として、「ダイスアンドフィル(dice and fill)」製造プロセスを使用して作られており、そこでは、個々の圧電素子が切断され、次いで、基板上に個々に配置されてトランスデューサを形成する。そのようなプロセスは、費用がかかり、不均一で、機械加工および配線の拡張性がない傾向がある。

30

【0005】

[0005] 超音波スキャナ中で圧電トランスデューサ配列から電子回路に複数のチャンネルのアナログ信号を移送する問題が、超音波撮像の解像度を前進させて高品質3D容積撮像を可能にすることに必要な、より大きく、より密度の高いトランスデューサの配列の利用を非常に制限してきた。

【0006】

[0006] 容量性マイクロマシン加工超音波トランスデューサ(CMUT)の製造技法における最近の進捗によって、現在、電子産業を推進しているのと、同じ半導体工場内で高品質超音波トランスデューサを製造することが可能になる。CMUTデバイスは、圧電トランスデューサと比較したときに、優れた帯域幅および音響インピーダンス整合能力も有する。また、CMUT配列を設計するのに利用可能なフレキシビリティの増加によって、撮像アーティファクトを抑制し、信号品質を改善して、チャンネル数を減少することができる、進んだ配列設計技法を可能にする。しかし、これまで提案されてきたCMUT配列を使用するウルトラソニック撮像ソリューションは、従来型アーキテクチャおよび信号処理パラダイムを採用し、したがって厳しい制限および欠点がある。

40

【発明の概要】

【課題を解決するための手段】

50

【 0 0 0 7 】

[0007] 本開示は、マイクロマシン加工されたウルトラソニックトランスデューサベースのウルトラソニック撮像装置の設計のための、新規なパラダイムの様々な態様を詳述する。いくつかの実施形態では、オンチップ信号処理を、たとえばデータ帯域幅を減少するために受信信号経路中に採用することができ、かつ/または、高速シリアルデータモジュールを使用して、デジタルデータストリームとして、オフチップのすべての受信チャンネルにデータを移動することができる。本開示のいくつかの実施形態に従う、オンチップの受信信号のデジタル化によって、進んだデジタル信号処理がオンチップで実施することが可能になり、したがって、単一の半導体基板上に全ウルトラソニック撮像システムの完全、または実質的に完全な一体化が可能になる。いくつかの実施形態では、完全な「超音波システムオンチップ」ソリューションが提供される。

10

【 0 0 0 8 】

[0008] いくつかの実施形態では、本明細書に開示されるデバイスおよびアーキテクチャは、たとえば、1つまたは複数の合成開口技法など、1つまたは複数の高度な方法で、完全に一体化することができる。合成開口技法は、たとえば、複数の受信開口の集合から、高解像度画像の形成を可能にすることができる。

【 0 0 0 9 】

[0009] 本技術の態様によれば、ウルトラソニックトランスデューサ要素からの信号を処理するための方法が提供され、方法は、ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される構成要素を用いて、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換することを含む。いくつかのそのような実施形態では、次いで、ウルトラソニックトランスデューサの出力信号のデジタル表現は、半導体ダイ上で生成され、半導体ダイ上の信号のさらなる処理、および/または半導体ダイからのデジタル信号の送信が容易になる。この様式では、いくつかの実施形態では、超音波デバイスは、単一の半導体ダイ上に、他の構成要素とデジタル的に通信するように構成することができる、一体化されるトランスデューサおよび回路を含む。

20

【 0 0 1 0 】

[0010] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、高速シリアルデータストリームとして、半導体ダイからデジタル信号に対応するデータを送信することをさらに含む。いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、デジタル信号を処理してそのデータ帯域幅を減少させることをさらに含む。少なくともいくつかの実施形態では、そのような帯域幅の減少によって、他の構成要素への、半導体ダイのデジタルデータの送信が容易になる。

30

【 0 0 1 1 】

[0011] いくつかの実施形態では、少なくとも1つの追加構成要素は、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、(たとえば、特定の周波数に整合した)整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、有限インパルス応答(FIR: finite impulse response)フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、ランブ回路(たとえば、デジタルランブ回路)、または伸張回路であってよく、(たとえば、LFM波形といった)信号を時間から周波数に変換するように構成することができる、デチャープモジュールを備える。

40

【 0 0 1 2 】

[0012] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、デジタル信号に対応するデータを処理して、1つまたは複数の画像形成機能を実施することをさらに含む。いくつかのそのような実施形態では、画像形

50

成機能のそのような性能は、超音波画像の形成をもたらす、または超音波画像を形成する結果となり、したがって、いくつかの実施形態では、一体型超音波撮像デバイスが半導体ダイ上に形成される。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー再構成からなるグループから選択される少なくとも1つの画像形成機能を含む。少なくともいくつかの実施形態では、そのような機能が使用されて、たとえば、医療関連である画像タイプといった、有利な画像タイプを提供する。

【0013】

[0013] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、デジタル信号に対応するデータを処理し、1つまたは複数のバックエンド処理機能を実施することをさらに含む。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドップラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも1つのバックエンド処理機能を含む。

10

【0014】

[0014] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つのマイクロプロセッサを使用して、少なくとも1つのデジタル信号処理機能を実施することをさらに含む。いくつかの実施形態では、少なくとも1つのマイクロプロセッサが使用されて、デジタル信号に対応するデータの帯域幅を減少させる。いくつかの実施形態では、少なくとも1つのマイクロプロセッサが使用されて、1つまたは複数の画像形成機能を実施する。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、Stolt補間、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー撮像からなるグループから選択される少なくとも1つの画像形成機能を含む。いくつかの実施形態では、少なくとも1つのマイクロプロセッサが使用されて、1つまたは複数のバックエンド処理機能を実施する。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドップラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも1つのバックエンド処理機能を含む。いくつかの実施形態において、半導体ダイ上に一体化されるマイクロプロセッサを含むことによって、単一の半導体ダイ上の超音波デバイスの実現をさらに容易にする。たとえば、超音波画像の形成で使用するのに好適な超音波データを集めるように構成される超音波撮像デバイスが、いくつかの実施形態で実現される。

20

30

【0015】

[0015] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、アナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離することをさらに含む。波形の分離は、いくつかの実施形態で、複数の波形を表す信号に関して使用することができ、選択された信号成分（たとえば、選択された周波数）を分離することを含むことができる。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。少なくともいくつかの実施形態では、波形の分離によって、ウルトラソニックトランスデューサ要素により作り出されるデータの量が減少し、したがって、データ処理および他の構成要素へのデータの転送が容易になる。

40

【0016】

[0016] いくつかの実施形態では、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。すなわち、ウルトラソニックトランスデューサセルは、個別にまたは組み合わせて、ウルトラソニックトランスデューサ要素を形成する。ウルトラソニックトランスデューサ要素は

50

、そのようなセルが組み合わされるとき、ウルトラソニックトランスデューサセルの任意の好適な組合せから形成することができる。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従うそのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0017】

[0017] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素と、半導体ダイ上に一体化され、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換するように構成されるアナログ-デジタル（ADC）変換器とを備える。いくつかの実施形態では、そのような構成によって、ウルトラソニックトランスデューサと回路が単一の半導体ダイ上に一体化される、一体型超音波デバイスの実現が容易になる。いくつかの実施形態では、そのようなデバイスは、単一の半導体ダイ上への構成要素の一体化に起因して、サイズが小型である。

【0018】

[0018] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、半導体ダイからのデジタル信号に対応するデータを高速シリアルデータストリームとして送信するように構成される、高速シリアルデータモジュールをさらに備える。いくつかのそのような実施形態では、高速データモジュールの使用によって、オフチップ構成要素との通信が容易になり、したがって、超音波デバイスの機能性を拡張する。たとえば、いくつかの実施形態における超音波デバイスは、いくつかの実施形態でコンピュータ、スマートフォン、またはタブレットである、外部処理構成要素と結合して通信する。

【0019】

[0019] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号を処理してそのデータ帯域幅を減少させるように構成される、少なくとも1つの信号処理モジュールをさらに備える。そのような実施形態では、データ帯域幅の減少によって、超音波デバイスの外部の構成要素との通信が容易になり、その構成要素としては、いくつかの実施形態でコンピュータ、スマートフォン、またはタブレットである、外部処理構成要素が挙げられる。いくつかの実施形態では、通信は、データを外部構成要素に送信することを含む。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、有限インパルス応答フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デチャープモジュールを備える。

【0020】

[0020] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号に対応するデータを処理して、1つまたは複数の画像形成機能を実施するように構成される、少なくとも1つの信号処理モジュールをさらに備える。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー再構成からなるグループから選択される少なくとも1つの画像形成機能を含む。いくつかのそのような実施形態では、画像形成機能のそのような性能は、超音波画像の形成をもたらす、または超音波画像を形成する結果となり、したがって、いくつかの実施形態では、一体型超音波撮像デバイスが半導体ダイ上

10

20

30

40

50

に形成される。少なくともいくつかの実施形態では、そのような機能を使用して、たとえば、医療関連である画像タイプといった、有利な画像タイプを提供する。

【0021】

[0021] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号に対応するデータを処理して、1つまたは複数のバックエンド処理機能を実施するように構成される、少なくとも1つの信号処理モジュールをさらに備える。これは、以前に記載された理由のために有利な場合がある。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドップラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも1つのバックエンド処理機能を含む。

10

【0022】

[0022] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、少なくとも1つのデジタル信号処理機能を実施するように構成される、マイクロプロセッサをさらに備える。いくつかの実施形態では、マイクロプロセッサは、デジタル信号に対応するデータの帯域幅を減少するように構成され、これは、いくつかの実施形態において、データのさらなる処理、ならびにコンピュータ、スマートフォン、およびタブレットなどの外部構成要素へのデータの通信を容易にするのに有利である。いくつかの実施形態において、半導体ダイ上にマイクロプロセッサを含むことによって、一体型超音波デバイスの実現がさらに容易になる。

20

【0023】

[0023] いくつかの実施形態では、マイクロプロセッサは、1つまたは複数の画像形成機能を実施するように構成される。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー撮像からなるグループから選択される少なくとも1つの画像形成機能を含む。

【0024】

[0024] いくつかの実施形態では、マイクロプロセッサは、1つまたは複数のバックエンド処理機能を実施するように構成される。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドップラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも1つのバックエンド処理機能を含む。

30

【0025】

[0025] いくつかの実施形態では、デバイスは、半導体ダイ上に一体化され、ADCコンバータがアナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離するように構成される、少なくとも1つの追加構成要素をさらに備える。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。いくつかの実施形態においてそのような処理回路を含むことにより、外部構成要素とデジタル的に通信することができると一体型超音波デバイスの形成がさらに容易になる。

40

【0026】

[0026] いくつかの実施形態では、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ(CUT)セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

50

【 0 0 2 7 】

[0027] 本技術の態様によれば、ウルトラソニックトランスデューサ要素からの信号を処理するための方法が提供され、方法は、ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される少なくとも1つの構成要素を用いて、トランスデューサ要素の出力に対応する信号を処理して、そこから波形を分離することを含む。いくつかの実施形態では、そのような処理がデータの量を減少し、これが今度は、超音波データの収集および送信を容易にする。

【 0 0 2 8 】

[0028] いくつかの実施形態では、少なくとも1つの構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。いくつかの実施形態では、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

10

【 0 0 2 9 】

[0029] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素と、半導体ダイ上に一体化され、少なくとも1つのウルトラソニックトランスデューサ要素の出力に対応する信号を処理して、そこから波形を分離するように構成される、少なくとも1つの構成要素とを備える。いくつかの実施形態では、構成要素のそのような構成によって、一体型超音波デバイスの実現が容易になる。波形の分離がデータの量を減少し、これが今度は、超音波データの収集および送信を容易にする。

20

【 0 0 3 0 】

[0030] いくつかの実施形態では、少なくとも1つの構成要素はアナログ直交復調器を備え、いくつかの実施形態では、少なくとも1つの構成要素はアナログデチャープモジュールを備える。いくつかの実施形態では、少なくとも1つのウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

30

【 0 0 3 1 】

[0031] 本技術の態様によれば、各々が複数のウルトラソニックトランスデューサセルを備える、少なくとも2つのウルトラソニックトランスデューサ要素を構成するための方法が提供される。方法は、少なくとも2つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも1つのウルトラソニックトランスデューサセルを、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルに結合することを含む。いくつかの実施形態では、そのような結合によって、ウルトラソニックトランスデューサ要素により生成される超音波波形のグレーティングローブが有利に減少する。加えて、いくつかの実施形態では、そのような結合によって、全トランスデューサ領域の有益な使用が容易になる。

40

【 0 0 3 2 】

[0032] いくつかの実施形態では、結合することが、少なくとも2つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも1つのウルトラソニックトランスデ

50

ューサセルを、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルに、抵抗性要素を介して結合することを含む。いくつかの実施形態では、抵抗性要素は、ポリシリコン抵抗器を備える。そのような抵抗器を使用すること、および抵抗値の好適な選択により、いくつかの実施形態において、ウルトラソニックトランスデューサ要素の性能を最適化する。

【0033】

[0033] いくつかの実施形態では、結合することが、少なくとも2つのウルトラソニックトランスデューサ要素のうちの異なるものの第1の対のウルトラソニックトランスデューサセルを、第1のインピーダンス値を有する第1の結合要素と結合することと、少なくとも2つのウルトラソニックトランスデューサ要素のうちの異なるものの第2の対のウルトラソニックトランスデューサセルを、第1のインピーダンス値と異なる第2のインピーダンス値を有する第2の結合要素と結合することを含む。インピーダンス値の好適な選択によって、いくつかの実施形態では、ウルトラソニックトランスデューサ要素の性能を最適化する。いくつかの実施形態では、結合することが、少なくとも2つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも1つのウルトラソニックトランスデューサセルと、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルとの間に誘導結合を確立することを含む。

10

【0034】

[0034] いくつかの実施形態では、方法は、少なくとも2つのウルトラソニックトランスデューサ要素のウルトラソニックトランスデューサセルのうちの少なくともいくつかを混合することをさらに含む。

20

【0035】

[0035] いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素の各々は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態に従うそのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0036】

[0036] いくつかの実施形態では、方法は、少なくとも2つのトランスデューサ要素の各々の中の少なくともいくつかのトランスデューサセルをアポダイズすることをさらに含む。いくつかの実施形態では、アポダイズすることは、少なくとも2つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも1つのトランスデューサセル、および少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルをアポダイズすることを含む。

30

【0037】

[0037] 本技術の態様によれば、各々が複数のウルトラソニックトランスデューサセルを備える少なくとも2つのウルトラソニックトランスデューサ要素を備える、超音波デバイスが提供される。少なくとも2つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも1つのウルトラソニックトランスデューサセルが、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルに結合される。いくつかの実施形態では、そのような結合によって、ウルトラソニックトランスデューサ要素により生成される超音波波形のグレーティングローブを有利に減少する。加えて、いくつかの実施形態では、そのような結合によって、全トランスデューサ領域の、有益な使用が容易になる。

40

【0038】

[0038] いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素のうちの一方の中の少なくとも1つのトランスデューサセルが、少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルに抵抗性要素を介して結合される。いくつかの実施形態では、抵抗性要素は、ポリシリコン抵抗器を備える。

50

【 0 0 3 9 】

[0039] いくつかの実施形態では、少なくとも2つのトランスデューサ要素のうち的一方が少なくとも第1および第2のトランスデューサセルを備え、少なくとも2つのトランスデューサ要素のうち他方が少なくとも第3および第4のトランスデューサセルを備え、第1のトランスデューサセルと第3のトランスデューサセルが第1のインピーダンス値を有する第1の結合要素を介して結合され、第2のトランスデューサセルと第4のトランスデューサセルが第1のインピーダンス値と異なる第2のインピーダンス値を有する第2の結合要素を介して結合される。インピーダンス値の好適な選択によって、いくつかの実施形態では、ウルトラソニックトランスデューサ要素の性能を最適化する。

【 0 0 4 0 】

[0040] いくつかの実施形態では、少なくとも2つのトランスデューサ要素のうちの方の中の少なくとも1つのトランスデューサセルと、少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルとの間に誘導結合が確立されるように、少なくとも2つのトランスデューサ要素が、構成および配置される。

【 0 0 4 1 】

[0041] いくつかの実施形態では、少なくとも2つのトランスデューサ要素のトランスデューサセルのうち少なくともいくつかは混合され、いくつかの実施形態において、これが、トランスデューサ要素領域の有益な使用という点で利益をもたらす。

【 0 0 4 2 】

[0042] いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素の各々は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【 0 0 4 3 】

[0043] いくつかの実施形態では、少なくとも2つのトランスデューサ要素の各々の中の少なくとも1つのトランスデューサセルがアボダイズされる。いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素のうちの方の中の少なくとも1つのトランスデューサセル、および少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルがアボダイズされる。

【 0 0 4 4 】

[0044] 本技術の態様によれば、ウルトラソニックトランスデューサ要素に電圧でバイアスがかかるための方法が提供され、方法は、パルサの出力を使用して、ウルトラソニックトランスデューサ要素を駆動し、その結果、ウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出することを含む。パルサは、生成される波形に対応する1つまたは複数のトランスデューサ要素に駆動信号を出力することができる。したがって、少なくともいくつかの実施形態では、パルサは、たとえば波形発生器からの波形を受信し、パルス（たとえば、電圧パルス）を生成して、ウルトラソニックトランスデューサ要素を駆動するのに好適な回路である。加えて、少なくともいくつかの場合に、パルサがウルトラソニックトランスデューサ要素を駆動するために使用されておらず、その結果、ウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出するとき、パルサの出力を、ウルトラソニックトランスデューサ要素へのバイアス信号として印加することができる。少なくともいくつかの実施形態では、そのような動作を使用して、トランスデューサ要素の、安全な高電圧バイアスを実現することができる。

【 0 0 4 5 】

[0045] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、少なくとも1つのウルトラソニックトランスデューサ要素と、少なくとも1つのウルトラソニックトランスデューサに結合され、少なくともいくつかの場合に、少なくとも1つのトランスデューサ要素が使用されて受信したウルトラソニックエネルギーを検知するとき、パルサの出力が使用されて少なくとも1つのウルトラソニックトランスデューサ要素にバイアスがかかるように構成および配置されるパルサとを備える。

10

20

30

40

50

【 0 0 4 6 】

[0046] 本技術の態様によれば、半導体ダイ上に一体化される少なくとも1つのウルトラソニックトランスデューサ要素にバイアスをかけるための方法が提供され、方法は、半導体ダイに印加されるバイアス電圧を使用して少なくとも1つのウルトラソニックトランスデューサ要素にバイアスをかけることを含む。いくつかの実施形態では、方法は、少なくとも1つのウルトラソニックトランスデューサ要素が対象物を撮像または治療するために使用されている間、対象物に面する少なくとも1つのウルトラソニックトランスデューサ要素の側に、アースを印加することをさらに含む。そのようなバイアスが、いくつかの実施形態では、ウルトラソニックトランスデューサ要素の安全な動作をもたらし、対象物に対する電気ショックの危険を最小化する。

10

【 0 0 4 7 】

[0047] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素を備える。少なくとも1つのウルトラソニックトランスデューサ要素は、ダイに印加されるバイアス電圧が、少なくとも1つのウルトラソニックトランスデューサ要素にバイアスをかけるためにも使用されるように、ダイ上で構成および配置される。少なくともいくつかの実施形態では、そのような構成を使用して、トランスデューサ要素の、安全な高電圧バイアスを実現する。

【 0 0 4 8 】

[0048] いくつかの実施形態では、超音波デバイスは、少なくとも1つのウルトラソニックトランスデューサ要素を使用して対象物を撮像または治療するように構成される。撮像または治療の期間対象物に面するように構成される少なくとも1つのウルトラソニックトランスデューサ要素の側がアースに接続され、これが、いくつかの実施形態において、電気ショックの危険を最小化することにより、安全な動作をもたらす。いくつかの実施形態では、少なくとも1つのウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

20

30

【 0 0 4 9 】

[0049] 本技術の態様によれば、少なくとも1つのウルトラソニックトランスデューサ要素にバイアスをかけるための方法が提供され、方法は、少なくとも1つのウルトラソニックトランスデューサ要素が対象物を撮像または治療するために使用されている間、対象物に面する少なくとも1つのウルトラソニックトランスデューサ要素の側に、アースを印加することを含む。そのようなバイアスが、いくつかの実施形態において、電気ショックの危険を最小化することにより、デバイスの安全な動作を容易にする。

【 0 0 5 0 】

[0050] 本技術の態様によれば、超音波デバイスは、少なくとも1つのウルトラソニックトランスデューサ要素を使用して対象物を撮像または治療するように構成される。撮像または治療の期間対象物に面するように構成される少なくとも1つのウルトラソニックトランスデューサ要素の側がアースに接続され、これが、いくつかの実施形態において、電気ショックの危険を最小化することにより、安全な動作をもたらす。

40

【 0 0 5 1 】

[0051] 本技術の態様によれば、超音波デバイス中で第1および第2の送信制御回路を構成するために方法が提供され、第1および第2の送信制御回路の各々が、ウルトラソニックトランスデューサ要素のためのパルスを駆動する波形発生器を備え、方法は、第1の制御回路が送信イネーブル信号を受信するときと、第1の波形発生器により生成される第1

50

の波形が第 1 のパルサに印加されるときとの間の第 1 の遅延の長さが、第 2 の制御回路が送信イネーブル信号を受信するときと、第 2 の波形発生器により生成される第 2 の波形が第 2 のパルサに印加されるときとの間の第 2 の遅延の長さと異なるように、第 1 の送信制御回路と第 2 の送信制御回路を異なって構成することを含む。少なくともいくつかの実施形態では、遅延のそのような制御によって、たとえば有益な超音波撮像機能という点で、有益な動作を実現する。

【 0 0 5 2 】

[0052] いくつかの実施形態では、第 1 および第 2 の送信制御回路を構成することは、送信イネーブル信号が第 1 の波形発生器に到達する前に第 1 の長さの時間だけ送信イネーブル信号が遅延されるように第 1 の送信制御回路を構成することと、送信イネーブル信号が第 2 の波形発生器に到達する前に第 2 の長さの時間だけ送信イネーブル信号が遅延されるように第 2 の送信制御回路を構成することを含む。第 2 の長さの時間は、いくつかの実施形態において、第 1 の長さの時間と異なる。

10

【 0 0 5 3 】

[0053] いくつかの実施形態では、第 1 および第 2 の送信制御回路を構成することは、第 1 の波形発生器が第 1 の開始周波数を持つように構成することと、第 2 の波形発生器が、第 1 の開始周波数と異なる第 2 の開始周波数を持つように構成することを含む。いくつかの実施形態では、第 1 および第 2 の送信制御回路を構成することは、第 1 の波形発生器が第 1 の開始位相を持つように構成することと、第 2 の波形発生器が、第 1 の開始位相と異なる第 2 の開始位相を持つように構成することを含む。いくつかの実施形態では、第 1 および第 2 の送信制御回路を構成することは、第 1 の波形が第 1 のパルサに到達する前に、第 1 の波形発生器により出力される第 1 の波形が、第 1 の長さの時間だけ遅延されるように第 1 の送信制御回路を構成することと、第 2 の波形が第 2 のパルサに到達する前に、第 2 の波形発生器により出力される第 2 の波形が、第 1 の長さの時間と異なる第 2 の長さの時間だけ遅延されるように第 2 の送信制御回路を構成することを含む。少なくともいくつかの実施形態では、そのような制御によって、たとえば本明細書に記載されるような超音波撮像で使用する、様々な対象の波形を生成することが容易になる。

20

【 0 0 5 4 】

[0054] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、少なくとも第 1 および第 2 のウルトラソニックトランスデューサ要素と、第 1 の送信制御回路と、第 2 の送信制御回路とを備える。第 1 の送信制御回路は、第 1 のウルトラソニックトランスデューサ要素を駆動するように第 1 のウルトラソニックトランスデューサ要素に結合され、その結果、第 1 のウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出する第 1 のパルサと、第 1 のパルサに結合され、第 1 の送信制御回路による送信イネーブル信号の受信に応答して、第 1 のパルサに第 1 の波形を提供する第 1 の波形発生器とを備え、第 1 の送信制御回路が送信イネーブル信号を受信するときと第 1 の波形が第 1 のパルサに印加されるときとの間の第 1 の遅延の長さに影響を及ぼす、少なくとも 1 つの第 1 の構成要素を含むことができる。第 2 の送信制御回路は、第 2 のウルトラソニックトランスデューサ要素を駆動するように第 2 のウルトラソニックトランスデューサ要素に結合され、その結果、第 2 のウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出する第 2 のパルサと、第 2 のパルサに結合され、第 2 の送信制御回路による送信イネーブル信号の受信に応答して、第 2 のパルサに第 2 の波形を提供する第 2 の波形発生器と、第 2 の送信制御回路がイネーブル信号を受信するときと第 2 の波形が第 2 のパルサに印加されるときとの間の第 2 の遅延の長さに影響を及ぼす、少なくとも 1 つの第 2 の構成要素とを備える。少なくとも 1 つの第 1 の構成要素は、少なくとも 1 つの第 2 の構成要素と異なって構成され、その結果、第 2 の遅延の長さは、第 1 の遅延の長さと異なる。少なくともいくつかの実施形態では、異なる遅延によって、たとえば、様々な望ましい超音波波形の生成を容易にすることにより、有益な動作を実現する。

30

40

【 0 0 5 5 】

[0055] いくつかの実施形態では、少なくとも 1 つの第 1 の構成要素は、イネーブル信号

50

を第1の波形発生器に提供する前に、第1の数のクロックサイクルだけイネーブル信号を遅延させる第1のシフトレジスタを備え、少なくとも1つの第2の構成要素は、イネーブル信号を第2の波形発生器に提供する前に、第1の数のクロックサイクルと異なる第2の数のクロックサイクルだけイネーブル信号を遅延させる第2のシフトレジスタを備える。いくつかの実施形態では、少なくとも1つの第1の構成要素が、第1の波形発生器の開始周波数を決定する第1の値を含む第1のレジスタを含み、少なくとも1つの第2の構成要素が、第2の波形発生器の開始周波数を決定する、第1の値と異なる第2の値を含む第2のレジスタを含む。いくつかの実施形態では、少なくとも1つの第1の構成要素が、第1の波形発生器の開始位相を決定する第1の値を含む第1のレジスタを含み、少なくとも1つの第2の構成要素が、第2の波形発生器の開始位相を決定する、第1の値と異なる第2の値を含む第2のレジスタを含む。いくつかの実施形態では、少なくとも1つの第1の構成要素は、第1の波形が第1のパルサに到達する前に、第1の波形発生器により出力される第1の波形を第1の長さの時間だけ遅延させる第1の遅延要素を備え、少なくとも1つの第2の構成要素は、第2の波形が第2のパルサに到達する前に、第2の波形発生器により出力される第2の波形を、第1の長さの時間と異なる第2の長さの時間だけ遅延させる第2の遅延要素を備える。少なくともいくつかの実施形態では、そのような構成によって、たとえば波形パラメータの制御を可能にすることにより、様々な有益な超音波波形の生成が容易になる。

10

【0056】

[0056] 本技術の態様によれば、少なくとも第1および第2の波形発生器を構成するための方法が提供され、方法は、少なくとも第1および第2の波形発生器の第1および第2の構成可能動作パラメータの値を制御するためにコントローラを使用することを含む。少なくともいくつかの実施形態では、そのような制御によって、波形発生器をプログラム可能にし、そのため、波形発生器がプログラムまたは制御されて、たとえば波形パラメータを制御することにより、所望の波形を提供することができる。

20

【0057】

[0057] いくつかの実施形態では、方法は、コントローラで一連のイベント数を生成することと、第1の波形発生器について、第1の波形発生器に関連する第1のメモリからコントローラにより提供されるイベント数に関連する第1の値を検索することと、第1の構成可能動作パラメータとして使用するために第1の値を第1の波形発生器に提供することとをさらに含む。方法は、第2の波形発生器について、第2の波形発生器に関連する第2のメモリからコントローラにより提供されるイベント数に関連する第2の値を検索することと、第2の構成可能動作パラメータとして使用するために第2の値を第2の波形発生器に提供することとをさらに含む。この様式では、少なくともいくつかの実施形態では、波形発生器により生成される波形の制御を達成することができ、望ましい(たとえば、医療関連の)超音波波形を生成することができる。

30

【0058】

[0058] いくつかの実施形態では、第1および第2の構成可能動作パラメータが、第1および第2の波形発生器の同じ機能性を制御する。少なくとも1つのイベント数について、第1および第2のメモリから検索された第1および第2の値は異なる。

40

【0059】

[0059] いくつかの実施形態では、方法は、第1および第2の波形発生器の各々にイネーブル信号を送信するためにコントローラを使用することをさらに含む。いくつかの実施形態では、方法は、第1の波形発生器の第1の構成可能動作パラメータと第2の波形発生器の第2の構成可能動作パラメータのそれぞれが異なる値を有するように設定することをさらに含む。この様式では、いくつかの実施形態では、たとえば超音波撮像で所望の超音波波形の生成を達成するために使用することができる異なる波形が、異なる波形発生器により生成される。

【0060】

[0060] 本技術の態様によれば、デバイスが提供され、デバイスは、少なくとも第1およ

50

び第2の対応するウルトラソニックトランスデューサ要素による送信のための波形を生成するように構成される少なくとも第1および第2の波形発生器であって、第1の波形発生器が少なくとも1つの第1の構成可能動作パラメータを含み、第2の波形発生器が少なくとも1つの第2の構成可能動作パラメータを含む少なくとも第1および第2の波形発生器と、第1および第2の構成可能動作パラメータの値を制御するように構成されるコントローラとを備える。この様式では、波形発生器により作り出される波形の望ましい構成可能性が、いくつかの実施形態で達成される。

【0061】

[0061] いくつかの実施形態では、コントローラは、一連の送信イベント数を出力するように構成される。いくつかの実施形態では、第1の波形発生器は、それぞれの送信イベント数に関連する第1の構成可能動作パラメータについての値を記憶する第1のイベントメモリに関連し、コントローラから送信されたイベント数を受信して、第1の波形発生器にそれによって使用するために、第1の構成可能動作パラメータについての対応する記憶された値を出力するように構成される。いくつかの実施形態では、第2の波形発生器は、それぞれの送信イベント数に関連する第2の構成可能動作パラメータについての値を記憶する第2のイベントメモリに関連し、コントローラから送信されたイベント数を受信して、第2の波形発生器にそれによって使用するために、第2の構成可能動作パラメータについての対応する記憶された値を出力するように構成される。この様式では、いくつかの実施形態で、波形発生器により生成される波形を制御することができ、たとえば超音波撮像を実施するときに所望の波形を達成することができる。

10

20

【0062】

[0062] いくつかの実施形態では、コントローラにより出力される少なくとも1つのイベント数について、第1のイベントメモリおよび第2のイベントメモリは、第1および第2の構成可能動作パラメータについての異なる関連値を記憶する。

【0063】

[0063] いくつかの実施形態では、コントローラは、第1および第2の波形発生器の各々に送信インネーブル信号を通信するようにさらに構成される。

【0064】

[0064] いくつかの実施形態では、第1の構成可能動作パラメータは、第2の構成可能動作パラメータと異なる値に設定することができる。

30

【0065】

[0065] 本技術の態様によれば、超音波デバイスを作るための方法が提供され、方法は、少なくとも1つのCMOSウルトラソニックトランスデューサ要素と同じ半導体ダイ上にデジタル受信回路を一体化することを含む。デジタル受信回路は、ウルトラソニックトランスデューサセルまたは要素から信号を受信するように構成されるデジタル回路であってよい。例が本明細書に記載される。いくつかの実施形態では、そのような構成は、ウルトラソニックトランスデューサおよびデジタル回路が同じ半導体ダイ上にあることを可能にすることにより、一体型超音波デバイスを提供する、さもなければ容易にすることができる。小型超音波デバイスがいくつかの実施形態をもたらす。また、デジタル回路によって、外部コンピュータ、スマートフォン、タブレット、または他の処理構成要素など、いくつかの実施形態における外部構成要素とのデジタル通信が容易になる。

40

【0066】

[0066] 本技術の態様によれば、デバイスが提供され、デバイスは、単一の集積回路基板上に形成される、少なくとも1つのCMOSウルトラソニックトランスデューサ要素とデジタル受信回路とを備える。いくつかの実施形態では、そのような構成は、ウルトラソニックトランスデューサおよびデジタル回路が同じ半導体ダイ上にあることを可能にすることにより、一体型超音波デバイスを提供する、さもなければ容易にする。小型超音波デバイスがいくつかの実施形態をもたらす。また、デジタル回路によって、外部コンピュータ、スマートフォン、タブレット、または他の処理構成要素など、いくつかの実施形態における外部構成要素とのデジタル通信が容易になる。

50

【 0 0 6 7 】

[0067] 本技術の態様によれば、超音波デバイスを作るための方法が提供され、方法は、少なくとも第1および第2の送信制御回路ならびに第1および第2のウルトラソニックトランスデューサ要素に対応する少なくとも第1および第2の受信制御回路を備えるCMOS回路の上（たとえば、より高く、またはより後で設けられる処理層の上）に少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することを含む。少なくともいくつかの実施形態では、そのような製造によって、ウルトラソニックトランスデューサおよび関連する回路を含む一体型超音波デバイスの形成が容易になる。また、デバイスは、記載されたように、回路に対してウルトラソニックトランスデューサを配置することに少なくとも部分的に起因して小型となることができる。

10

【 0 0 6 8 】

[0068] いくつかの実施形態では、第1および第2の受信制御回路の各々は、アナログ-デジタル変換器を備え、いくつかの実施形態では、デジタル信号処理回路をさらに備える。デジタル回路を含むことによって、いくつかの実施形態において、データ処理および外部構成要素とのデジタル通信が容易になる。

【 0 0 6 9 】

[0069] いくつかの実施形態では、少なくとも第1および第2のウルトラソニックトランスデューサ要素は、CMOS回路の上（たとえば、より高く、またはより後で設けられる処理層の上）に製造され、そのため、第1の送信制御回路および第1の受信制御回路は、両方が第1のウルトラソニックトランスデューサ要素の下に配設され、第2の送信制御回路および第2の受信制御回路は、両方が第2のウルトラソニックトランスデューサ要素の下に配設される。いくつかの実施形態では、回路構成要素は、ウルトラソニックトランスデューサの形成の前に完了される処理層上に回路構成要素を製造することができるという意味において、ウルトラソニックトランスデューサの下にあってよい。いくつかの実施形態では、ウルトラソニックトランスデューサは、回路よりも、基板（たとえば、半導体基板）のデバイス面により近くに置かれる。少なくともいくつかの実施形態では、そのような構成によって、小型超音波デバイスを製造することが可能になる。

20

【 0 0 7 0 】

[0070] いくつかの実施形態では、少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することが、CMOS回路と同じ半導体基板上に少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することを含む。いくつかの実施形態では、少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することが、第1のウルトラソニックトランスデューサ要素のために第1のパルスを駆動するように結合される第1の波形発生器を含むように第1の送信制御回路を製造することと、第2のウルトラソニックトランスデューサ要素のために第2のパルスを駆動するように結合される第2の波形発生器を含むように第2の送信制御回路を製造することを含む。一体型超音波デバイスは、いくつかの実施形態において、半導体基板上に信号生成機能性を含んで達成される。

30

【 0 0 7 1 】

[0071] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、少なくとも第1および第2のウルトラソニックトランスデューサ要素と、少なくとも第1および第2のウルトラソニックトランスデューサ要素の下に配設されるCMOS回路とを備える。CMOS回路は、その中に、第1および第2のウルトラソニックトランスデューサ要素に対応する第1および第2の送信制御回路ならびに第1および第2の受信制御回路を一体化している。少なくともいくつかの実施形態では、そのような構成によって、ウルトラソニックトランスデューサおよび関連する回路を含む一体型超音波デバイスの形成が容易になる。デバイスは、記載されたように、回路に対してウルトラソニックトランスデューサを配置することに少なくとも部分的に起因して小型となることができる。

40

【 0 0 7 2 】

[0072] いくつかの実施形態では、第1および第2の受信制御回路の各々は、アナログ-

50

デジタル変換器を備える。いくつかの実施形態では、第1および第2の受信制御回路の各々は、デジタル信号処理回路をさらに備える。デジタル回路を含むことによって、いくつかの実施形態において、データ処理および外部構成要素とのデジタル通信が容易になる。

【0073】

[0073] いくつかの実施形態では、第1の送信制御回路および第1の受信制御回路は、両方が第1のウルトラソニックトランスデューサ要素の下に配設され、第2の送信制御回路および第2の受信制御回路は、両方が第2のウルトラソニックトランスデューサ要素の下に配設される。いくつかの実施形態では、そのような構成によって、小型超音波デバイスを製造することが可能になる。

【0074】

[0074] いくつかの実施形態では、第1および第2のウルトラソニックトランスデューサ要素が、CMOS回路と同じ半導体ダイ上に一体化され、このことによって、少なくともいくつかの実施形態において、一体型超音波デバイスの製造が用意になる。

【0075】

[0075] いくつかの実施形態では、第1の送信制御回路が、第1のウルトラソニックトランスデューサ要素のために第1のパルスを駆動するように結合される第1の波形発生器を備え、第2の送信制御回路が、第2のウルトラソニックトランスデューサ要素のために第2のパルスを駆動するように結合される第2の波形発生器を備える。

【0076】

[0076] いくつかの実施形態では、第1および第2のウルトラソニックトランスデューサ要素の各々は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)セルを備え、いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数のCMOSウルトラソニックトランスデューサ(CUT)セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0077】

[0077] 本技術の態様によれば、ウルトラソニックトランスデューサ要素からの信号を処理するための方法が提供され、方法は、ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される構成要素を用いて、半導体ダイからのウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信することを含む。いくつかの実施形態におけるそのような動作によって、コンピュータ、スマートフォン、およびタブレットなどの外部処理構成要素へのデータの通信が容易になる。

【0078】

[0078] いくつかの実施形態では、方法は、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換することと、高速シリアルデータストリームとして半導体ダイからのデジタル信号に対応するデータを送信することを含むデータを送信することとをさらに含む。外部構成要素とのデジタル通信が、いくつかの実施形態で実現される。

【0079】

[0079] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、デジタル信号を処理してそのデータ帯域幅を減少させることをさらに含み、これは、いくつかの実施形態において、データのさらなる処理、ならびにコンピュータ、スマートフォン、およびタブレットなどの外部構成要素へのデータの通信を容易にするのに有利である。いくつかの実施形態では、少なくとも1つの追加構成要素は、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの

10

20

30

40

50

実施形態では、少なくとも1つの追加構成要素は、有限インパルス応答 (finite impulse response: FIR) フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、デチャープモジュールを備える。

【0080】

[0080] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、アナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離することをさらに含む。いくつかの実施形態では、そのような処理がデータの量を減少し、これが今度は、超音波データの収集および送信を容易にする。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。

10

【0081】

[0081] いくつかの実施形態では、送信することは、USBモジュールを使用して、半導体ダイからのウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信することを含む。いくつかの実施形態では、USBモジュールは、USB 3.0モジュールを備える。いくつかの実施形態では、送信することは、低電圧差動信号 (LVDS) リンクを使用して半導体ダイからウルトラソニックトランスデューサ要素の出力に対応するデータを送信することを含む。そのような通信プロトコルによって、外部構成要素と共にウルトラソニックトランスデューサ要素を使用することが容易になる。

20

【0082】

[0082] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素と、半導体ダイ上に一体化され、半導体ダイからのウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信するように構成される高速シリアルデータモジュールとを備える。高速シリアルデータストリームによって、いくつかの実施形態において、シリアルデータストリームを受信することができるデバイスに関して、超音波デバイスの使用が容易になる。

【0083】

[0083] いくつかの実施形態では、デバイスは、半導体ダイ上に一体化され、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換するように構成されるアナログ-デジタル (ADC) 変換器をさらに備える。いくつかの実施形態では、高速シリアルデータモジュールは、半導体ダイからのデジタル信号に対応するデータを高速シリアルデータストリームとして送信するように構成される。いくつかの実施形態では、そのような動作によって、外部デバイスとの超音波データの通信が容易になる。

30

【0084】

[0084] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号を処理してそのデータ帯域幅を減少させるように構成される、少なくとも1つの信号処理モジュールをさらに備え、これは、いくつかの実施形態において、さらなる処理、ならびにコンピュータ、スマートフォン、およびタブレットなどの外部構成要素への通信を容易にするのに有利である。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、有限インパルス応答フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デチャープモジュールを備える。

40

【0085】

[0085] いくつかの実施形態では、デバイスは、半導体ダイ上に一体化され、ADCコン

50

バータがアナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離するように構成される、少なくとも1つの追加構成要素をさらに備える。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。

【0086】

[0086] いくつかの実施形態では、高速シリアルデータモジュールは、USBモジュールを備える。いくつかの実施形態では、USBモジュールは、USB 3.0モジュールを備える。いくつかの実施形態では、高速シリアルデータモジュールは、低電圧差動信号(LVDS)リンクモジュールを備える。そのような通信プロトコルの使用によって、外部構成要素で超音波デバイスの使用が容易になる。

10

【0087】

[0087] 本技術の態様によれば、送信および/または制御回路が設けられるものと同じ半導体ダイ上に一体化される、少なくとも第1および第2のウルトラソニックトランスデューサ要素のために、送信および/または制御回路を動作させるための方法が提供され、方法は、コントローラを使用して、少なくとも第1および第2のウルトラソニックトランスデューサ要素のために、送信および/または制御回路の動作パラメータの値を制御することを含む。少なくともいくつかの実施形態では、そのような制御によって、いくつかの実施形態における望ましい波形の生成が容易になる。

【0088】

[0088] いくつかの実施形態では、方法は、半導体ダイ上に一体化されないコントローラで、高速シリアルデータリンクを介して、送信および/または制御回路に関連するレジスタに動作パラメータを通信することをさらに含む。

20

【0089】

[0089] いくつかの実施形態では、コントローラを使用することは、コントローラを使用して、少なくとも第1および第2のウルトラソニックトランスデューサ要素のために、送信制御回路の波形発生器の動作パラメータの値を制御することを含む。いくつかの実施形態では、コントローラを使用することは、コントローラを使用して、少なくとも第1および第2のウルトラソニックトランスデューサ要素のために、受信制御回路の増幅器の動作パラメータの値を制御することを含む。

【0090】

[0090] 本技術の態様によれば、デバイスが提供され、デバイスは、半導体ダイ上に一体化される、少なくとも第1および第2のウルトラソニックトランスデューサ要素と、半導体ダイ上に一体化される、送信および/または制御回路と、少なくとも第1および第2のウルトラソニックトランスデューサ要素のために、送信および/または制御回路の動作パラメータの値を制御するように構成されるコントローラとを備える。いくつかの実施形態では、そのような構成は、超音波画像を形成するのに好適な超音波データを集めるように構成される超音波撮像デバイスなどの、一体型超音波デバイスの少なくとも部分を表す。

30

【0091】

[0091] いくつかの実施形態では、コントローラは、半導体ダイ上に一体化されず、高速シリアルデータリンクを介して、送信および/または制御回路に関連するレジスタに動作パラメータを通信するように構成される。いくつかの実施形態では、コントローラは、少なくとも第1および第2のウルトラソニックトランスデューサ要素のために、送信制御回路の波形発生器の動作パラメータの値を制御するように構成される。いくつかの実施形態では、コントローラは、少なくとも第1および第2のウルトラソニックトランスデューサ要素のために、受信制御回路の増幅器の動作パラメータの値を制御するように構成される。

40

【0092】

[0092] 本技術の態様によれば、デバイスが提供され、デバイスは、超音波撮像チップ、および高密度焦点式超音波(HIFU)チップを備える。超音波撮像チップとHIFUチップは、結合され、組み合わせて動作して、画像誘導HIFUを実施する。超音波撮像チップ

50

は、好適な構成要素（たとえば、ウルトラソニックトランスデューサおよび回路）を含み、超音波画像を形成するのに好適な超音波データを集めることができる。H I F Uチップは、好適な構成要素（たとえば、ウルトラソニックトランスデューサおよび回路）を含み、H I F Uエネルギーを印加することができる。いくつかの実施形態では、超音波撮像により集められる超音波データから生じる画像は、H I F UチップによりH I F Uの印加を誘導するために使用される。

【 0 0 9 3 】

[0093] 本技術の態様によれば、デバイスが提供され、デバイスは、単一のチップに一体化された、超音波撮像回路および高密度焦点式超音波（HIFU）回路を備える。デバイスは、画像誘導H I F Uを実施するように構成される。したがって、いくつかの実施形態において、単一のデバイスが、複数の超音波機能を実施するように構成される。

10

【 0 0 9 4 】

[0094] 本技術の態様によれば、デバイスが提供され、デバイスは、C M O S ウェハ上の超音波トランスデューサ要素の配置、C M O S ウェハ上に形成されて超音波トランスデューサ要素の配置に電氣的に結合される集積回路を備える。集積回路は約50Vまでの電圧を駆動するように構成される。そのような電圧は、いくつかの実施形態において、高電圧の使用を必要とする可能性がある、H I F Uの印加および/または超音波撮像の実施に関して有利である。

【 0 0 9 5 】

[0095] いくつかの実施形態では、集積回路は、サブミクロンノードを備える。サブミクロンノードは、約50Vまでの電圧を駆動するように構成される。いくつかの実施形態では、サブミクロンノードとは、約1ミクロン未満であるノードのことを言う場合がある。いくつかの実施形態では、ディープサブミクロンノードとは、約0.3ミクロン未満であるノードのことを言う場合がある。いくつかの実施形態では、ウルトラディープサブミクロンノードとは、約0.1ミクロン未満であるノードのことを言う場合がある。したがって、いくつかの超音波用途で有用な高電圧を維持することが可能である、小型の一体型超音波デバイスが、少なくともいくつかの実施形態で提供される。

20

【 0 0 9 6 】

[0096] ウルトラソニックトランスデューサ要素が設けられるまたは使用される、本明細書に記載されたこれらの実施形態の少なくともいくつかでは、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備えることができる。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備え、いくつかの実施形態では、1つまたは複数のC M O S ウルトラソニックトランスデューサ（CUT）セルを備える。

30

【 0 0 9 7 】

[0097] 開示される技術の様々な態様および実施形態は、以下の図を参照して記載されることになる。図は、必ずしも原寸に比例しないことを理解されたい。複数の図に現れるアイテムは、アイテムが現れるすべての図で同じ参照番号により示される。

40

【 図面の簡単な説明 】

【 0 0 9 8 】

【 図 1 】 [0098] 本発明の様々な態様を具現化する、モノリシック超音波デバイスの説明に役立つ例を示す図である。

【 図 2 A 】 [0099] 音響信号を送信し、対象物から後方散乱されるパルスのみを受信するように適合される撮像デバイスの例示的な実装を示す図である。

【 図 2 B 】 音響信号を送信し、対象物から後方散乱されるパルスのみを受信するように適合される撮像デバイスの例示的な実装を示す図である。

【 図 3 A 】 [0100] 一対の対向する撮像デバイスを採用して対象物を撮像するシステムの例示的な実装を示す図である。

50

【図 3 B】一対の対向する撮像デバイスを採用して対象物を撮像するシステムの例示的な実装を示す図である。

【図 4 A】[0101]トランスデューサ配列中の個々のトランスデューサ要素が、その要素についての C M O S 回路に関してどのように配置できるのかの説明に役立つ例を示す図である。

【図 4 B】[0102]コントローラの指示の下で一緒に動作することができる、個々の超音波デバイスのグループを備える、超音波ユニットの説明に役立つ例を示す図である。

【図 5】[0103]いくつかの実施形態において、単一のトランスデューサ要素が、より大きいトランスデューサ配列内でどのように収まることができるのかを図示する図である。

【図 6 A】[0104]配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての 5 つの異なる例のうちの 1 つを示す図である。

【図 6 B】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての 5 つの異なる例のうちの 1 つを示す図である。

【図 6 C】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての 5 つの異なる例のうちの 1 つを示す図である。

【図 6 D】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての 5 つの異なる例のうちの 1 つを示す図である。

【図 6 E】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての 5 つの異なる例のうちの 1 つを示す図である。

【図 7 A】[0105]グレーティングローブなどを減少させるために、いくつかの実施形態において、トランスデューサ要素をどのように混合することができるのかについての例を示す図である。

【図 7 B】グレーティングローブなどを減少させるために、いくつかの実施形態において、トランスデューサ要素をどのように混合することができるのかについての例を示す図である。

【図 7 C】グレーティングローブなどを減少させるために、いくつかの実施形態において、トランスデューサ要素をどのように混合することができるのかについての例を示す図である。

【図 8】[0106]グレーティングローブなどを減少させるために、いくつかの実施形態において、配列のそれぞれのトランスデューサ要素に含まれるトランスデューサセルを互いにどのように結合することができるのかについての例を示す図である。

【図 9】グレーティングローブなどを減少させるために、いくつかの実施形態において、配列のそれぞれのトランスデューサ要素に含まれるトランスデューサセルを互いにどのように結合することができるのかについての例を示す図である。

【図 10】[0107]いくつかの実施形態において、どのようにして、所与のトランスデューサ要素についての T X 制御回路および R X 制御回路を使用して、要素に通電してウルトラソニックパルスを放出することができるのか、または要素により検知されるウルトラソニックパルスを表す要素からの信号を受信および処理することができるのかについて図示するブロック図である。

【図 11 A】[0108]受信信号のデジタル処理をオフチップで実施することができる、超音波デバイスの実施形態を図示する図である。

【図 11 B】[0109]波形発生器および他のデジタル回路の一部またはすべてがオフチップで配置することができる、超音波デバイスの実施形態を図示する図である。

【図 12 A】[0110]トランスデューサ配列のあらゆる送信位置において実時間遅延および増幅制御を可能にするように、いくつかの実施形態において、各 T X 制御回路に含むこと

10

20

30

40

50

ができる回路の例を示す図である。

【図 1 2 B】トランスデューサ配列のあらゆる送信位置において実時間遅延および増幅制御を可能にするように、いくつかの実施形態において、各 TX 制御回路に含むことができる回路の例を示す図である。

【図 1 3 A】[0111] 図 1 2 A ~ 図 1 2 B の実施形態中の波形発生器により使用されるレジスタに関する値を選択的に決定するため、タイミング & 制御回路および各 TX 制御回路で採用することができる構成要素の説明に役立つ例を示す図である。

【図 1 3 B】[0112] TX 制御回路および / または RX 制御回路により使用される動作パラメータのうちの 1 つまたは複数に関する値を選択的に決定するために使用することができる構成要素の例を示す図である。

10

【図 1 4】[0113] いくつかの実施形態において、超音波デバイス中で発生する送信イベントおよび受信イベントの両方を制御するために提供することができる、タイミング & 制御回路のイベントコントローラについての入力および出力の例を示す図である。

【図 1 5 A】[0114] 送信および / または受信イベントを制御するための好適な一連の出力を生成するために、図 1 4 に示されるイベントコントローラにより実施することができるルーチンの説明に役立つ例を示す図である。

【図 1 5 B】[0115] TX 制御回路および / または RX 制御回路により使用される 1 つまたは複数の動作パラメータに関する値を選択的に決定するため、図 1 3 A の実施形態に関連して採用することができるルーチンの説明に役立つ例を示す図である。

【図 1 6】[0116] 単一の波形発生器を 2 つ以上の TX 制御回路により共有することができる、超音波デバイスの代替実装形態を示す図である。

20

【図 1 7】[0117] 図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 1 8】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 1 9】[0118] 図 1 に示されるタイミング & 制御回路の例示的な実装を示す図である。

【図 2 0】[0119] 図 1 9 に示されるクロック生成回路の例示的な実装を示す図である。

【図 2 1】[0120] 図 1 0 に示される信号調節 / 処理回路の多重化されたデジタル処理ブロック中に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 2】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

30

【図 2 3】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 4】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 5】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 6】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 7】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

40

【図 2 8】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 9】[0121] 配列または他の配置中のトランスデューサ要素にバイアスをかけるための技法の例を図示する図である。

【図 3 0】配列または他の配置中のトランスデューサ要素にバイアスをかけるための技法の例を図示する図である。

【図 3 1】[0122] 図 1 0 に示される信号調節 / 処理回路の多重化されたデジタル処理ブロック中に含むことができる構成要素の例を示す図である。

【図 3 2 A】[0123] 波形除去回路および / もしくはソフトウェア、画像形成回路および /

50

もしくはソフトウェア、ならびに／またはバックエンド処理回路および／もしくはソフトウェアの一部またはすべてがオフチップで配置することができる実施形態を図示する図である。

【図 3 2 B】波形除去回路および／もしくはソフトウェア、画像形成回路および／もしくはソフトウェア、ならびに／またはバックエンド処理回路および／もしくはソフトウェアの一部またはすべてがオフチップで配置することができる実施形態を図示する図である。

【図 3 3】[0124]いくつかの実施形態において使用することができる、高電圧 N M O S および P M O S のレイアウトの例を示す図である。

【図 3 4】[0125]いくつかの実施形態において使用することができる、超高電圧 N M O S および P M O S のレイアウトの例を示す図である。

10

【図 3 5】[0126]いくつかの実施形態において使用することができる、高電圧 N M O S および P M O S の双方向またはカスコードレイアウトの例を示す図である。

【図 3 6】[0127]いくつかの実施形態において使用することができる、超高電圧 N M O S および P M O S の双方向またはカスコードレイアウトの例を示す図である。

【図 3 7】[0128]いくつかの実施形態において使用することができる高電圧スイッチを備える、高電圧 N M O S および P M O S のレイアウトを使用するパルサの例を示す図である。

【図 3 8 A】[0129]いくつかの実施形態において使用することができる二重電圧パルスドライバの例を示す図である。

【図 3 8 B】いくつかの実施形態において使用することができる四重電圧パルスドライバの例を示す図である。

20

【図 3 9 A】[0130]いくつかの実施形態において使用することができる、受信分離スイッチを採用しないパルサの例を示す図である。

【図 3 9 B】いくつかの実施形態において使用することができる、受信分離スイッチを採用しないパルサの例を示す図である。

【図 4 0 A】[0131]ここで、A D C 参照値のうちの 1 つまたは複数としていくつかの実施形態において採用することができる、時間インターリーブされた単一勾配アナログ - デジタル変換器 (ADC) の例を示す図である。

【図 4 0 B】ここで、A D C 参照値のうちの 1 つまたは複数としていくつかの実施形態において採用することができる、時間インターリーブされた単一勾配アナログ - デジタル変換器 (ADC) の動作の例を示す図である。

30

【図 4 1】[0132]いくつかの実施形態において採用することができる、時間インターリーブされたサンプルホールド回路の例を示す図である。

【図 4 2 A】[0133]ここで参照される A D C のうちの 1 つまたは複数としていくつかの実施形態において採用することができる、時分割高速 A D C の例を示す図である。

【図 4 2 B】ここで参照される A D C のうちの 1 つまたは複数としていくつかの実施形態において採用することができる、時分割高速 A D C の動作の例を示す図である。

【発明を実施するための形態】

【0099】

[0134] 本開示のいくつかの実施形態は、C M U T 技術の利益を活用し、ウルトラソニックスキャナ中の超音波画像形成処理の最先端を推し進める、新規の装置、システム、および方法を提供する。いくつかの実施形態では、堅牢で高度に一体化された超音波「システムオンチップ」が、完全なデジタル超音波フロントエンドと同じダイ上に製造されるウルトラソニックトランスデューサ配列とダイレクトに一体化されて提供される。本開示のいくつかの態様によれば、このアーキテクチャによって、完全デジタル化されたチャネルデータへの十分なアクセスを可能にし、高度な画像形成アルゴリズムを実施するための、最新技術の既製の計算プラットフォームの使用を許可することができる。

40

【0100】

[0135] この領域での以前の努力は、かなりの程度が、より先進的な技法ではなく標準的なビーム形成を実施することができる A S I C を設計することによる、標準的な超音波ア

50

ーキテクチャの密な一体化に集中され、または、先進的な撮像技法、典型的には拡大縮小可能な集積技術を欠いている高価なデバイスを作り出す技法の実装に集中されてきた。本開示は、先進的な撮像用途で十分に堅牢である、ユニークで、コスト効果的、また拡大縮小可能な一体型超音波プラットフォームオンチップを提供することにより、これらの問題の両方に対処する。

【0101】

[0136] 標準的なビーム形成方法を越えて進むには、単なる時間遅延パルスの送信以上をサポートすることができるアーキテクチャが必要になる。先進的な波形符号化技法を実装するのに十分なフレキシビリティには、トランスデューサ配列中の各要素について、専用のシステムリソースが必要になる。本開示は、たとえば、新規の波形発生器で、この制限を克服する。いくつかの実施形態では、集積回路は、この波形発生器がマルチレベルの（たとえば、3つ以上のレベルの）パルスを制御することをユニークに可能にして、完全な一体型トランスデューサ／CMOS構成で以前には達成されていなかった特徴である、後続の処理における多くの先進的な超音波技法を実装する能力をもたらす。

10

【0102】

[0137] しばしば、超音波受信器アーキテクチャは、複数のチャンネルからデータ帯域幅を減らす必要がある。従来型超音波でこれを行う1つの様態は、標準的なビーム形成方法を使用することである。この操作は不可逆であり、多くのより先進的な超音波撮像再構成技法と互換性がない。多くの場合、全チャンネルのデータレートは、システムの外部デジタルリンクの帯域幅を超える可能性がある。本明細書に開示されるいくつかの実施形態は、チップを離れるデータについて、かつてないレベルの制御のデータレートを可能にする様態で、全チャンネルのデータを使用するフレキシビリティをもたらす新規のアーキテクチャを採用する。

20

【0103】

[0138] 本明細書に詳述される集積回路は、一体型超音波撮像デバイスのために、ユニークに設計される。CMOS接触によって、ダイレクトウェハボンディング、犠牲リリース、フリップチップボンディング、および／または超音波トランスデューサ要素への相互接続を確立するための他の技法が容易になる。

【0104】

[0139] 上に記載された態様および実施形態、ならびに追加の態様および実施形態が下でさらに記載される。これらの態様および／または実施形態は、本開示がこの点に関して制限されないので、別個、すべて一緒、または2つ以上の任意の組合せで 사용할ことができる。

30

【0105】

[0140] 図1は、本発明の様々な態様を具現化する、モノリシック超音波デバイス100の説明に役立つ例を示す。示されるように、デバイス100は、1つまたは複数のトランスデューサ配置（たとえば、配列）102、送信（TX）制御回路104、受信（RX）制御回路106、タイミング&制御回路108、信号調節／処理回路110、電力管理回路118、および／または高密度焦点式超音波（HIFU）コントローラ120を含むことができる。示される実施形態では、図示される要素のすべてが、単一の半導体ダイ112上に形成される。しかし、代替実施形態では、より詳細に下で議論されるように、図示される要素のうちの1つまたは複数、を代わりにオフチップに配置することができることを理解されたい。加えて、図示される例は、TX制御回路104およびRX制御回路106の両方を示すが、（やはり下でより詳細に議論される）代替実施形態では、TX制御回路のみ、またはRX制御回路のみを採用することができる。たとえば、そのような実施形態は、1つまたは複数の送信専用デバイス100が使用されて音響信号を送信し、1つまたは複数の受信専用デバイス100が使用されて、ウルトラソニックで撮像される対象物を通して送信された、または対象物により反射された音響信号を受信する環境で採用することができる。

40

【0106】

50

[0141] 図示される構成要素のうちの1つまたは複数間の通信は、多くの様態のうちのいずれかで実施できることを理解されたい。いくつかの実施形態では、たとえば、統一されたノースブリッジにより採用されたものなどの、1つまたは複数の高速バス（図示せず）を使用して、高速チップ内通信、または1つまたは複数のオフチップ構成要素との通信を可能にすることができる。

【0107】

[0142] 1つまたは複数のトランスデューサ配列102は、多くの形式のうちのいずれかをとることができ、本技術の態様は、必ずしも、トランスデューサセルまたはトランスデューサ要素の任意の特定のタイプまたは配置を使用する必要がない。実際に、「配列」という用語がこの記載で使用されるが、いくつかの実施形態において、トランスデューサ要素は、配列に組織化されなくてよく、代わりに何らかの配列でない様式で配置されてよいことを理解されたい。様々な実施形態では、配列102中のトランスデューサ要素の各々は、たとえば、1つもしくは複数のCMUT、1つもしくは複数のCMOSウルトラソニックトランスデューサ（CUT）、および/または1つもしくは複数の他の好適なウルトラソニックトランスデューサセルを含むことができる。いくつかの実施形態では、各トランスデューサ配列102のトランスデューサ要素304は、TX制御回路104および/またはRX制御回路106の電子回路と同じチップ上に形成することができる。ウルトラソニックトランスデューサセル、要素、および配置（たとえば、配列）、ならびにCMOS回路が下にあるそのようなデバイスを一体化する方法の多くの例は、その全体の開示が参照により本明細書に組み込まれる、「COMPLEMENTARY METAL OXIDE SEMICONDUCTOR（CMOS）ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME」と題し、代理人整理番号第B1348,70007US00号を持ち、2013年3月15日に出願された、米国出願第61/794,744号に詳細に議論されている。

10

20

【0108】

[0143] CUTは、たとえば、CMOSウェハに形成される空洞を含み、膜が空洞の上にあって、いくつかの実施形態では、空洞を封止する。カバーされる空洞構造からトランスデューサセルを形成するために、電極を設けることができる。CMOSウェハは、トランスデューサセルを接続できる集積回路を含むことができる。トランスデューサセルとCMOSウェハを、モノリシックに一体化し、したがって、単一基板（CMOSウェハ）上に一体型ウルトラソニックトランスデューサセルおよび集積回路を形成することができる。

30

【0109】

[0144] TX制御回路104は（含まれる場合）、たとえば、撮像のために使用される音響信号を生成するように、トランスデューサ配列102の個々の要素、またはトランスデューサ配列102内の要素の1つまたは複数のグループを駆動するパルスを生成することができる。RX制御回路106は（含まれる場合）、一方、音響信号がそのような要素に当たったとき、トランスデューサ配列102の個々の要素により生成される電気信号を受信して処理することができる。

【0110】

[0145] いくつかの実施形態では、タイミング&制御回路108は、たとえば、デバイス100の中の他の要素の動作を同期して協調させるために使用されるすべてのタイミングおよび制御信号を生成する役目を果たすことができる。示される例では、タイミング&制御回路108は、入力ポート116に供給される単一のクロック信号CLKにより駆動される。クロック信号CLKは、たとえば、オンチップ回路構成要素のうちの1つまたは複数個を駆動するために使用される高周波クロックであってよい。いくつかの実施形態では、クロック信号CLKは、たとえば、信号調節/処理回路110の中の高速シリアル出力デバイス（図1では図示せず）を駆動するために使用される1.5625GHzもしくは2.5GHzクロック、またはダイ112上の他のデジタル構成要素を駆動するために使用される20MHzまたは40MHzクロックであってよく、タイミング&制御回路108は、必要に応じて、ダイ112上の他の構成要素を駆動するため、クロックCLKを分周

40

50

または乗算してよい。他の実施形態では、（上で参照されたもののような）異なる周波数の2つ以上のクロックを、オフチップ発生源からタイミング&制御回路108に別個に供給することができる。タイミング&制御回路108内に含むことができる好適なクロック発生回路1904の説明に役立つ例は、図19および図20に関して下で議論される。

【0111】

[0146] 電力管理回路118は、たとえば、オフチップ発生源からの1つまたは複数の入力電圧 V_{IN} をチップの動作を実行するために必要な電圧に変換する、さもなければ、デバイス100内の電力消費を管理する役目を果たすことができる。いくつかの実施形態では、たとえば、単一の電圧（たとえば、12V、80V、100V、120Vなど）をチップに供給することができ、電力管理回路118は、必要に応じて、チャージポンプ回路を使用して、または何らかの他のDC-DC電圧変換機構を介して、その電圧をステップアップまたはステップダウンすることができる。他の実施形態では、他のオンチップ構成要素の処理および/または他のオンチップ構成要素への分配のため、複数の異なる電圧を、電力管理回路118に別個に供給することができる。

10

【0112】

[0147] 図1に示されるように、いくつかの実施形態では、トランスデューサ配列102のうちの1つまたは複数の要素を介してHIFU信号の生成を可能にするように、HIFUコントローラ120を、ダイ112上に一体化することができる。他の実施形態では、トランスデューサ配列102を駆動するためのHIFUコントローラを、オフチップ、またはそれぞれ、デバイス100とは別個のデバイス内に配置することができる。すなわち、本開示の態様は、超音波撮像能力を持つ、および持たない超音波オンチップHIFUシステムを提供することに関する。しかし、いくつかの実施形態はHIFU能力を持たない場合があり、したがってHIFUコントローラ120を含まない場合があることを理解されたい。

20

【0113】

[0148] さらに、HIFU機能性を提供するそれらの実施形態において、HIFUコントローラ120がはっきりした回路を呈さない場合があることを理解されたい。たとえば、いくつかの実施形態では、図1の残りの回路（HIFUコントローラ120以外）は、超音波撮像機能性および/またはHIFUを提供するのに好適であってよく、すなわち、いくつかの実施形態では、同じ共有回路を、撮像システムとして、かつ/またはHIFUのために動作することができる。撮像またはHIFU機能性が発揮されるかどうかは、システムに提供される電力に依存する場合がある。HIFUは、典型的には、超音波撮像よりも高い電力で動作する。したがって、撮像用途に適した第1の電力レベル（または電圧）をシステムに提供することによって、システムを撮像システムとして動作させることができ、一方、より高い電力レベル（または電圧）を提供することによって、システムをHIFU用に動作させることができる。そのような電力管理は、いくつかの実施形態において、オフチップ制御回路により実現することができる。

30

【0114】

[0149] 異なる電力レベルを使用することに加えて、撮像およびHIFUへの応用では、異なる波形を利用することができる。したがって、波形発生回路を使用して、撮像システムまたはHIFUシステムのいずれかとしてシステムを動作させるための好適な波形を提供することができる。

40

【0115】

[0150] いくつかの実施形態では、システムは、撮像システムおよび（たとえば、画像誘導HIFUを実現することが可能な）HIFUシステムの両方として動作することができる。いくつかのそのような実施形態では、同じオンチップ回路を利用して両方の機能を実現することができ、2つのモダリティの間で動作を制御するために、好適なタイミングシーケンスが使用される。本開示に記載される様々な実施形態で採用することができる、HIFU実装および動作特徴に関するさらなる詳細が、その全体の内容が参照により本明細書に組み込まれる、「TRANSMISSIVE IMAGING AND RELAT

50

ED APPARATUS AND METHODS」と題し、2012年10月17日に出願された、同時係属および共有される米国特許出願第13/654,337号に記載される。

【0116】

[0151] 示される例では、1つまたは複数の出力ポート114が、信号調節/処理回路110の1つまたは複数の構成要素により生成される高速シリアルデータストリームを出力することができる。そのようなデータストリームは、たとえば、ダイ112上に一体化される、1つまたは複数のUSB3.0モジュール、および/または1つまたは複数の10GB、40GB、または100GBイーサネットモジュールにより生成することができる。いくつかの実施形態では、出力ポート114上に作り出される信号ストリームは、2次元、3次元、および/またはトモグラフィック画像の生成および/または表示のため、コンピュータ、タブレット、またはスマートフォンに送ることができる。画像形成能力が信号調節/処理回路110の中に（下でさらに説明されるように）組み込まれる実施形態では、アプリケーション実行のため利用可能な限られた量の処理力およびメモリだけを有するスマートフォンまたはタブレットなどの、比較的低電力デバイスでさえ、出力ポート114からのシリアルデータストリームのみを使用して画像を表示することができる。信号調節/処理回路110の中に含むことができる高速シリアルデータモジュールおよび他の構成要素の例が、図21および図31に関して下でより詳細に議論される。上に言及したように、デジタルデータストリームをオフロードするため、オンチップアナログ-デジタル変換および高速シリアルデータリンクを使用することは、本開示のいくつかの実施形態に従って、「超音波オンチップ」解決策を容易にする助けとなる特徴のうちの1つである。

10

20

【0117】

[0152] 図1に示されたものなどのデバイス100は、いくつかの撮像および/または治療（たとえば、HIFU）への応用のうちのいずれかで使用することができ、本明細書で議論された特定の例は、限定するものと考えるべきでない。1つの説明に役立つ実装では、たとえば、CMUT要素の $N \times M$ 個の平面または実質的に平面の配列を含む撮像デバイスは、1つまたは複数の送信位相期間に配列102中の要素の一部または全部を（一緒に、または別個に）通電すること、ならびに、各受信位相期間にCMUT要素が対象物により反射される音響信号を検知するように、1つまたは複数の受信位相期間に、配列102中の要素の一部または全部により生成される信号を受信および処理することによって、たとえば人間の腹部といった対象物のウルトラソニック画像を取得するため、撮像デバイス自体を使用することができる。他の実装では、配列102中の要素のいくつかは、音響信号を送信するためだけに使用することができ、同じ配列102中の他の要素は、音響信号を受信するためだけに同時に使用することができる。さらに、いくつかの実装では、単一の撮像デバイスは、個々のデバイスの $P \times Q$ 個の配列、またはCMUT要素の個々の $N \times M$ 個の平面配列の $P \times Q$ 個の配列を含むことができ、その構成要素は、単一のデバイス100の中、または単一のダイ112上で具現化することができるよりも多い数のCMUT要素から累積されるデータを可能にするように、並列、順次、または何らかの他のタイミング方式に従って動作することができる。

30

40

【0118】

[0153] さらに他の実装では、対象物をまたぐように一対の撮像デバイスを配置することができ、そのため、対象物の一方の側の撮像デバイスのデバイス100の中の1つまたは複数のCMUT要素が、対象物の他方の側の撮像デバイスのデバイス100の中の1つまたは複数のCMUT要素により生成される音響信号を、そのようなパルスが対象物により大幅に減衰されない限り、検知することができる。さらに、いくつかの実装では、同じデバイス100を使用して、デバイス100自体のCMUT要素のうちの1つまたは複数からの音響信号の散乱、ならびに対象物の反対側の撮像デバイス中に配設されるCMUT要素のうちの1つまたは複数からの音響信号の送信の両方を測定することができる。

【0119】

50

[0154] 音響信号を送信して対象物 202 から後方散乱されるパルスだけを受信するように適合される、超音波ユニット 200 の実施形態の説明に役立つ例が図 2 A ~ 図 2 B に示される。超音波ユニット 200 は、たとえば、回路板（図示せず）上の配列に配置され、超音波ユニット 200 の筐体により支持される、1 つまたは複数のデバイス 100 を備える。図 2 A の例示的な実装では、超音波ユニット 200 から的高速シリアルデータストリームを、さらなる処理および / またはコンピュータ 204 のスクリーン 206 上への表示のため、コンピュータ 204 のシリアルポート（たとえば、USB ポート）に出力することができる。下でより詳細に議論されるように、そのような機能性を達成するための構成要素がデバイス 100 のうちの 1 つまたは複数のダイ 112 上に一体化されるのか、さもなければ、超音波ユニット 200 中に設けられるのかに依存して、コンピュータの表示スクリーン 206 上に画像を表示する前に、波形除去、画像形成、バックエンド処理などの機能を実施することをコンピュータ 204 が要求される場合があり、要求されない場合もある。

10

20

30

40

50

【0120】

[0155] 図 2 B に示されるように、他の実装では、超音波ユニット 200 から的高速シリアルデータストリームを、さらなる処理および / または表示のため、スマートフォン 208 の入力ポートに提供することができる。このタイプのデバイスにおけるアプリケーション実行のため利用可能な処理力およびメモリは制限される可能性があるので、いくつかの実施形態では、データ処理（たとえば、波形除去、画像形成、および / またはバックエンド処理など）のうちの一部または全部は、デバイス 100 のうちの 1 つまたは複数のダイ 112 上、さもなければ、超音波ユニット 200 内で実施することができる。しかし、他の実施形態では、そのようなデータ処理のうちの一部または全部を、追加または代替的に、スマートフォン 208 上の 1 つまたは複数のプロセッサにより実施することができる。

【0121】

[0156] 一对の対向する超音波ユニット 200 を採用する実装の別の例が、図 3 A ~ 図 3 B に図示される。図 3 A に示されるように、一对の超音波ユニット 200 は、対象物 202 をまたぐように配置され（対象物 202 の後の超音波ユニット 200 は、図 3 A では見えない）、デスクトップコンピュータまたはワークステーション 306 にデータのシリアルストリームを出力することができる。図 3 B は、対象物 202 内の領域 302 を撮像するため、どのようにデバイス 100 のトランスデューサ配列 102 を配置することができるのかを図示する。上で議論したように、採用される撮像技法および方法論に依存して、所与の配列 102 中の個々のトランスデューサ要素 304 を使用して、音響信号を生成する、または音響信号を受信する、または両方を行うことができる。上記の例のいずれかは、たとえば、2D ブライトネスモード（B モード）、3D B モード、またはトモグラフィックウルトラソニック撮像を可能にする。

【0122】

[0157] いくつかの実施形態では、本明細書に開示されるデバイスおよびアーキテクチャは、たとえば、1 つまたは複数の合成開口技法など、1 つまたは複数の高度な方法と完全に一体化することができる。合成開口技法は、たとえば、複数の受信開口の集合から、高解像度画像の形成を可能にすることができる。そのような技法の例としては、限定はしないが、（1）トランスデューサ要素のすべての対で送信および受信する、（2）平面波合成、（3）任意の送信モードについての逆散乱解決策、（4）補間範囲移動（たとえば、Stolt 補間）または他のフーリエリサンプリング技法、（5）ダイナミックフォーカス、（6）遅延加算処理、および（7）仮想発生源が挙げられる。

【0123】

[0158] 本明細書に開示されるものなどのデバイス 100 を使用して、追加または代替的に採用することができるウルトラソニックトランスデューサ要素 304 の配列の他の構成および実装の多くの例は、上で参照により組み込まれ、「TRANSMISSIVE IMAGING AND RELATED APPARATUS AND METHODS」と題し、2012 年 10 月 17 日に出願された、同時係属および共有される米国特許出

願第 1 3 / 6 5 4 , 3 3 7 号に記載される。

【 0 1 2 4 】

[0159] 図 4 A は、トランスデューサ配列 1 0 2 中の個々のトランスデューサ要素 3 0 4 が、そのトランスデューサ要素 3 0 4 についての (T X 制御回路 1 0 4 および / または R X 制御回路 1 0 6 を含む) C M O S 回路 4 0 2 に関してどのように配置できるのかの説明に役立つ例を示す。示されるように、いくつかの実施形態では、各トランスデューサ要素 3 0 4 は、それに対応する T X 制御回路 1 0 4 および R X 制御回路 1 0 6 を関連付けることができる。そのような回路の例示的な実装の詳細が下に記載される。図 4 A に示される実施形態では、たとえば、相互接続、構成要素間のクロストークの最小化、寄生容量の最小化などが容易になるように、トランスデューサ要素 3 0 4 の各々は、その対応する T X 制御回路 1 0 4 および / または R X 制御回路 1 0 6 の直接上に配設される。(以前に議論されたように、トランスデューサセル(たとえば、下に記載されるトランスデューサセル 6 0 2)、トランスデューサ要素 3 0 4、およびトランスデューサ配列 1 0 2 が、この様式で、どのように C M O S 回路と一体化されるのか、さもなければ、C M O S 回路の上に形成されるのかについての詳細は、上で参照により組み込まれ、「C O M P L E M E N T A R Y M E T A L O X I D E S E M I C O N D U C T O R (C M O S) U L T R A S O N I C T R A N S D U C E R S A N D M E T H O D S F O R F O R M I N G T H E S A M E」と題し、代理人整理番号第 B 1 3 4 8 . 7 0 0 0 7 U S 0 0 号を持ち、2 0 1 3 年 3 月 1 5 日に出願された、米国出願第 6 1 / 7 9 4 , 7 4 4 号に提供される。)

10

20

【 0 1 2 5 】

[0160] しかし、他の実施形態では、トランスデューサ要素 3 0 4 のうちの 1 つまたは複数は、他の利益または利点を達成するため、1 つまたは複数の T X 制御回路 1 0 4 および / または 1 つまたは複数の R X 制御回路 1 0 6 に対して、その他の方法で配置できることを理解されたい。上に言及したように、さらに、いくつかの実施形態では、T X 制御回路 1 0 4 および / または R X 制御回路 1 0 6 の構成要素のうちの一部または全部は、ダイ 1 1 2、デバイス 1 0 0、および / または超音波ユニット 2 0 0 から省略できることを理解されたい。ある種の実施形態では、たとえば、T X 制御回路 1 0 4 および / または R X 制御回路 1 0 6 の機能性は、異なるチップ、またはそれどころか、異なるデバイス、たとえばコンピュータによって実施することができる。

30

【 0 1 2 6 】

[0161] 図 4 B は、コントローラ 4 0 6 の指示の下で一緒に動作することができる、個々の超音波デバイス 1 0 0 a ~ 1 0 0 d のグループを備える、超音波ユニット 2 0 0 の説明に役立つ例を示す。超音波デバイス 1 0 0 a ~ 1 0 0 d は、デバイス 1 0 0 用に本明細書で記載されたタイプであってよく、いくつかの実施形態における超音波オンチップデバイスであってよく、または他の超音波デバイスであってよい。いくつかの実施形態では、デバイス 1 0 0 a ~ 1 0 0 d の各々は、超音波トランスデューサおよび集積回路を含む、単一のチップデバイスであってよい。

【 0 1 2 7 】

[0162] さらに、デバイス 1 0 0 a ~ 1 0 0 d は、互いに同じであってよく、または異なるタイプのデバイスであってよい。たとえば、いくつかの実施形態では、デバイス 1 0 0 a ~ 1 0 0 d は、同じ機能性(たとえば、超音波撮像機能性)を提供することがすべてできる。いくつかの実施形態では、デバイス 1 0 0 a ~ 1 0 0 d のうちの 1 つまたは複数は、超音波撮像デバイスとして構成することができ、1 つまたは複数は、H I F U デバイスとして構成することができる。いくつかの実施形態では、デバイス 1 0 0 a ~ 1 0 0 d のうちの 1 つまたは複数は、撮像デバイス、または H I F U デバイス、または両方のいずれかとして動作するように制御可能であってよい。

40

【 0 1 2 8 】

[0163] ウルトラソニックエネルギーを放出および / または検出するために使用することができる大面積を形成するために、任意の数の個別デバイス 1 0 0 を、2、4、8、1 6

50

、または任意の他の量の配列で配置できることを理解されたい。したがって、4つの図示されたデバイス100a~100dは、非限定的な例を表す。複数のデバイス100a~100dが示されるように結合されるいくつかのそのような実施形態では、デバイス100a~100dは、共通のパッケージまたは筐体内にパッケージングしてよく、共通の基板（たとえば、板またはインターポーザ）上に配設してよく、または任意の好適な様式で機械的に結合してよい。

【0129】

[0164] 複数のデバイス100a~100dの動作が同期することを可能になるように、いくつかの実施形態において、個々のデバイス100のダイ112上に含むことができるクロック生成回路1904の例が、図19および図20に関して下に記載される。

10

【0130】

[0165] 図5は、いくつかの実施形態において、単一のトランスデューサ要素304が、より大きいトランスデューサ配列102内でどのように収まることができるのかを図示する。図6A~図6Eは、配列102内の、円形のトランスデューサセル602からなる所与のトランスデューサ要素304を、いくつかの実施形態において、どのように構成することができるのかについての5つの異なる例を示す。図6Aに示されるように、いくつかの実施形態では、配列102中の各トランスデューサ要素304は、単一のトランスデューサセル602（たとえば、単一のCUTまたはCMUT）だけを含んでよい。図6B~図6Eに示されるように、他の実施形態では、配列102中の各トランスデューサ要素304は、個々のトランスデューサセル602（たとえば、CUTまたはCMUT）のグループを含んでよい。トランスデューサ要素304の他の可能な構成は、台形の要素、三角形の要素、六角形の要素、八角形の要素などを含む。同様に、所与のトランスデューサ要素304を作り上げる各トランスデューサセル602（たとえば、CUTまたはCMUT）は、各トランスデューサセル602自体が、上記の幾何形状のいずれかをとることができ、そのため、所与のトランスデューサ要素304は、たとえば、1つまたは複数の正方形のトランスデューサセル602、矩形のトランスデューサセル602、円形のトランスデューサセル602、星形のトランスデューサセル602、台形のトランスデューサセル602、三角形のトランスデューサセル602、六角形のトランスデューサセル602、および/または八角形のトランスデューサセル602などを含むことができる。

20

【0131】

[0166] いくつかの実施形態では、各所与のトランスデューサ要素304内のトランスデューサセル602のうちの少なくとも2つ（たとえば、すべて）はユニットとしての役割を果たし、（下に記載される）同じパルスの出力に応答して出射するウルトラソニックパルスを一緒に生成する、かつ/または、入射するウルトラソニックパルスを一緒に受信して同じアナログ受信回路を駆動する。複数のトランスデューサセル602が各トランスデューサ要素304に含まれるとき、個々のトランスデューサセル602は、多くのパターンのうちのいずれかで配置することができ、所与の用途について、たとえば、指向性、信号対雑音比（SNR）、視野などの様々な性能パラメータを最適化するように、特定のパターンが選択される。CUTがトランスデューサセル602として使用されるいくつかの実施形態では、個々のトランスデューサセル602は、たとえば、約20~110μm程度の幅で、約0.5~1.0μmの膜厚を有することができ、個々のトランスデューサ要素304は、約0.1~2.0μm程度の深さを有し、約0.1mm~3mmの直径、または中間の任意の値を有することができ、これらは、可能な寸法の単に説明に役立つ例であるが、より大きい寸法およびより小さい寸法が可能であり、意図される。

30

40

【0132】

[0167] たとえば、その全体が参照により組み込まれる、B a v a r o , V . らの「E l e m e n t S h a p e D e s i g n o f 2 - D C M U T A r r a y s f o r R e d u c i n g G r a t i n g L o b e s , I E E E T r a n s a c t i o n s o n U l t r a s o n i c s , F e r r o e l e c t r i c s , a n d F r e q u e n c y C o n t r o l , V o l . 5 5 , N o . 2 , F e b r

50

uary 2008」に記載されるように、トランスデューサ配列 102 の性能パラメータを最適化するように、トランスデューサ要素 304 の形状およびトランスデューサ要素 304 間の相互関係を選択することが可能である。本明細書に記載されるウルトラソニックデバイスの実施形態は、そのような技法を採用することができる。図 7A ~ 図 7B は、星形のトランスデューサ要素 304 のトランスデューサセル 602 (たとえば、CUT または CMUT) が混合される説明に役立つ例を示し、図 7C は、グレーティングローブの減少などの利点を達成するように、円形のトランスデューサ要素 306 のトランスデューサセル 602 が混合される説明に役立つ例を示す。

【0133】

[0168] いくつかの実施形態では、グレーティングローブを減少する同様の効果などは、配列 102 中のトランスデューサ要素 304 を混合することに加えて、または配列 102 中のトランスデューサ要素 304 を混合することの代わりに、所与のトランスデューサ要素 304 中の 1 つまたは複数のトランスデューサセル 602 を、1 つまたは複数の隣接するまたは近くのトランスデューサ要素 304 中の 1 つまたは複数のトランスデューサセル 602 と結合することにより、達成することができる。そのような技法を使用することにより、所与のトランスデューサセル 602 が、単一のトランスデューサ要素 304 だけに属する必要がなく、代わりに複数のトランスデューサ要素 304 により共有することができるので、全トランスデューサ領域をより良好に使用することを実現することができる。このセル共有技法は、いくつかの実施形態では、トランスデューサ要素 304 中のいくつかのトランスデューサセル 602 に、同じ要素の中の他のトランスデューサセル 602 よりも小さい出力を放射させる、アポディゼーション技法と組み合わせることができる。

【0134】

[0169] 好適なセル共有技法の説明に役立つ例が、図 8 に示される。この例では、トランスデューサ要素 304 の周辺におけるトランスデューサセル 602 (たとえば、CUT または CMUT) が、結合要素 802 を介して互いに結合される。いくつかの実施形態では、結合要素 802 は、たとえばポリシリコン抵抗器を備えることができる。他の実装では、結合要素 802 は、容量性および / または誘導性の要素または特徴を、追加または代替的に備えることができる。たとえば、誘導性結合は、結合されるべきトランスデューサセル 602 のための導体を互いに極めて近接して延ばすことにより、トランスデューサセル 602 の対の間に作り出すことができる。いくつかの実施形態では、たとえば共有されるトランスデューサ要素 304 の周辺のトランスデューサセル 602 といった、特定のトランスデューサセル 602 が、所望のアポディゼーション方式に従って、さらに動作することができる。図 8 に示される実施形態では、たとえば、他の要素の中のトランスデューサセル 602 に結合されるトランスデューサセル 602 にアポディゼーション方式を適用することができ、その結果、それらは、そのように結合されないトランスデューサセル 602 よりも小さい出力を放射する。

【0135】

[0170] いくつかの実施形態では、たとえば、トランスデューサセル 602 のトランスデューサ要素 304 の周辺へのトランスデューサセル 602 の近接度に依存して、トランスデューサセル 602 の異なる対の間で異なるインピーダンス値が使用されることも有利な可能性がある。いくつかの実施形態では、たとえば、両方が 2 つのトランスデューサ要素 304 の周辺に配置されるトランスデューサセル 602 の対は、トランスデューサセル 602 のうちの 1 つがそのトランスデューサ要素 304 の周辺にないトランスデューサセル 602 の対と一緒に結合するために使用されるインピーダンス値よりも大きいインピーダンス値で、一緒に結合することができる。この可能な構成が、図 9 に図示される。示されるように、2 つのトランスデューサ要素 304 の周辺のトランスデューサセル 602 a は、抵抗値 R1 を有する結合部 802 a (たとえば、ポリシリコン抵抗器) を介して一緒に結合することができ、一方、トランスデューサ要素 304 の中央により近いトランスデューサセル 602 b は、抵抗値 R2 を有する結合部 802 b を介して別のトランスデューサ

セル 602 に結合することができる。抵抗値 R2 は、たとえば、抵抗値 R1 よりも大きくてよい。いくつかの実施形態では、トランスデューサ要素 304 の周辺から中心部分へ徐々に増加するインピーダンス値の勾配を採用することができる。この場合も、異なるインピーダンス値またはインピーダンス値の勾配を採用するようなセル共有技法は、特定の用途のために配列 102 の性能を最適化するように、アポディゼーション技法と組み合わせることができる。

【0136】

[0171] 上に言及したように、配列 102 中のトランスデューサ要素 304 を共有する、かつ / またはアポダイズするための上の技法は、対称的または非対称的のいずれでも、また、何らかの勾配に従って周辺の周りで均一にまたはそうでなくても、上に議論された混合技法と組み合わせることができ、そのため、トランスデューサ要素 304 は、その周辺で、またはインピーダンス値の勾配を介して、または他の方法で、両方が混合および一緒に結合されるトランスデューサセル 602 を有することができる。

10

【0137】

[0172] 図 10 は、いくつかの実施形態において、どのようにして、所与のトランスデューサ要素 304 についての TX 制御回路 104 および RX 制御回路 106 をいずれか使用して、トランスデューサ要素 304 に通電してウルトラソニックパルスを放出するのか、またはトランスデューサ要素 304 により検知されるウルトラソニックパルスを表すトランスデューサ要素 304 からの信号を受信および処理するのかについて図示するブロック図である。いくつかの実装では、TX 制御回路 104 は、「送信」位相期間に使用することができ、RX 制御回路は、送信位相と重複しない「受信」位相期間に使用することができる。他の実装では、一对の超音波ユニット 200 が透過型撮像だけのために使用されるときなど、TX 制御回路 104 および RX 制御回路 106 のうちの 1 つが、所与のデバイス 100 の中で単純に使用されない場合がある。上に言及したように、いくつかの実施形態では、デバイス 100 は、代替的に、TX 制御回路 104 だけまたは RX 制御回路 106 だけを採用する場合があります。本技術の態様は、両方のそのようなタイプの回路の存在を必ずしも必要としない。様々な実施形態では、各 TX 制御回路 104 および / または各 RX 制御回路 106 は、単一のトランスデューサセル 602 (たとえば、CUT または CMUT)、単一のトランスデューサ要素 304 内の 2 つ以上のトランスデューサセル 602 のグループ、トランスデューサセル 602 のグループを備える単一のトランスデューサ要素 304、配列 102 内の 2 つ以上のトランスデューサ要素 304 のグループ、またはトランスデューサ要素 304 の全体配列 102 に関連することができる。

20

30

【0138】

[0173] 図 10 に示される例では、配列 102 中の各トランスデューサ要素 304 について、別個の TX 制御回路 104 / RX 制御回路 106 の組合せがあるが、タイミング & 制御回路 108 および信号調節 / 処理回路 110 の各々の、1 つの事例だけがある。したがって、そのような実装では、タイミング & 制御回路 108 は、ダイ 112 上の、TX 制御回路 104 / RX 制御回路 106 の組合せのすべての動作を同期および協調する役目を果たすことができ、信号調節 / 処理回路 110 は、ダイ 112 上の RX 制御回路 106 (図 10 の要素 1004 を参照) のすべてからの入力を取り扱う役目を果たすことができる。

40

【0139】

[0174] 図 10 に示されるように、デバイス 100 中の様々なデジタル構成要素を駆動するためのクロック信号を生成および / または分配することに加えて、タイミング & 制御回路 108 は、各 TX 制御回路 104 の動作をイネーブルにする「TX イネーブル」信号、または各 RX 制御回路 106 の動作をイネーブルにする「RX イネーブル」信号のいずれかを出力することができる。示される例では、TX 制御回路 104 の出力が RX 制御回路 106 を駆動するのを防止するために、RX 制御回路 106 中のスイッチ 1002 は、TX 制御回路 104 がイネーブルにされる前は常に開であってよい。RX 制御回路 106 がトランスデューサ要素 304 により生成された信号を受信して処理できるように、ス

50

イチ 1002 は、RX 制御回路 106 の動作がイネーブルにされるととき閉であってよい。

【0140】

[0175] 示されるように、それぞれのトランスデューサ要素 304 についての TX 制御回路 104 は、波形発生器 1006 およびパルサ 1008 の両方を含むことができる。波形発生器 1006 は、たとえば、生成される波形に対応するトランスデューサ要素 304 への駆動信号をパルサ 1008 に出力させるように、パルサ 1008 に印加される波形を生成する役目を果たすことができる。

【0141】

[0176] 図 10 に示される例では、それぞれのトランスデューサ要素 304 についての RX 制御回路 106 は、アナログ処理ブロック 1010、アナログ - デジタル変換器 (ADC) 1012、およびデジタル処理ブロック 1014 を含む。ADC 1012 は、たとえば、10 ビット、20 Msp s、40 Msp s、または 80 Msp s の ADC を備えることができる。

【0142】

[0177] デジタル処理ブロック 1014 中の処理にかけた後、ダイ 112 上の RX 制御回路 106 のすべての出力 (この例では、出力の数は、チップ上のトランスデューサ要素 304 の数に等しい) は、信号調節 / 処理回路 110 中のマルチプレクサ (MUX) 1016 に送られる。MUX 1016 は、様々な RX 制御回路 106 からのデジタルデータを多重化し、MUX 1016 の出力は、たとえば 1 つまたは複数の高速シリアル出力ポート 114 を介してデータがダイ 112 から出力される前の最後の処理のため、信号調節 / 処理回路 110 中の多重化デジタル処理ブロック 1018 に送られる。図 10 に示される様々な回路ブロックの例示的な実装は、下でさらに議論される。より詳細に下で説明されるように、アナログ処理ブロック 1010 および / またはデジタル処理ブロック 1014 中の様々な構成要素は、受信した信号から波形を分離する、さもなければ、高速シリアルデータリンクを介してまたは他の方法でダイ 112 から出力される必要があるデータの量を減少させるように働くことができる。いくつかの実施形態では、たとえば、アナログ処理ブロック 1010 および / またはデジタル処理ブロック 1014 中の 1 つまたは複数の構成要素は、こうして、RX 制御回路 106 が、改善した信号対雑音比 (SNR) および波形の多様性と互換性のある様式で、送信および / または散乱された超音波圧力波を受信することを可能にするように働くことができる。したがって、そのような要素を含むことによって、いくつかの実施形態において開示された「超音波オンチップ」解決策を、さらに容易にし、かつ / または拡張することができる。

【0143】

[0178] アナログ処理ブロック 1010 中に任意選択で含むことができる、特定の構成要素が下で記載されるが、そのようなアナログ構成要素に対するデジタルの対応物を、デジタル処理ブロック 1014 中に追加または代替的に採用できることを理解されたい。逆もまた真である。すなわち、デジタル処理ブロック 1014 中に任意選択で含むことができる特定の構成要素が下で記載されるが、そのようなデジタル構成要素に対するアナログの対応物を、アナログ処理ブロック 1010 中に追加または代替的に採用できることを理解されたい。

【0144】

[0179] 図 11A は、受信信号のデジタル処理がダイ 112 上で実施されない、デバイス 100 の実施形態を図示する。いくつかの実装では、この実施形態は、RX 制御回路 106 が、たとえば ADC 1012 またはデジタル処理ブロック 1014 を採用しない場合があり、オンチップ信号調節 / 処理回路 110 を省略する場合があることを除いて、その基本構造および機能の点で、図 10 の実施形態と本質的に同一であることができる。しかし、図 11A の実施形態では、ダイ 112 の出力線 1102 a ~ b 上にアナログ信号を駆動するために、1 つまたは複数のバッファ / ドライバ (図示せず) が追加で採用される場合があることを理解されたい。

10

20

30

40

50

【 0 1 4 5 】

[0180] 図 1 1 B は、波形発生器（図示せず）および本明細書で議論される他のデジタル回路の一部または全部を、半導体ダイ 1 1 2 上ではなくオフチップに配置することができる、超音波デバイスの実施形態を図示する。さもなければ、いくつかの実施形態では、この実施形態は、その基本構造および機能性の点で、図 1 0 の実施形態と同一であることができる。いくつかの実施形態では、パルサ 1 0 0 8 を、追加または代替的にオフチップに配置することができる。

【 0 1 4 6 】

[0181] 図 1 2 A は、配列 1 0 2 のあらゆる送信位置において実時間遅延および増幅制御を可能にするように、いくつかの実施形態において、各 TX 制御回路 1 0 4 に含むことができる回路の例を示す。図示される例では、波形発生器 1 0 0 6 は、3 レベルパルサ 1 0 0 8 に供給されるチャープの特性を制御するように設定できるレジスタ 1 2 0 2 a の組を含む、チャープ発生器である。具体的には、位相レジスタ「 ϕ_0 」がチャープの開始位相を制御し、周波数レジスタ「 f_0 」がチャープの開始周波数を制御し、チャープ率レジスタ「 r 」がチャープの周波数が経時的に変化する割合を制御する。比較器 1 2 0 4 a ~ b は、アキュムレータ 1 2 0 6 により出力される波形信号を離散化するように働き、その結果、3 レベルパルサ 1 0 0 8 に供給される論理値 D 0、D 1 は、アキュムレータ 1 2 0 6 の出力の、レジスタ 1 2 0 2 a の中の値 V_{0_HIGH} および V_{1_HIGH} との比較に応じて、「1, 0」、「0, 0」、または「0, 1」のいずれかである。

10

【 0 1 4 7 】

[0182] 図 1 2 B は、波形発生器 1 0 0 6 の代替実施形態を示す。図 1 2 B の実施形態では、アキュムレータ 1 2 0 6 により出力される、シミュレートされるサイン波信号を離散化するために比較器 1 2 0 4 a ~ b を使用するのではなく、ルックアップテーブル 1 2 1 2 a が使用されて、アキュムレータ 1 2 0 6 の出力がレジスタ 1 2 0 2 b の中の V_{0_HIGH} および V_{0_LOW} の値により規定される範囲内であるかどうかを決定し、ルックアップテーブル 1 2 1 2 b が使用されて、アキュムレータ 1 2 0 6 の出力がレジスタ 1 2 0 2 b の中の V_{1_HIGH} および V_{1_LOW} の値により規定される範囲内であるかどうかを決定する。

20

【 0 1 4 8 】

[0183] いくつかの実施形態に従って図 1 2 A ~ 図 1 2 B のパルサ 1 0 0 8 として使用するのに好適な 3 レベルパルサの構成および動作、ならびに、CMUT 要素を駆動するためそのようなパルサを採用する利益は、その全体が参照により本明細書に組み込まれる、2012 年 11 月 12 日 ~ 14 日、日本の神戸における「IEEE Asian Solid-State Circuits Conference」の、Kailiang, C による、「Ultrasonic Imaging Front-End Design for CMUT: A 3-Level 30Vpp Pulse-Shaping Pulsar with Improved Efficiency and a Noise-Optimized Receiver」に記載される。したがって、それらの詳細は、ここで繰り返さないものとする。

30

【 0 1 4 9 】

[0184] 図 1 2 A ~ 図 1 2 B に示される例示的な実施形態では、TX 制御回路 1 0 4 は、パルサ 1 0 0 8 の出力のタイミングにわたって、3 レベルの制御を備える。タイミング制御の最も粗いレベルは、波形発生器 1 0 0 6 の入力に配置されるシフトレジスタ 1 2 0 8（これは、いくつかの実施形態において、たとえば、タイミング&制御ユニット 1 0 8 を介してプログラム可能であってよい）により提供される。次に細かいレベルのタイミング制御は、レジスタ 1 2 0 2 a ~ b の中の値「 ϕ_0 」および「 f_0 」の設定により提供される。最も細かいレベルのタイミング制御は遅延線 1 2 1 0 a ~ b により提供され、遅延線 1 2 1 0 a ~ b は、たとえば、約 72 ピコ秒 ~ 22 ナノ秒の程度の遅延、または中間の任意の遅延値を提供する PIN ダイオードを含むことができるが、より短いまたは長い遅延も可能であり、意図される。

40

50

【0150】

[0185] これまで記載された波形発生器1006の実施形態は、たとえば、グレイコード、アダマールコード、ウォルシュコード、サイクリックアルゴリズムニュー(CAN)コーディング、アジマス位相コーディング、および/もしくは他の直交波形といった、広帯域または狭帯域ビーム形成するコード化励振を可能にし、かつ/または、ゲート連続波(CW)の生成もしくはインパルス生成も可能にすることができる。波形発生技法およびオプションの多くの追加の例が、上に参照により組み込まれた、同時係属および共有される米国特許出願第13/654,337号に記載されており、したがって、ここではさらに詳細に記載しないものとする。

【0151】

[0186] 図13Aは、図12A~Bの実施形態中の波形発生器1006により使用されるレジスタ1202a~bに関する値を選択的に決定するため、タイミング&制御回路108および各TX制御回路104で採用することができる構成要素の説明に役立つ例を示す。示されるように、各TX制御回路104は、複数の「TXイベント」数の各々に対応する、レジスタ1202a~bについての値を記憶する、要素イベントメモリ1304を含むことができ、タイミング&制御回路108は、ダイ112上のTX制御回路104の各々に、適したTXイベント数を通信する役目を果たすイベントコントローラ1302を含むことができる。そのような配置で、配列102中の各トランスデューサ要素304に供給される波形は、パルスからパルスに変化することができ、イベント要素メモリ1304を適切にプログラミングすることにより、たとえば、上に述べたアジマスコーディングと

20

【0152】

[0187] 図14は、いくつかの実施形態において、超音波デバイス100中で発生する送信イベントおよび受信イベントの両方を制御するために提供することができる、タイミング&制御回路108のイベントコントローラ1302についての入力および出力を示す。示される実施形態では、イベントコントローラは、パラメータ、 $N_{TX\ samples}$ 、 $N_{RX\ samples}$ 、 $N_{TX\ events}$ 、および $N_{RX\ events}$ を備え、イネーブル信号「En」を介してイネーブルされると、入力クロック「Clk」に応答して、TXおよびRXイベント数ならびにTXおよびRXイネーブル信号を生成および出力する。

30

【0153】

[0188] 図15Aは、送信および受信イベントを制御するための好適な一連の出力を生成するために、イベントコントローラ1302により実施することができるルーチン1500の説明に役立つ例を示す。図15Aの左手側のフローチャートは、その図の右手側のフローチャートにより図示される例示的なルーチンの抽象化である。示されるように、イネーブル信号「En」がハイであるとき、ルーチンは、イネーブル信号「En」がローに移行するまで、TXイベントサブルーチン1502を実施することとRXイベントサブルーチン1504を実施することの間で交番する。示される例示的なルーチンでは、イネーブルになった後、ルーチン1500は、最初に、TXおよびRXイベント数を「0」に初期化し(ステップ1506)、次いで、TXイベントサブルーチン1502a~cに進む。TXイベントサブルーチン1502は、 $N_{TX\ samples}$ パラメータにより指定されるサンプルの数の間、TXイネーブル信号をハイにさせ(ステップ1502b)、現在のTXイベント数が $N_{TX\ events}$ パラメータの値を超えるまで(ステップ1502a)、TXイベント数を1だけ増やす(ステップ1502c)。現在のTXイベント数が $N_{TX\ events}$ パラメータの値を超えると(ステップ1502a)、ルーチン1500は、RXイベントサブルーチン1504に進む。

40

【0154】

[0189] RXイベントサブルーチン1504は、 $N_{RX\ samples}$ パラメータにより

50

指定されるサンプルの数の間、RXイーネブル信号をハイにさせ（ステップ1504b）、現在のRXイベント数が $N_{RX\ Events}$ パラメータの値を超えるまで（ステップ1504a）、RXイベント数を1だけ増やす（ステップ1504c）。現在のRXイベント数が $N_{RX\ Events}$ パラメータの値を超えると（ステップ1504a）、ルーチン1500は、ステップ1506に戻り、そこで、TXサブルーチン1502を再び開始する前に、TXおよびRXイベント数が再び「0」に初期化される。図15Aに示されるものなどのルーチンを使用することにより、イベントコントローラ1302は、デバイス100の中のTX制御回路104と相互作用することができ、その結果、任意の数のトランスデューサ要素304が一度にパルスを放つことができ、RX制御回路106と相互作用することができ、その結果、指定された様式で獲得窓を獲得することができる。

10

【0155】

[0190] ルーチン1500を使用するイベントコントローラ1302の可能な動作モードとしては、（1）単一送信イベント／単一受信イベント、（2）複数送信イベント／単一受信イベント、（3）単一送信イベント／複数受信イベント、および（4）複数送信イベント／複数受信イベントが挙げられる。いくつかの実施形態では、たとえば、後方散乱動作モードに関して、ある数のTXイベントを巡回しその後ある数のRXイベントを巡回するよりも、各TXイベントに対応するRXイベントが後続することが望ましい場合がある。さらに、より複雑なイベント（たとえば、せん断波後方散乱イベント）について、サブルーチン1502、1504の各繰り返し期間に、ある数のTXイベントを巡回し、単一のRXイベントが後続することが望ましい場合がある。これらは、ほんの少しの可能なイベント制御方法であるが、他のイベントのシーケンスが可能であり、意図される。

20

【0156】

[0191] 図13Bは、図12A～図12Bの実施形態の中の波形発生器1006により使用される動作パラメータのうちの1つまたは複数に関する値（たとえば、「 f_0 」、「 r 」、「 V_{LOW} 」、「 V_{HIGH} 」、「 $V_{1\ HIGH}$ 」、および／もしくは「 $V_{1\ LOW}$ 」）、ならびに／または（図17、図22、図24、図26、図27、図29、および図30に関して下で議論される）、たとえばLNA1702、VGA1704などを制御するための、RX制御回路106についての1つまたは複数の動作パラメータについての値を選択的に決定するために使用することができる構成要素の別の例を示す。そのような値は、たとえば、各トランスデューサ要素304について、「次の状態」レジスタ1312a～bの組、および「現在の状態」レジスタ1314a～bの対応する組に記憶することができる。

30

【0157】

[0192] 示されるように、外部マイクロプロセッサ1308が、配列102中のトランスデューサ要素304の一部または全部に関連する次の状態レジスタ1302に新しい値を選択的に通信できるように、周辺制御モジュール1306、たとえばUSB3.0周辺コントローラを半導体ダイ112上に一体化することができる。いくつかの実施形態では、状態レジスタ1312、1314の各グループは、対応するレジスタ制御モジュール1310a～bにより制御することができる。示されるように、いくつかの実施形態では、レジスタ制御モジュール1310a～bは、1つのレジスタ制御モジュール1310から次へとデジタイゼーション接続することができる。

40

【0158】

[0193] 図15Bは、いくつかの実施形態においてレジスタ1312、1314を選択的に構成するために従うことができる、ルーチン1508の例を示す。示されるように、マイクロプロセッサ1308は、たとえば、各フレームの前に、USB3.0リンクを介して割込信号IRQを受信することができる。そのような割込を受信すると、マイクロプロセッサ1308は、現在のレジスタ1314の状態を次のイベントのため変更する必要があるかどうかを決定することができる（ステップ1510参照）。マイクロプロセッサ1308が状態を変えるべきであると決定する場合、マイクロプロセッサ1308は、新しい完全なシーケンスをチェーンの下にプッシュし（ステップ1512参照）、新しい値を

50

次の状態レジスタ 1312 にラッチすることができる。次の状態レジスタ 1312 中の新しい値は、次いで、次のイベントの実行で使用するため（ステップ 1516 および 1518 参照）、フレーム境界の現在の状態レジスタ 1302 中にラッチすることができる（ステップ 1514 参照）。上のプロセスは、次いで、次の状態レジスタ 1312 中に任意の所望の新しい値をラッチするために繰り返すことができる。TX 制御回路 104 および / または RX 制御回路 106 の動作パラメータを選択的に制御するような技法を使用することによって、たとえば、ダイ 112 上の必要なローカルメモリ要件を減少させることができ、マイクロプロセッサ 1308 がセンサ 102 よりも少ないリソース制約を有することができるので、いずれか任意の組合せを有するユニークな定義をあらゆるパルスに持たせることを可能にできる。

10

【0159】

[0194] 図 16 は、単一の波形発生器 1006 を 2 つ以上の TX 制御回路 104 により共有することができる、超音波デバイス 100 の代替的な実装を示す。共有される波形発生器 1006 を、たとえば、タイミング & 制御回路 108 中に含むことができる。示されるように、TX 制御回路 104 を所望のシーケンスで選択的にイネーブルにするためタイミング & 制御回路 108 を使用するのではなく、共有される波形発生器 1006 の出力を所望のタイミングシーケンスに従ってそれぞれのパルス 1008 に到達させるように選択される遅延要素 1602 を、TX 制御回路 106 の中の共有される波形発生器 1006 とそれぞれのパルス 1008 の間に配設することができる。遅延要素 1008 は、たとえば、TX 制御回路 104 の中、タイミング & 制御回路 108 の中、または他の場所に配置することができる。図示される技法を使用して、それぞれの遅延要素 1602 によりもたらされる遅延により決定されるように、任意の所望のタイミングシーケンスに従って、配列 102 のトランスデューサ要素 304 にパルス印加することができる。

20

【0160】

[0195] 図 17 は、各 RX 制御回路 106 のアナログ処理ブロック 1010 およびデジタル処理ブロック 1014 内に含むことができる構成要素の説明に役立つ例を示す（図 10 参照）。いくつかの実施形態では、RX 制御回路 106 の構成要素は、たとえば、全体として DC から 50 MHz の帯域幅を有し、4 dB 未満の雑音指数、45 dB のエイリアス化高調波除去、および 40 dB のチャネル分離を有する 50 dB の利得を実現することができる。そのようなパラメータは、説明に役立つ目的のためだけに列挙されており、制限

30

【0161】

[0196] 図 17 に示されるように、アナログ処理ブロック 1010 は、たとえば、低雑音増幅器（LNA: low-noise amplifier）1702、可変利得増幅器（VGA: variable-gain amplifier）1704、および低域通過フィルタ（LPF）1706 を含むことができる。いくつかの実施形態では、VGA 1704 は、たとえば、タイミング & 制御回路 108 のイベントコントローラ 1302 に含まれる、時間 - 利得補償（TGC: time-gain compensation）回路 1902 を介して調整することができる（図 19 参照）。LPF 1706 は、獲得した信号のアンチエイリアシングを可能にする。いくつかの実施形態では、LPF 1706 は、たとえば、5 MHz 程度のカットオフ周波数を有する 2 次低域通過フィルタを備えることができる。しかし、他の実装が可能であり、意図される。上に言及したように、ADC 1012 は、たとえば、10 ビット、20 Msps、40 Msps、または 80 Msps の ADC を備えることができる。

40

【0162】

[0197] 図 17 の例では、RX 制御回路 106 のデジタル制御ブロック 1014 は、デジタル直交復調（DQDM: digital quadrature demodulation）回路 1708、平均化回路 1714（アキュムレータ 1710 および平均化メモリ 1712 を含む）、および出力バッファ 1716 を含む。DQDM 回路 1708 は、たとえば、受信信号のデジタル化されたバージョンを中心周波数からベースバンドにミックスダウンし、次いで、ベースバンド信号を低域通過フィルタ処理してデシメートするように構成することができる。DQDM 1

50

708として採用することができる直交復調回路の説明に役立つ例を図18に示す。示されるように、DQDM1708は、たとえば、ミキサブロック1802、低域通過フィルタ(LPF)、およびデシメータ回路1806を含むことができる。図示される回路は、受信信号から未使用の周波数を除去することによって損失のない帯域幅の削減を可能にし、したがって、信号調節/処理回路110により処理され、ダイ112からオフロードされる必要がある、デジタルデータの量を著しく減少させることができる。これらの構成要素により達成される帯域幅削減は、本明細書に記載される「超音波オンチップ」実施形態の性能を容易にする、かつ/または改善する助けとなることができる。

【0163】

[0198] いくつかの実施形態では、ミキサブロック1802の中心周波数「 f_c 」を、配列102の中で使用されるトランスデューサセル602の、対象の周波数に整合させることが望ましい場合がある。いくつかの実施形態において、DQDM1708および/または図17に図示される他の構成要素に加えて、またはその代わりに、RX制御回路106に含むことができる追加の構成要素の例が、図22~図28に関して下で記載される。(アキュムレータ1710および平均化メモリ1712を含む)示される実施形態中の平均化ブロック1714は、受信したデータの窓を平均化するように機能する。

10

【0164】

[0199] 図19は、タイミング&制御回路108の例示的な実装を示す。示されるように、いくつかの実施形態では、タイミング&制御回路108は、クロック生成回路1904およびイベントコントローラ1302の両方を含むことができる。クロック生成回路1904は、たとえば、デバイス100の全体を通して使用されるクロックの一部または全部を生成するために使用することができる。クロック生成回路1904の例示的な実装が図20に示される。示されるように、いくつかの実施形態では、たとえば、発振器2004および位相ロックループ(PLL)2006を使用して、クロック生成回路1904に送ることができる高速(たとえば、1.5625GHz)クロックを生成するために、外部回路2002を使用することができる。並列直列変換器/直列並列変換器(SerDes: serializer/deserializer)回路2008に送ることに加えて、クロックは、ダイ112上の特定の構成要素をクロック制御するために使用する第1の周波数に(たとえば、周波数分割器回路2010を介して)ステップダウンすることができ、ダイ112上の他の構成要素により使用するため第2の周波数に(たとえば、周波数分割器回路2016を介して)さらにステップダウンすることができる。いくつかの実施形態では、たとえば、周波数分割器回路2010は、ダイ112内で使用するため、クロック線2022上に40MHzクロックをもたらすように1.5625GHzクロックを分周することができ、周波数分割器回路2016は、ダイ内で使用するため、クロック線2024上に20MHzクロックをもたらすように40MHzクロックをさらに分周することができる。

20

30

【0165】

[0200] 示されるように、いくつかの実施形態では、ダイ112は、外部発生源からのクロック信号を受け入れるために、マルチプレクサ2012、2018の入力にそれぞれ接続される端子2026、2028を有することができる。クロック信号をオフチップに送り出すことを可能にするために、マルチプレクサ2012、2018の出力にそれぞれ接続される出力端子2030、2032を追加で有することができる。マルチプレクサを適切に制御することにより、この構成によって、複数のチップを、デジチェーン接続されたクロックにより同期させることを可能にすることができる。したがって、いくつかの実装について、この技法によって、複数のデバイス100を、対象物を撮像するユニットとして動作することができる、デバイス100の完全に同期した、コヒーレントなM×N個の配列に拡張することが可能になる。

40

【0166】

[0201] 図19に戻って、1つの説明に役立つ例であり、タイミング&制御回路108の中に含むことができるイベントコントローラ1302が、図13Aに関して上で記載される。しかし、図19に示されるように、いくつかの実施形態では、イベントコントローラ

50

1302は、たとえば、RX制御回路106のアナログ処理ブロック1010中のVGA1704の利得を制御するために使用できるTGC回路1902を、追加で備えることができる。

【0167】

[0202] 図21は、ダイ112上の信号調節/処理回路110の多重化されたデジタル処理ブロック1018中に含むことができる構成要素の説明に役立つ例を示す。示されるように、多重化されたデジタル処理ブロック1018は、たとえば、再量子化器2102およびUSB3.0モジュール2104を含むことができる。いくつかの実施形態では、再量子化器2102は、たとえば、帯域幅削減をもたらすために、不可逆圧縮を実施する場合がある。再量子化器2102は、多くの状態のうちのいずれかで動作することができ、本技術の態様は、いずれか特定のタイプの再量子化技法の使用を必ずしも必要としない。いくつかの実施形態では、再量子化器2102は、たとえば、入来信号の最大振幅を見だし、最大信号をフルスケールにするまですべての信号を倍率変更し、次いで信号からより低位のNビットを捨てる場合がある。他の実施形態では、再量子化器2102は、追加または代替的に、信号を対数空間に変換し、信号のNビットだけを保持する場合がある。さらに別の実施形態では、再量子化器2102は、追加または代替的に、ハフマンコーディングおよび/またはベクトル量子化技法を採用する場合がある。

10

【0168】

[0203] 図21に示されるように、ダイ112から高速シリアルデータストリームを出力するための1つの選択肢はUSB3.0モジュールである。そのようなUSB3.0モジュールの構造および動作についての詳細は、たとえば、その全体の内容が参照により本明細書に組み込まれる、<http://www.usb.org>で入手可能な、「Universal Serial Bus Revision 3.0 Specification」に記載される。図21は、チップから高速シリアルデータストリームを提供するため、USB3.0モジュールを使用することを図示するが、他のデータ出力技法を追加または代替的に、採用できることを理解されたい。たとえば、1つまたは複数の10GB、40GB、または100GBイーサネットモジュールを、追加または代替的に採用することができる。他の実施形態では、他の高速パラレルもしくは高速シリアルデータ出力モジュールおよび/または技法を、追加または代替的に採用することができる。

20

【0169】

[0204] 図22は、たとえば、波形除去を実施して受信回路の信号対雑音比を改善することができる、整合フィルタ2202を含む、RX制御回路106の例示的な実装を示す。「整合」フィルタと標示されるが、フィルタ回路2202は、受信信号から波形を分離するように、整合フィルタまたは不整合フィルタのいずれかとして実際には動作する場合がある。整合フィルタ2202は、線形周波数変調(LFM: linear frequency modulated)または非LFMパルスのいずれかで働くことができる。

30

【0170】

[0205] 整合フィルタ2202として使用するのに好適な回路の説明に役立つ実施形態が、図23に示される。示されるように、整合フィルタ2202は、たとえば、パディング回路2302、高速フーリエ変換(FFT)回路2304、マルチプライヤ2306、低域通過フィルタ2308、デシメータ回路2310、および逆FFT回路2312を含むことができる。採用される場合、パディング回路2302は、たとえば、巡回畳み込みのFFT実装からのアーティファクトを回避するのに十分なように、入来信号にパディングを適用することができる。

40

【0171】

[0206] 「整合」フィルタとして動作するために、マルチプライヤ2306に印加される「H()」の値は、送信波形T()の共役でなければならない。いくつかの実施形態では、フィルタ2202は、したがって、マルチプライヤ2306に送信波形T()の共役を印加することにより、「整合」フィルタとして実際に動作することができる。しかし、他の実施形態では、「整合」フィルタ2202は、代わりに、送信波形T()

50

）の共役以外の何らかの値をマルチプライヤ 2 3 0 6 に印加する場合がある、「未整合」フィルタとして動作することができる。

【 0 1 7 2 】

[0207] 図 2 4 は、R X 制御回路 1 0 6 の別の例示的な実装を示す。図 2 4 の実施形態では、R X 制御回路 1 0 6 は、対象の信号を分離することにより帯域幅削減をするさらに別の技法を実施できる、デチャープ回路 2 4 0 2 を含む。デチャープ回路は、ときどき、「デジタルランプ」または「伸張」回路とも呼ばれる。様々な実施形態では、デチャープ回路 2 4 0 2 を、アナログ処理ブロック 1 0 1 0 内に含む場合があり、または R X のデジタル処理ブロック 1 0 1 4 内に含む場合があり、または R X 制御回路 1 0 6 のアナログ処理ブロック 1 0 1 0 およびデジタル処理ブロック 1 0 1 4 の両方の中に含む場合がある。L F M 波形でデチャープ回路を使用することによって、効率的に時間を周波数に変換する。

10

【 0 1 7 3 】

[0208] デジタルデチャープ回路 2 3 0 2 の例が図 2 5 に示される。示されるように、デチャープ回路 2 4 0 2 は、デジタルマルチプライヤ 2 5 0 2、デジタル低域通過フィルタ 2 5 0 4、およびデシメータ回路 2 5 0 6 を含むことができる。（アナログデチャープ回路は、以下で図 26 に関して議論されるが、デジタルマルチプライヤおよびフィルタではなく、アナログマルチプライヤおよびフィルタを採用することになり、デシメータ回路 2 5 0 6 を含まないことになる。）図 2 5 に示される「参照チャープ」は、たとえば、対応する T X 制御回路 1 0 4 の中の波形発生器 1 0 0 6 により生成されるものと同じ「チャープ」であってよい。

20

【 0 1 7 4 】

[0209] 図 2 6 は、R X 制御回路 1 0 6 のさらに別の例示的な実装を示す。この例では、デジタル処理ブロック 1 0 1 4 の中の D Q D M 回路およびデジタルデチャープ回路を使用するのではなく、アナログ直交復調（AQDM: analog quadrature demodulation）回路 2 6 0 2 およびアナログデチャープ回路 2 6 0 4 が、アナログ処理ブロック 1 0 1 0 の中に含まれる。そのような実施形態では、A Q D M 2 6 0 2 は、たとえば、入来信号をベースバンドに混合するために、アナログミキサ（図示せず）およびローカル発振器（図示せず）を採用し、次いで、アナログ信号から不要な周波数を除去するために低域通過アナログフィルタ（図示せず）を採用することができる。図 2 6 に示されるように、アナログデチャープ回路 2 6 0 4 の出力をデジタル信号形式に変換するため、2 つの A D C 2 6 0 6 a ~ b（たとえば、2 つの 1 0 ビット、1 0 M s p s、2 0 M s p s、または 4 0 M s p s の A D C）を、この実施形態で採用することができるが、A D C 2 6 0 6 a ~ b の各々を、他の実施形態で採用される A D C 1 0 1 2 の半分の速度で実行し、したがって潜在的に電力消費を減少させることができる。

30

【 0 1 7 5 】

[0210] R X 制御回路 1 0 6 のさらに別の例が図 2 7 に示される。この例では、低域通過フィルタ 2 7 0 2 およびマルチプレクサ 2 7 0 4 が、平均化ブロック 1 7 1 4 と共に、デジタル処理ブロック 1 0 1 4 の中に含まれる。いくつかの実施形態では、低域通過フィルタ 2 7 0 2 は、たとえば、1 / 2 帯域デシメーション有限インパルス応答（FIR）フィルタを備え、その動作は非ゼロタップの数を最小化するように構成することができる。そのような F I R フィルタ 2 7 0 2 の説明に役立つ例が図 2 8 に示される。

40

【 0 1 7 6 】

[0211] 様々な実施形態では、各 R X 制御回路 1 0 6 は、上記のアナログおよびデジタル回路要素のいずれかを、単独で、または他の記載された回路要素のいずれかと組み合わせで使用することができること、ならびに、本技術の態様は、本明細書に図示された特定の構成および / または組合せを必ずしも必要としないことを理解されたい。たとえば、各 R X 制御回路 1 0 6 は、いくつかの実施形態では、必要に応じてアナログ - デジタルおよび / またはデジタル - アナログ変換が実施されるという条件で、A Q D M 2 6 0 2、アナログデチャープ回路 2 6 0 4、D Q D M 1 7 0 8、整合および / または不整合フィルタ 2 2 0 2、デジタルデチャープ回路 2 4 0 2、平均化ブロック 1 7 1 4、および低域通過フィ

50

ルタ 2702 のうちのいずれか 1 つまたは複数を、他の構成要素に関し任意の組合せおよび任意の順番で含むことができる。重要なことには、上記の帯域幅削減技法のいずれかまたはすべてを使用することによって、いくつかの実施形態について、本明細書に記載された「超音波オンチップ」設計を、実用的、実行可能、かつ商業的に実現可能な解決策にする助けとなることができる。

【0177】

[0212] 図 29 は、配列 102 の中のトランスデューサ要素 304 にバイアスをつけるための新規の技法の例を図示する。示されるように、患者に面するトランスデューサ要素 304 の各々の側は、電気ショックの危険を最小化するように、アースに接続することができる。各トランスデューサ要素 304 の他の側は、抵抗器 2902 を介してパルサ 1008 の出力に接続することができる。したがって、各トランスデューサ要素 304 は、スイッチ S1 が開であるか、または閉であるかにかかわらず、パルサ 1008 の出力を介して常にバイアスがかけられる。いくつかの実施形態、たとえば、1 つまたは複数の CUT または CMUT を備えるトランスデューサ要素 304 を採用する実施形態では、要素に印加されるバイアス電圧は、100V 程度であってよい。

10

【0178】

[0213] 図 29 の添付するタイミング図に図示されるように、スイッチ S1 は、送信動作期間に閉であってよく、受信動作期間に開であってよい。逆に、スイッチ S2 は、受信動作期間に閉であってよく、送信動作期間に開であってよい。(パルサ 1008 が RX 制御回路 106 中の LNA 1702 に出射パルスを実際に印加しないように、スイッチ S1 の開とスイッチ S2 の閉の間、ならびにスイッチ S2 の開とスイッチ S1 の閉の間に常に間隙があることに留意されたい。)

20

【0179】

[0214] タイミング図中にやはり示されるように、パルサ 1008 は、パルサ 1008 のトランスデューサ要素 304 にパルサ 1008 が波形パルスを実際に印加しているときを除くすべての時間で、トランスデューサ要素 304 の底板を、パルサ 1008 のハイ出力レベルに保つことができ、送信位相期間に印加される波形パルスは、パルサ 1008 のハイ出力レベルを基準とすることができる。したがって、各個々のパルサ 1008 は、すべての時間で、パルサ 1008 の対応するトランスデューサ要素 304 に理想的なバイアスを維持することができる。図 29 に示されるように、DC バイアス信号(すなわち、パルサ 1008 のハイ出力)が受信動作期間(すなわち、スイッチ S2 が閉のとき)に LNA 1702 に到達するのを遮断するように、コンデンサ 2904 は、スイッチ S2 と RX 制御回路 106 の LNA 1702 との間に配置することができる。

30

【0180】

[0215] トランスデューサ要素 304 をトランスデューサ要素 304 それぞれのパルサ 1008 を介してバイアスにかけることによって、そうでない場合、たとえば要素 304 が共通バスを介してバイアスをかけられる場合に発生するクロストークを減少させるように、いくつかの実施形態において利益をもたらすことができる。

【0181】

[0216] 図 30 は、配列 102 の中のトランスデューサ要素 304 にバイアスをつけるための技法の別の説明に役立つ例を示す。図 29 の実施形態のように、患者に面するトランスデューサ要素 304 の側は、接地することができ、スイッチ S1 は、パルサ 1008 の出力とトランスデューサ要素 304 の他の側との間に配置することができる。この場合のスイッチ S2 は、トランスデューサ要素 304 の接地されない側と、RX 制御回路 106 の LNA 1702 との間に直接配置することができる。この例では、コンデンサは、スイッチ S2 と LNA 1702 の間に配置されず、したがって、さもないればそのようなコンデンサにより費やされるダイ 112 上の実装面積の、潜在的な著しい節約をもたらす。いくつかの実施形態では、2 つのスイッチのうちの 1 つ、すなわち、スイッチ S1 またはスイッチ S2 のいずれかは、常に閉であることができる。送信モードでは、スイッチ S1 は閉であることができ、スイッチ S2 は開であることができる。逆に、受信モードでは、ス

40

50

イッチ S 2 は開であることができ、スイッチ S 1 は閉であることができる。

【 0 1 8 2 】

[0217] 各パルサ 1 0 0 8 の出力および各 L N A 1 7 0 2 の入力において適したバイアス電圧を作り出すため、図 3 0 に図示されるように、（たとえばトランスデューサ配列 1 0 2 の上部金属層といった、トランスデューサ要素 3 0 4 の他の側にバイアスをかけるために使用される部分を除く）ダイ 1 1 2 全体に、トランスデューサ要素 3 0 4 にとって最適なバイアス電圧でバイアスをかけることができる。したがって、この配置によって、すべての時間において、パルサ 1 0 0 8 および L N A 1 7 0 2 の両方を介して、トランスデューサ要素 3 0 4 に安全に高電圧バイアスをかけることを容易にすることができる。いくつかの実施形態では、チップの電源を浮動にすることができ、その結果、チップの電源は接地されず、ダイ 1 1 2 への制御、構成、および通信入力 / 出力のうちの一部または全部が、たとえば、光分離技法または適切にサイズ決定されたコンデンサを使用することで分離され、したがって高電圧がチップに残ることを D C 遮断することができる。

10

【 0 1 8 3 】

[0218] 図 3 1 は、図 1 0 に関して上で議論された構成要素に加えてまたは代わりに、ダイ 1 1 2 上の信号調節 / 処理回路 1 1 0 の多重化デジタル処理ブロック 1 0 1 8 中に含むことができる構成要素の説明に役立つ例を示す。いくつかの実施形態では、ダイ 1 1 2 を製造するために採用される C M O S または他の集積回路製造方法について、十分小さいプロセスが使用されるとすれば、図示された構成要素のうちの 1 つまたは複数は、本明細書に記載された他の回路のうちの一部または全部と共に、ダイ 1 1 2 上に一体化することができる。

20

【 0 1 8 4 】

[0219] 図 3 1 の例では、信号調節 / 処理回路 1 1 0 は、再量子化器モジュール 2 1 0 2 、波形除去回路および / またはソフトウェア 3 1 0 2 、画像形成回路および / またはソフトウェア 3 1 0 4 、バックエンド処理回路および / またはソフトウェア 3 1 0 6 、ならびに U S B 3 . 0 モジュール 2 1 0 4 を含む。再量子化器モジュールおよび U S B 3 . 0 モジュール、ならびにそれらの代替物は、図 2 1 に関して上で議論したので、それらの構成要素は、ここでさらに議論しないこととする。示されるように、いくつかの実施形態では、たとえば、C P U 、G P U などといった 1 つまたは複数のプロセッサ 3 1 0 8 、および / または大規模メモリが、そのような構成要素により実行されるソフトウェアルーチンを介して実装される、下に記載されるような、波形除去機能性、画像形成機能性、および / またはバックエンド処理機能性のうちの一部または全部を可能にし、上に記載されたデバイス 1 0 0 の他の構成要素の他の機能性を達成するように、上に議論された他の回路と共に、ダイ 1 1 2 上に一体化することができる。したがって、そのような実施形態では、図 3 1 に示される波形除去モジュール 3 1 0 2 、画像形成モジュール 3 1 0 4 、および / またはバックエンド処理モジュール 3 1 0 6 は、ダイ 1 1 2 上または 1 つもしくは複数のオフチップメモリモジュールのいずれかのメモリに記憶されるソフトウェアを介して、部分的または全体的に実装することができる。いくつかの実施形態では、統一されたノースブリッジにより使用されるものなどの、1 つまたは複数の高速バス 3 1 1 0 または同様の構成要素を採用して、ダイ 1 1 2 上に位置決めされる、または何らかのオフチップ位置に配設されるかのいずれかである、プロセッサ 3 1 0 8 、メモリモジュール、および / または他の構成要素間で高速データ交換を可能にすることができる。他の実施形態では、画像形成モジュール 3 1 0 4 および / またはバックエンド処理モジュール 3 1 0 6 のそのような機能性のうちの一部または全部は、ダイ 1 1 2 上に一体化される 1 つまたは複数の専用回路を使用して、追加または代替的に実施することができる。

30

40

【 0 1 8 5 】

[0220] いくつかの実施形態では、波形除去回路および / またはソフトウェア 3 1 0 2 は、たとえば、波形のデコンボリューション、デチャープ、F F T 、F I R フィルタリング、整合フィルタリングおよび / または不整合フィルタリングなどを実施するために、R X 制御回路 1 0 6 に関して上で議論したものと同様に、回路および / またはソフトウェアを

50

含むことができる。上記の機能性のいずれかまたはすべては、ダイ 1 1 2 上の波形除去回路および / またはソフトウェア 3 1 0 2 によって、単独または他の機能性のいずれかと一緒にのいずれかで、任意の順番で実施することができる。代替的に、いくつかの実施形態では、そのような波形除去回路および / またはソフトウェア 3 1 0 2 は、ダイ 1 1 2 からは分離されるが、超音波ユニット 2 0 0 およびその回路基板の中、ならびに / またはその筐体の中にダイ 1 1 2 と一緒に置くことができる。

【 0 1 8 6 】

[0221] いくつかの実施形態では、画像形成回路および / またはソフトウェア 3 1 0 4 は、たとえば、アポディゼーション、逆投影および / またはファストヒエラルキー逆投影、補間範囲移動（たとえば、Stolt補間）または他のフーリエリサンプリング技法、ダイナミックフォーカス技法、および / または遅延加算技法、トモグラフィー再構成技法などを実施するように構成される回路および / またはソフトウェアを含むことができる。上記の機能性のいずれかまたはすべては、ダイ 1 1 2 上の画像形成回路および / またはソフトウェア 3 1 0 4 によって、単独または他の機能性のいずれかと一緒にのいずれかで、任意の順番で実施することができる。いくつかの実施形態では、画像形成回路および / またはソフトウェア 3 1 0 4、ならびに波形除去回路および / またはソフトウェア 3 1 0 2 は、両方がダイ 1 1 2 上に配置することができる。代替的に、いくつかの実施形態では、そのような画像形成回路および / もしくはソフトウェア 3 1 0 4、ならびに / または波形除去回路および / もしくはソフトウェア 3 1 0 2 は、ダイ 1 1 2 からは分離されるが、超音波ユニット 2 0 0 およびその回路基板の中、ならびに / またはその筐体の中にダイ 1 1 2 と一緒に置くことができる。

10

20

【 0 1 8 7 】

[0222] いくつかの実施形態では、ダイ 1 1 2 上のバックエンド処理回路および / またはソフトウェア 3 1 0 6 は、たとえば、ダウンレンジおよび / もしくはクロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、ならびに / または基底追跡技法などを実施するように構成される回路および / またはソフトウェアを含むことができる。上記の機能性のいずれかまたはすべては、ダイ 1 1 2 上のバックエンド処理回路および / またはソフトウェア 3 1 0 6 によって、単独または他の機能性のいずれかと一緒にのいずれかで、任意の順番で実施することができる。いくつかの実施形態では、バックエンド処理回路および / もしくはソフトウェア 3 1 0 6、画像形成回路および / もしくはソフトウェア 3 1 0 4、ならびに / または波形除去回路および / もしくはソフトウェア 3 1 0 2 は、3 つすべてがダイ 1 1 2 上に配置することができる。代替的に、いくつかの実施形態では、そのようなバックエンド処理回路および / もしくはソフトウェア 3 1 0 6、画像形成回路および / もしくはソフトウェア 3 1 0 4、ならびに / または波形除去回路および / もしくはソフトウェア 3 1 0 2 は、ダイ 1 1 2 からは分離されるが、超音波ユニット 2 0 0 およびその回路基板の中、ならびに / またはその筐体の中にダイ 1 1 2 と一緒に置くことができる。

30

【 0 1 8 8 】

[0223] いくつかの実施形態では、上記の機能性のうちの一部または全部を達成するために使用されるメモリは、オンチップ、すなわちダイ 1 1 2 上に配置することができる。他の実施形態では、しかし、記載される機能性のうちの一部または全部を実装するために使用されるメモリのうちの一部または全部がオフチップに配置され、回路、ソフトウェア、および / または他の構成要素のうちの残りをダイ 1 1 2 上に配置することができる。

40

【 0 1 8 9 】

[0224] 別個に示されていないが、いくつかの実施形態では、タイミング & 制御回路 1 0 8、個々の TX 制御回路 1 0 4、個々の RX 制御回路 1 0 6、および / または信号処理 / 制御回路 1 1 0 の動作パラメータの一部または全部は、ダイ 1 1 2 への 1 つまたは複数のシリアルまたはパラレル入力ポートを介して、選択的に構成またはプログラムすることができることを理解されたい。たとえば、タイミング & 制御回路 1 1 0 は、図 1 4 および図

50

15 に関して上に議論されたパラメータ、 $N_{TX\ Samples}$ 、 $N_{TX\ Events}$ 、 $N_{RX\ Samples}$ 、および/もしくは $N_{RX\ Events}$ についての値を含む外部書き込み可能レジスタの組を含み、図12A~図12Bに関して上に議論されたTX制御回路104のレジスタ1202は、1つもしくは複数の入力ポートを介して選択的にプログラムすることができ、図17、図18、および図22~図28に関して上に議論されたRX制御回路106の構成要素のうちの1つもしくは複数の動作パラメータは、1つもしくは複数の入力ポートを介して選択的にプログラムすることができ、図21に関して上に議論された再量子化器回路2102および/もしくはUSB3.0回路2104もしくは他のモジュールのうちの1つもしくは複数の動作パラメータは、1つもしくは複数の入力ポートを介してプログラムすることができ、かつ/または、図31に関して上に議論された波形除去回路3102、画像形成回路3104、および/もしくはバックエンド処理回路3106のうちの1つもしくは複数の動作パラメータは、1つもしくは複数の入力ポートを介してプログラムすることができる。

10

20

30

40

50

【0190】

[0225] 図32A~図32Bは、波形除去回路および/もしくはソフトウェア3102、画像形成回路および/もしくはソフトウェア3104、ならびに/またはバックエンド処理回路および/もしくはソフトウェア3106の一部または全部がオフチップで、たとえばデバイス100とは別個のコンピューティングデバイス3202、3206上に配置することができる実施形態を図示する。図32Aに示されるように、1つまたは複数のフィールドプログラマブルゲートアレイ(FPGA)3208を含まないコンピューティングデバイス3202上で、コンピューティングデバイス3202のプロセッサ3204により実行されるソフトウェアにより、画像形成およびバックエンド処理機能と一緒に、波形除去を実施することができる。図32Bに示されるように、1つまたは複数のFPGA3208を含むコンピューティングデバイス3206上で、そのような機能性を実施するコンピューティングデバイス3206のプロセッサ3204に加えて、または代わりに、FPGA3208により、波形処理機能性を実施することができる。

【0191】

[0226] 本明細書に記載されるように、本開示の態様によって、単一チップ上にウルトラソニックトランスデューサ要素と回路の一体化が可能になる。ウルトラソニックトランスデューサ要素は、超音波撮像用途、HIFU、または両方に使用することができる。そのような要素は、たとえば、ディープサブミクロンCMOS回路によって典型的にはサポートされる電圧よりも高い、CMOS集積回路で従来使用されるものよりも高い電圧で動作することができることを理解されたい。たとえば、そのようなウルトラソニックトランスデューサ要素は、20Vと120Vの間、30Vと80Vの間、40Vと60Vの間の電圧、それらの範囲内の任意の電圧、または任意の他の好適な電圧で動作することができる。HIFU用途は、超音波撮像用途よりも高い電圧を利用する場合がある。

【0192】

[0227] したがって、CMOS集積回路で従来使用されるよりも高い電圧と互換性を有するそのような回路を作ること、すなわち、従来型の電圧よりも高く、標準的なCMOSディープサブミクロン回路を動作させることにより、単一チップ上のウルトラソニックトランスデューサ要素と回路の一体化を容易にすることができる。

【0193】

[0228] CMOS回路中のNMOSおよびPMOSデバイスの動作電圧を制限しうる2つの主要な問題、すなわち、(1)ゲート酸化物降伏、および(2)ソースおよびドレイン(拡散)降伏がある。多くの設計では、拡散降伏が第1の制限であり、そこでは、ゲート酸化物を保護するため、拡散は、ゲート酸化物の前に降伏するように電界効果型トランジスタ(FET)中に特に設計される。拡散降伏電圧を増加させるため、基板に対するソース/ドレイン領域中の相対濃度は、適切でなければならない。いくつかの実施形態では、ソースおよびドレイン領域中の、より低いドーピングレベルが降伏電圧を増加させることができる。

【 0 1 9 4 】

[0229] ゲート酸化物降伏に関して、過剰な電界がゲート酸化物にストレスを与え、破裂またはゲート漏洩電流をもたらす可能性がある。ゲート対ドレインまたはゲート対ソース降伏電圧を増加させるために、最大電界を減少させなければならない。

【 0 1 9 5 】

[0230] 高電圧CMOS回路を作るために、様々な方法を使用することができる。そのような方法は、たとえば、マスク論理演算およびデバイスレイアウトのレベルで実装することができる。NMOS技術中の標準的な拡散接合は、典型的には $10^{17} \sim 10^{18}$ ドーパント/cm³程度の、レトログレードープされたPウェルに対し、縮退的にドーパされたN+である。3Vデバイスは、典型的には6ボルトで降伏する。ソースおよびドレインは、たとえば、ポリSiゲートをドーパする同じインプラントにより画定することができる。これは、一般的にセルフアライントランジスタと呼ばれる。

10

【 0 1 9 6 】

[0231] 標準的なゲート - ドレイン界面は、軽度にドーパされたドレイン (LDD: lightly doped drain) である。LDDは、たとえば、電界を減少させるようにドーパすることができるが、ゲート制御を維持するのに十分な長さのデバイス長を保つために、サイズを最小化することができる。

【 0 1 9 7 】

[0232] CMOS回路は、たとえば、拡散方式を変更することにより、高電圧CMOS回路へと変えることができる。たとえば、Nウェル領域およびPウェル領域を使用する、マスクアラインされたソースおよびドレインを採用することができる。NMOS実装について、拡散は、P基板を備えるNウェルソース/ドレインに変えることができる。PMOSについて、拡散は、NウェルおよびディープNウェルを備えるPウェルソース/ドレイン領域に変えることができる。ソースおよびドレインは、シャロートレンチアイソレーション (STI: shallow trench isolation) により画定することができる。あるいは、より高い電圧用に、ソースおよびドレインは、ギャップ空間および熱拡散により画定することができる。

20

【 0 1 9 8 】

[0233] 本開示に記載された様々な実施形態中の高電圧CMOS回路を実装するために使用することができる、回路レイアウトおよび関連する構造の例が、図33～図42に示される。

30

【 0 1 9 9 】

[0234] 図33は、たとえば、高電圧ディープサブミクロンノードを設けるために、いくつかの実施形態において使用することができる、高電圧NMOS 3301aおよびPMOS 3301bレイアウトの例を示す。図33に記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3302 - Nウェル (NW) / P基板 (Psub 3303) に起因する大きい接合降伏、3304 - LDDに起因する減少した電界、3306 - Pウェル (PW) / NWに起因する大きい接合降伏、および3308 - LDDに起因する減少した電界である。

40

【 0 2 0 0 】

[0235] 図34は、いくつかの実施形態において使用することができる、超高電圧NMOS 3401aおよびPMOS 3401bレイアウトの例を示す。図34に記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3402 - N+インプラントについてのマスク画定したドーピング、3404 - 熱的に拡散されたPW / Psub、3406 - 熱的に拡散されたNW / Psub、3408 - P+インプラントについてのマスク画定したドーピング、3410 - 熱的に拡散されたNW / Psub、および3412 - 熱的に拡散されたPW / Psubである。

【 0 2 0 1 】

[0236] 図35は、いくつかの実施形態において使用することができる、高電圧NMOS 3501aおよびPMOS 3501bの双方向またはカスコードレイアウトの例を示す。

50

図 3 5 に記載される参照番号は、図示されるレイアウトの以下の特徴および / または特色に対応する。すなわち、3 5 0 2 - N ウェルソースおよびソースゲート拡張部、3 5 0 4 - N ウェルドレインおよびゲート拡張部、3 5 0 6 - P ウェルソースおよびソースゲート拡張部、ならびに 3 5 0 8 - P ウェルドレインおよびゲート拡張部である。

【 0 2 0 2 】

[0237] 図 3 6 は、いくつかの実施形態において使用することができる、超高電圧 N M O S 3 6 0 1 a および P M O S 3 6 0 1 b の双方向またはカスコードレイアウトの例を示す。図 3 6 に記載される参照番号は、図示されるレイアウトの以下の特徴および / または特色に対応する。すなわち、3 6 0 2、3 6 0 4 - P s u b における熱的に拡散されたソースおよびドレイン、3 6 0 6 - 閾値増加のための任意選択の P ウェルゲートインプラント、3 6 0 8、3 6 1 0 - P s u b における熱的に拡散されたソースおよびドレイン、ならびに 3 6 1 2 - 閾値増加のための任意選択の N ウェルゲートインプラントである。

10

【 0 2 0 3 】

[0238] 図 3 7 は、いくつかの実施形態において使用することができる高電圧スイッチを備える、高電圧 N M O S および P M O S のレイアウトを使用するパルサの例を示す。図 3 7 に記載される参照番号は、図示されるレイアウトの以下の特徴および / または特色に対応する。3 7 0 2 - C U T、3 7 0 4 および 3 7 0 6 はトランジスタスイッチを表す。パルサをディセーブルにするため、 $T x p = 0$ 、 $T x n = 1$ に設定し、次いで、 $T x n = 0$ に設定する (c ノードが低電圧レール内のままでいる限り、P M O S は状態を保持する)。3 7 0 8 は、高電圧から分離するためのイネーブル信号 $r x_en$ を受信するためのイネーブルスイッチを表す。トランジスタは、図中で、高電圧 (HV) デバイスを意味する太いゲート線により図示されるような厚いチャネルを有することができる。

20

【 0 2 0 4 】

[0239] 図 3 8 A および図 3 8 B は、いくつかの実施形態において使用することができる二重および四重電圧パルドライバの例をそれぞれ示す。図 3 8 A および図 3 8 B に記載される参照番号は、図示されるレイアウトの以下の特徴および / または特色に対応する。すなわち、3 8 0 2 - 追加されるカスケードデバイス、3 8 0 4、3 8 0 6 - H ブリッジ回路で駆動されるトランスデューサ要素の端子、3 8 0 8 - 受信要素。動作の際、スイッチを受信モードへとオンにする ($T x n = 1$ 、 $T x p = 0$ に設定し、次いで、 $T x n = 0$ に設定する)、3 8 1 0 - 受信の際、自動的にバイアスがかかる、トランスデューサの上部板である。

30

【 0 2 0 5 】

[0240] 図 3 9 A ~ 図 3 9 B は、いくつかの実施形態において使用することができる、受信分離スイッチを採用しないパルサの例を示す。図 3 9 A ~ 図 3 9 B に記載される参照番号は、図示されるレイアウトの以下の特徴および / または特色に対応する。すなわち、3 9 0 2 - P s u b 中の N ウェルまたは F O X 上のケイ化されていないポリシリコンにより画定される抵抗器、3 9 0 4 - 高電圧 N M O S プルダウンドデバイス、3 9 0 6 - R X への直接接続 (スwitchがないことにより寄生を少なくする)、3 9 0 8 - 自動受信バイアス、および 3 9 1 0 - 2 重電圧のためのカスコードデバイスである。

【 0 2 0 6 】

40

[0241] 図 4 0 A および図 4 0 B は、ここで、A D C 参照値のうちの 1 つまたは複数としていくつかの実施形態において採用することができる、時間インターリーブされた単一勾配 A D C、およびその動作の例をそれぞれ示す。図示される例では、N 個の並列な A D C が 1 つのチャネルに使用されて交番するサンプルをとり、それによって、各 A D C のサンプリング周波数は、ナイキスト基準よりもはるかに低い。そのような単一勾配 A D C は、たとえば、バイアス、ランプ、およびグレーカウンタといったリソースの大規模な共有を可能にすることができる。そのような A D C 手法は、このようにして、高度に拡大縮小可能で、低電力の選択肢を提供することができる。

【 0 2 0 7 】

[0242] 図 4 1 は、いくつかの実施形態において採用することができる、時間インターリ

50

ープされたサンプルホールド回路の例を示す。示される例では、参照番号 4 1 0 2 は、偶数番がサンプルされ、次いで奇数番がサンプルされるステップを意味し、参照番号 4 1 0 4 は、奇数番が比較され、次いで偶数番が比較されるステップを意味する。

【0208】

[0243] 図 4 2 A および図 4 2 B は、ここで参照される A D C のうちの 1 つまたは複数としていくつかの実施形態において採用することができる、時分割高速 A D C およびその動作の例をそれぞれ示す。そのような A D C は、たとえば、パイプライン、S A R、またはフラッシュアーキテクチャを採用することができる。そのようなアーキテクチャを有する単一の高速 A D C は、N 個のチャンネルをサンプルするために使用することができるので、そのような A D C 手法は、著しく面積要件を減少させることができる。

10

【0209】

[0244] 本明細書に記載される高電圧 C M O S 回路は、C M O S 回路で従来到達可能なものよりも高い電圧を駆動し、ディープサブミクロンノードにおいて高電圧を実現するように構成することができる。いくつかの実施形態では、非限定的な例として、約 1 0 V までの電圧を扱うまたは駆動することができ、約 2 0 V までを扱うまたは駆動することができ、約 3 0 V までを扱うまたは駆動することができ、約 4 0 V までを扱うまたは駆動することができ、約 5 0 V までを扱うまたは駆動することができ、約 6 0 V までを扱うまたは駆動することができ、それらの範囲内の任意の電圧、または他の好適な電圧を扱うまたは駆動することができる。

【0210】

20

[0245] 本開示に記載された技術のいくつかの態様および実施形態がこうして記載されたが、様々な改変形態、修正形態、および改善形態が当業者には容易に想到されることを理解されたい。そのような改変形態、修正形態、および改善形態は、本明細書に記載された技術の精神および範囲内であることが意図される。たとえば、当業者は、機能を実施する、ならびに / または本明細書に記載された結果および / もしくは利点のうちの 1 つまたは複数を獲得するための、様々な他の手段および / または構造を容易に考察することになり、そのような変形形態および / または修正形態の各々は、本明細書に記載された実施形態の範囲内であるとみなされる。当業者は、せいぜいありふれた実験を使用して、本明細書に記載された具体的な実施形態に対する多くの等価物を認識する、または確認することができることになる。したがって、上記の実施形態は、単に例として提示されており、添付の請求項およびその等価物の範囲内で、具体的に記載されたもの以外に発明性のある実施形態が実施できることを理解されたい。加えて、本明細書に記載される 2 つ以上の特徴、システム、物品、材料、キット、および / または方法の任意の組合せは、それらの特徴、システム、物品、材料、キット、および / または方法が互いに矛盾しない場合、本開示の範囲内に含まれる。

30

【0211】

[0246] 上記の実施形態は、多くの様態のうちのいずれかで実装することができる。処理または方法の性能を含む本開示の 1 つまたは複数の態様および実施形態は、処理または方法を実施する、または処理または方法の性能を制御するために、デバイス（たとえば、コンピュータ、プロセッサ、または他のデバイス）により実行可能なプログラム命令を利用することができる。この点に関し、1 つまたは複数のコンピュータまたは他のプロセッサ上で実行されると、上に記載された様々な実施形態のうちの 1 つまたは複数を実装する方法を実施する 1 つまたは複数のプログラムで符号化される 1 つのコンピュータ可読記憶媒体（または複数のコンピュータ可読記憶媒体）（たとえば、コンピュータメモリ、1 つもしくは複数のフロッピーディスク、コンパクトディスク、光ディスク、磁気テープ、フラッシュメモリ、フィールドプログラマブルゲートアレイもしくは他の半導体デバイス中の回路構成、または他の有形のコンピュータ記憶媒体）として、様々な発明性のある概念を具体化することができる。1 つまたは複数のコンピュータ可読媒体は可搬型であってよく、そのため、その上に記憶される 1 つまたは複数のプログラムは、1 つまたは複数の異なるコンピュータまたは他のプロセッサ上にロードして、上に記載される態様のうちの様々

40

50

なものを実装することができる。いくつかの実施形態では、コンピュータ可読媒体は、非一時的媒体であってよい。

【0212】

[0247] 「プログラム」または「ソフトウェア」という用語は、上に記載されたような様々な態様を実装するために、コンピュータまたは他のプロセッサをプログラムするのに採用することができる、任意のタイプのコンピュータコードまたはコンピュータ実行可能命令の組のことを言うために、一般的な意味で本明細書で使用される。加えて、1つの態様によれば、実行されると本開示の方法を実施する1つまたは複数のコンピュータプログラムは、単一のコンピュータまたはプロセッサ上に常駐する必要はないが、本開示の様々な態様を実装するために、いくつかの異なるコンピュータまたはプロセッサ間に、モジュール様式で分配することができることを理解されたい。

10

【0213】

[0248] コンピュータ実行可能命令は、1つまたは複数のコンピュータまたは他のデバイスにより実行されるプログラムモジュールなど、多くの形式であってよい。一般的に、プログラムモジュールとしては、特定のタスクを実施するまたは特定の抽象的なデータタイプを実装する、ルーチン、プログラム、オブジェクト、構成要素、データ構造などが挙げられる。典型的には、プログラムモジュールの機能性は、様々な実施形態で所望に応じて組み合わせる、または分配することができる。

【0214】

[0249] また、データ構造は、任意の好適な形式でコンピュータ可読媒体中に記憶することができる。説明を簡単にするために、データ構造は、データ構造中の位置に関係付けされるフィールドを有するように示すことができる。そのような関係は、フィールドの記憶域を、フィールド間の関係を伝えるコンピュータ可読媒体中の位置で割り当てることにより、同様に実現することができる。しかし、ポインタ、タグ、またはデータ要素間の関係を確立する他のメカニズムの使用を含む、任意の好適なメカニズムを使用して、データ構造のフィールド中の情報間の関係を確立することができる。

20

【0215】

[0250] ソフトウェアで実装されるとき、単一のコンピュータで提供されようと複数のコンピュータ間に分配されようと、ソフトウェアコードを、任意の好適なプロセッサまたはプロセッサの集合上で実行することができる。

30

【0216】

[0251] さらに、非限定的な例として、ラック搭載型コンピュータ、デスクトップコンピュータ、ラップトップコンピュータまたはタブレットコンピュータなどのいくつかの形式のいずれかでコンピュータを具体化できることを理解されたい。加えて、コンピュータは、携帯情報端末(PDA)、スマートフォン、または任意の他の好適な携帯型または固定電子デバイスを含む、一般的にはコンピュータとみなされないが好適な処理能力を有するデバイスに内蔵することができる。

【0217】

[0252] また、コンピュータは、1つまたは複数の入力および出力デバイスを有することができる。これらのデバイスは、とりわけ、ユーザインターフェースを提示するために使用することができる。ユーザインターフェースを提供するために使用することができる出力デバイスの例としては、出力の視覚的提示のためのプリンタまたは表示スクリーン、および出力の聴覚的提示のためのスピーカまたは他の音声生成デバイスが挙げられる。ユーザインターフェースとして使用することができる入力デバイスの例としては、キーボード、ならびにマウス、タッチパッドおよびデジタイジングタブレットなどのポインティングデバイスが挙げられる。別の例としては、コンピュータは、音声認識または他の可聴形式で入力情報を受信することができる。

40

【0218】

[0253] そのようなコンピュータは、ローカルエリアネットワークまたは企業ネットワークなどのワイドエリアネットワーク、インテリジェントネットワーク(IN)またはインタ

50

ーネットを含む、1つまたは複数のネットワークにより、任意の好適な形式で、相互接続することができる。そのようなネットワークは、任意の好適な技術に基づくことができ、任意の好適なプロトコルに従って動作することができ、ワイヤレスネットワーク、有線ネットワーク、または光ファイバネットワークを含むことができる。

【0219】

[0254] また、記載されるように、いくつかの態様は、1つまたは複数の方法として具体化することができる。方法の部分として実施されることは、任意の好適な様態で順序付けることができる。したがって、実施形態は、説明されたものと異なる順番でことを実施するように構築することができ、説明に役立つ実施形態中では連続的なこととして示されるが、いくつかのことを同時に実施することを含むことができる。

10

【0220】

[0255] 本明細書で規定されて使用されるすべての規定は、辞書中の規定、参照により組み込まれる文書中の規定、および/または規定される用語の通常の意味を統括すると理解されたい。

【0221】

[0256] ここで、明細書の中および請求項の中で使用される不定冠詞「a」および「an」は、そうでないと明確に示されない限り、「少なくとも1つ」を意味すると理解されたい。

【0222】

[0257] ここで、明細書の中および請求項の中で使用される「および/または」という語句は、等位結合される、要素の「いずれかまたは両方」を意味する、すなわち、いくつかの場合では要素が論理的に存在し、他の場合では要素が論理的に存在すると理解されたい。「および/または」を用いて列挙される複数の要素は、同じ様式である、すなわち、そのように等位接続される要素のうちの「1つまたは複数」であると解釈されたい。他の要素は、「および/または」という語句により具体的に識別される要素以外に、具体的に識別されるそれらの要素に関係するものであるが関係しないものであるが、任意選択で存在することができる。したがって、非限定的な例として、「備える (comprising)」などの開放型の言葉と組み合わせて使用されるとき、「Aおよび/またはB」という言及は、1つの実施形態ではAだけ (任意選択でB以外の要素を含む)、別の実施形態ではBだけ (任意選択でA以外の要素を含む)、さらに別の実施形態は、AおよびBの両方 (任意選択で他の要素を含む) などのことを言うことができる。

20

30

【0223】

[0258] ここで、明細書の中および請求項の中で使用される、1つまたは複数の要素の列挙への言及中の「少なくとも1つ」という語句は、要素の列挙中の要素のうちの任意の1つまたは複数から選択される少なくとも1つの要素を意味するが、要素の列挙内に具体的に列挙されるあらゆる要素のうちの少なくとも1つを必ずしも含む必要はなく、要素の列挙中の要素の任意の組合せを排除しないことを理解されたい。この規定は、「少なくとも1つ」という語句が言及する要素の列挙内で具体的に識別される要素以外に、具体的に識別されるそれらの要素に関係するものであるが関係しないものであるが、任意選択で要素が存在できることも可能にする。したがって、非限定的な例として、「AおよびBのうちの少なくとも1つ」 (または等価的に、「AまたはBのうちの少なくとも1つ」、または等価的に、「Aおよび/またはBのうちの少なくとも1つ」) は、1つの実施形態では、少なくとも1つの、任意選択で2つ以上を含む、AでBが存在しない (かつ任意選択でB以外の要素を含む)、別の実施形態では、少なくとも1つの、任意選択で2つ以上を含む、BでAが存在しない (かつ任意選択でA以外の要素を含む)、さらに別の実施形態では、少なくとも1つの、任意選択で2つ以上を含む、Aおよび少なくとも1つの、任意選択で2つ以上を含む、B (かつ任意選択で他の要素を含む) などのことを言うことができる。

40

【0224】

[0259] また、本明細書で使用される語法および用語は、記載の目的のためであり、限定

50

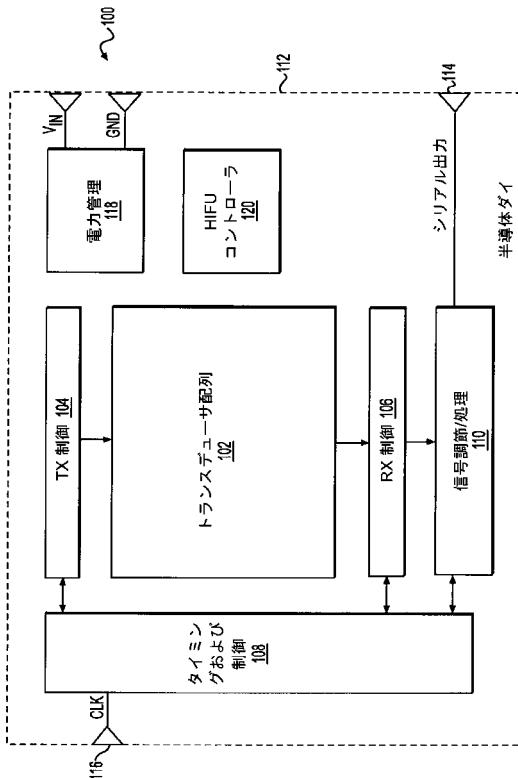
的であるとみなすべきでない。本明細書での、「含む (including)」、「備える (comprising)」、「有する (having)」、「含有する (containing)」、「含む (involving)」およびそれらの変形を使用することは、その後に列挙される項目、およびそれらの等価物、ならびに追加項目を包含することを意味する。

【 0 2 2 5 】

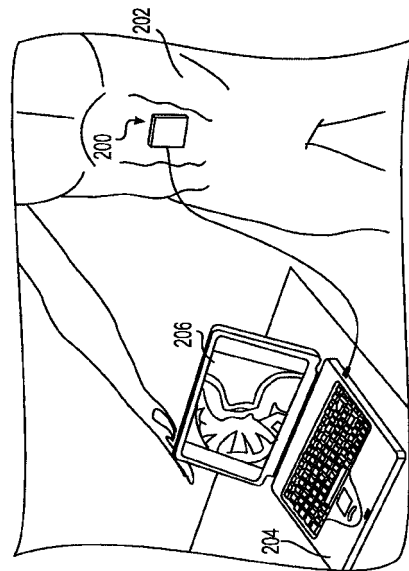
[0260] 請求項では、上の明細書と同様に、「備える (comprising)」、「含む (including)」、「もつ (carrying)」、「有する (having)」、「含有する (containing)」、「含む (involving)」、「保持する (holding)」、「からなる (composed of)」などのすべての移行句は開放型であること、すなわち、含んでいるが限定しないことを意味すると理解されたい。「からなる (consisting of)」および「本質的に～からなる (consisting essentially of)」という移行句だけが、それぞれ、閉鎖型または半閉鎖型となるものとする。

10

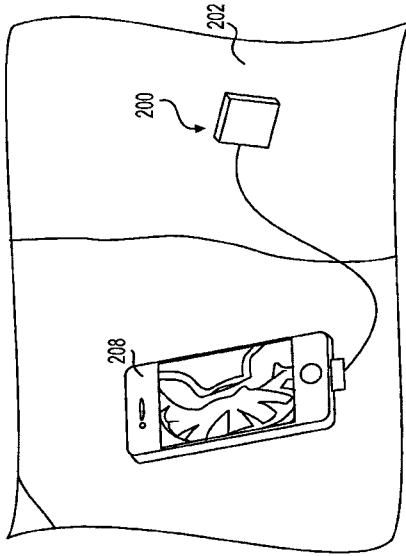
【 図 1 】



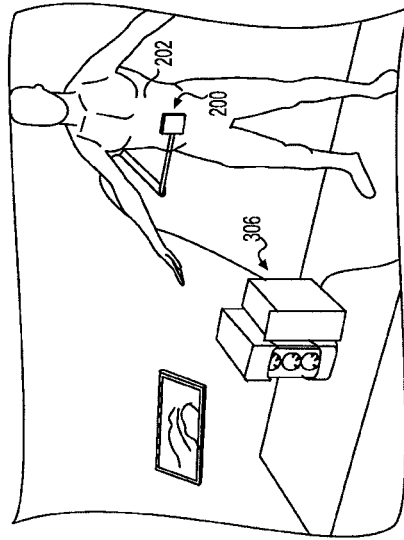
【 図 2 A 】



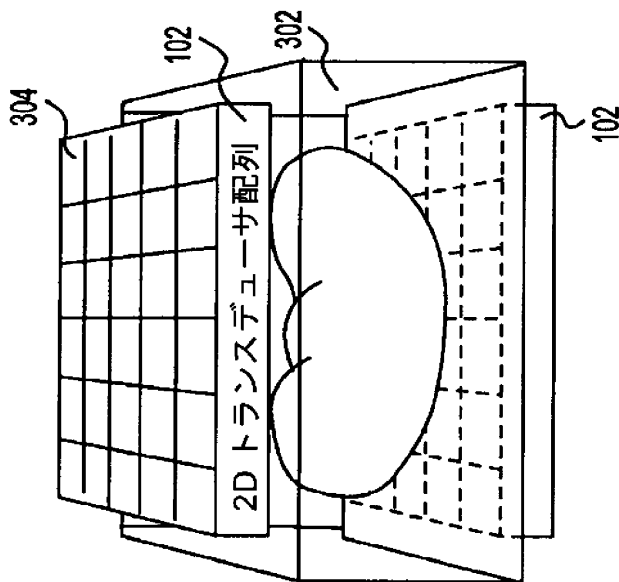
【図 2 B】



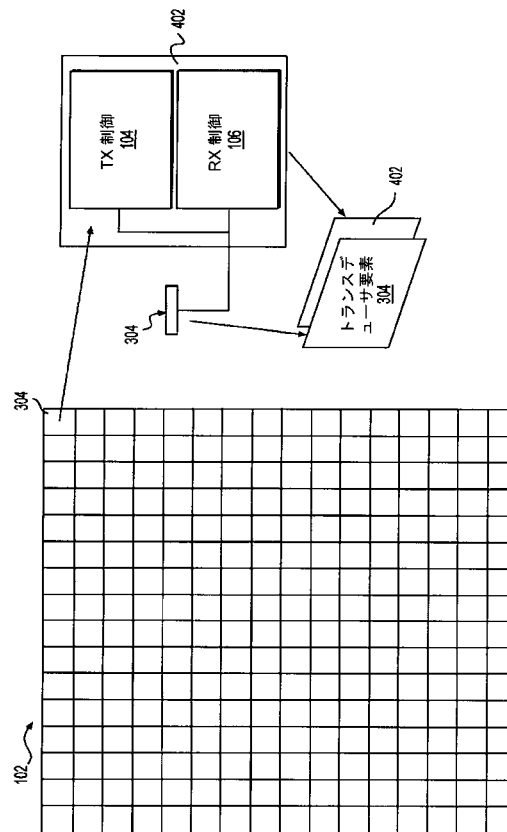
【図 3 A】



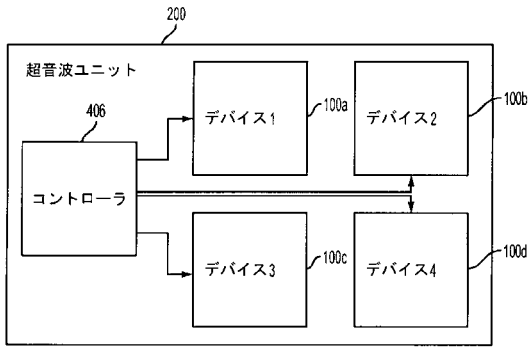
【図 3 B】



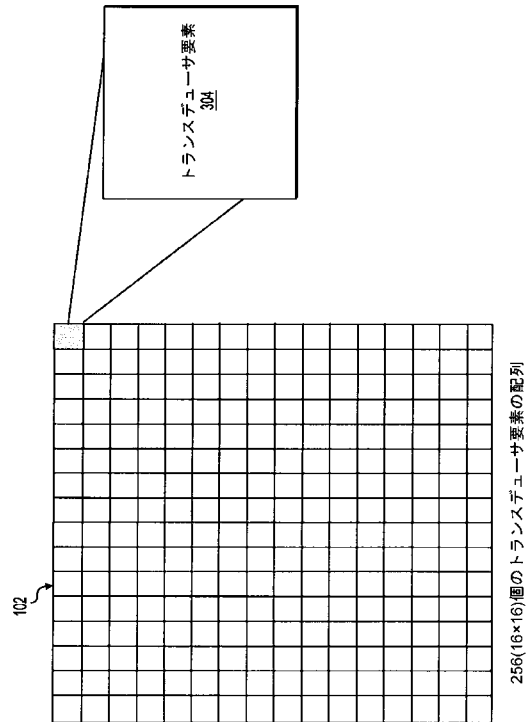
【図 4 A】



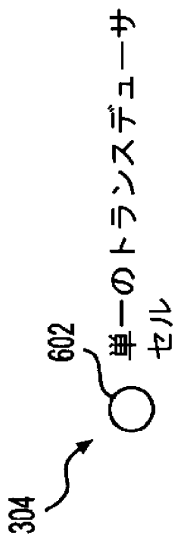
【図 4 B】



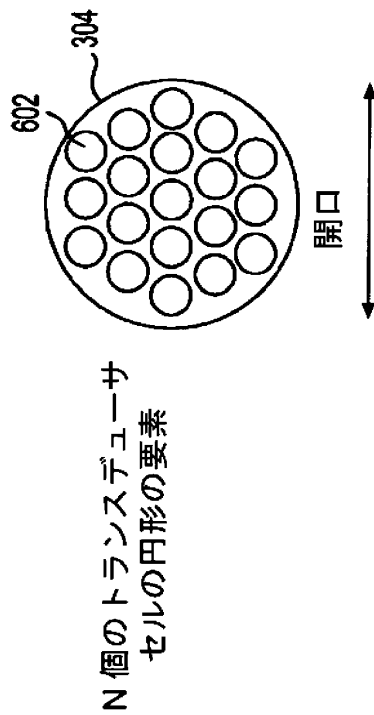
【図 5】



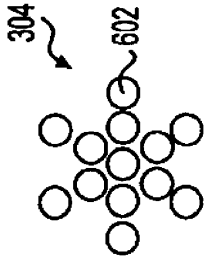
【図 6 A】



【図 6 B】

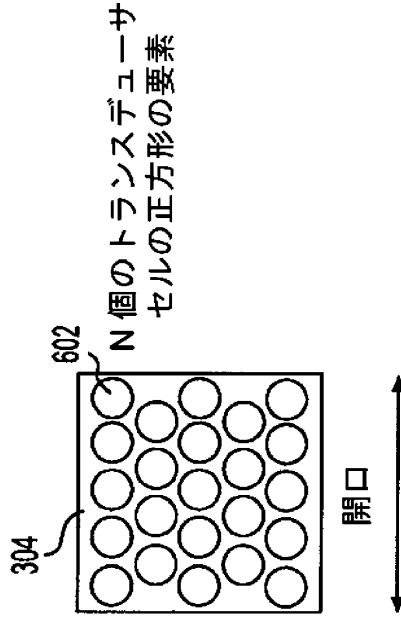


【図 6 C】

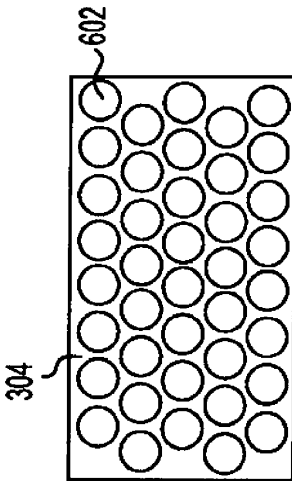


N個のトランス
デューサセルの
星形の要素

【図 6 D】

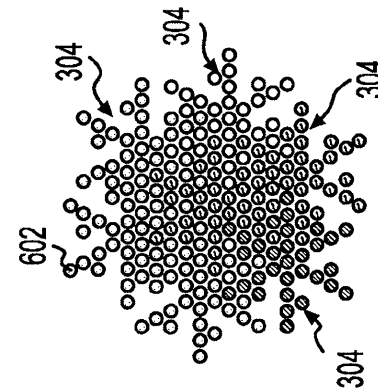


【図 6 E】

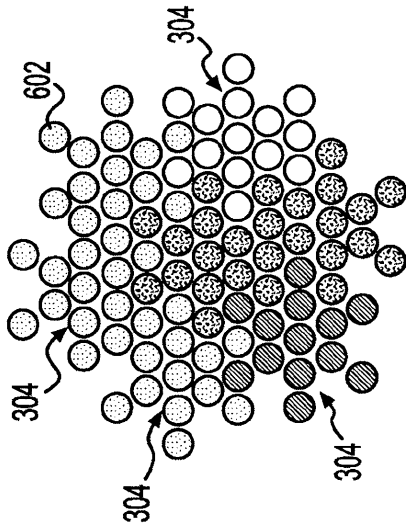


N個のトランス
デューサセルの
矩形の要素

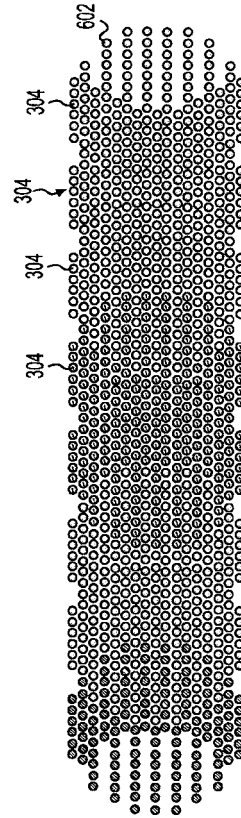
【図 7 A】



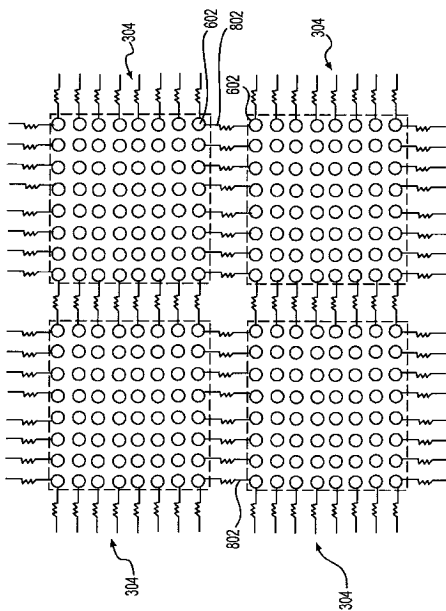
【図 7 B】



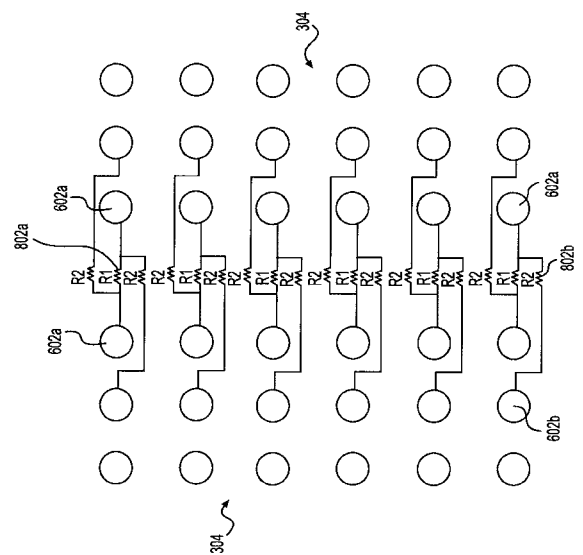
【図 7 C】



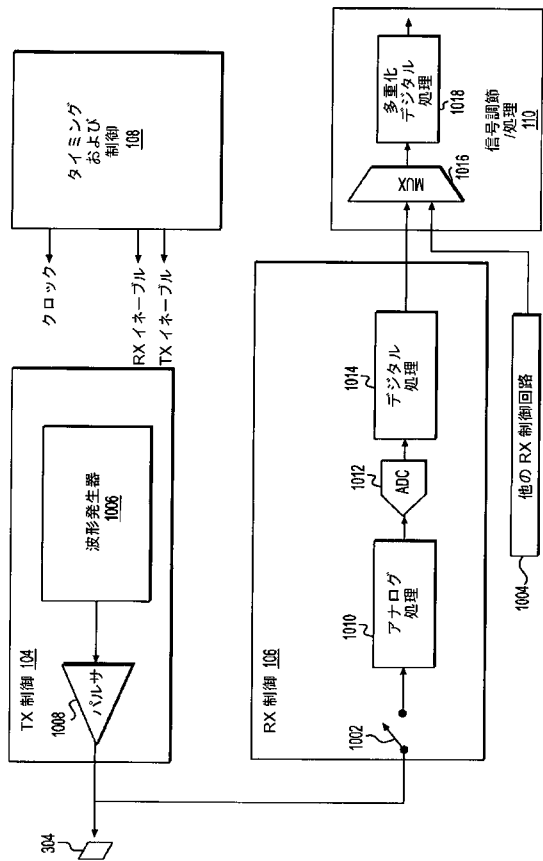
【図 8】



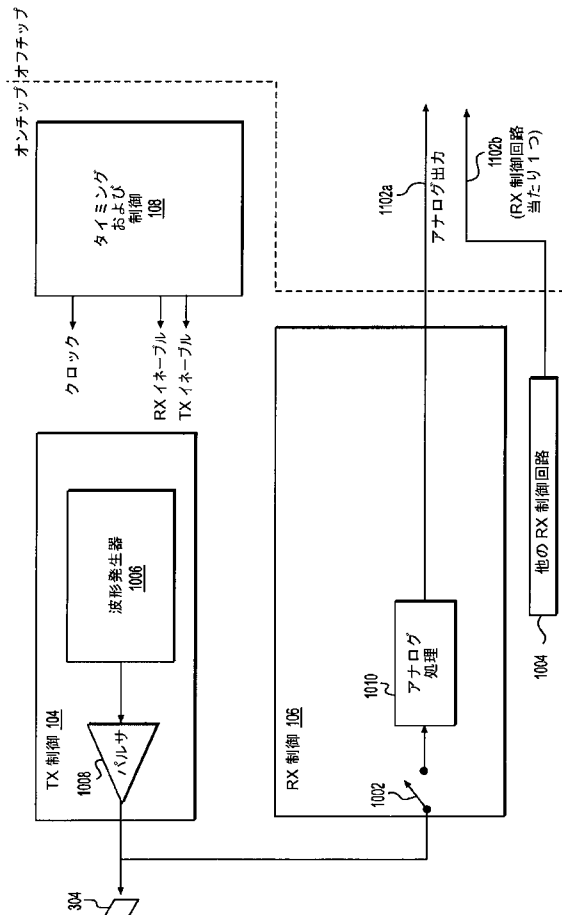
【図 9】



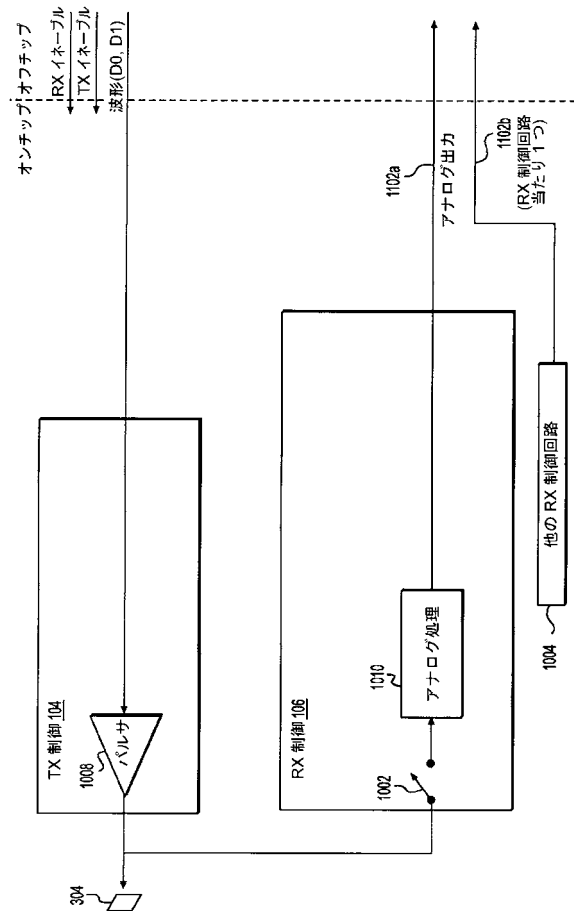
【図 1 0】



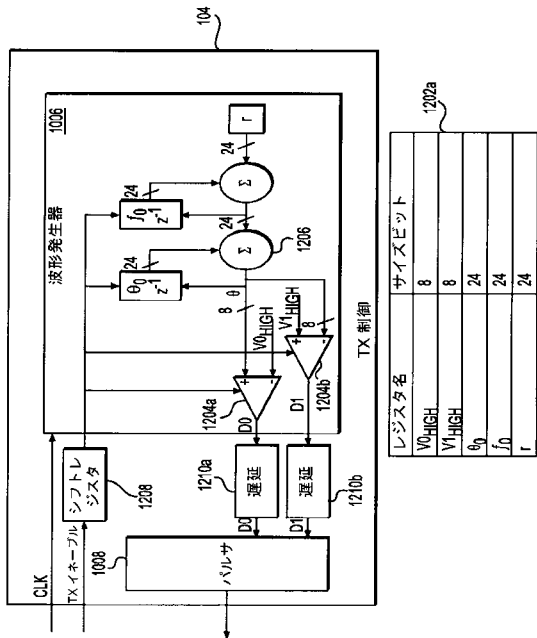
【図 1 1 A】



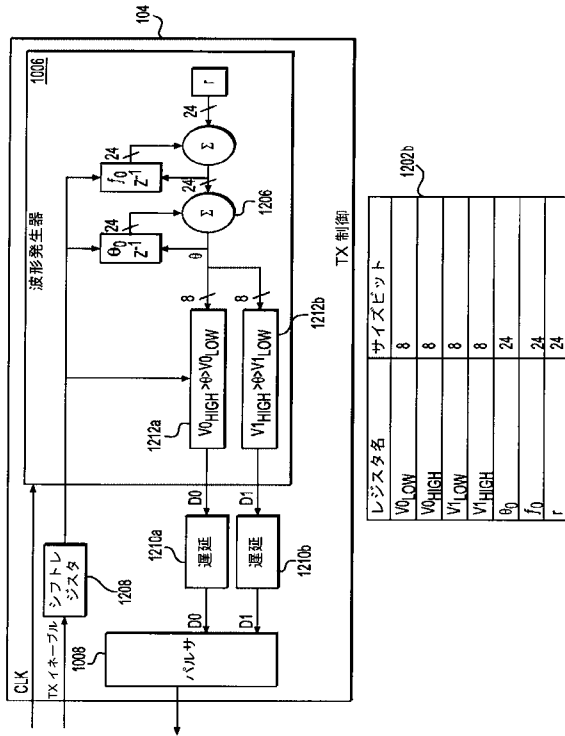
【図 1 1 B】



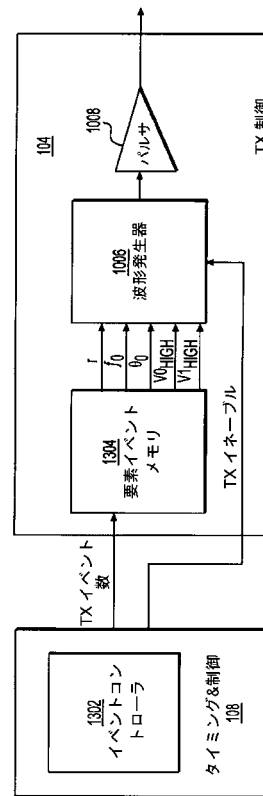
【図 1 2 A】



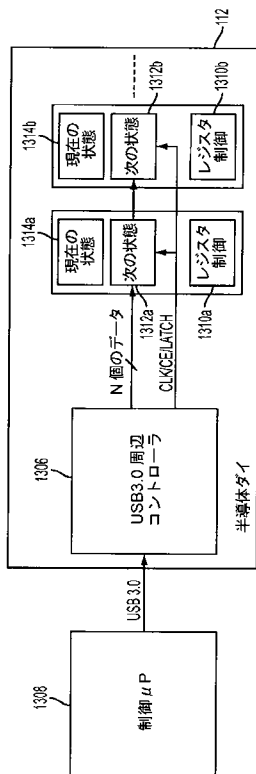
【図 1 2 B】



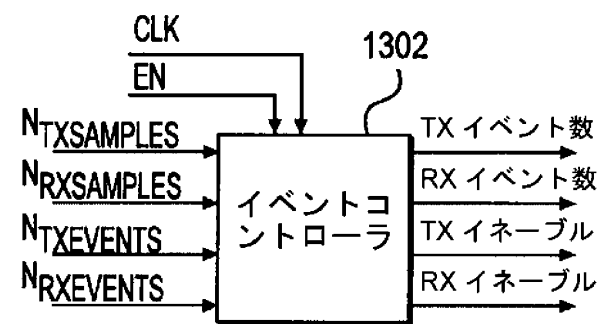
【図 1 3 A】



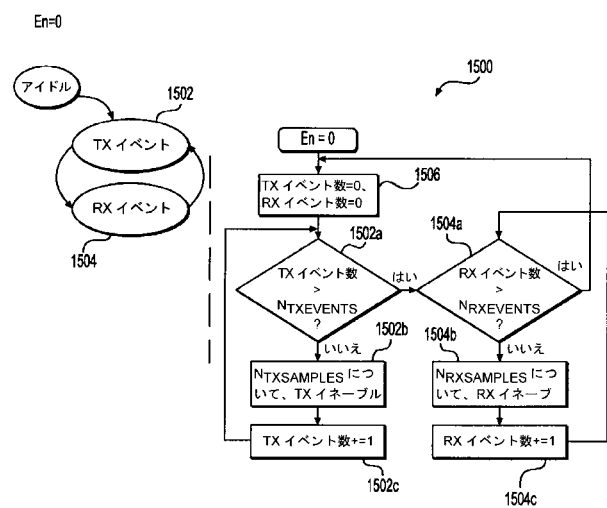
【図 1 3 B】



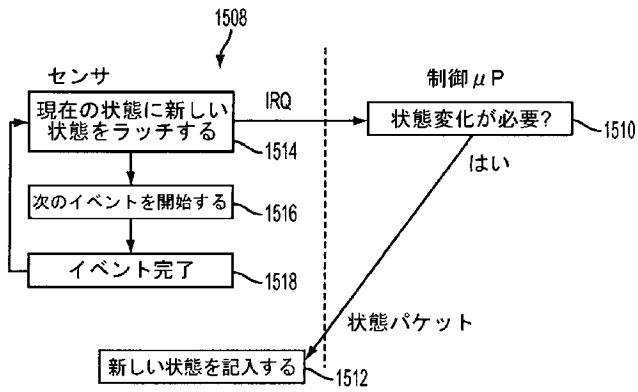
【図 1 4】



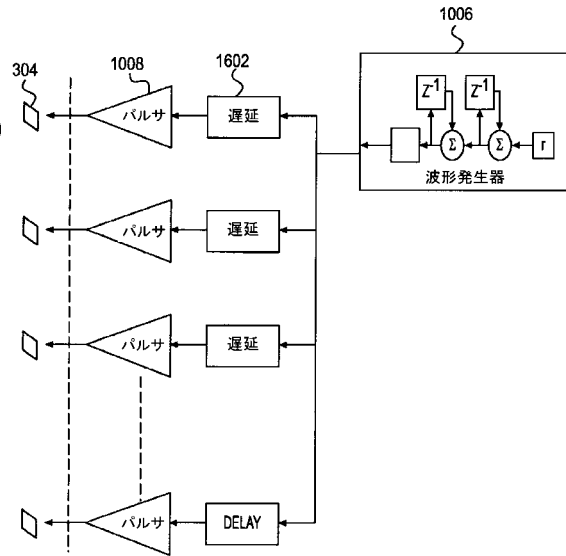
【図 1 5 A】



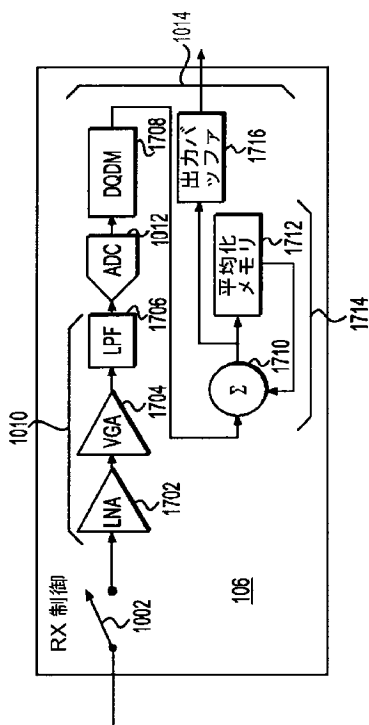
【図 15 B】



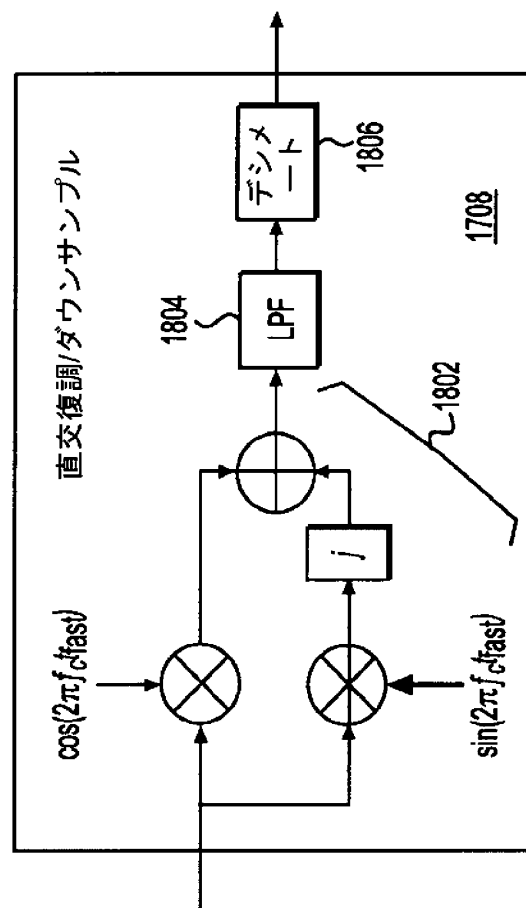
【図 16】



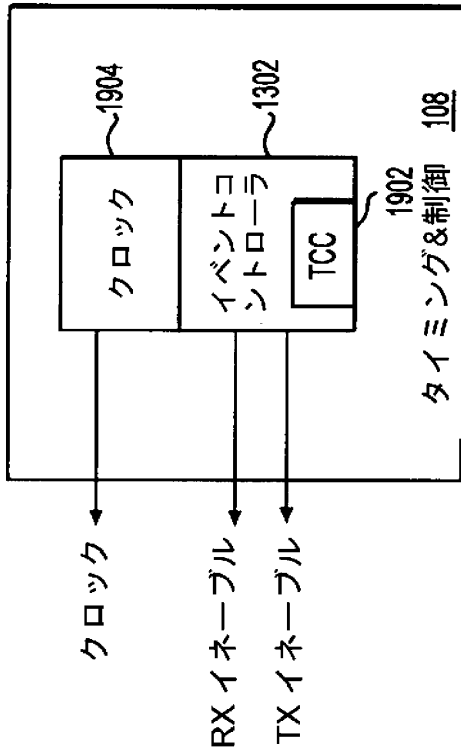
【図 17】



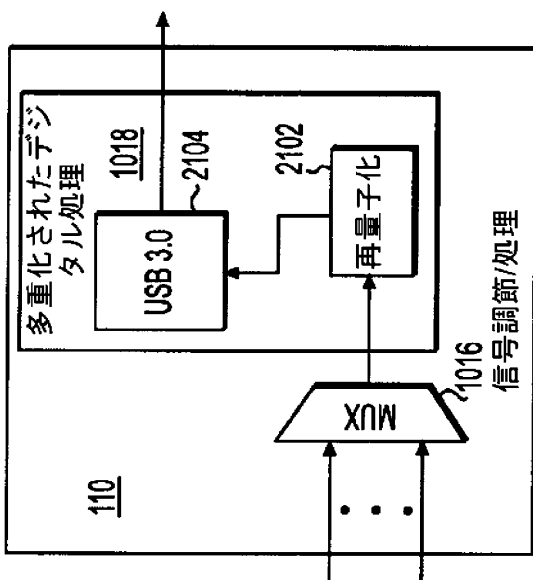
【図 18】



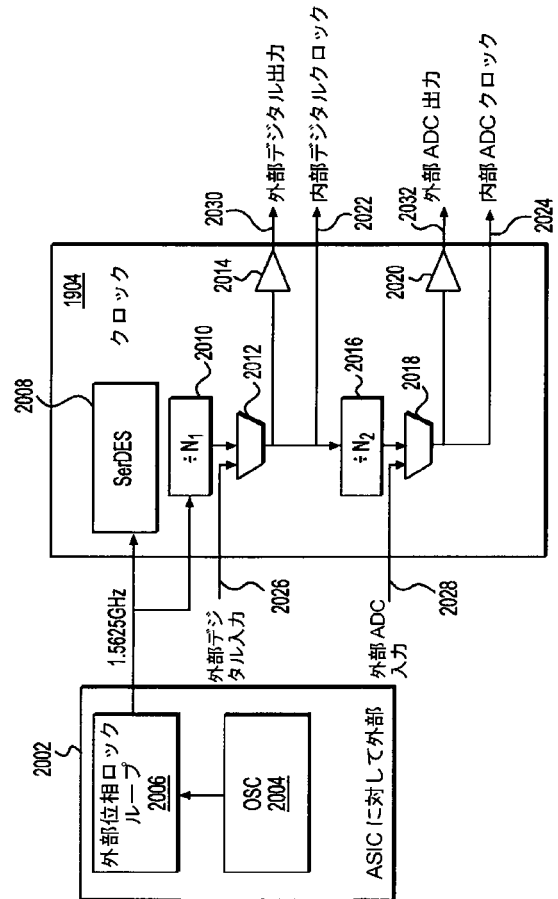
【図 19】



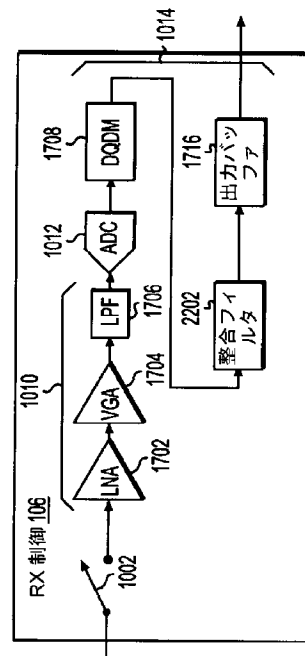
【図 21】



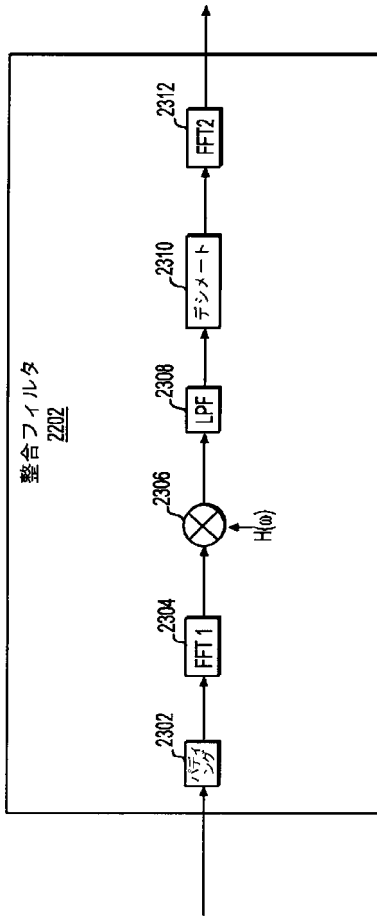
【図 20】



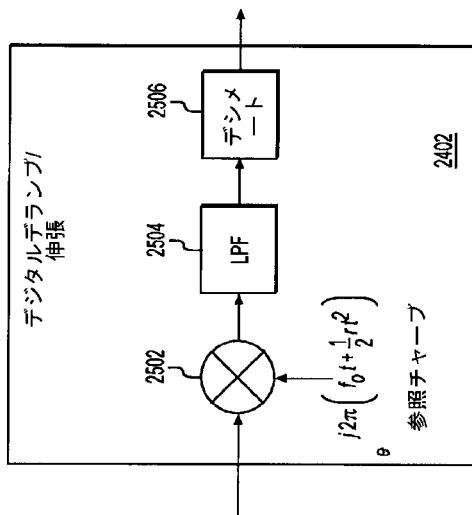
【図 22】



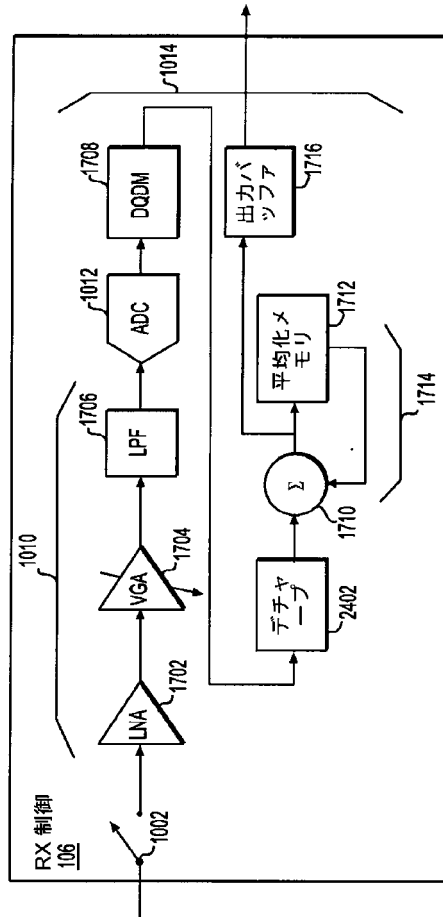
【図 2 3】



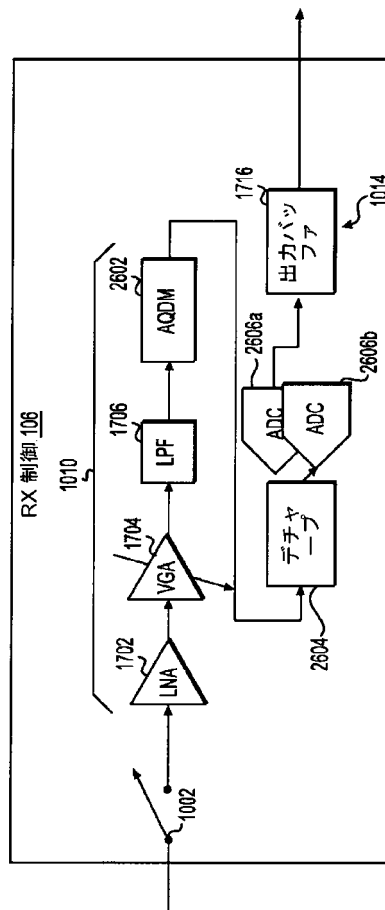
【図 2 5】



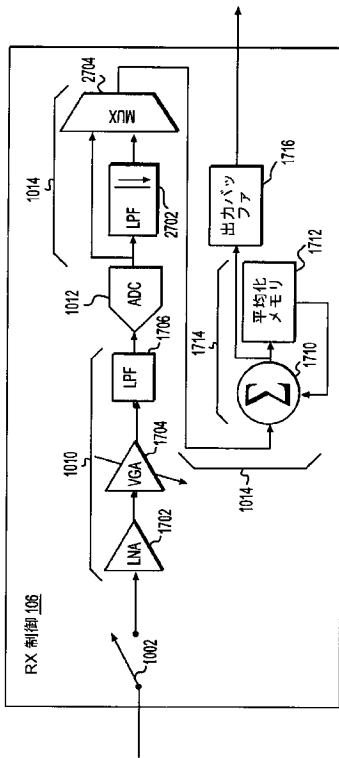
【図 2 4】



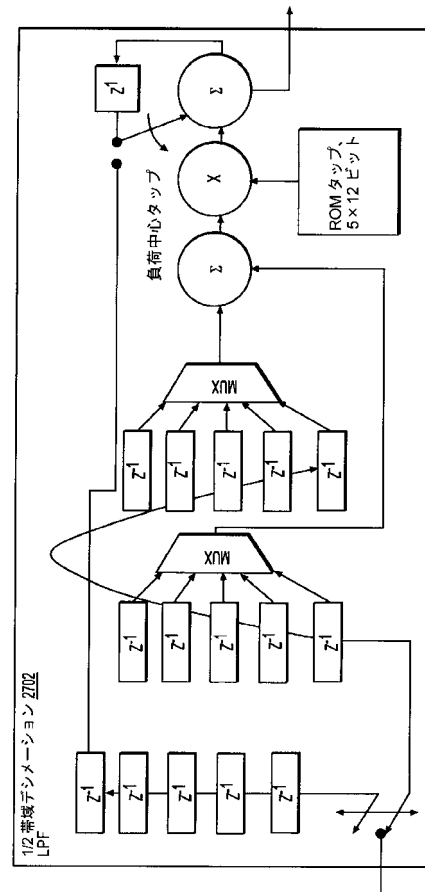
【図 2 6】



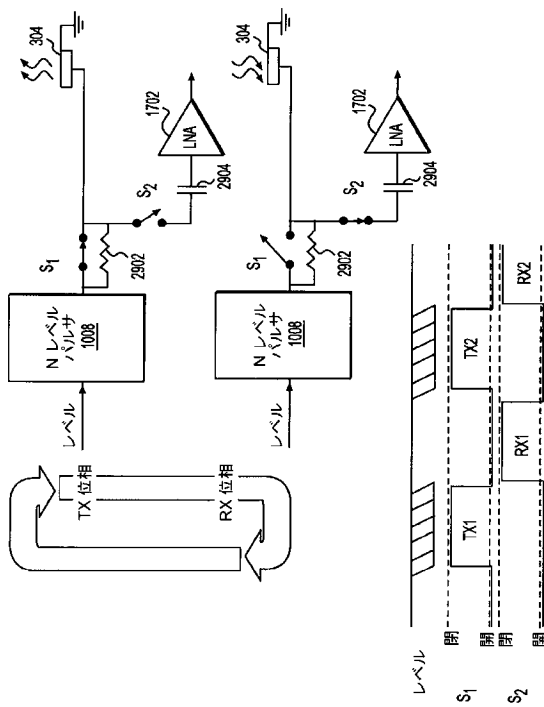
【 図 2 7 】



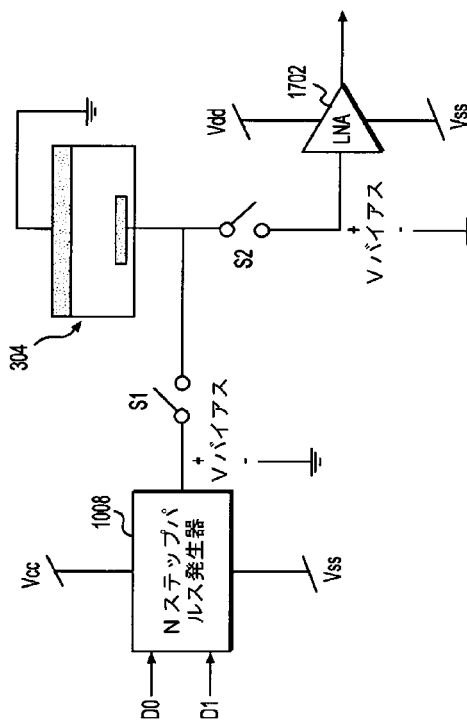
【 図 2 8 】



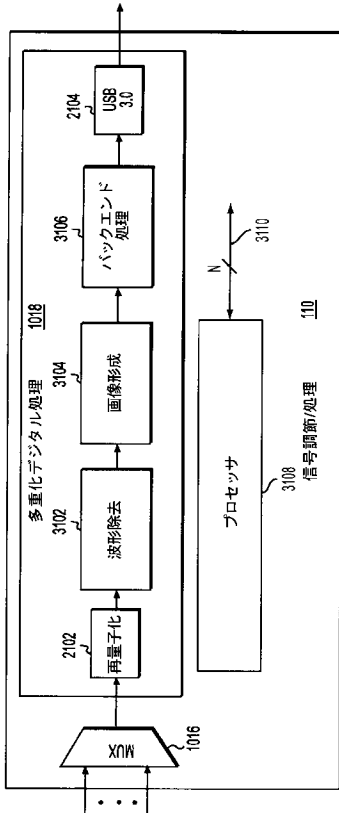
【 図 2 9 】



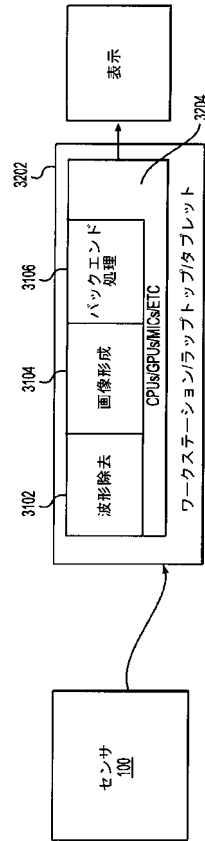
【 ㊦ 3 0 】



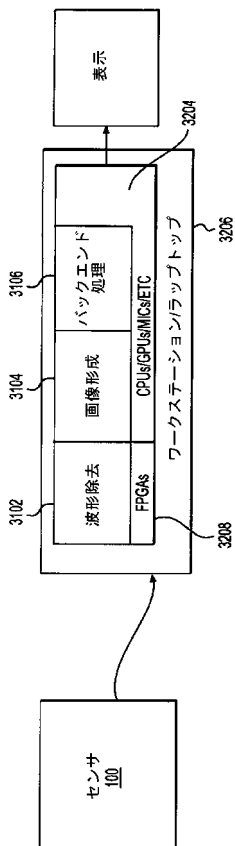
【図 3 1】



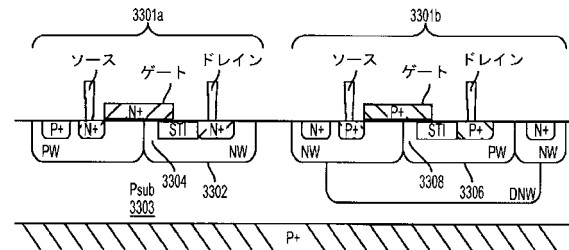
【図 3 2 A】



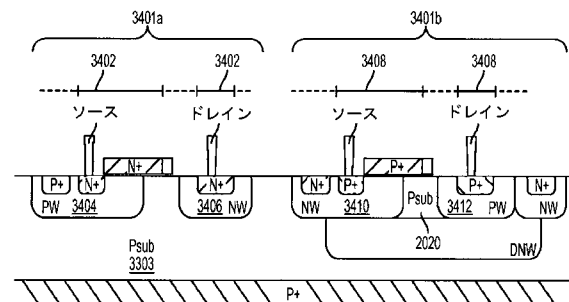
【図 3 2 B】



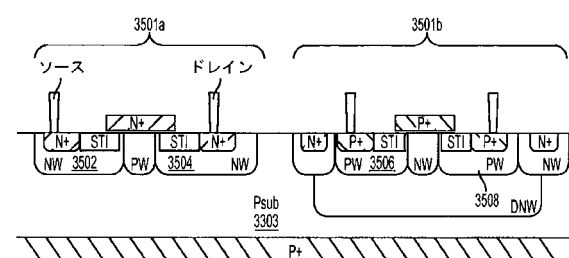
【図 3 3】



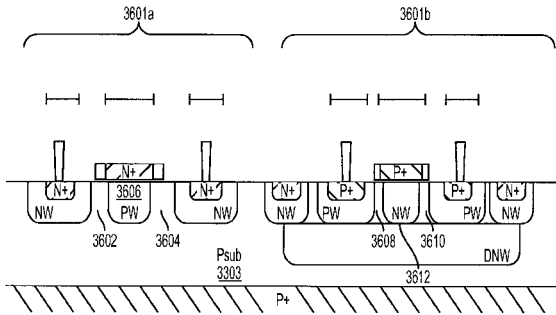
【図 3 4】



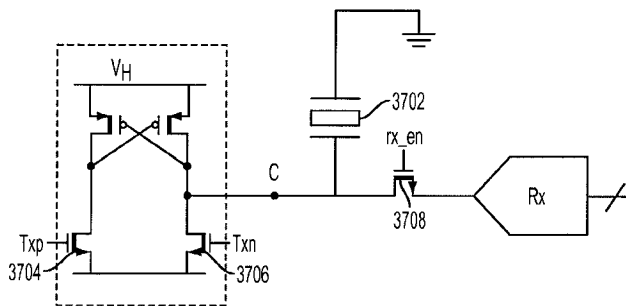
【図 3 5】



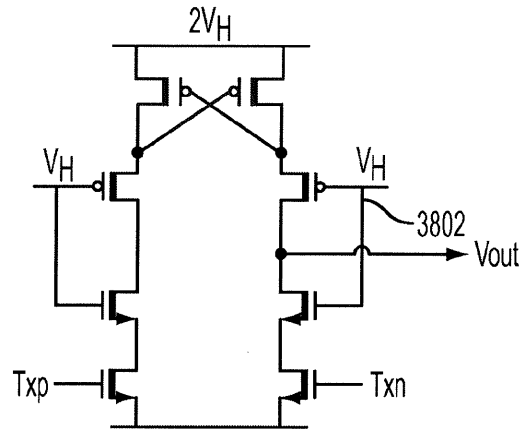
【図 3 6】



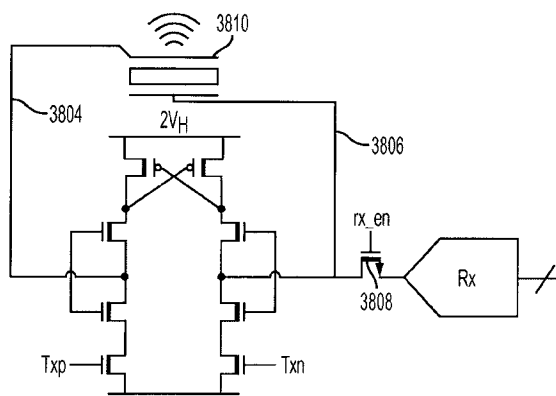
【図 3 7】



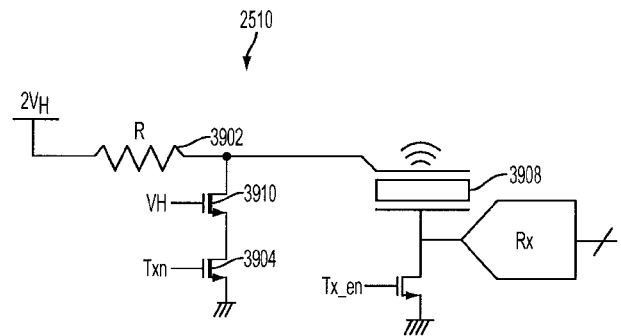
【図 3 8 A】



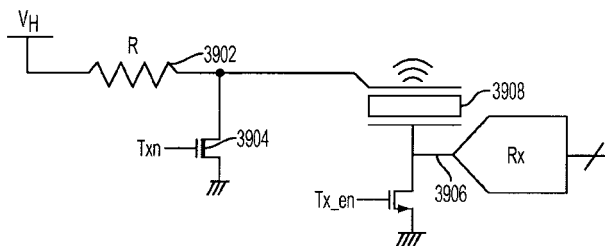
【図 3 8 B】



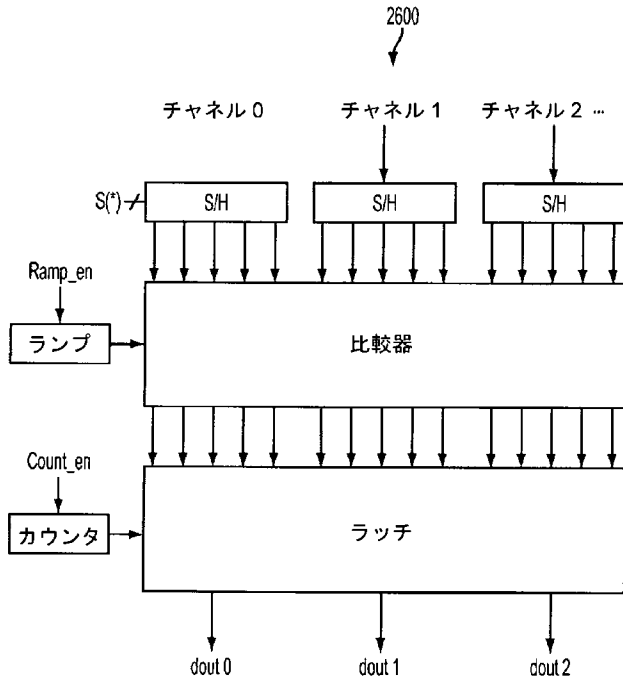
【図 3 9 B】



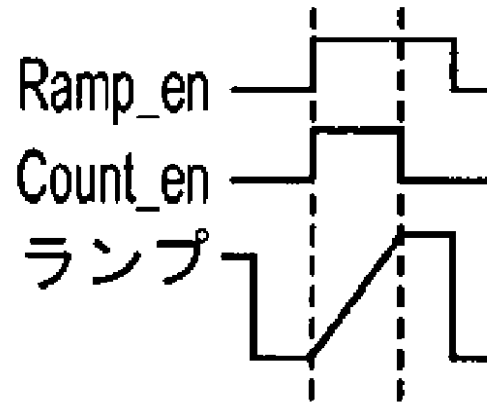
【図 3 9 A】



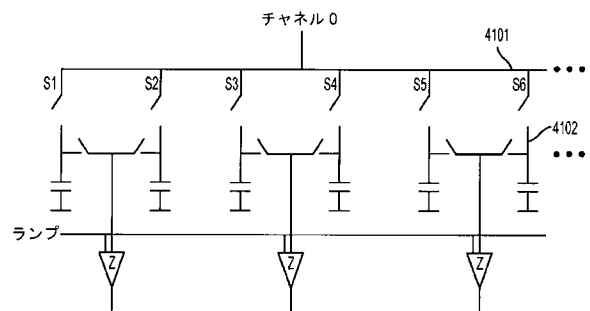
【図 40 A】



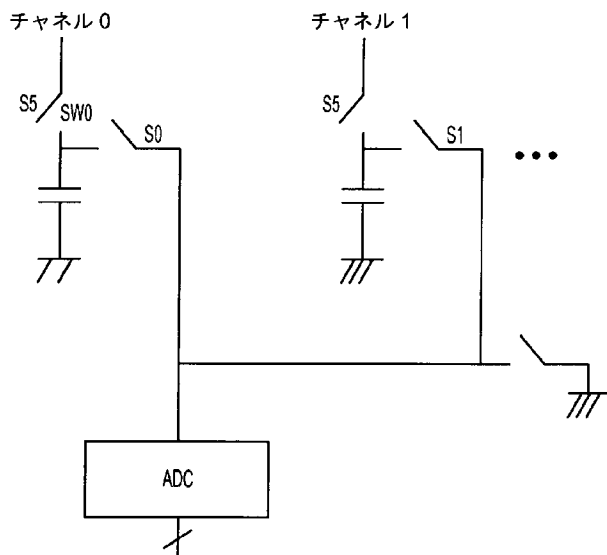
【図 40 B】



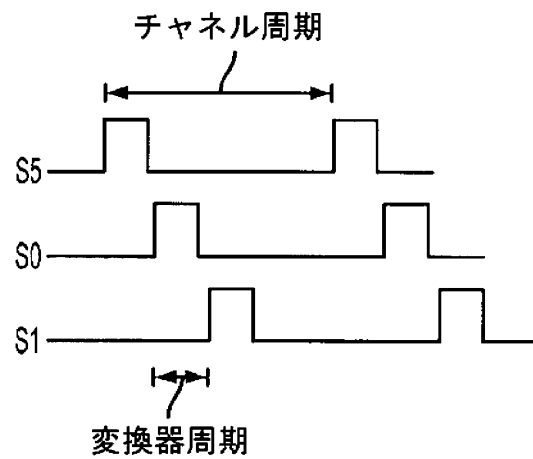
【図 41】



【図 42 A】



【図 42 B】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2014/025567

A. CLASSIFICATION OF SUBJECT MATTER

INV. G01S7/52 B06B1/02 G01S15/89 B81C1/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01S B06B B81C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DAFT C ET AL: "5F-3 A Matrix Transducer Design with Improved Image Quality and Acquisition Rate", ULTRASONICS SYMPOSIUM, 2007. IEEE, IEEE, PISCATAWAY, NJ, USA, 1 October 2007 (2007-10-01), pages 411-415, XP031195003, DOI: 10.1109/ULTSYM.2007.112 ISBN: 978-1-4244-1383-6	1,3,7,8, 11,12, 21,22, 24-27, 29,33, 34,37, 38,47, 48, 50-52, 133-158, 207,208 2,28
Y	the whole document ----- -/--	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 June 2014

Date of mailing of the international search report

15/09/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Zaneboni, Thomas

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/025567

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	<p>AGARWAL A ET AL: "P2B-17 Single-Chip Solution for Ultrasound Imaging Systems: Initial Results", ULTRASONICS SYMPOSIUM, 2007. IEEE, IEEE, PISCATAWAY, NJ, USA, 1 October 2007 (2007-10-01), pages 1563-1566, XP031195284, DOI: 10.1109/ULTSYM.2007.393 ISBN: 978-1-4244-1383-6 abstract; figure 1 page 1563, right-hand column, paragraph 2 - page 1565, left-hand column, paragraph 1</p> <p>-----</p>	2,28
X	<p>WO 2007/096636 A1 (WOLFSON MICROELECTRONICS PLC [GB]; LAMING RICHARD IAN [GB]; TRAYNOR AN) 30 August 2007 (2007-08-30)</p> <p>abstract; figures 1-10 page 1, lines 3-15 page 4, line 21 - page 5, line 7</p> <p>-----</p>	1,2, 24-28, 50-52, 133-140, 207,208
X	<p>CHRISTOPHER B DOODY ET AL: "Modeling and Characterization of CMOS-Fabricated Capacitive Micromachined Ultrasound Transducers", JOURNAL OF MICROELECTROMECHANICAL SYSTEMS, IEEE SERVICE CENTER, US, vol. 20, no. 1, 1 February 2011 (2011-02-01), pages 104-118, XP011329484, ISSN: 1057-7157, DOI: 10.1109/JMEMS.2010.2093559 abstract; figures 1-3 Section I. page 106, left-hand column - page 107, right-hand column Section V.</p> <p>-----</p>	1,27
A	<p>CHENG X ET AL: "CMUT-in-CMOS ultrasonic transducer arrays with on-chip electronics", SOLID-STATE SENSORS, ACTUATORS AND MICROSYSTEMS CONFERENCE, 2009. TRANSDUCERS 2009. INTERNATIONAL, IEEE, PISCATAWAY, NJ, USA, 21 June 2009 (2009-06-21), pages 1222-1225, XP031545789, ISBN: 978-1-4244-4190-7 the whole document</p> <p>-----</p> <p style="text-align: center;">-/--</p>	1,27, 133,137, 141,150, 207

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/025567

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>DAFT C ET AL: "Microfabricated ultrasonic transducers monolithically integrated with high voltage electronics", ULTRASONICS SYMPOSIUM, 2004 IEEE MONTREAL, CANADA 23-27 AUG. 2004, PISCATAWAY, NJ, USA, IEEE, vol. 1, 23 August 2004 (2004-08-23), pages 493-496, XP010783991, DOI: 10.1109/ULTSYM.2004.1417770 ISBN: 978-0-7803-8412-5 the whole document -----</p>	26,52

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2014/025567**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-3, 7, 8, 11, 12, 21, 22, 24-29, 33, 34, 37, 38, 47, 48, 50-52, 133-158
207, 208

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/ US2014/ 025567

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-3, 7, 8, 11, 12, 21, 22, 24-29, 33, 34, 37, 38, 47, 48, 50-52, 133-158, 207, 208

Method for processing an ultrasound signal and corresponding device with a transducer, A/D converter and high speed serial data stream on the same die relating to the problem of coping with multiple parallel data transfer paths from the ADC

- 1.1. claims: 133-158, 207, 208

Method and device comprising a CMOS ultrasonic transducer on receive circuitry on a single integrated circuit substrate.

2. claims: 4-6, 9, 10, 30-32, 35, 36

Method for processing an ultrasound signal and corresponding device with a transducer, A/D converter and a particular decimation filter on the same die relating to the problem of finding an alternative decimation filter.

3. claims: 13, 14, 39, 40

Method for processing an ultrasound signal and corresponding device with a transducer, A/D converter and back-end processing functions on the same die relating to the problem of providing an ultrasound system-on-chip.

4. claims: 15-20, 41-46

Method for processing an ultrasound signal and corresponding device with a transducer, A/D converter and microprocessor on the same die relating to the problem of providing an alternative to the discrete component approach of D1.

5. claims: 23, 49

Method for processing an ultrasound signal and corresponding device with a transducer, A/D converter and an analog quadrature demodulator relating to the problem of reducing the requirements for the analog-digital converter.

6. claims: 53-64

Method for processing a ultrasound signal and corresponding device with an ultrasound transducer and an analog dechirp module on the same die relating to the problem of reducing

International Application No. PCT/ US2014/ 025567

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

the bandwidth requirements for the electronics after the dechirp module.

7. claims: 65-86

Method (and corresponding apparatus) "for configuring at least two ultrasonic transducer elements, each comprising a plurality of ultrasonic transducer cells" relating to the problem of configuring ultrasonic transducer elements.

8. claims: 87-94

Method and corresponding device for biasing an ultrasonic transducer element relating to the problem of efficient resource utilisation.

9. claims: 95-104

Method and corresponding device for biasing at least one ultrasonic transducer element integrated on a semiconductor die relating to the problem of as how to apply the bias for an ultrasound transducer on a die.

10. claims: 105-112

Method and corresponding device for biasing at least one ultrasonic transducer element, comprising an act of: applying a ground to a side of the at least one ultrasonic transducer element facing the subject while the at least one ultrasonic transducer element is being used to image or treat the subject relating to the problem of identifying where to place ground with respect to the transducer.

11. claims: 113-122

Method and corresponding device for configuring first and second transmit control circuits relating to implementing the transmit timing.

12. claims: 123-132

Method and corresponding device for configuring at least first and second waveform generators relating to the configuration of waveform generators.

13. claims: 159-196

Method for processing an ultrasound signal and corresponding

International Application No. PCT/ US2014/ 025567

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

device with a transducer and a high-speed serial data stream component on the same die relating to the problem of providing an interface for the ultrasound device.

14. claims: 197-204

Method and corresponding device for operating transmit and/or control circuits for at least first and second ultrasonic transducer elements relating to the problem of providing an interface for the transmit control of the device

15. claims: 205, 206

Ultrasound imaging devices with a high-intensity focused (HIFU) ultrasound chip relating to the problem of image guided HIFU.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/025567

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2007096636 A1	30-08-2007	CN 101426718 A	06-05-2009
		EP 1993948 A1	26-11-2008
		GB 2435544 A	29-08-2007
		GB 2443756 A	14-05-2008
		GB 2454603 A	13-05-2009
		US 2009152655 A1	18-06-2009
		US 2014016798 A1	16-01-2014
		WO 2007096636 A1	30-08-2007

フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 4 R	3/00	(2006.01)	H 0 4 R	3/00
H 0 1 L	41/113	(2006.01)	H 0 1 L	41/113

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(特許庁注: 以下のものは登録商標)

1. イーサネット

(72)発明者 ロスバーク, ジョナサン エム.
アメリカ合衆国, コネチカット州 0 6 4 3 7, ギルフォード, アンカス ポイント ロード 2
1 5

(72)発明者 ファイフ, キース ジー.
アメリカ合衆国, カリフォルニア州 9 4 3 0 6, パロ アルト, マタデロ アベニュー 6 3 5

(72)発明者 ラルストン, タイラー エス.
アメリカ合衆国, コネチカット州 0 6 4 1 3 クリントン, ビーチ パーク ロード 5 6

(72)発明者 ハルヴァート, グレゴリー エル
アメリカ合衆国, コネチカット州 0 6 4 9 8, ウェストブルック, オールド クリントン ロード 6 3 0

(72)発明者 サンチェス, ネバダ ジェイ.
アメリカ合衆国, コネチカット州 0 6 4 0 ブランフォード, イーストウッド ドライブ 1 4

F ターム(参考) 4C601 BB06 EE13 FF13 FF16 GB06 GB18 HH10 HH11 HH25 HH30
HH38 JB31 JB32 JB44 JB47 JB49 KK12 KK21
5D019 AA13 DD01 EE06 FF04 HH01
5J083 AB17 AC31 AE08 BA03 BC16 BE28 BE39 BE53 BE56 CA01
CA12 EA01

专利名称(译)	单片超声成像装置，系统和方法		
公开(公告)号	JP2016523573A	公开(公告)日	2016-08-12
申请号	JP2016501885	申请日	2014-03-13
[标]申请(专利权)人(译)	蝴蝶网络有限公司		
申请(专利权)人(译)	蝴蝶网络公司		
[标]发明人	ロスパークジョナサンエム ファイフキースジー ラルストーンタイラーエス ハルヴァートグレゴリーエル サンチェスネバダジェイ		
发明人	ロスパーク,ジョナサン エム. ファイフ,キース ジー. ラルストーン,タイラー エス. ハルヴァート,グレゴリー エル サンチェス,ネバダ ジェイ.		
IPC分类号	A61B8/14 G01S7/521 G01S15/89 H04R19/00 H04R1/02 H04R3/00 H01L41/113		
CPC分类号	A61B8/4494 A61B8/485 B06B1/02 G01S7/52019 G01S7/52034 G01S7/52047 G01S7/5208 G01S15/8915 A61B8/14 A61B8/145 A61B8/4483 A61B8/4488 A61B8/54 A61N7/00 A61N7/02 B81C1/00246 G01S15/02 G01S15/8977 H04R1/00		
FI分类号	A61B8/14 G01S7/521.A G01S15/89.B H04R19/00.330 H04R1/02.330 H04R3/00.330 H01L41/113		
F-TERM分类号	4C601/BB06 4C601/EE13 4C601/FF13 4C601/FF16 4C601/GB06 4C601/GB18 4C601/HH10 4C601/HH11 4C601/HH25 4C601/HH30 4C601/HH38 4C601/JB31 4C601/JB32 4C601/JB44 4C601/JB47 4C601/JB49 4C601/KK12 4C601/KK21 5D019/AA13 5D019/DD01 5D019/EE06 5D019/FF04 5D019/HH01 5J083/AB17 5J083/AC31 5J083/AE08 5J083/BA03 5J083/BC16 5J083/BE28 5J083/BE39 5J083/BE53 5J083/BE56 5J083/CA01 5J083/CA12 5J083/EA01		
代理人(译)	江口明彦 内藤一彦		
优先权	61/798851 2013-03-15 US		
其他公开文献	JP6279706B2 JP2016523573A5		
外部链接	Espacenet		

摘要(译)

需要解决的问题通过采用传统架构和信号处理范例来改善严重的局限性和缺点。一为了实现以减少，它可以在接收信号路径中使用，使用高速串行数据模块的数据的带宽，数字单芯片超声成像的解决方案，所述片上的信号处理，例如作为数据流，您可以将数据移动到芯片外的所有接收通道那。片上接收信号的数字化使得先进的数字信号处理能够在片上执行，从而允许将整个超声波成像系统完全集成在单个半导体衬底上。同样公开了各种新的波形生成技术，换能器配置和偏置方法等。作为本文公开的“超声波芯片上”解决方案的组件，可以另外或替代地采用HIFU方法。 发明背景

