



(43)申请公布日 2020.03.17

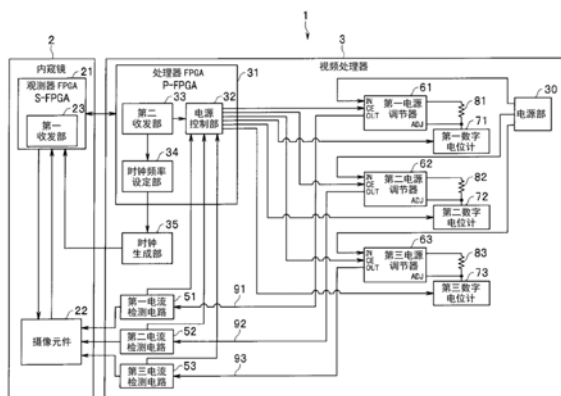
务所(普通合伙) 11277

地址 日本东京都

权利要求书2页 说明书11页 附图6页

内窥镜系统

内窥镜系统(1)具备:S-FPGA(21),其在内窥镜(2)与视频处理器(3)连接的情况下的规定期间,与视频处理器(3)进行通信,将用于驱动摄像元件(22)的多个规定格式的参数发送到视频处理器(3);P-FPGA(31),其设置于视频处理器(3)中,接收在所述规定期间从S-FPGA(21)发送来的参数;以及电源控制部(32)和时钟频率设定部(34),所述电源控制部(32)和时钟频率设定部(34)设置于视频处理器(3)中,使用P-FPGA(31)所接收到的参数来设定驱动摄像元件(22)所需要的电源电压、电源时序、过电流探测用阈值以及时钟频率。



1. 一种内窥镜系统,具有:内窥镜,其具备摄像元件;以及控制装置,其连接于所述内窥镜,所述内窥镜系统的特征在于,具备:

所述摄像元件,其设置于所述内窥镜,对被检体进行拍摄,并生成与所述被检体有关的摄像信号;

第一控制部,其设置于所述内窥镜,具有第一收发部,所述第一收发部在该内窥镜与所述控制装置连接的情况下的规定期间,与所述控制装置进行通信,将用于驱动所述摄像元件的多个规定格式的参数发送到所述控制装置;

第二控制部,其设置于所述控制装置,具有第二收发部,所述第二收发部接收在所述内窥镜与该控制装置连接的情况下的所述规定期间从所述第一控制部发送来的所述参数;以及

输出值控制部,其设置于所述控制装置,使用所述第二收发部中接收到的所述参数,来设定驱动所述摄像元件所需要的与该控制装置有关的规定的输出值。

2. 根据权利要求1所述的内窥镜系统,其特征在于,

所述控制装置具备:

电源部,其生成用于驱动所述摄像元件的电力;

多个电源电压生成部,所述多个电源电压生成部接受来自所述电源部的输出电压,生成驱动所述摄像元件所需要的互不相同的规定的电源电压;

过电流探测部,其探测与来自所述多个电源电压生成部的输出电流有关的过电流;以及

时钟生成部,其生成用于驱动所述摄像元件的驱动时钟,

所述输出值控制部具备:

电源电压设定部,其对在所述多个电源电压生成部中生成的所述规定的电源电压的电压值分别进行设定;

电源时序设定部,其设定与所述多个电源电压生成部有关的电源电压的通断的时序定时;

过电流探测用阈值设定部,其设定用于所述过电流探测部探测过电流的过电流探测用阈值;以及

时钟频率设定部,其设定在所述时钟生成部中生成的时钟的频率。

3. 根据权利要求2所述的内窥镜系统,其特征在于,

所述输出值控制部中的所述电源电压设定部、所述电源时序设定部、所述过电流探测用阈值设定部以及所述时钟频率设定部均形成于所述第二控制部中。

4. 根据权利要求2所述的内窥镜系统,其特征在于,

所述输出值控制部中的所述时钟频率设定部形成于所述第二控制部中,所述电源电压设定部、所述电源时序设定部以及所述过电流探测用阈值设定部不形成于所述第二控制部中。

5. 根据权利要求2所述的内窥镜系统,其特征在于,

所述输出值控制部中的所述电源电压设定部、所述电源时序设定部以及所述过电流探测用阈值设定部形成于所述第二控制部中,所述时钟频率设定部不形成于所述第二控制部中。

6. 根据权利要求2所述的内窥镜系统,其特征在于,

所述输出值控制部中的所述电源电压设定部、所述电源时序设定部、所述过电流探测用阈值设定部以及所述时钟频率设定部均不形成于所述第二控制部中。

7. 根据权利要求1所述的内窥镜系统,其特征在于,

所述规定期间是在所述内窥镜与所述控制装置连接的情况下的直到所述摄像元件正常地工作为止的期间。

内窥镜系统

技术领域

[0001] 本发明涉及一种内窥镜系统,特别是涉及一种具备具有摄像元件的内窥镜以及具有向该内窥镜供给电源电压的电源部的图像处理装置的内窥镜系统。

背景技术

[0002] 具备用于对被检体内部的被摄体进行拍摄的内窥镜以及用于生成由内窥镜拍摄到的被摄体的观察图像的称为所谓的视频处理器的图像处理装置等的内窥镜系统在医疗领域及工业领域等中被广泛使用。

[0003] 作为这种内窥镜系统中的内窥镜,众所周知如下一种内窥镜:例如将CCD图像传感器用作摄像元件,将从该CCD图像传感器输出的摄像信号传输到后级的图像处理装置(视频处理器)。

[0004] 另一方面,作为上述的图像处理装置(视频处理器),已知如下一种视频处理器:具备对所连接的内窥镜中的摄像元件送出规定的控制信号(例如CCD驱动脉冲信号)的驱动部,并且具备供给规定的电源电压的电源部。

[0005] 另外,在这种视频处理器中,还已知如下一种技术:对所连接的内窥镜中搭载的摄像元件的类型进行检测,根据该检测的结果来对内窥镜进行控制,以进行最适合于对所搭载的摄像元件的驱动。

[0006] 另外,已知如下一种技术:具体地说,上述那样的具有判别摄像元件的判别功能的视频处理器例如通过对在所连接的内窥镜的连接部中配设的电阻进行测定,来判别该内窥镜(摄像元件)的类型。

[0007] 并且,还已知如下一种技术:在内窥镜的连接部等中搭载存储有与该内窥镜(摄像元件)有关的ID信息的ID存储器,在视频处理器中,在连接了该内窥镜的情况下,基于该ID存储器中的信息来判别摄像元件的类型(参照日本特开2010-88656号公报)。

[0008] 更具体地说,关于日本特开2010-88656号公报所记载的技术,在搭载于内窥镜的ID存储器中事先记录摄像元件信息,在将内窥镜连接于视频处理器时将摄像元件信息发送到视频处理器。之后,在该视频处理器中,根据与该摄像元件信息相应的LUT(对应表)来对搭载于所连接的内窥镜中的摄像元件进行判别,并且根据用于驱动该摄像元件的电源电压值来控制电源部。

[0009] 在上述的日本特开2010-88656号公报所记载的内窥镜系统中,关于已有的内窥镜,能够根据视频处理器中保持的LUT来判别摄像元件的种类,并执行适合于该摄像元件的驱动。

[0010] 然而,在该日本特开2010-88656号公报所记载的内窥镜系统中,为了支持所能够连接的所有内窥镜(摄像元件),必须保持所有的摄像元件信息,从而难以实现,即,难以对数量庞大的种类的摄像元件进行判别。

[0011] 另外,关于还未上市的新的内窥镜,在视频处理器的LUT中根本不存在符合的摄像元件的信息,因此可以说在日本特开2010-88656号公报所记载的内窥镜系统中,难以针对

这种还未上市的新的内窥镜选定最佳的驱动方法。

[0012] 本发明是鉴于上述的情形而完成的,其目的在于提供一种除了针对已有的内窥镜以外还能够针对今后发售的新的内窥镜也实现最佳的驱动的内窥镜系统。

发明内容

[0013] 用于解决问题的方案

[0014] 本发明的一个方式的内窥镜系统具有:内窥镜,其具备摄像元件;以及控制装置,其连接于所述内窥镜,所述内窥镜系统具备:所述摄像元件,其设置于所述内窥镜,对被检体进行拍摄,并生成与所述被检体有关的摄像信号;第一控制部,其设置于所述内窥镜,具有第一收发部,在该内窥镜与所述控制装置连接的情况下直到所述摄像元件正常地工作为止的规定期间,所述第一收发部与所述控制装置进行通信,将用于驱动所述摄像元件的多个规定格式的参数发送到所述控制装置;第二控制部,其设置于所述控制装置,具有第二收发部,所述第二收发部接收在所述内窥镜与该控制装置连接的情况下的所述规定期间从所述第一控制部发送来的所述参数;以及输出值控制部,其设置于所述控制装置,使用所述第二收发部所接收到的所述参数,来设定驱动所述摄像元件所需要的与该控制装置有关的规定的输出值。

附图说明

[0015] 图1是示出本发明的第一实施方式的内窥镜系统的结构的图。

[0016] 图2是示出第一实施方式的内窥镜系统的电气结构的框图。

[0017] 图3是示出在第一实施方式的内窥镜系统中从内窥镜向视频处理器发送的电源电压设定信息的一例的图。

[0018] 图4是示出在第一实施方式的内窥镜系统中从内窥镜向视频处理器发送的驱动时钟频率设定信息的一例的图。

[0019] 图5是示出包括本发明的第二实施方式的内窥镜的内窥镜系统的电气结构的框图。

[0020] 图6是示出包括本发明的第三实施方式的内窥镜的内窥镜系统的电气结构的框图。

[0021] 图7是示出包括本发明的第四实施方式的内窥镜的内窥镜系统的电气结构的框图。

具体实施方式

[0022] 下面,参照附图来说明本发明的实施方式。

[0023] <第一实施方式>

[0024] 图1是示出本发明的第一实施方式的内窥镜系统的结构的图,图2是示出第一实施方式的内窥镜系统的电气结构的框图。

[0025] 如图1、图2所示,本第一实施方式的内窥镜系统1具有:内窥镜2,其用于对被检体进行观察和拍摄;视频处理器3,其连接于该内窥镜2,输入所述摄像信号,并对该摄像信号实施规定的图像处理;光源装置4,其供给用于对被检体进行照明的照明光;以及监视器装

置5,其显示与摄像信号相应的观察图像。

[0026] <内窥镜2的结构>

[0027] 内窥镜2构成为具有:细长的插入部6,其能够被插入到被检体的体腔内等;内窥镜操作部10,其配设于插入部6的基端侧,由手术操作者把持来进行操作;以及通用线缆11,其一个端部被设置为从内窥镜操作部10的侧部延伸出。

[0028] 插入部6构成为具有设置于顶端侧的硬质的顶端部7、设置于顶端部7的后端的弯曲自如的弯曲部8、以及设置于弯曲部8的后端的纵长且具有挠性的挠性管部9。

[0029] 在所述通用线缆11的基端侧设置有连接器12,该连接器12与光源装置4连接。即,从连接器12的顶端突出的作为流体管路的连接端部的管头(未图示)和作为照明光的供给端部的光导管头(未图示)装卸自如地连接于光源装置4。

[0030] 并且,连接线缆13的一端连接于设置在所述连接器12的侧面的电触点部。而且,在该连接线缆13的内部设置有用以传输例如来自内窥镜2中的摄像元件(CCD图像传感器)22(参照图2)的摄像信号的信号线,并且另一端的连接器部连接于视频处理器3。

[0031] 此外,在所述连接器12中配设有AFE(未图示)、内窥镜用FPGA(观测器FPGA)21以及存储有该内窥镜2的固有的规定ID信息的存储部(未图示)等(在后面详细记述观测器FPGA 21)。

[0032] 如图2所示,内窥镜2具备:未图示的物镜光学系统,其配设于插入部6的顶端部7,包括输入被摄体像的透镜;以及摄像元件(CCD图像传感器)22,其配设于该物镜光学系统的成像面。

[0033] 如上述那样,在本实施方式中,摄像元件22是由CCD图像传感器构成的固体摄像元件,对被摄体进行光电变换并向后级输出规定的摄像信号。

[0034] 另外,在本实施方式中,摄像元件22接受在视频处理器3中生成的多个电源电压(例如,数字系统电源电压(1V)、接口系统电源电压(2V)、模拟系统电源电压(3V))的供给,并且摄像元件22通过从该视频处理器3发送的规定的驱动时钟脉冲信号而被驱动。

[0035] 另外,内窥镜2在连接器部12中具备观测器FPGA 21(下面为S-FPGA 21)。该S-FPGA 21由所谓的FPGA(Field Programmable Gate Array:现场可编程门阵列)构成,接受来自视频处理器3的动作控制,该S-FPGA 21形成进行各种定时调整的定时调整部,并且在本实施方式中形成第一收发部23。

[0036] 该第一收发部23发挥作为如下的第一收发部的作用:在内窥镜2与视频处理器3连接的情况下直到所述摄像元件22正常地工作为止的规定期间,第一收发部23与视频处理器3中的第二收发部33(在后面记述)进行通信,将用于驱动该摄像元件22的多个规定格式的参数发送到视频处理器3中的所述第二收发部33。

[0037] 另外,S-FPGA 21中的上述定时脉冲调整部接收在视频处理器3中的时钟生成部35中生成的驱动时钟脉冲,将与摄像元件22的驱动有关的各种定时脉冲信号送出到该摄像元件22。

[0038] 在此,S-FPGA 21发挥作为具有第一收发部的第一控制部的作用,关于其作用效果,与后述的视频处理器3中的处理器FPGA(P-FPGA)31一起在后面详细记述。

[0039] <视频处理器3的结构>

[0040] 返回到图2,本实施方式的内窥镜系统1具备视频处理器3,该视频处理器3连接于

该内窥镜2,输入所述摄像信号,并对该摄像信号实施规定的图像处理。

[0041] 在本实施方式中,视频处理器3是连接于内窥镜的控制装置,虽然未图示,但具备公知的电路部,即输入来自内窥镜2的摄像信号并对该摄像信号实施规定的图像处理的图像处理部、用于将在该图像处理部中被进行过处理的摄像信号向监视器装置5(参照图1)输出来进行处理的影像输出部、对内窥镜2送出各种动作控制信号的动作控制部等电路部。

[0042] 另外,在本实施方式中,如图2所示,视频处理器3具备:电源部30,其生成向视频处理器3内的各种电路供给的电源电压和向内窥镜2中的各种电路(摄像元件22等)供给的电源电压;多个电源调节器(61、62、63),该多个电源调节器(61、62、63)生成向摄像元件22供给的各种电源电压;多个电流检测电路(51、52、53),各个电流检测电路对从对应的电源调节器输出的输出电流进行检测;以及时钟生成部35,其生成用于驱动摄像元件22的驱动时钟。

[0043] 视频处理器3还具备处理器FPGA(P-FPGA)31,该处理器FPGA(P-FPGA)31与所述内窥镜2中的S-FPGA 21之间进行规定的发送和接收,并且对视频处理器3内的各电路进行规定的控制动作。

[0044] 该处理器FPGA 31(下面为P-FPGA 31)由所谓的FPGA(Field Programmable Gate Array)构成,形成生成对内窥镜2送出的各种控制信号的电路部以及视频处理器3内的各电路的控制电路部。

[0045] 另外,在本第一实施方式中,在P-FPGA 31中形成有:时钟频率设定部34,其用于对所述时钟生成部35进行控制;第二收发部33,其接收在所述内窥镜2与该视频处理器3连接的情况下的所述规定期间从内窥镜2中的所述S-FPGA 21发送来的所述参数;以及电源控制部32,其根据所接收到的所述参数,来对所述各电源调节器(61、62、63)、所述各电流检测电路(51、52、53)、所述时钟频率设定部34等进行控制。

[0046] 在此,P-FPGA 31还发挥作为具有从所述内窥镜2中的S-FPGA 21中的第一收发部23接收规定的参数信息的第二收发部的第二控制部的作用、以及作为设定驱动所述摄像元件22所需要的与该控制装置(视频处理器3)有关的规定的输出值的输出值控制部的作用,关于其作用效果,与内窥镜2中的S-FPGA 21一起在后面详细说明。

[0047] <A;视频处理器3中的电源电压控制>

[0048] 接着,参照图2来详细说明本实施方式的视频处理器3中的电源电压控制。

[0049] 如图2所示,本实施方式的视频处理器3具有接受来自电源部30的规定的电源电压来生成并输出各种电源电压(V1、V2、V3)的第一电源调节器61、第二电源调节器62、第三电源调节器63。

[0050] 第一电源调节器61接受来自电源部30的电源电压来生成规定的第一电压V1,将该规定的第一电压V1作为第一调节器输出Vo11经由第一电源线91、第一电流检测电路51供给到摄像元件22。此外,在本实施方式中,假定第一电压V1为模拟电源(ANA)用的电压(3V)。

[0051] 第二电源调节器62与上述同样地接受来自电源部30的电源电压来生成规定的第二电压V2,将该规定的第二电压V2作为第二调节器输出Vo12经由第二电源线92、第二电流检测电路52供给到摄像元件22。此外,在本实施方式中,假定第二电压V2为接口电源(IF)用的电压(2V)。

[0052] 第三电源调节器63与上述同样地接受来自电源部30的电源电压来生成规定的第

三电压V3,将该规定的第三电压V3作为第三调节器输出Vo13经由第三电源线93、第三电流检测电路53供给到摄像元件22。此外,在本实施方式中,假定第三电压V3为数字电源(DIG)用的电压(1V)。

[0053] 在此,第一电源调节器61、第二电源调节器62、第三电源调节器63发挥作为接受来自电源部30的输出电压来生成驱动摄像元件22所需要的互不相同的规定的电源电压的多个电源电压生成部的作用。

[0054] 另一方面,在第一电源调节器61的ADJ端子上连接有外置固定电阻81和第一数字电位计71。另外,在本实施方式中,该第一数字电位计71接受电源控制部32的控制,来使其电阻值可变。

[0055] 像这样,在形成连接有第一数字电位计71的结构的第一电源调节器61中,能够通过电源控制部32的控制下适当变更第一数字电位计71的电阻值,来对来自第一电源调节器61的第一调节器输出Vo11进行可变控制。

[0056] 而且,在本实施方式中,如上述那样,利用能够通过对第一数字电位计71的电阻值进行控制来对来自第一电源调节器61的第一调节器输出Vo11进行可变控制的特征,根据从内窥镜2中的S-FPGA 21发送的规定的参数信息,由电源控制部32对第一数字电位计71的电阻值进行控制,由此能够控制第一电源调节器61的输出值。此外,在后面详细记述该作用。

[0057] 另一方面,与上述同样地,在第二电源调节器62的ADJ端子上连接有外置固定电阻82和第二数字电位计72,并且在第三电源调节器63的ADJ端子上连接有外置固定电阻83和第三数字电位计73。

[0058] 而且,这些第二数字电位计72和第三数字电位计73均与上述第一数字电位计71同样地接受电源控制部32的控制,来使其电阻值可变。

[0059] 另外,形成连接有第二数字电位计72的结构第二电源调节器62和形成连接有第三数字电位计73的结构第三电源调节器63均能够通过电源控制部32的控制下适当变更第二数字电位计72或第三数字电位计73的电阻值,来对来自第二电源调节器62的第二调节器输出Vo12和来自第三电源调节器63的第三调节器输出Vo13进行可变控制。

[0060] 除此之外,与上述同样地,根据从内窥镜2中的S-FPGA 21发送的规定的参数信息,由电源控制部32对第二数字电位计72或第三数字电位计73的电阻值进行控制,由此能够对第二电源调节器62或第三电源调节器63的输出值进行控制。此外,在后面详细记述该作用。

[0061] <B;视频处理器3中的电源时序控制>

[0062] 接着,对视频处理器3中的电源时序控制进行说明。

[0063] 如上述那样,在本实施方式中,从多个电源电压生成部(第一电源调节器61、第二电源调节器62、第三电源调节器63)向摄像元件22供给多种电源电压。

[0064] 另外,在这种这些多个电源调节器中,如果不遵守适当的电源时序,则有可能导致摄像元件22等发生故障,因此一般而言要严格地控制电源时序。

[0065] 在本实施方式中,第一电源调节器61、第二电源调节器62、第三电源调节器63均具备所谓的芯片使能(chip enable)功能,通过来自电源控制部32的控制来控制电源的启动、关闭。

[0066] 具体地说,对第一电源调节器61、第二电源调节器62、第三电源调节器63的各“CE端子”分别输入来自电源控制部32的CE控制信号,在电源控制部32的控制下对各个电源调

节器的启动、关闭进行控制。

[0067] <C;视频处理器3中的过电流探测>

[0068] 接着,对视频处理器3中的过电流探测控制进行说明。

[0069] 如上述那样,本实施方式中的视频处理器3具有:第一电流检测电路51,其检测与连接于所述第一电源调节器61的第一电源线91有关的第一电流(I1);第二电流检测电路52,其检测与连接于所述第二电源调节器62的第二电源线92有关的第二电流(I2);以及第三电流检测电路53,其检测与连接于所述第三电源调节器63的第三电源线93有关的第三电流(I3)。

[0070] 这些第一电流检测电路51、第二电流检测电路52以及第三电流检测电路53的输出端均连接于内窥镜2中的摄像元件22,即,上述的来自第一电源调节器61的第一调节器输出Vo11、来自第二电源调节器62的第二调节器输出Vo12、来自第三电源调节器63的第三调节器输出Vo13分别被供给到摄像元件22。

[0071] 另外,这些第一电流检测电路51、第二电流检测电路52以及第三电流检测电路53通过电源控制部32的控制来分别检测第一电源线91、第二电源线92、第三电源线93中的电流值,并将其检测结果送出到电源控制部32。

[0072] 另外,在本实施方式中,P-FPGA 31中的电源控制部32具备用于输入来自第一电流检测电路51、第二电流检测电路52以及第三电流检测电路53的检测结果(检测电流值:第一电流、第二电流、第三电流)的输入端,在各个输入端分别形成有用于对所输入的电流值进行AD转换的AD转换器。

[0073] 在电源控制部32的所述AD转换器中进行AD转换所得到的所述检测电流值在形成于电源控制部32内的比较部中与规定的过电流阈值进行比较,由此能够探测与各检测电流值(第一电流、第二电流、第三电流)有关的过电流。

[0074] <D;视频处理器3中的驱动时钟脉冲的频率设定>

[0075] 接着,对视频处理器3中的驱动时钟脉冲的频率设定进行说明。

[0076] 如上述那样,视频处理器3具备生成用于驱动摄像元件22的驱动时钟的时钟生成部35。另外,在本第一实施方式中,在P-FPGA 31中形成用于对所述时钟生成部35进行控制的时钟频率设定部34,在该时钟频率设定部34中设定该驱动时钟脉冲的频率。

[0077] <S-FPGA 21和P-FPGA 31的作用效果>

[0078] 接着,详细说明本第一实施方式中的内窥镜2中配设的观测器FPGA(S-FPGA) 21和视频处理器3中配设的处理器FPGA(P-FPGA) 31的作用效果。

[0079] 如上述那样,S-FPGA 21和P-FPGA 31由所谓的FPGA(Field Programmable Gate Array)构成,在S-FPGA 21中形成第一收发部23,在P-FPGA 31中形成第二收发部33。

[0080] 在内窥镜2与视频处理器3连接的情况下直到摄像元件22正常地工作为止的规定期间,S-FPGA 21中的第一收发部23与P-FPGA 31中的第二收发部33进行通信,在该期间从第一收发部23向第二收发部33发送用于驱动该摄像元件22的多个规定格式的参数。

[0081] 另外,接收到上述“规定格式的参数的第二收发部33将该信息送出到电源控制部32或时钟频率设定部34,这些电源控制部32或时钟频率设定部34根据所述第二收发部33所接收到的参数的种类并且使用该参数,来设定驱动摄像元件22所需要的与该视频处理器3(控制装置)有关的规定的输出值。

[0082] 在此,举例说明本第一实施方式中的上述的“用于驱动摄像元件22的多个规定格式的参数的参数”以及电源控制部32或时钟频率设定部34中的“规定的输出值的设定”。

[0083] <第一参数;电源电压设定用的电阻值>

[0084] 如上述那样,在本第一实施方式中,生成用于向内窥镜2的摄像元件22供给的三种电源电压(V1、V2、V3)的第一电源调节器61、第二电源调节器62以及第三电源调节器63被配设在视频处理器3中。

[0085] 此外,如上述那样,在本实施方式中,假定这三种电源电压为模拟电源(ANA)用的电压(3V)、接口电源(IF)用的电压(2V)以及数字电源(DIG)用的电压(1V)。

[0086] 另外,如上述那样,这三种第一电源调节器61、第二电源调节器62、第三电源调节器63分别具备第一数字电位计71、第二数字电位计72、第三数字电位计73,通过对与该数字电位计有关的“电阻值”进行控制,能够对来自这些电源调节器的输出值(电源电压值)进行控制。

[0087] 在此,在本第一实施方式的内窥镜系统1中,将该电源电压设定用的“电阻值”的信息设定为“用于驱动摄像元件22的多个规定格式的参数的参数”中的第一参数。

[0088] 即,在本第一实施方式的内窥镜系统1中,通过内窥镜2中的S-FPGA 21与视频处理器3中的P-FPGA 31之间的规定期间中的通信,来将与所述数字电位计有关的“电阻值”信息作为第一参数信息从内窥镜2侧的第一收发部23发送到视频处理器3侧的第二收发部33。

[0089] 而且,接收到作为第一参数的“电阻值”信息的P-FPGA 31中的第二收发部33将该“电阻值”信息送出到该P-FPGA 31中的电源控制部32。

[0090] 电源控制部32基于所接收到的“电阻值”信息,来控制与同该信息对应的电源调节器即第一电源调节器61、第二电源调节器62以及第三电源调节器63中的任一电源调节器所连接的数字电位计即第一数字电位计71、第二数字电位计72以及第三数字电位计73中的任一数字电位计有关的“电阻值”。

[0091] 由此,对该“电阻值”信息对应的电源调节器的输出值(电源电压值)进行变更控制。

[0092] 图3是示出在第一实施方式的内窥镜系统中从内窥镜向视频处理器发送的电源电压设定信息的一例的图。

[0093] 更具体地说,例如在与该数字电位计有关的“电阻值”为33k Ω 的情况下,如图3所示,将电阻值整数部分、电阻值小数部分、单位的信息以串行数据的形式从S-FPGA 21中的第一收发部23向P-FPGA 31中的第二收发部33发送。

[0094] <第二参数;电源时序的设定值>

[0095] 如上述那样,在本第一实施方式中,第一电源调节器61、第二电源调节器62以及第三电源调节器63被配设在视频处理器3中,另一方面,在这些多个电源调节器中,如果不遵守适当的电源时序,则有可能导致摄像元件22等发生故障,因此必须严格地控制电源时序。

[0096] 具体地说,在第一实施方式中,对第一电源调节器61、第二电源调节器62、第三电源调节器63分别输入来自电源控制部32的CE控制信号,在电源控制部32的控制下对各个电源调节器的启动、关闭即电源时序进行控制。

[0097] 在此,在本第一实施方式的内窥镜系统1中,将该电源时序的“时序设定值”的信息设定为“用于驱动摄像元件22的多个规定格式的参数的参数”中的第二参数。

[0098] 即,在本第一实施方式的内窥镜系统1中,通过内窥镜2中的S-FPGA 21与视频处理器3中的P-FPGA 31之间的规定期间中的通信,来将与所述电源时序有关的“时序设定值”信息作为第二参数信息从内窥镜2侧的第一收发部23发送到视频处理器3侧的第二收发部33。

[0099] 而且,接收到作为第二参数的“时序设定值”信息的P-FPGA 31中的第二收发部33将该“时序设定值”信息送出到该P-FPGA 31中的电源控制部32。

[0100] 电源控制部32基于所接收到的“时序设定值”信息,按照与该信息对应的顺序将规定的CE控制信号送出到各电源调节器,以控制各电源调节器即第一电源调节器61、第二电源调节器62或第三电源调节器63的启动或关闭。

[0101] 而且,通过来自该电源控制部32的CE控制信号,来准确地控制第一电源调节器61、第二电源调节器62以及第三电源调节器63的电源时序。

[0102] <第三参数;过电流探测用阈值>

[0103] 如上述那样,在本第一实施方式中,具备第一电流检测电路51、第二电流检测电路52以及第三电流检测电路53,分别检测与连接于第一电源调节器61的第一电源线91有关的第一电流、与连接于第二电源调节器62的第二电源线92有关的第二电流、与连接于所述第三电源调节器63的第三电源线93有关的第三电流。

[0104] 另外,如上述那样,这些第一电流检测电路51、第二电流检测电路52以及第三电流检测电路53的检测结果(检测电流值:第一电流、第二电流、第三电流)被输入到电源控制部32,在电源控制部32中与规定的过电流探测用阈值进行比较,从而能够探测出过电流。

[0105] 在此,在本第一实施方式的内窥镜系统1中,将用于探测该过电流的“过电流探测用阈值”的信息设定为“用于驱动摄像元件22的多个规定格式的参数”中的第三参数。

[0106] 即,在本第一实施方式的内窥镜系统1中,通过内窥镜2中的S-FPGA 21与视频处理器3中的P-FPGA 31之间的规定期间中的通信,来将与所述过电流探测有关的“过电流探测用阈值”信息作为第三参数信息从内窥镜2侧的第一收发部23发送到视频处理器3侧的第二收发部33。

[0107] 而且,接收到作为第三参数的“过电流探测用阈值”信息的P-FPGA 31中的第二收发部33将该“过电流探测用阈值”信息送出到该P-FPGA 31中的电源控制部32。

[0108] 电源控制部32基于所接收到的“过电流探测用阈值”信息,来针对由第一电流检测电路51、第二电流检测电路52、第三电流检测电路53检测出的电流值设定规定的过电流探测用阈值。

[0109] 而且,电源控制部32根据所设定的过电流探测用阈值来监视第一电流检测电路51、第二电流检测电路52、第三电流检测电路53中的电流值,当在与这些电流检测电路对应的任意的电源线(第一电源线91、第二电源线92、第三电源线93)中探测出过电流时,控制对应的第一电源调节器61、第二电源调节器62或第三电源调节器63的输出。

[0110] <第四参数;驱动时钟脉冲的频率设定值>

[0111] 如上述那样,在本第一实施方式中,在视频处理器3中的时钟频率设定部34的控制下,在时钟生成部35中生成规定的驱动时钟脉冲,并向内窥镜2的摄像元件22(在本实施方式中,向S-FPGA 21)供给该规定的驱动时钟脉冲。

[0112] 在此,在本第一实施方式的内窥镜系统1中,将该驱动时钟脉冲的“频率设定值”的信息设定为“用于驱动摄像元件22的多个规定格式的参数”中的第四参数。

[0113] 即,在本第一实施方式的内窥镜系统1中,通过内窥镜2中的S-FPGA 21与视频处理器3中的P-FPGA 31之间的规定期间中的通信,来将与在所述时钟生成部35中生成的驱动时钟脉冲有关的“频率设定值”信息作为第四参数信息从内窥镜2侧的第一收发部23发送到视频处理器3侧的第二收发部33。

[0114] 而且,接收到作为第四参数的“频率设定值”信息的P-FPGA 31中的第二收发部33将该“频率设定值”信息送出到该P-FPGA 31中的时钟频率设定部34。

[0115] 时钟频率设定部34基于所接收到的“频率设定值”信息,来控制时钟生成部35,使时钟生成部35生成期望频率的驱动时钟脉冲。

[0116] 在此,在本实施方式中,设为能够将例如68MHz、74MHz、54MHz设定为在时钟生成部35中生成的驱动时钟脉冲的频率。另外,将这些频率分别分配给规定的“符号”,例如进行如下的分配:

[0117] “CLK1”=68MHz、

[0118] “CLK2”=74MHz、

[0119] “CLK3”=54MHz。

[0120] 在此,在与视频处理器3连接的内窥镜2中的摄像元件22所期望的驱动时钟脉冲的频率为“74MHz”时,对应的“符号”为“CLK2”,因此在本实施方式中,将与“CLK2”对应的串行数据作为第四参数即“频率设定值”信息从S-FPGA 21向P-FPGA 31发送。

[0121] 图4是示出在第一实施方式的内窥镜系统中从内窥镜向视频处理器发送的驱动时钟频率设定值信息的一例的图。

[0122] 如上述那样,与频率“74MHz”对应的“符号”为“CLK2”,因此在本实施方式中,如图4所示,将作为“CLK2”的数值部分的“2”的值作为第四参数的串行数据从S-FPGA 21向P-FPGA 31发送。

[0123] 如以上说明的那样,根据本第一实施方式的内窥镜系统1,在内窥镜2与视频处理器3连接的情况下,在内窥镜2的S-FPGA 21中形成的第一收发部23与在视频处理器3的P-FPGA 31中形成的第二收发部33之间在连接初期的期间即直到摄像元件22正常地工作为止的规定期间进行通信,通过从内窥镜2向视频处理器3发送用于驱动该摄像元件22的多个规定格式的参数(上述第一参数~第四参数),无需在视频处理器3内保持与这些各参数相关的观测器信息的表,就能够准确地进行与这些参数有关的各种输出值的设定。

[0124] 即,本第一实施方式的内窥镜系统1除了针对已有的内窥镜以外还能够针对今后发售的新的内窥镜也实现最佳的驱动。

[0125] 此外,在本实施方式中,上述的参数的通信设为是在直到摄像元件22正常地工作为止的规定期间进行的,但是该参数的发送时机不限于此,只要是该参数信息的发送有效的期间即可,可以是任意的时机。

[0126] 另外,在本实施方式中,各电源线中的过电流探测设为是在接收到从各电流检测电路发送的检测电流值的电源控制部32内部进行的,但是不限于此,也可以设为在上述的第一电流检测电路51、第二电流检测电路52、第三电流检测电路53自身中探测过电流并将该过电流探测的结果送出到电源控制部32,该电源控制部32基于从内窥镜2发送来的过电流探测阈值参数信息,来设定这些第一电流检测电路51、第二电流检测电路52、第三电流检测电路53中的阈值。

[0127] 并且,在本实施方式中,从内窥镜2向视频处理器3发送的参数设为是上述的第一参数~第四参数中的任一参数,但是参数的种类不限于此,也可以是与驱动摄像元件22有关的其它要素所涉及的参数。

[0128] <第二实施方式>

[0129] 接着,对本发明的第二实施方式进行说明。

[0130] 图5是示出包括本发明的第二实施方式的内窥镜的内窥镜系统的电气结构的框图。

[0131] 本第二实施方式的内窥镜系统201其基本结构与第一实施方式相同,但是在第一实施方式的内窥镜系统1中,电源控制部32和时钟频率设定部34均形成于P-FPGA 31内部,与此相对地,第二实施方式的特征在于,时钟频率设定部34形成于P-FPGA 31B内部,另一方面,电源控制部32B设置于P-FPGA 31B的外部。

[0132] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0133] 如上述那样,在本第二实施方式中,电源控制部32B不是形成于P-FPGA 31B中,而是设置于P-FPGA 31B外部,但是其作用效果与第一实施方式相同,即,在本第二实施方式的内窥镜系统201中也是除了针对已有的内窥镜以外还能够针对今后发售的新的内窥镜也实现最佳的驱动。

[0134] <第三实施方式>

[0135] 接着,对本发明的第三实施方式进行说明。

[0136] 图6是示出包括本发明的第三实施方式的内窥镜的内窥镜系统的电气结构的框图。

[0137] 本第三实施方式的内窥镜系统301其基本结构与第一实施方式相同,但是在第一实施方式的内窥镜系统1中,电源控制部32和时钟频率设定部34均形成于P-FPGA 31内部,与此相对地,第三实施方式的特征在于,电源控制部32形成于P-FPGA 31内部,另一方面,时钟频率设定部34设置于P-FPGA 31的外部。

[0138] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0139] 如上述那样,在本第三实施方式中,时钟频率设定部34C设置于P-FPGA 31C的外部,但是其作用效果与第一实施方式相同,即,在本第三实施方式的内窥镜系统301中也是除了针对已有的内窥镜以外还能够针对今后发售的新的内窥镜也实现最佳的驱动。

[0140] <第四实施方式>

[0141] 接着,对本发明的第四实施方式进行说明。

[0142] 图7是示出包括本发明的第四实施方式的内窥镜的内窥镜系统的电气结构的框图。

[0143] 本第四实施方式的内窥镜系统401其基本结构与第一实施方式相同,但是在第一实施方式的内窥镜系统1中,电源控制部32和时钟频率设定部34均形成于P-FPGA 31内部,与此相对地,第二实施方式的特征在于,电源控制部32和时钟频率设定部34均形成于P-FPGA 31的外部。

[0144] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0145] 如上述那样,在本第四实施方式中,电源控制部32D和时钟频率设定部34D均设置于P-FPGA 31D的外部,但是其作用效果与第一实施方式相同,即,在本第四实施方式的内窥

镜系统401中也是除了针对已有的内窥镜以外还能够针对今后发售的新的内窥镜也实现最佳的驱动。

[0146] 本发明不限于上述的实施方式,在不改变本发明的宗旨的范围内能够进行各种变更、改变等。

[0147] 本申请是以2017年5月18日向日本申请的特愿2017-99044号为优先权主张基础的申请,上述的公开内容被引用到本申请说明书、权利要求书中。

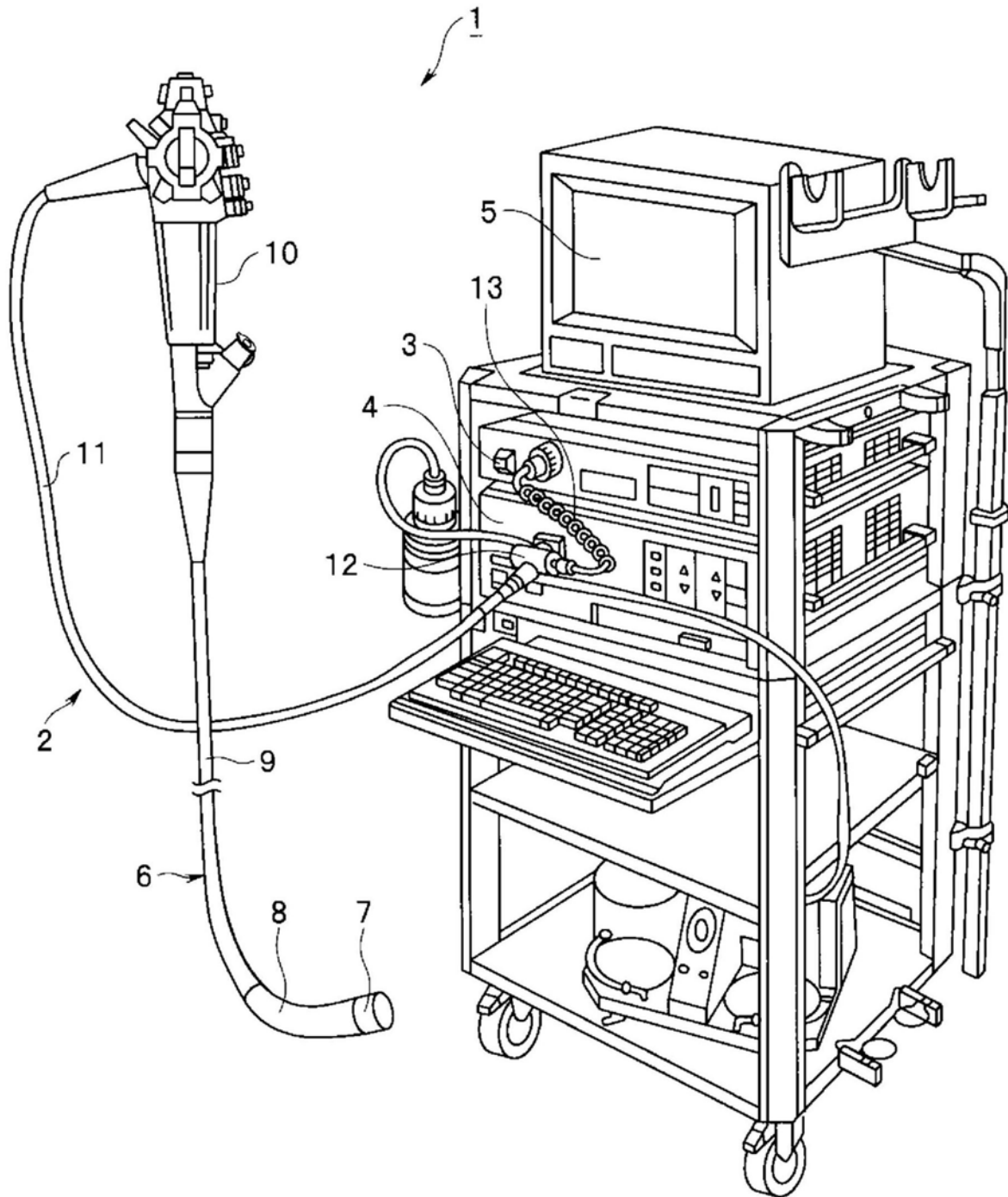


图1

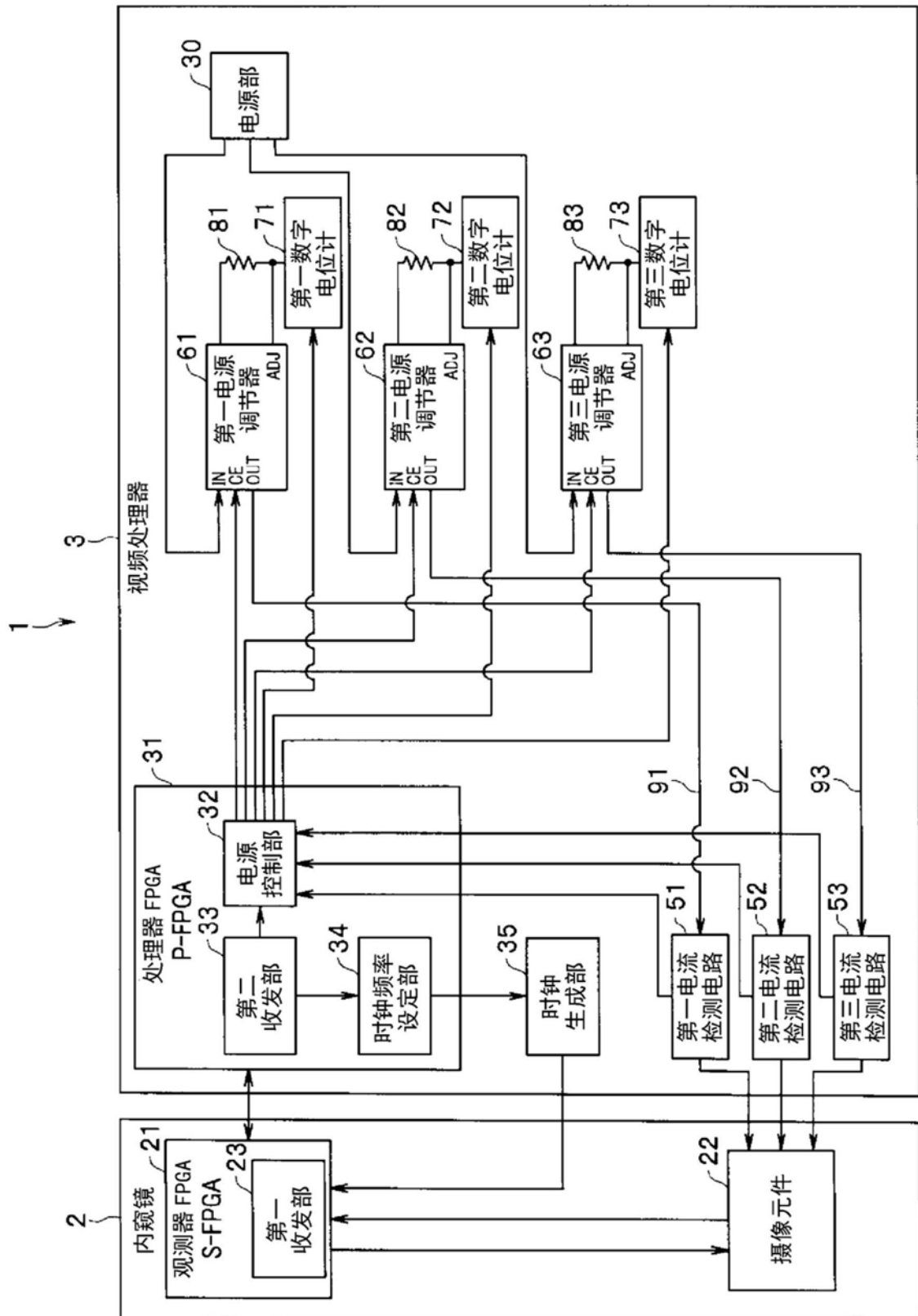


图2

33k···0010000100000011

电阻值整数部分 电阻值小数部分 单位

图3

选择CLK2···0000 0010

图4

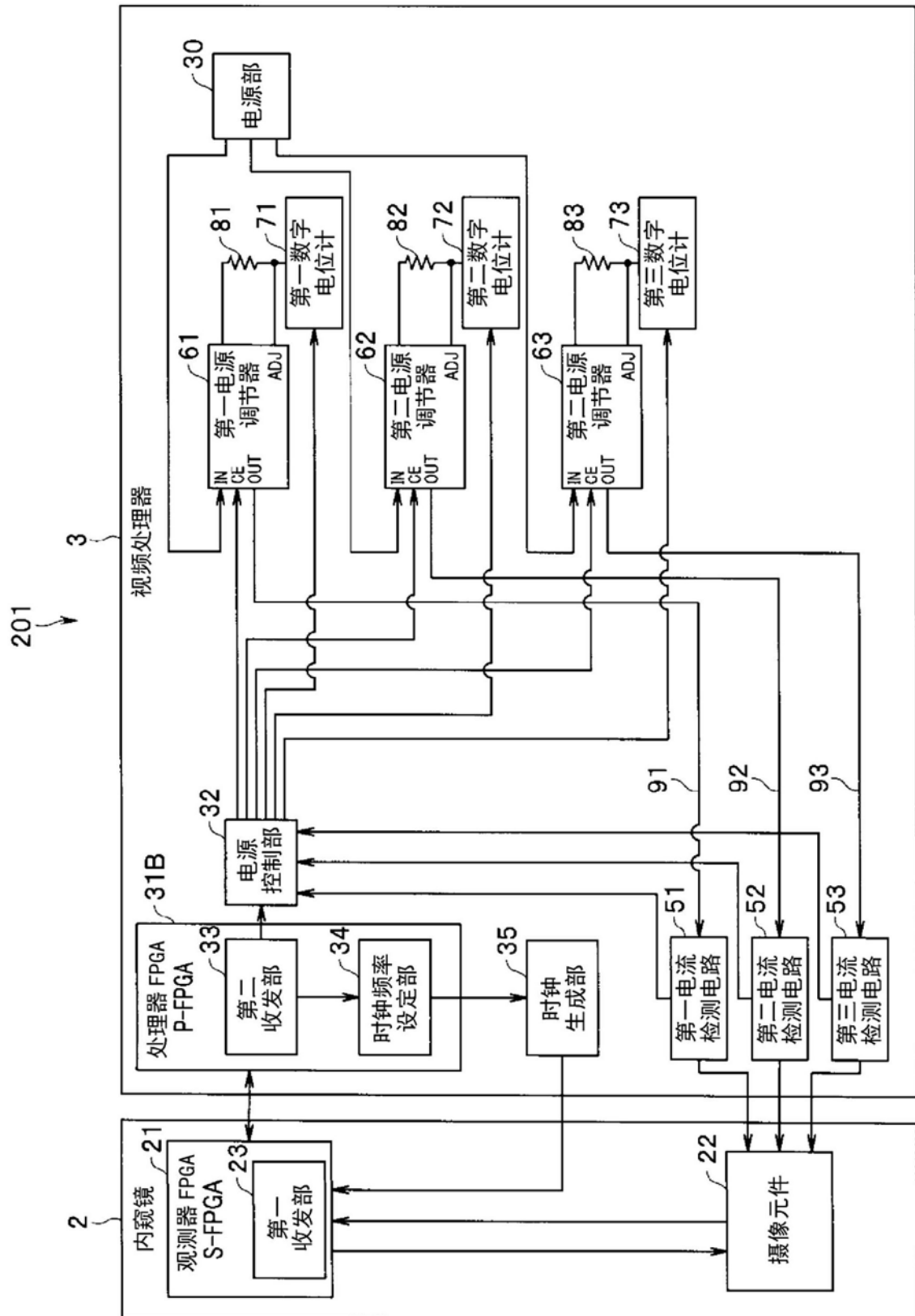


图5

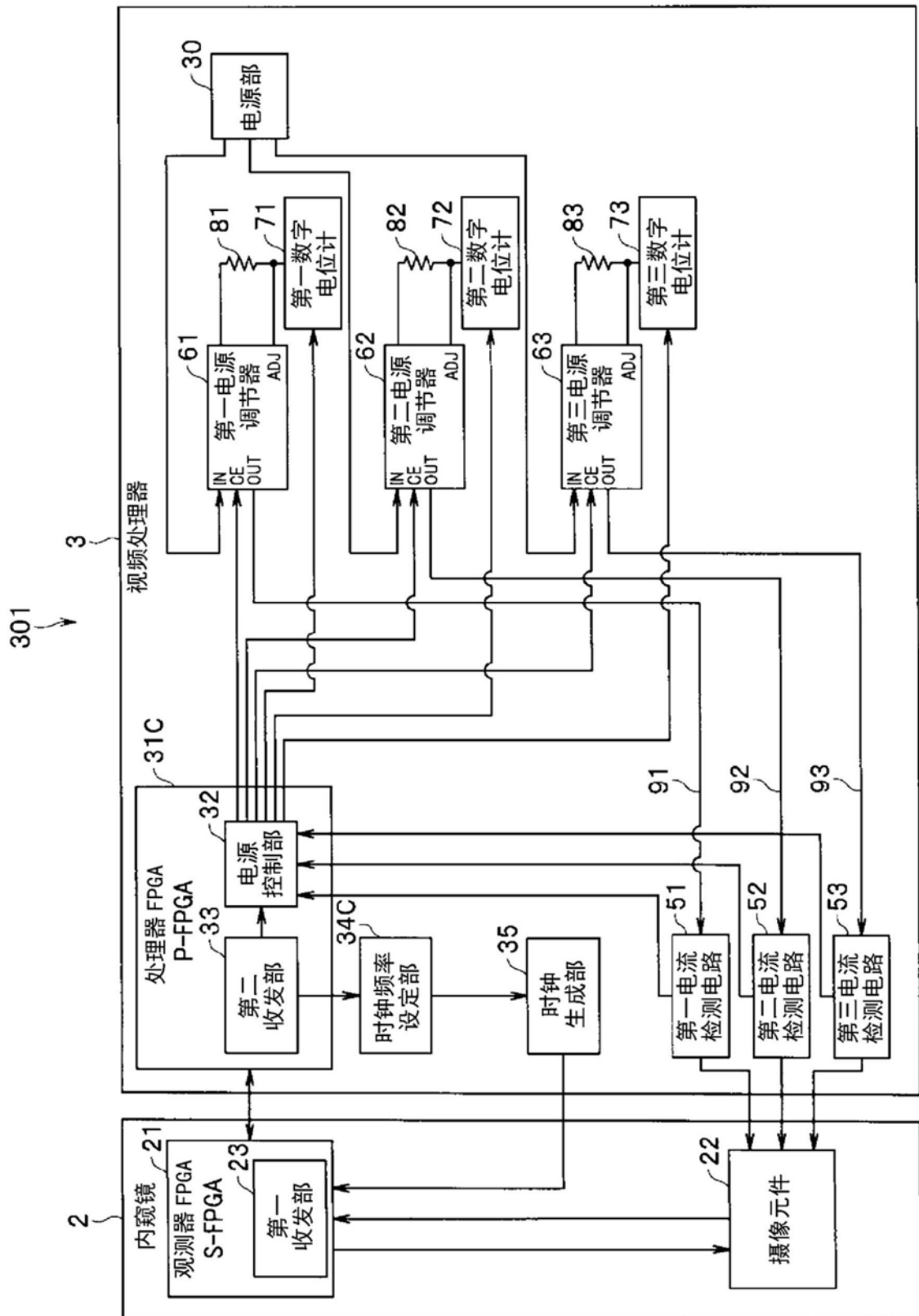


图6

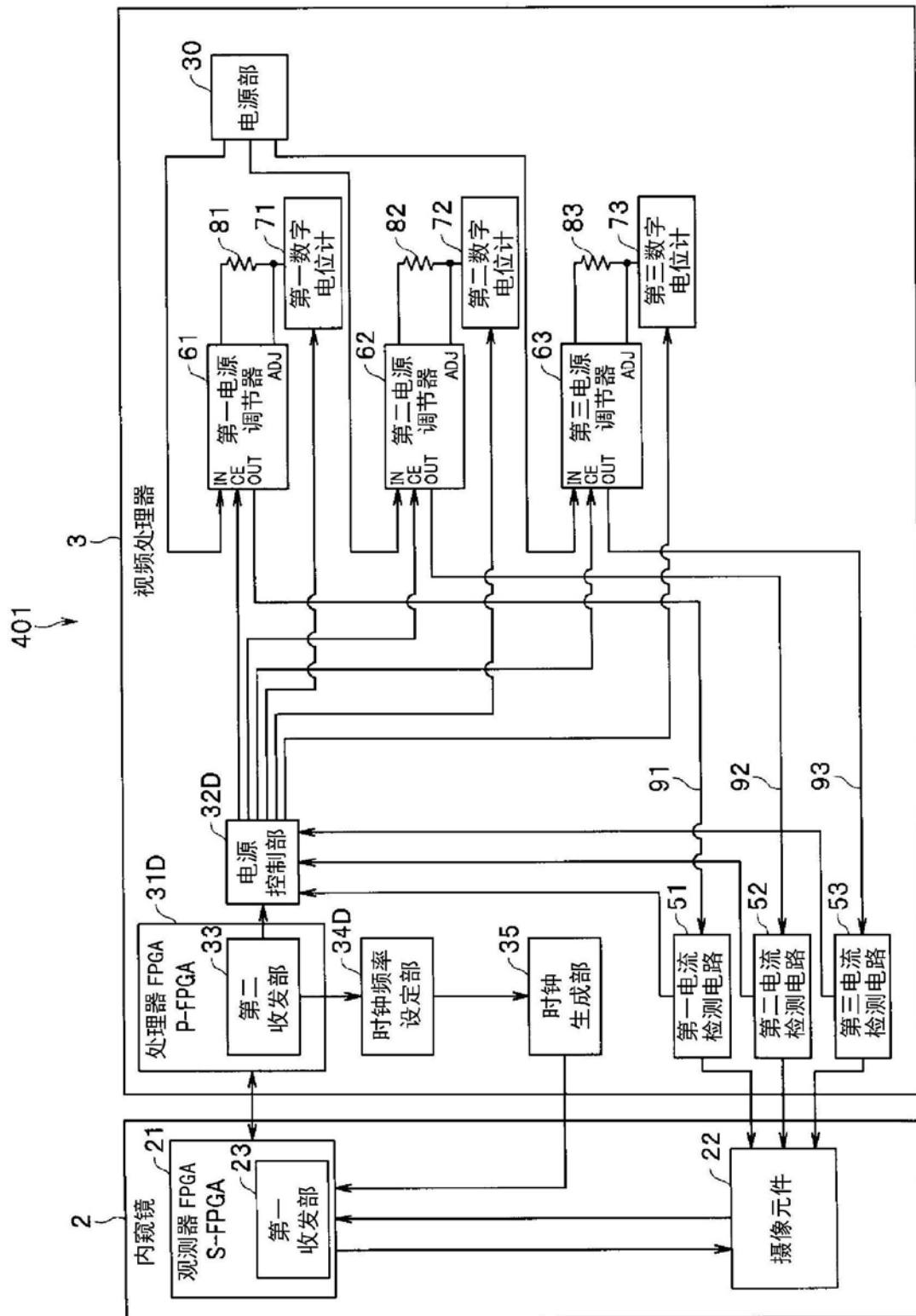


图7

专利名称(译)	内窥镜系统		
公开(公告)号	CN110891470A	公开(公告)日	2020-03-17
申请号	CN201880047663.5	申请日	2018-04-05
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯株式会社		
当前申请(专利权)人(译)	奥林巴斯株式会社		
[标]发明人	荻原智晴 筒井启介		
发明人	荻原智晴 筒井启介		
IPC分类号	A61B1/045 A61B1/00 A61B1/05 G02B23/24 H04N7/18		
CPC分类号	A61B1/00006 A61B1/00059 A61B1/045 G02B23/24 H04N7/18 A61B1/00009 A61B1/00011 A61B1/00036		
代理人(译)	刘新宇		
优先权	2017099044 2017-05-18 JP		
外部链接	Espacenet SIPO		

摘要(译)

内窥镜系统(1)具备：S-FPGA(21)，其在内窥镜(2)与视频处理器(3)连接的情况下的规定期间，与视频处理器(3)进行通信，将用于驱动摄像元件(22)的多个规定格式的参数的发送到视频处理器(3)；P-FPGA(31)，其设置于视频处理器(3)中，接收在所述规定期间从S-FPGA(21)发送来的参数；以及电源控制部(32)和时钟频率设定部(34)，所述电源控制部(32)和时钟频率设定部(34)设置于视频处理器(3)中，使用P-FPGA(31)所接收到的参数来设定驱动摄像元件(22)所需要的电源电压、电源时序、过电流探测用阈值以及时钟频率。

