



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0124135
(43) 공개일자 2018년11월20일

- (51) 국제특허분류(Int. Cl.)
A61B 8/00 (2006.01) B06B 1/02 (2006.01)
G01S 15/89 (2006.01) G01S 7/52 (2006.01)
- (52) CPC특허분류
A61B 8/54 (2013.01)
A61B 8/4227 (2013.01)
- (21) 출원번호 10-2018-7031401
- (22) 출원일자(국제) 2017년03월31일
심사청구일자 없음
- (85) 번역문제출일자 2018년10월30일
- (86) 국제출원번호 PCT/US2017/025297
- (87) 국제공개번호 WO 2017/173224
국제공개일자 2017년10월05일
- (30) 우선권주장
15/087,962 2016년03월31일 미국(US)

- (71) 출원인
버터플라이 네트워크, 인크.
미국 06437 코네티컷주 길포드 올드 윗필드 스트리트 530
- (72) 발명자
마오, 리웨이
미국 01886 메사추세츠주 웨스트포드 타번 서클 2
첸, 카이리양
미국 06437 코네티컷주 길포드 리버 콜로니 7
(뒷면에 계속)
- (74) 대리인
양영준, 김연송, 백만기

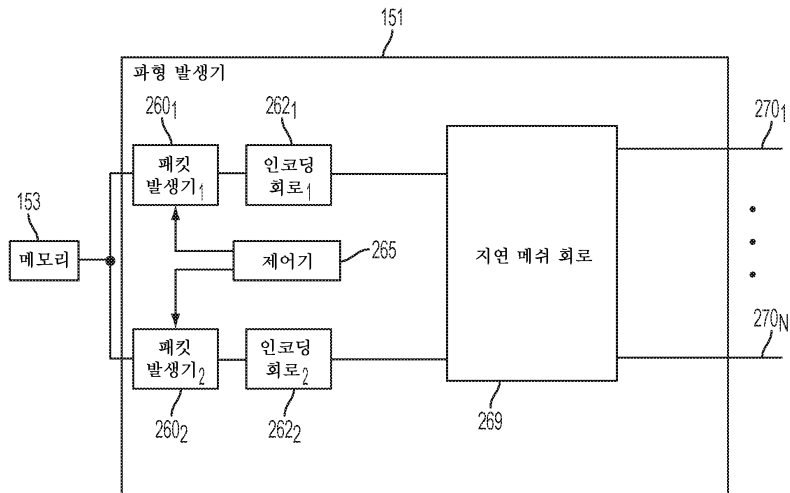
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **초음파 디바이스의 멀티레벨 펄서를 제어하기 위한 송신 발생기, 및 관련 방법들 및 장치들**

(57) 요약

초음파 디바이스들의 회로가 설명된다. 시간 영역 및 공간 아포다이제이션을 지원할 수 있는 멀티레벨 펄서가 설명된다. 멀티레벨 펄서는 소프트웨어 정의된 파형 발생기를 통해 제어될 수 있다. 컴퓨터 코드의 실행에 응답하여, 파형 발생기는 메모리로부터의 마스터 세그먼트들에 액세스할 수 있고, 펄싱 회로들에 지향되는 패킷들의 스트림을 발생시킬 수 있다. 패킷들의 스트림은 직렬화될 수 있다. 복수의 디코딩 회로는 공간 아포다이제이션을 획득하기 위해 패킷들의 스트림들을 변조할 수 있다.

대표도 - 도2b



(52) CPC특허분류

B06B 1/0215 (2013.01)

G01S 15/8915 (2013.01)

G01S 7/5202 (2013.01)

(72) 발명자

펠스턴, 타일러, 에스.

미국 06413 코네티컷주 클린턴 비치 파크 로드 56

산체스, 네바다, 제이.

미국 06437 코네티컷주 길포드 리틀 메도우 로드
1280

명세서

청구범위

청구항 1

방법으로서,

초음파 디바이스의 초음파 트랜스듀서에 연결된 필싱 회로에 일련의 데이터 패킷들을 순차적으로 제공함으로써 상기 초음파 디바이스로 멀티레벨 음향 파형을 발생시키는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서, 상기 일련의 데이터 패킷들 중 제1 데이터 패킷은 지속시간(duration) 및 기준 전압을 식별하는 데이터를 포함하는, 방법.

청구항 3

제1항에 있어서, 상기 일련의 데이터 패킷들을 발생시키고, 상기 일련의 데이터 패킷들을 인코딩하고, 상기 일련의 데이터 패킷들을 순차적으로 상기 필싱 회로에 제공하기 전에 상기 일련의 데이터 패킷들을 디코딩하는 단계를 더 포함하는 방법.

청구항 4

제1항에 있어서, 상기 필싱 회로는 풀업 트랜지스터 및 풀다운 트랜지스터를 포함하고, 상기 일련의 데이터 패킷들 중 제1 데이터 패킷은 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터의 전도 상태들을 식별하는 데이터를 포함하는, 방법.

청구항 5

복수의 초음파 트랜스듀서에 연결된 복수의 필서를 제어하는 방법으로서,

상기 복수의 필서 중 적어도 하나의 필서에 제1 패킷을 송신하는 단계 - 상기 제1 패킷은 복수의 선택가능한 기준 전압으로부터 선택된 제1 기준 전압을 표현하는 제1 값을 포함함 - ;

제1 필스 세그먼트의 제1 지속시간을 표현하기 위해 제1 제어 신호를 제공하는 단계;

상기 복수의 필서 중 상기 적어도 하나의 필서에 상기 제1 패킷을 송신하는 것에 응답하여, 상기 제1 필스 세그먼트의 상기 제1 지속시간에 걸쳐 상기 복수의 필서 중 상기 적어도 하나의 필서를 상기 제1 기준 전압에 대응하는 제1 상태로 설정하는 단계;

상기 복수의 필서 중 상기 적어도 하나의 필서에 제2 패킷을 송신하는 단계 - 상기 제2 패킷은 상기 복수의 선택가능한 기준 전압으로부터 선택된 제2 기준 전압을 표현하는 제2 값을 포함함 - ;

제2 필스 세그먼트의 제2 지속시간을 표현하기 위해 제2 제어 신호를 제공하는 단계; 및

상기 복수의 필서 중 상기 적어도 하나의 필서에 상기 제2 패킷을 송신하는 것에 응답하여, 상기 제2 필스 세그먼트의 상기 제2 지속시간에 걸쳐 상기 복수의 필서 중 상기 필서를 상기 제2 기준 전압에 대응하는 제2 상태로 설정하는 단계

를 포함하고, 상기 복수의 선택가능한 기준 전압은 적어도 3개의 기준 전압을 포함하는, 방법.

청구항 6

제5항에 있어서, 상기 복수의 필서 중 상기 적어도 하나의 필서를 제1 상태로 설정하는 것에 응답하여, 상기 복수의 초음파 트랜스듀서 중 적어도 하나의 초음파 트랜스듀서를 사용하여 음향 초음파 파형 세그먼트를 발생시키는 단계를 더 포함하며, 상기 음향 초음파 파형 세그먼트는 상기 제1 기준 전압에 의해 결정되는 크기를

갖는, 방법.

청구항 7

제5항에 있어서, 상기 복수의 펄스 중 상기 적어도 하나의 펄스는 제1 트랜지스터 및 제2 트랜지스터를 포함하고, 상기 제1 패킷은 상기 제1 트랜지스터에 연관된 제1 전도 상태 및 상기 제2 트랜지스터에 연관된 제2 전도 상태를 표현하는 값을 포함하고,

상기 값에 기초하여 상기 제1 트랜지스터가 상기 제1 전도 상태를 취하게 하고 상기 제2 트랜지스터가 상기 제2 전도 상태를 취하게 하는, 방법.

청구항 8

제5항에 있어서, 공간 아포다이제이션을 획득하기 위해 상기 복수의 펄스에 걸쳐 상기 제1 패킷을 변조하는 단계를 더 포함하는 방법.

청구항 9

제5항에 있어서, 상기 제1 패킷 및 상기 제2 패킷은 직렬로 송신되는 방법.

청구항 10

제5항에 있어서, 상기 복수의 펄스 중 상기 적어도 하나의 펄스는 상기 복수의 초음파 트랜스듀서 중 적어도 하나의 초음파 트랜스듀서에 바이폴라 파형을 제공하도록 구성되는, 방법.

청구항 11

제5항에 있어서,

상기 제1 패킷의 복수의 시간 지연된 버전을 발생시키는 단계; 및

상기 제1 패킷의 상기 복수의 시간 지연된 버전을 상기 복수의 펄스에 제공하는 단계를

를 더 포함하는 방법.

청구항 12

복수의 초음파 트랜스듀서에 연결된 복수의 펄스를 제어하는 방법으로서,

복수의 파형 세그먼트로부터 2개 이상의 파형 세그먼트를 선택하는 단계;

입력 파형을 형성하기 위해, 선택된 2개 이상의 파형 세그먼트를 연쇄(concatenating)시키는 단계; 및

상기 입력 파형을 상기 복수의 초음파 트랜스듀서에 연결된 상기 복수의 펄스 중의 펄스에 제공하는 단계를

를 포함하는 방법.

청구항 13

제12항에 있어서,

상기 펄스를 이용하여 상기 입력 파형으로부터 펄스를 발생시키는 단계;

상기 복수의 초음파 트랜스듀서 중의 초음파 트랜스듀서에 상기 펄스를 제공하는 단계; 및

상기 펄스에 기초하여, 상기 복수의 초음파 트랜스듀서 중의 상기 초음파 트랜스듀서를 이용하여 음향 초음파 파형을 발생시키는 단계

를 더 포함하는 방법.

청구항 14

제12항에 있어서, 상기 복수의 펄스 중의 상기 펄스는 상기 복수의 초음파 트랜스듀서 중 적어도 하나의 초음파 트랜스듀서에 멀티레벨 펄스를 제공하도록 구성되는, 방법.

청구항 15

제12항에 있어서, 상기 복수의 펄서 중의 상기 펄서는 상기 복수의 초음파 트랜스듀서 중 적어도 하나의 초음파 트랜스듀서에 바이폴라 펄스를 제공하도록 구성되는, 방법.

청구항 16

제12항에 있어서,
 복수의 전압 기준으로부터 전압 기준을 선택하는 단계; 및
 선택된 전압 기준에 기초하여 상기 복수의 파형 세그먼트로부터 2개 이상의 파형 세그먼트를 선택하는 단계를 더 포함하는 방법.

청구항 17

제12항에 있어서, 상기 복수의 초음파 트랜스듀서는 적어도 하나의 용량성 초음파 트랜스듀서를 포함하는, 방법.

청구항 18

제12항에 있어서, 상기 입력 파형은 상기 복수의 입력 파형 중 제1 입력 파형이고, 상기 펄서는 상기 복수의 펄서 중 제1 펄서이고, 상기 복수의 펄서 중 제2 펄서에 제2 입력 파형을 제공하는 단계를 더 포함하며, 상기 제1 입력 파형 및 상기 제2 입력 파형은 상이한 진폭들을 갖는, 방법.

청구항 19

제12항에 있어서,
 상기 입력 파형의 복수의 시간 지연된 버전을 발생시키는 단계; 및
 상기 입력 파형의 상기 복수의 시간 지연된 버전을 상기 복수의 펄서에 제공하는 단계를 더 포함하는 방법.

청구항 20

제12항에 있어서, 상기 입력 파형을 상기 복수의 초음파 트랜스듀서에 연결된 상기 복수의 펄서 중의 펄서에 제공하는 단계는 상기 입력 파형을 적어도 부분적으로 직렬로 송신하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

[0001] **관련 출원**

[0002] 본 출원은 대리인 관리번호가 B1348.70028US00이고 발명의 명칭이 "초음파 디바이스의 멀티레벨 펄서를 제어하기 위한 송신 발생기, 및 관련 방법들 및 장치들(TRANSMIT GENERATOR FOR CONTROLLING A MULTILEVEL PULSER OF AN ULTRASOUND DEVICE, AND RELATED METHODS AND APPARATUS)"인 2016년 3월 31일자로 출원된 미국 특허 출원 제15/087,962호의 35 U.S.C. § 120 하에서의 이익을 주장하는 연속출원이며, 그것의 전체 내용은 참조에 의해 본 명세서에 포함된다.

[0003] **기술분야**

[0004] 본 출원은 초음파 디바이스들의 송신 발생기들(transmit generators), 및 관련 방법들 및 장치들에 관한 것이다.

배경 기술

[0005] 일부 초음파 디바이스들은 펄서에 전기 파형들을 제공하는 파형 발생기를 포함한다. 이에 응답하여, 펄서는 초음파 음향파들을 방출하도록 초음파 트랜스듀서를 제어한다.

발명의 내용

- [0006] 본 출원의 양태에 따르면, 초음파 디바이스를 동작시키는 방법으로서, 초음파 디바이스의 초음파 트랜스듀서에 연결된 펄싱 회로에 일련의 데이터 패킷들을 순차적으로 제공함으로써 초음파 디바이스로 멀티레벨 음향 파형을 발생시키는 단계를 포함하는 방법이 제공된다.
- [0007] 본 출원의 양태에 따르면, 복수의 초음파 트랜스듀서에 연결된 복수의 펄서를 제어하는 방법으로서, 복수의 펄서 중 적어도 하나의 펄서에 제1 패킷을 송신하는 단계 - 제1 패킷은 복수의 선택가능한 기준 전압으로부터 선택된 제1 기준 전압을 표현하는 제1 값을 포함함 - , 제1 펄스 세그먼트의 제1 지속시간을 표현하기 위해 제1 제어 신호를 제공하는 단계, 복수의 펄서 중 적어도 하나의 펄서에 제1 패킷을 송신하는 것에 응답하여, 제1 펄스 세그먼트의 제1 지속시간에 걸쳐 복수의 펄서 중 적어도 하나의 펄서를 제1 기준 전압에 대응하는 제1 상태로 설정하는 단계, 복수의 펄서 중 적어도 하나의 펄서에 제2 패킷을 송신하는 단계 - 제2 패킷은 복수의 선택가능한 기준 전압으로부터 선택된 제2 기준 전압을 표현하는 제2 값을 포함함 - , 제2 펄스 세그먼트의 제2 지속시간을 표현하기 위해 제2 제어 신호를 제공하는 단계, 및 복수의 펄서 중 적어도 하나의 펄서에 제2 패킷을 송신하는 것에 응답하여, 제2 펄스 세그먼트의 제2 지속시간에 걸쳐 복수의 펄서 중 펄서를 제2 기준 전압에 대응하는 제2 상태로 설정하는 단계를 포함하고, 복수의 선택가능한 기준 전압은 적어도 3개의 기준 전압을 포함하는 방법이 제공된다.
- [0008] 본 출원의 양태에 따르면, 복수의 초음파 트랜스듀서에 연결된 복수의 펄서를 제어하는 방법으로서, 복수의 파형 세그먼트 중에서 2개 이상의 파형 세그먼트를 선택하는 단계, 입력 파형을 형성하기 위해, 선택된 2개 이상의 파형 세그먼트를 연쇄(concatenating)시키는 단계, 및 입력 파형을 복수의 초음파 트랜스듀서에 연결된 복수의 펄서 중의 펄서에 제공하는 단계를 포함하는 방법이 제공된다.

도면의 간단한 설명

- [0009] 본 출원의 다양한 양태들 및 실시예들이 다음의 도면들을 참조하여 설명될 것이다. 도면들은 반드시 일정한 비율로 그려지는 것은 아님을 알아야 한다. 여러 도면들에 출현하는 항목들은 그것들이 출현하는 모든 도면들에서 동일한 참조 번호에 의해 표시된다.
- 도 1a는 본 출원의 비-제한적인 실시예에 따라, 복수의 펄싱 회로 및 복수의 디코딩 회로를 포함하는 초음파 디바이스의 블록도를 개략적으로 도시한다.
- 도 1b는 본 출원의 일 양태에 따라, 2개의 트랜지스터를 포함하는 펄싱 회로의 회로도들을 도시한다.
- 도 1c는 일부 비-제한적인 실시예들에 따라, 파형 발생기를 포함하는 초음파 디바이스의 블록도를 개략적으로 도시한다.
- 도 2a는 본 출원의 비-제한적인 실시예에 따라, 트랜스듀서 어레이의 예시적인 배열을 도시한다.
- 도 2b는 본 출원의 비-제한적인 실시예에 따라, 복수의 패킷 발생기를 포함하는 파형 발생기의 블록도를 개략적으로 도시한다.
- 도 2c는 본 출원의 비-제한적인 실시예에 따라, 복수의 디코딩 회로를 포함하는 초음파 디바이스의 블록도를 개략적으로 도시한다.
- 도 3a는 본 출원의 비-제한적인 실시예에 따라, 패킷들의 연속을 보여주는 데이터 경로도를 도시한다.
- 도 3b는 본 출원의 비-제한적인 실시예에 따라, 패킷들의 연속을 통해 형성되는 예시적인 멀티레벨 펄스를 보여주는 시간도를 도시한다.
- 도 4는 본 출원의 비-제한적인 실시예에 따라, 복수의 초음파 트랜스듀서에 연결된 복수의 펄서를 제어하는 방법을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0010] 초음파 프로브는 프로브에 의해 방출된 파형들을 발생시키기 위한 집적 회로를 포함할 수 있다. 집적 회로는 본 명세서에서 "칩(chip)"으로도 지칭되는 상보형 금속 산화물 반도체(CMOS) 다이 상에 제조될 수 있다. 일부 실시예들에서, 초음파 트랜스듀서들은 CMOS 칩과 통합될 수 있고, 따라서 초음파-온-칩 디바이스(ultrasound-on-a-chip device)를 형성한다. 예를 들어, 초음파 트랜스듀서들은 CMOS 다이 상의 집적 회로와 통합될 수 있

는 용량성 마이크로머시닝 초음파 트랜스듀서들(CMUT: capacitive micromachined ultrasonic transducer)일 수 있다. 집적 회로는 초음파 트랜스듀서들을 구동하는 전기 파형들을 생성하도록 구성된 파형 발생 회로를 포함할 수 있다.

[0011] 본 출원의 양태들은 멀티레벨 펄스들을 생성하기 위해 초음파 디바이스의 펄스들을 제어하기 위한 프로그램가능한 파형 발생기들을 제공한다. 본 출원인은 멀티레벨 펄스들을 발생시키도록 구성된 초음파 디바이스들이 생성되는 초음파 이미지의 콘트라스트를 상당히 향상시킬 수 있다는 것을 인식했다. 본 출원의 일 양태에 따르면, 멀티레벨 펄스들을 제공하도록 설계된 펄싱 회로들은 시간 및 공간 아포다이제이션(apodization)의 형성을 용이하게 하기 위해 사용된다. 아포다이제이션은 송신된 펄스들에 연관된 사이드 로브들(side-lobes)의 범위를 감소시킬 수 있고, 따라서 생성된 이미지의 해상도를 증가시킨다. 본 명세서에 설명된 유형의 멀티레벨 펄스들은 선택가능한 값들의 세트로부터 선택된 임의의 값을 취할 수 있고, 여기서 세트는 적어도 3개의 값을 포함할 수 있다.

[0012] 이러한 멀티레벨 펄스들의 발생은 펄싱 회로들의 상태를 제어하기 위해 복잡한 구동 회로를 요구할 수 있다. 멀티레벨 펄스들의 발생이 비동기식으로 발생할 때, 구동 회로의 복잡성은 더욱 악화될 수 있다. 구동 회로의 복잡성은 상당한 전력 및 공간 요건들로 이어진다. 이는 이용가능한 전력이 (예를 들어, 배터리들에 의해 공급될 수 있는 전력으로) 제한될 수 있거나, 과열 또는 안전하지 않은 작동을 방지하기 위해 전력 소비가 어떠한 임계치 미만으로 유지될 수 있으며, 물적 자산(real estate)이 수 세제곱 센티미터로 제한될 수 있는 핸드헬드형 초음파 프로브, 청진기, 또는 다른 컴팩트한 형태에 초음파 디바이스가 배치될 때 비실용적일 수 있다.

[0013] 본 출원인은 소프트웨어 정의된 파형 발생기들(software-defined waveform generators)을 사용하여 멀티레벨 펄스들이 발생될 수 있다는 것을 인식했다. 본 명세서에 설명된 유형의 소프트웨어 정의된 파형 발생기들은 펄스 발생을 수행하기 위해 사용되는 하드웨어의 양을 제한함으로써 파형 발생기(들)의 전력 및 공간 요건들을 상당히 감소시킬 수 있다. 파형 발생기는 각각의 템플릿이 펄싱 회로들에 대한 특정 상태를 표현하도록 템플릿들을 저장하는 메모리에 대한 액세스를 가질 수 있다. 예를 들어, 템플릿들은 펄싱 회로가 고정될 수 있는 선택가능한 기준 전압들의 세트를 포함할 수 있다. 템플릿들은 또한 본 명세서에서 "마스터 세그먼트들", "파형 세그먼트들" 또는 다른 유사한 용어에 의해 지칭될 수 있다. 파형 발생기는 메모리에 저장된 템플릿들에 액세스하고, 각각의 패킷이 펄스 세그먼트를 발생시키기 위해 하나 이상의 펄싱 회로를 제어할 수 있도록 템플릿들을 패킷화하도록 구성된 제어기를 포함할 수 있다. "펄스 세그먼트들"은 펄스의 전압이 펄스 세그먼트의 지속시간에 걸쳐 일정하고, 선택된 기준 전압에 고정되게 되는 펄스 부분들로서 지칭될 것이다. 이하에서 더 설명되는 바와 같이, 마스터 세그먼트들 및 패킷들은 디지털 영역에서 정의되는 한편, 펄스 세그먼트들은 아날로그 영역에서 정의된다.

[0014] 본 출원의 다른 양태에 따르면, 초음파 신호들의 공간 아포다이제이션은 병렬 입력 데이터 스트림들보다는 파형 발생기에 의해 제공되는 직렬 데이터 스트림 입력에 대해 동작하는 회로를 사용하여 달성된다. 일부 실시예들에서, 파형 발생기와 초음파 디바이스의 펄싱 회로들 사이의 패킷 데이터 경로를 따라 배치된 디코딩 회로는 요구되는 공간 프로파일에 기초하여 파형 발생기에 의해 발생된 패킷들을 수신하고 공간적으로 변조하여 공간 아포다이제이션을 제공하도록 구성될 수 있다. 따라서, 어레이의 각각의 초음파 트랜스듀서는 트랜스듀서의 위치에 의존하는 입력 제어 값을 제공받을 수 있다. 본 명세서에 설명된 유형의 디코딩 회로의 사용은 패킷들의 직렬화된 스트림들을 발생시키도록 구성될 수 있는 파형 발생기의 설계를 상당히 단순화한다.

[0015] 이러한 특징들은 초음파 트랜스듀서들을 제어하기 위해 파형들을 발생시키기 위한 전력 및 공간 효율적인 회로의 형성을 용이하게 할 수 있고, 따라서 집적 회로 및 초음파 트랜스듀서들을 갖는 CMOS 기판을 포함하는 초음파-온-칩 디바이스의 형성을 용이하게 할 수 있다.

[0016] 위에서 설명된 양태들 및 실시예들은 물론, 추가의 양태들 및 실시예들이 이하에서 더 설명된다. 본 출원은 이러한 점에서 제한되지 않으므로, 이러한 양태들 및/또는 실시예들은 개별적으로, 모두 함께, 또는 둘 이상의 임의의 조합으로 사용될 수 있다.

[0017] 본 출원의 일 양태에 따르면, 멀티레벨 펄스들을 제공하도록 구성된 펄싱 회로들이 제공된다. 펄싱 회로들은 초음파 디바이스의 각각의 초음파 트랜스듀서에 하나 이상의 펄스를 제공하도록 구성될 수 있다. 펄스(들)는 펄스 세그먼트들의 연속(a succession of pulse segments)에 의해 형성될 수 있다. 펄스의 각각의 펄스 세그먼트는 초기 시간 t_i 와 최종 t_f 사이에서 선택가능한 기준 전압들의 세트 중 하나를 취할 수 있다. 일부 실시예들에서, 각각의 펄스 세그먼트의 지속시간 t_f-t_i 가 가변적일 수 있도록, 펄스들은 비동기식일 수 있다.

- [0018] 도 1a는 본 출원의 비-제한적인 실시예에 따라, 복수의 펄싱 회로 및 복수의 디코딩 회로를 포함하는 초음파 디바이스의 블록도를 개략적으로 도시한다. 초음파 디바이스(100)는 복수의 회로 채널($102_1 \dots 102_N$)을 포함할 수 있으며, N은 정수이다. 회로 채널들($102_1 \dots 102_N$)은 각각의 초음파 트랜스듀서들($101_1 \dots 101_N$)에 전기적으로 접속될 수 있다. 초음파 디바이스(100)는 아날로그-디지털 변환기(ADC)(111)를 더 포함할 수 있다.
- [0019] 회로 채널들($102_1 \dots 102_N$)은 초음파 음향파들의 송신 및/또는 수신을 위한 회로를 포함할 수 있다. 송신기 측에서, 회로 채널들($102_1 \dots 102_N$)은 각각의 펄싱 회로들($103_1 \dots 103_N$)에 연결된 디코딩 회로들($105_1 \dots 105_N$)을 포함할 수 있다. 펄싱 회로들($103_1 \dots 103_N$)은 음향 파형들을 방출하기 위해 각각의 초음파 트랜스듀서들($101_1 \dots 101_N$)을 제어할 수 있다.
- [0020] 일부 실시예들에서, 펄싱 회로들($103_1 \dots 103_N$)은 각각의 초음파 트랜스듀서들($101_1 \dots 101_N$)에 펄스들을 제공하도록 구성된 회로들이다. 일부 실시예들에서, 펄싱 회로들($103_1 \dots 103_N$)은 선택가능한 레벨들의 세트로부터 선택된 3개 이상의 레벨을 나타내는 멀티레벨 펄스들을 제공할 수 있다. 일부 실시예들에서, 선택가능한 레벨들은 기준 전압들일 수 있다. 펄싱 회로들은 한번에 하나의 기준 전압을 수신하고 수신된 기준 전압에 고정되는 펄스들을 형성하도록 구성될 수 있다. 일부 실시예들에서, 펄서들은 포지티브 및/또는 네거티브 전압들을 나타낼 수 있는 양극성 펄스들을 제공할 수 있다.
- [0021] 일부 실시예들에서, 펄싱 회로들($103_1 \dots 103_N$)은 2개의 트랜지스터를 포함할 수 있다. 도 1b는 도 1a의 펄싱 회로들($103_1 \dots 103_N$) 중 임의의 것으로서 기능할 수 있는 펄싱 회로(103)의 회로도도를 도시한다. 도 1b의 펄싱 회로(103)는 제1 트랜지스터(127) 및 제2 트랜지스터(129)를 포함한다. 일부 실시예들에서, 트랜지스터(127)는 포지티브 금속 산화물 반도체(pMOS) 트랜지스터이고, 트랜지스터(129)는 네거티브 금속 산화물 반도체(nMOS) 트랜지스터이다. 그러나, 임의의 다른 적절한 개수 및/또는 유형의 트랜지스터들이 사용될 수 있다.
- [0022] 트랜지스터(127)는 이전에 선택된 기준 전압보다 큰 새로운 기준 전압이 선택될 때 제어 신호(V_{c1})를 통해 전도 상태로 설정될 수 있다. 이 경우, 트랜지스터(127)는 공급 전압(V_H)과 초음파 트랜스듀서(101) 사이에서 전류를 구동할 수 있고, 초음파 트랜스듀서의 단자들 양단의 전압은 현재 선택된 기준 전압이 도달될 때까지 증가될 수 있다. 피드백 회로(125)는 초음파 트랜스듀서의 단자들 양단의 전압을 비교하고, 그것을 현재 선택된 기준 전압과 비교할 수 있다. 트랜스듀서의 단자들 양단의 전압이 기준 전압과 동일하거나, 대안적으로는 일정한 미리 정의된 인자에 의해 기준 전압에 비례하는 전압과 동일할 때, 피드백 회로(125)는 제어 신호(V_{c1})를 통해 트랜지스터(127)를 턴 오프할 수 있다. 초음파 트랜스듀서(101)는 용량성이므로, 초음파 트랜스듀서는 그것의 단자들 양단에서 기준 전압과 동일하거나 기준 전압에 비례하는 전압을 유지할 수 있다.
- [0023] 마찬가지로, 트랜지스터(129)는 이전에 선택된 기준 전압보다 낮은 새로운 기준 전압이 선택될 때 제어 신호(V_{c2})를 통해 전도 상태로 설정될 수 있다. 이 경우에, 트랜지스터(129)는 공급 전압(V_L)과 초음파 트랜스듀서(101) 사이에서 전류를 구동할 수 있고, 초음파 트랜스듀서의 단자들 양단의 전압은 현재 선택된 기준 전압이 도달될 때까지 감소될 수 있다. 일부 실시예들에서, V_L 은 V_H 보다 낮다. V_L 은 포지티브 전압, 네거티브 전압 또는 제로일 수 있다. 피드백 회로(125)는 초음파 트랜스듀서의 단자들 양단의 전압을 현재 선택된 기준 전압과 비교할 수 있다. 트랜스듀서의 단자들 양단의 전압이 기준 전압과 동일하거나, 대안적으로는 일정한 미리 정의된 인자에 의해 기준 전압에 비례하는 전압과 동일할 때, 피드백 회로(125)는 제어 신호(V_{c2})를 통해 트랜지스터(129)를 턴 오프할 수 있다. 초음파 트랜스듀서(101)는 용량성이므로, 트랜스듀서는 그것의 단자들 양단에서 기준 전압과 동일하거나 기준 전압에 비례하는 전압을 유지할 수 있다.
- [0024] 본 출원의 양태들은 복수의 멀티레벨 펄서를 갖는 초음파 디바이스에서의 사용에 적합한 디코딩 회로들을 제공한다. 예는 도 1a의 디코딩 회로들($105_1 \dots 105_N$)에 관한 것이다. 일부 실시예들에서, 디코딩 회로들($105_1 \dots 105_N$)은 단일 회로 소자의 일부일 수 있는 한편, 다른 실시예들에서 그것들은 개별 회로들을 포함할 수 있다. 일부 실시예들에서, 각각의 디코딩 회로는 각각의 초음파 트랜스듀서에 대응할 수 있다. 그러나, 다른 실시예들에서, 하나보다 많은 초음파 트랜스듀서가 하나의 디코딩 회로를 공유할 수 있다. 일부 실시예들에서, 디코딩 회로들($105_1 \dots 105_N$)은 아래에 더 설명되는 바와 같이, 파형 발생기에 의해 발생된 패킷들을 변조하고, 각각의 펄싱 회로들($103_1 \dots 103_N$)에 변조된 패킷들을 제공하도록 구성될 수 있다. 일부 실시예들에서, 디코딩 회로들

(105₁...105_N)은 공간 아포다이제이션이 획득되도록, 각각의 펄싱 회로들(103₁...103_N)에 펄스들을 제공할 수 있다.

- [0025] 아래에서 더 설명되는 바와 같이, 초음파 디바이스(100)는 직렬화된 패킷들을 디코딩 회로들(105₁...105_N)에 제공하도록 구성된 하나 이상의 과형 발생기(도 1a에 도시되지 않음)를 더 포함할 수 있다. 일부 실시예들에서, 과형 발생기(들)는 선택가능한 마스터 세그먼트들의 라이브러리로부터 선택가능한 마스터 세그먼트들을 집합시킴으로써 패킷들을 형성하도록 구성될 수 있다.
- [0026] 다시 도 1a를 참조하면, 회로 채널들(102₁...102_N)의 수신 회로는 초음파 음향파를 수신한 것에 응답하여 각각의 초음파 트랜스듀서들(101₁...101_N)로부터 전기 신호들을 수신할 수 있다. 도시된 예에서, 각각의 회로 채널(102₁...102_N)은 각각의 수신 스위치(107₁...107_N) 및 수신 회로(109₁...109_N)를 포함한다. 수신 스위치들(107₁...107_N)은 주어진 초음파 트랜스듀서(101₁...101_N)로부터의 전기 신호의 관독을 활성화/비활성화하도록 제어될 수 있다. 일부 실시예들에서, 수신 회로들(109₁...109_N)은 트랜스 임피던스 증폭기들(TIA)을 포함할 수 있다.
- [0027] 초음파 디바이스(100)는 ADC(111)를 더 포함할 수 있다. ADC(111)는 초음파 트랜스듀서들(101₁...101_N)에 의해 수신된 신호를 디지털화하도록 구성될 수 있다. 다양한 수신된 신호들의 디지털화는 직렬로 또는 병렬로 수행될 수 있다.
- [0028] 도 1a는 초음파 디바이스의 회로의 일부로서 다수의 컴포넌트를 도시하지만, 본 명세서에 설명된 다양한 양태들은 도시된 정확한 컴포넌트들 또는 컴포넌트들의 구성으로 제한되지 않는다는 것을 알아야 한다.
- [0029] 일부 실시예들에서, 초음파 트랜스듀서들(101₁...101_N)은 수신된 초음파 음향파들을 표현하는 전기 신호들을 생성하는 센서들이다. 일부 실시예들에서, 초음파 트랜스듀서들은 또한 초음파 음향파들을 송신할 수 있다. 일부 실시예들에서, 초음파 트랜스듀서들은 용량성 마이크로머시닝 초음파 트랜스듀서들(CMUT)일 수 있다. 그러나, 다른 실시예들에서, 다른 유형의 용량성 초음파 트랜스듀서들이 사용될 수 있다.
- [0030] 도 1a의 컴포넌트들은 단일 기판 상에 또는 상이한 기판들 상에 위치될 수 있다. 예를 들어, 초음파 트랜스듀서들(101₁...101_N)은 제1 기판 상에 있을 수 있고, 나머지 도시된 컴포넌트들은 제2 기판 상에 있을 수 있다. 제1 및/또는 제2 기판은 실리콘 기판들과 같은 반도체 기판들일 수 있다. 대안적인 실시예에서, 도 1a의 컴포넌트들은 단일 기판 상에 있을 수 있다. 예를 들어, 초음파 트랜스듀서들(101₁...101_N) 및 도시된 회로는 동일한 반도체 다이 상에 모놀리식 집적될 수 있다.
- [0031] 실시예에 따르면, 도 1a의 컴포넌트들은 초음파 프로브의 일부를 형성한다. 초음파 프로브는 핸드헬드형일 수 있다. 일부 실시예들에서, 도 1a의 컴포넌트들은 환자에 의해 착용되도록 구성된 초음파 패치의 일부를 형성한다.
- [0032] 위에서 논의된 바와 같이, 초음파 디바이스는 선택가능한 템플릿들의 세트에 기초하여 복수의 패킷을 발생시키도록 구성된 하나 이상의 과형 발생기를 포함할 수 있다. 패킷들은 디코딩 회로들(105₁...105_N)에 의해 디코딩될 수 있고, 펄싱 회로들(103₁...103_N)을 통해 멀티레벨 펄스들을 형성하기 위해 사용될 수 있다. 도 1c는 일부 비-제한적인 실시예들에 따라, 과형 발생기(151)를 포함하는 초음파 디바이스(110)의 블록도를 개략적으로 도시한다. 초음파 디바이스(100)는 메모리(153), 송신기 어레이(150), 트랜스듀서 어레이(152), 수신기 어레이(154), 신호 컨디셔닝/처리 회로(170), 타이밍 및 제어 회로(160), 전력 관리 회로(180), 또는 그것들의 임의의 적절한 조합을 더 포함할 수 있다.
- [0033] 일부 실시예들에서, 초음파 디바이스(110)는 초음파 디바이스(100)의 컴포넌트들의 일부 또는 전부를 포함할 수 있다. 일부 실시예들에서, 초음파 디바이스(110)의 송신기 어레이(150)는 초음파 디바이스(100)의 펄싱 회로들(103₁...103_N) 및 디코딩 회로들(105₁...105_N)을 포함할 수 있다. 일부 실시예들에서, 트랜스듀서 어레이(152)는 초음파 트랜스듀서들(101₁...101_N)을 포함할 수 있다. 초음파 트랜스듀서들은 1차원 또는 2차원 어레이들로 조직화될 수 있다. 일부 실시예들에서, 수신기 어레이(154)는 수신 스위치들(107₁...107_N) 및 수신 회로들(109₁...109_N)을 포함할 수 있다. 신호 컨디셔닝/처리 유닛(170)은 ADC(111)를 포함할 수 있다. 일부 실시예들에서, 신호 컨디셔닝/처리 유닛(170)은 트랜스듀서 어레이(152)에 의해 수신된 초음파 음향파들에 기초하여 이미지를

을 형성하도록 구성된 디지털 회로를 더 포함할 수 있다.

- [0034] 본 출원의 양태들에 따르면, 과형 발생기(151)는 송신기 어레이(150)의 펄싱 회로들(103₁...103_N)을 구동하기 위해 제어 신호들을 발생시키도록 구성될 수 있다. 제어 신호들은 각각의 패킷이 선택된 기준 전압에 대응하는 정보를 포함할 수 있도록 패킷들로 조직화될 수 있다. 일부 실시예들에서, 패킷들은 펄싱 회로들(103₁...103_N)의 각각의 피드백 회로들(125)에 지향될 수 있다. 패킷들의 내용은 도 3a와 관련하여 설명될 것이다.
- [0035] 일부 실시예들에서, 과형 발생기(151)는 메모리(153)에 접속될 수 있다. 이하에서 더 설명되는 바와 같이, 메모리(153)는 복수의 마스터 세그먼트를 저장할 수 있다. 과형 발생기(151)는 하나 이상의 마스터 세그먼트를 획득하기 위해, 메모리(153)에 액세스할 수 있다. 과형 발생기(151)는 요구되는 패킷들의 연속을 형성하기 위해 다양한 마스터 세그먼트들을 결합할 수 있다.
- [0036] 일부 실시예들에서, 메모리(153)는 랜덤 액세스 메모리(RAM) 유닛들, 판독 전용 메모리(ROM) 유닛들, 플래시 메모리 유닛들, 또는 과형 세그먼트들을 저장할 수 있는 임의의 적절한 유형의 메모리를 포함할 수 있다. 일부 실시예들에서, 과형 발생기(151)는 하나 이상의 논리 회로를 포함할 수 있다. 로직 회로(들)는 프로세서들, 필드 프로그래머블 게이트 어레이들(FPGA), 주문형 집적 회로들(ASIC), 마이크로컨트롤러, 또는 이것들의 임의의 적절한 조합을 포함할 수 있다. 과형 발생기(151)는 메모리(153)에 저장된 데이터에 액세스하고, 메모리로부터 획득된 데이터를 처리하기 위해 컴퓨터 명령어(들)를 실행하도록 구성될 수 있다.
- [0037] 초음파 디바이스(100)는 초음파 디바이스(100)와 외부 디바이스 사이의 물리적 인터페이스일 수 있는 출력 포트(114)를 더 포함할 수 있다. 예를 들어, 출력 포트(114)는 특수화된 FPGA, GPU, 또는 다른 적절한 디바이스와 같이, 대량의 초음파 데이터를 수신하고 처리할 수 있는 외부 디바이스들에 접속될 수 있다. 단일 출력 포트(114)만이 도시되어 있지만, 다수의 출력 포트가 제공될 수 있음을 알아야 한다. 초음파 디바이스(100)는 클럭 신호(CLK)를 수신하여 타이밍 및 제어 회로(160)에 제공하는 클럭 입력 포트(116)를 또한 포함할 수 있다.
- [0038] 전력 관리 회로(180)는 접지(GND) 및 전압 기준(V_{IN}) 신호들을 수신할 수 있다. 임의로(optionally), 초음파 디바이스(100)가 HIFU를 제공하기 위해 사용되어야 하는 경우, 고강도 집중 초음파(HIFU) 제어기(190)가 포함될 수 있다. 도시된 실시예에서, 도시된 구성요소들 모두는 단일 반도체 다이(또는 기관 또는 칩)(112) 상에 형성될 수 있지만, 모든 실시예들이 이러한 점에서 제한되는 것은 아니다.
- [0039] 일부 실시예들에서, 트랜스듀서 어레이(152)는 행들 및 열들로 배열될 수 있다. 도 2a는 본 출원의 비-제한적인 실시예들에 따라, 트랜스듀서 어레이의 예시적인 배열을 도시한다. 도시된 바와 같이, 초음파 디바이스(100)의 트랜스듀서 어레이(152)는 복수의 모듈(204)을 가질 수 있다. 보여진 바와 같이, 모듈(204)은 복수의 구성요소(206)를 포함할 수 있다. 구성요소(206)는 복수의 셀(208)을 포함할 수 있다. 셀(208)은 도 1a에 관련하여 설명된 유형의 초음파 트랜스듀서를 포함할 수 있다.
- [0040] 도시된 실시예에서, 트랜스듀서 어레이(152)는 72개의 행과 2개의 열을 갖는 어레이로서 배열된 144개의 모듈을 포함한다. 그러나, 트랜스듀서 어레이는 임의의 적합한 개수의 행 및 열을 갖는 모듈들의 1차원 또는 2차원 어레이로, 또는 임의의 다른 적절한 방식으로 배열될 수 있는 임의의 적절한 개수의 모듈(예를 들어, 적어도 1개의 모듈, 적어도 2개의 모듈, 적어도 10개의 모듈, 적어도 100개의 모듈, 적어도 1000개의 모듈, 적어도 5000개의 모듈, 적어도 10,000개의 모듈, 적어도 25,000개의 모듈, 적어도 50,000개의 모듈, 적어도 100,000개의 모듈, 적어도 250,000개의 모듈, 적어도 500,000개의 모듈, 2 내지 100만 개의 모듈, 또는 그러한 범위들 내의 임의의 수의 개수 범위)을 포함할 수 있음을 알아야 한다.
- [0041] 도시된 실시예에서, 각각의 모듈은 2개의 행과 32개의 열을 갖는 어레이로서 배열된 64개의 초음파 요소를 포함한다. 그러나, 모듈은 임의의 적합한 개수의 행 및 열을 갖는 초음파 요소들의 1차원 또는 2차원 어레이로, 또는 임의의 다른 적절한 방식으로 배열될 수 있는 임의의 적절한 개수의 초음파 요소(예를 들어, 1개의 요소, 적어도 2개의 초음파 요소, 적어도 4개의 초음파 요소, 적어도 8개의 초음파 요소, 적어도 16개의 초음파 요소, 적어도 32개의 초음파 요소, 적어도 64개의 초음파 요소, 적어도 128개의 초음파 요소, 적어도 256개의 초음파 요소, 적어도 512개의 초음파 요소, 2 내지 1024개의 초음파 요소, 적어도 2500개의 초음파 요소, 적어도 5,000개의 초음파 요소, 적어도 10,000개의 초음파 요소, 적어도 20,000개의 초음파 요소, 1000 내지 20,000개의 초음파 요소, 또는 그러한 범위들 내의 임의의 수의 개수 범위)를 포함할 수 있음을 알아야 한다.
- [0042] 도시된 실시예에서, 각각의 초음파 요소는 4개의 행과 4개의 열을 갖는 2 차원 어레이로 배열된 16개의 셀(208)을 포함하고, 셀은 초음파 트랜스듀서를 나타내며, 이러한 2개의 용어는 본 명세서에서 동의어로 사용된다.

그러나, 요소는 임의의 적합한 개수의 행 및 열을 갖는 1차원 또는 2차원 어레이(정사각형 또는 직사각형)로, 또는 임의의 다른 적절한 방식으로 배열될 수 있는 임의의 적절한 개수의 셀(예를 들어, 1개, 적어도 2개, 적어도 4개, 적어도 16개, 적어도 25개, 적어도 36개, 적어도 49개, 적어도 64개, 적어도 81개, 적어도 100개, 1 내지 200개, 또는 그러한 범위들 내의 임의의 수의 개수 범위)을 포함할 수 있음을 알아야 한다. 일부 실시예들에서, 각각의 셀(208)은 도 1a와 관련하여 설명된 유형의 초음파 트랜스듀서를 포함할 수 있다.

[0043] 일부 실시예들에서, 송신기 어레이(150)는 도 2a에 도시된 모듈들, 초음파 요소들, 및 셀들과 일치하는 구성으로 배열될 수 있고, 그에 의해 각각의 초음파 트랜스듀서에 하나의 펄싱 회로가 대응하게 된다. 그러나, 다른 구성들도 가능하다. 예를 들어, 단일 펄싱 회로는 셀(208)의 초음파 트랜스듀서들 전부와 같은 복수의 초음파 트랜스듀서를 구동하도록 구성될 수 있다.

[0044] 본 출원의 일 양태에 따르면, 멀티레벨 펄스들을 발생시키기 위해 사용되는 회로는 소프트웨어를 통해 펄스들의 발생을 수행함으로써 감소될 수 있고, 일부 경우들에서는 상당히 감소될 수 있다. 예를 들어, 컴퓨터 코드는 요구되는 펄스 프로파일을 제공하도록 사용자에 의해 프로그래밍될 수 있다. 펄스의 프로파일은 프로빙되는 타겟의 성질 및/또는 프로빙이 발생하는 환경에 기초하여 설계될 수 있다. 컴퓨터 코드는 파형 발생기(151)와 상호작용하도록 구성된 명령어들의 세트를 포함할 수 있다. 명령어들의 실행에 응답하여, 파형 발생기(151)는 위에서 설명된 유형의 복수의 패킷을 발생시킬 수 있다.

[0045] 일부 실시예들에서, 파형 발생기(151)는 직렬화된 방식으로 패킷들을 발생시키도록 구성될 수 있다. 따라서, 각각의 패킷은 선행 패킷의 송신에 후속하여 송신될 수 있다. 그러나, 본 출원은 이러한 점에서 제한되지 않으며, 패킷들은 임의의 적절한 정도의 병렬화를 사용하여 송신될 수 있다. 도 2b는 본 출원의 비-제한적인 실시예에 따라, 파형 발생기의 블록도를 개략적으로 도시한다. 파형 발생기(151)는 하나 이상의 패킷 발생기[예를 들어, 패킷 발생기들(260₁ 및 260₂)], 하나 이상의 인코딩 회로[예를 들어, 인코딩 회로들(262₁ 및 262₂)], 제어기(265), 및 지연 메쉬 회로(269)를 포함할 수 있다.

[0046] 메모리(153)는 레코드가, 그리고 일부 실시예들에서는 각각의 레코드가 하나의 마스터 세그먼트를 포함하도록 복수의 레코드를 포함할 수 있다. 일부 실시예들에서, 마스터 세그먼트들은 펄싱 회로들이 취할 수 있는 가능한 상태들 전부를 집합 적으로 표현한다. 예를 들어, 마스터 세그먼트들은 선택가능한 기준 전압들을 위한 필드를 포함할 수 있다. 일부 실시예들에서, 마스터 세그먼트들은 펄싱 회로들(103₁...103_N)의 각각의 피드백 회로들(125)에 대한 제어 신호들(V_{c1} 및 V_{c2})을 위한 필드를 포함할 수 있다. 일부 실시예들에서, 메모리(153)는 분할될 수 있고, 각각의 패킷 발생기에 대해 적어도 하나의 섹션을 포함할 수 있다. 그러한 실시예들에서, 패킷 발생기(260₁)는 메모리(153)의 섹션에 저장된 데이터를 사용할 수 있고, 패킷 발생기(260₂)는 메모리(153)의 다른 섹션에 저장된 데이터를 사용할 수 있다. 일부 실시예들에서, 그러한 부분들은 중첩될 수 있다. 다른 실시예들에서, 그러한 부분들은 동일한 부분을 포함할 수 있다.

[0047] 컴퓨터 명령어들의 세트의 실행에 응답하여, 제어기(265)는 사용자에 의해 요청되는 대로, 메모리(153)에 액세스하고 복수의 마스터 세그먼트를 선택하도록 패킷 발생기를 제어할 수 있다. 패킷 발생기는 선택된 마스터 세그먼트에 기초하여 패킷들의 연속을 형성할 수 있다. 각각의 패킷은 선택된 마스터 세그먼트에 대응할 수 있다. 일부 실시예들에서, 임의의 대응하는 마스터 세그먼트를 갖지 않는 특정 패킷들은 패킷 발생기들에 의해 패킷 스트림 내에 포함될 수 있다. 예를 들어, 패킷들의 연속 중 제1 패킷 또는 start_packet은 마스터 세그먼트에 대응하는 임의의 다른 패킷보다 먼저 패킷 발생기에 의해 발생될 수 있다. 부가적으로 또는 대안적으로, 패킷들의 연속 중 마지막 패킷 또는 end_packet은 모든 다른 패킷들 이후에 패킷 발생기에 의해 발생될 수 있다.

[0048] 도 2b에 도시된 바와 같이, 각각의 패킷 발생기가 복수의 초음파 요소[예컨대, 초음파 요소(206)]를 포함하는 열에 패킷들을 제공하도록, 파형 발생기(151)는 2개의 패킷 발생기를 포함할 수 있다. 그러나, 본 출원은 이러한 점에서 제한되지 않으며, 각각의 패킷 발생기가 임의의 적절한 개수의 요소에 패킷들을 제공할 수 있도록, 임의의 다른 적절한 개수의 패킷 발생기가 사용될 수 있다.

[0049] 패킷 발생기들(260₁ 및 260₂)에 의해 발생된 패킷들은 각각의 인코딩 회로들(262₁ 및 262₂)에 제공될 수 있다. 이에 응답하여, 인코딩 회로는 제공된 패킷들을 인코딩할 수 있다. 일부 실시예들에서, 인코딩 회로는 패킷들의 직렬화를 수행하도록 구성될 수 있다. 인코딩 회로는 패킷 발생기에 의해 발생된 패킷들을 펄싱 회로들에 제공하기 위해 사용되는 데이터의 양을 감소시킬 수 있으며, 따라서 요구되는 패킷들을 저장하고 통신하는 데

사용되는 메모리의 양에 있어서 가치있는 감소를 제공할 수 있다.

- [0050] 일부 실시예들에서, 인코딩 회로는 N-대-M 비트 인코더를 구현하도록 구성될 수 있고(여기서, N 및 M 각각은 양의 정수이고, N은 M보다 크다), 그에 의해 인코딩 회로가 B 비트로 구성된 입력 신호를 인코딩할 때, 결과적인 인코딩된 신호는 대략 $B \cdot M / N$ 비트(B는 양의 정수)를 포함하게 된다. 특정한 비-제한적인 예로서, 인코딩 회로는 2-대-1 비트 인코더를 구현하도록 구성될 수 있고, 그에 의해 인코딩 회로가 B 비트의 입력 신호를 인코딩할 때, 결과적인 인코딩된 신호는 대략 $B/2$ 비트를 갖게 된다. 다른 특정한 비-제한적인 예로서, 인코딩 회로는 3-대-2 비트 인코더를 구현하도록 구성될 수 있고, 그에 의해 인코딩 회로가 B 비트의 입력 신호를 인코딩할 때, 결과적인 인코딩된 신호는 대략 $2B/3$ 비트를 갖게 된다. 또 다른 특정한 비-제한적인 예로서, 인코딩 회로는 3-대-1 비트 인코더를 구현하도록 구성될 수 있고, 그에 의해 인코딩 회로가 B 비트의 입력 신호를 인코딩할 때, 결과적인 신호는 대략 $B/3$ 비트를 갖게 된다. 비-제한적인 적절한 인코딩 회로에 대한 더 상세한 설명은 본 명세서에 그 전체가 참조에 의해 포함되는 미국 특허 제9,229,097호에서 발견될 수 있다.
- [0051] 일부 실시예들에서, 인코딩 회로들(262_1 및 262_2)에 의해 발생된 인코딩된 패킷들은 지연 메쉬 회로(269)에 제공될 수 있다. 지연 메쉬 회로(269)는 패킷들의 복수의 버전을 생성하기 위한 지연 메쉬(delay mesh)를 포함할 수 있고, 지연 메쉬는 파형 발생기에 의해 발생된 패킷들을 수신하도록 구성된 입력, 및 패킷들의 복수의 버전을 복수의 펄싱 회로에 제공하도록 구성된 복수의 (병렬) 출력을 갖는다. 지연 메쉬는 지연 메쉬에 적용되는 상이한 제어들에 응답하여 파형 발생기에 의해 발생된 패킷들의 상이한 버전들을 생성하도록 제어될 수 있다. 이러한 방식으로, 초음파 디바이스는 상이한 유형들의 초음파 파형들을 발생시키도록 제어될 수 있다.
- [0052] 일부 실시예들에서, 지연 메쉬 회로(269)는 복수의 지연 메쉬 유닛을 포함할 수 있고, 지연 메쉬 유닛들 각각은 패킷들의 하나 이상의 시간 지연된 버전을 획득하기 위해 패킷들을 지연시키고, 그것들을 하나 이상의 펄싱 회로에 출력 신호들로서 제공할 수 있다. 하나 이상의 다른 지연 메쉬 유닛에 제공되는 출력 신호들은 그러한 지연 메쉬 유닛들에 의해 더 시간 지연될 수 있고, 또 다른 지연 메쉬 유닛들에 의해 송신 및/또는 추가 처리될 수 있다. 이러한 방식으로, 지연 메쉬 회로에 입력된 패킷은 복수의 지연 메쉬 유닛을 통해 전파될 수 있으며, 지연 메쉬 유닛들 중 하나 이상은 패킷을 시간 지연시켜, 결과적인 시간 지연 버전(들)을 송신을 위해 하나 이상의 초음파 요소에 제공한다. 이와 같이, 지연 메쉬 회로는 패킷의 복수의 시간 지연된 버전을 발생시킬 수 있고, 이러한 버전들을 펄싱 회로들에 제공할 수 있다. 지연 메쉬 유닛은 패킷에 대한 동작들을 저장 및/또는 수행하기 위한 버퍼를 포함할 수 있다. 일부 실시예들에서, 지연 메쉬 회로(269)는 다수의 지연 메쉬 유닛을 포함할 수 있고, 그러한 것으로서, 각각의 지연 메쉬 유닛의 버퍼의 크기를 감소시키는 것은 단일 기관 초음파 디바이스 상에서 지연 메쉬 회로를 구현하는 것의 공간 및 전력 요건들 둘 다를 감소시킬 수 있다. 비-제한적인 적절한 지연 메쉬 회로에 대한 더 상세한 설명은 본 명세서에서 그 전체가 참조에 의해 포함되는 미국 특허 제9,229,097호에서 발견될 수 있다.
- [0053] 일부 실시예들에서, 지연 메쉬 회로(269)는 복수의 출력($270_1 \dots 270_N$)을 가질 수 있다. 일부 실시예들에서, 출력의 수는 송신기 어레이(150)의 펄싱 회로들의 수와 동일하다. 일부 실시예들에서, 다양한 출력들($270_1 \dots 270_N$)은 인코딩 회로들에 의해 제공된 패킷들의 상이한 시간 지연된 버전들일 수 있다. 다른 실시예들에서, 다양한 출력들($270_1 \dots 270_N$)은 모두 동일한 지연들을 가질 수 있다. 일부 실시예들에서, 지연 메쉬 회로(269)는 시간 아포다이제이션을 제공하도록 구성될 수 있다.
- [0054] 본 출원의 양태들에 따르면, 송신기 어레이(150)는 복수의 디코딩 회로를 포함할 수 있다. 일부 실시예들에서, 인코딩 회로들은 출력들($270_1 \dots 270_N$)을 통해 획득된 패킷들을 디코딩할 수 있다. 도 2c는 본 출원의 비-제한적인 실시예에 따라, 복수의 디코딩 회로를 포함하는 초음파 디바이스의 블록도를 개략적으로 도시한다. 각각의 디코딩 회로($105_1 \dots 105_N$)는 각각의 출력들($270_1 \dots 270_N$)로부터 하나 이상의 패킷을 수신할 수 있다. 제어기(266)는 디코딩 회로들($105_1 \dots 105_N$)을 제어하도록 구성될 수 있다. 디코딩 회로들이 별개의 구성요소들로서 도시되어 있지만, 일부 실시예들에서 그것들은 단일 디코더 회로 블록의 일부일 수 있다. 각각의 디코딩 회로는 각각의 펄싱 회로($103_1 \dots 103_N$)에 접속될 수 있다. 각각의 펄싱 회로는 초음파 트랜스듀서($101_1 \dots 101_N$)에 접속될 수 있다.
- [0055] 일부 실시예들에서, 제어기(266)는 컴퓨터 명령어들의 세트의 실행에 응답하여 동작할 수 있다. 일부 실시예들에서, 직렬화된 패킷을 디코딩하는 것은 직렬-대-병렬 변환을 수행하는 것을 포함할 수 있다. 따라서, 디코딩 회로들은 패킷을 한 번에 1 비트씩 수신할 수 있고, 하나 이상의 비트 워드를 형성할 수 있다. 예를 들어, 하

나의 워드는 기준 전압을 정의하는 데 사용되는 비트들을 포함할 수 있다. 일부 실시예들에서, 기준 전압에 대응하는 워드는 인코딩 회로들에 의해 각각의 펄싱 회로들에 병렬로 송신될 수 있다. 본 명세서에서 "병렬 송신"은 워드를 형성하는 각각의 비트가 각각의 전도성 와이어 상에서 송신되는 것을 지칭할 것이다.

[0056] 일부 실시예들에서, 제어기(266)는 수신된 패킷들을 변조하도록 구성될 수 있다. 본 명세서에서 사용되는 패킷의 "변조"는 선택된 기준 전압에 대응하는 패킷의 값을 요구되는 인자로 곱하거나 나누는 것을 지칭한다. 패킷을 변조하는 것의 효과는 패킷 내에서 송신되는 기준 전압의 스케일링된 버전의 발생이다. 일부 실시예들에서, 디코딩 회로들에 의해 수신된 다양한 패킷들은 상이한 인자들로 변조될 수 있다. 예를 들어, 각각의 디코딩 회로가 요구되는 인자를 제공할 수 있도록, 패킷들은 요구되는 변조 프로파일에 따라 변조될 수 있다.

[0057] 패킷들은 초음파 트랜스듀서들의 어레이에 걸쳐 공간 아포다이제이션을 제공하도록 변조될 수 있다. 일부 실시예들에서, 패킷에 포함된 기준 전압은 일부 실시예들에서는 0.001 내지 1, 일부 실시예들에서는 0.001 내지 0.999, 일부 실시예들에서는 0.01 내지 0.99, 일부 실시예들에서는 0.1 내지 0.9, 일부 실시예들에서는 0.25 내지 0.75, 일부 실시예들에서는 0.4 내지 0.7, 또는 임의의 다른 적합한 값들 또는 값들의 범위 사이의 인자로 나누거나 곱함으로써 변조될 수 있다. 다른 값들도 가능하다. 일부 실시예들에서, 변조는 디지털 영역에서 수행될 수 있다. 일부 실시예들에서, 변조 인자들은 2 비트로 표현될 수 있으며, 따라서 4개의 조합을 제공한다. 제한이 아닌 예로서, 변조 인자들은 0, 0.4, 0.7 및 1과 동일할 수 있다. 다른 값들도 가능하다. 디코딩 회로들이 패킷들을 수신함에 따라, 대응하는 기준 전압들은 본 명세서에 설명된 4개의 변조 인자 중 하나에 의해 곱해질 수 있다. 제한이 아닌 예로서, 디코딩 회로들은, 방출된 초음파 음향파가 어레이의 중앙에 메인 로브(main lobe)를 갖고 어레이의 에지들을 향해 강도가 감소하도록 공간 아포다이제이션을 수행하도록 구성될 수 있다.

[0058] 일부 실시예들에서, 디코딩 회로들은 M-대-N 비트 디코더를 구현하도록 구성될 수 있고(N 및 M 각각은 양의 정수이고, N은 M보다 크다), 그에 의해 디코딩 회로들이 B 비트의 입력 신호를 디코딩할 때, 결과적인 디코딩된 신호는 대략 $B * N/M$ 비트(B는 양의 정수)를 갖게 된다. 특정한 비-제한적인 예로서, 디코딩 회로는 1-대-2 비트 디코더를 구현하도록 구성될 수 있고, 그에 의해 디코딩 회로가 B 비트의 입력 신호를 디코딩할 때, 결과적인 디코딩된 신호는 대략 2B 비트를 갖게 된다. 디코딩 기능은 인코딩 회로들(262₁ 및 262₂)에 의해 제공된 인코딩 기능의 역일 수 있다.

[0059] 도 3a는 본 출원의 비-제한적인 실시예에 따라, 패킷들의 연속을 보여주는 데이터 경로도를 도시한다. 도 3a는 복수의 레코드를 포함하는 메모리(153)를 도시하며, 각각의 레코드는 마스터 세그먼트(353₁...353_N)를 포함한다. 위에서 설명된 바와 같이, 마스터 세그먼트들(353₁...353_N)은 요구되는 펄스 프로파일들의 발생을 위한 베이스를 집합적으로 표현한다. 데이터 경로의 스테이지(310)는 비-제한적인 예시적인 패킷들(311₁, 311₂...311_k)의 연속의 발생을 표현하며, 여기서 k는 2보다 큰 임의의 정수 값을 취할 수 있다. 각각의 패킷은 마스터 세그먼트들 중 하나에 대응할 수 있다. 패킷들의 연속은 start_packet으로 시작할 수 있고/있거나 end_packet으로 끝날 수 있다.

[0060] 패킷(311₁)이 추가로 상세히 도시된다. 일부 실시예들에서, 패킷(311₁)은 트랜지스터들(127 및 129)의 전도 상태를 결정하기 위해 하나 이상의 비트를 포함하는 필드(312_A)를 포함할 수 있다. 필드(312_A)는 각각의 펄싱 회로의 피드백 회로(125)에 지향될 수 있다. 필드(312_A)에 기초하여, 피드백 회로는 신호들(V_{c1} 및 V_{c2})을 제어할 수 있다.

[0061] 일부 실시예들에서, 패킷(311₁)은 기준 전압을 표현하는 하나 이상의 비트를 포함하는 필드(312_B)를 포함할 수 있다. 기준 전압을 표현하는 데에 필요한 비트들의 수는 선택가능한 기준 전압들의 수에 의존할 수 있다. 예로서, n이 선택가능한 전압들의 수인 경우, 필드(312_B)는 log₂n보다 크거나 그것보다 작거나 그것과 동일한 수의 비트들을 포함할 수 있다. 일부 실시예들에서, 필드(312_B)를 표현하기 위해 사용되는 비트들의 수는 런타임 동안 재구성될 수 있다. 예를 들어, 멀티레벨 펄서는 2-레벨 펄서로서 동작하도록 런타임 동안 재구성될 수 있다. 그러한 상황에서, 기준 전압을 표현하는 비트들의 수가 감소될 수 있다. 필드(312_B)는 각각의 펄싱 회로의 피드백 회로(125)에 지향될 수 있다. 일부 실시예들에서, 패킷(311₁)은 하나 이상의 제어 비트를 포함하는 필드(312_C)를 포함할 수 있다. 제어 비트들은 공간 아포다이제이션 프로파일을 제어하도록 출력(270₁...270_N)에 걸친, 및/또는 제어기(266)까지의 지연들을 결정하기 위해 지연 메쉬 회로(269)에 지향될 수 있다.

- [0062] 패킷들의 연속은 도 3a에 도시된 바와 같이 펄스(320)를 발생시키기 위해 펄싱 회로에 의해 이용될 수 있다. 펄스(320)는 각각의 패킷(311₁, 311₂...311_k)에 응답하여 각각의 펄스 세그먼트가 발생되도록, 펄스 세그먼트들(321₁, 321₂...321_k)을 포함할 수 있다. 각각의 펄스 세그먼트의 지속시간은 미리 결정된 세그먼트 지속시간이 도달될 때까지 클럭 사이클들을 카운트하도록 구성된 카운터에 의해 제어될 수 있다. 일부 실시예들에서, 펄스 세그먼트들이 상이한 지속시간들을 가질 수 있도록, 펄스는 비동기식일 수 있다. 도시된 바와 같이, 마스터 세그먼트들 및 패킷들은 디지털 영역에서 정의될 수 있는 한편, 펄스 세그먼트들은 아날로그 영역에서 정의될 수 있다.
- [0063] 도 3b는 본 출원의 비-제한적인 실시예에 따라, 패킷들의 연속을 통해 형성된 예시적인 멀티레벨 펄스(301)를 보여주는 시간도를 도시한다. 도시된 예에서, 기준 전압은 7개의 선택가능한 기준 전압(RV₁...RV₇)으로부터 선택될 수 있다. 시간들 t₁, t₂, t₃, t₄, t₅, t₆, t₇, t₈, t₉ 및 t₁₀에서 새로운 기준 전압이 선택된다. 예를 들어, t₁에서 RV₄가 선택되고, t₂에서 RV₅가 선택되고, t₃에서 RV₆이 선택되는 등이다. 본 명세서에서, "이벤트"는 시간 t₁, t₂, t₃ 등과 같이, 새로운 기준 전압이 선택되는 시간으로서 정의된다. 도 3b의 비-제한적인 예에서는 7개의 선택가능한 기준 전압의 세트가 제공되지만, 임의의 적절한 수의 기준 전압들이 사용될 수 있다. 일부 실시예들에서, 펄스는 양극성일 수 있고, 각각의 선택가능한 기준 전압은 포지티브 및/또는 네거티브일 수 있다.
- [0064] 일부 실시예들에서, 패킷은 필드(312A)로서 기능하는 필드 PMOS/NMOS를 포함할 수 있다. pMOS 트랜지스터는 이전에 선택된 기준 전압보다 큰 기준 전압의 선택에 응답하여 전압을 증가시키기 위해 활성화될 수 있다(온 상태). nMOS 트랜지스터는 이전에 선택된 기준 전압보다 낮은 기준 전압의 선택에 응답하여 전압을 감소시키기 위해 활성화될 수 있다(온 상태). 세그먼트 동안, 그리고 일부 실시예들에서는 각각의 세그먼트 동안, 적어도 하나의 트랜지스터가 비활성화된다(오프 상태). 일부 실시예들에서, 패킷은 선택가능한 기준 전압의 세트로부터 기준 전압을 선택하기 위한 필드(312B)로서 기능하는 필드 REF_V를 포함할 수 있다. 7개의 선택가능한 기준 전압의 세트를 나타내는 도 3b의 비-제한적인 예에서, REF_V는 8개 이상의 조합을 생성하도록 3개 이상의 비트를 포함할 수 있다. 일부 실시예들에서, 클럭 카운터는 패킷에 연관된 지속시간이 도달될 때까지 클럭 사이클들을 카운트할 수 있다. 도 3b에 도시된 실시예에서, 패킷들은 필드 지속시간에 의해 정의된 각각의 지속시간들 D₁, D₂, D₃, D₄, D₅, D₆, D₇, D₈, D₉ 및 D₁₀을 나타낸다.
- [0065] 도 4는 본 출원의 비-제한적인 실시예에 따라, 복수의 초음파 트랜스듀서에 연결된 복수의 펄서를 제어하는 방법의 단계들을 도시한다. 방법(400)은 과형 발생기(151)가 메모리(153)에 액세스할 수 있고 마스터 세그먼트를 획득할 수 있는 동작(402)에서 시작할 수 있다. 일부 실시예들에서, 이 동작은 컴퓨터 코드의 실행에 의해 트리거될 수 있다. 마스터 세그먼트는 대응하는 펄스 세그먼트의 특성들을 정의하도록 의도된 값들을 포함할 수 있다. 예를 들어, 마스터 세그먼트는 복수의 선택가능한 기준 전압들 중의 기준 전압을 표현하는 값을 포함할 수 있다. 이에 응답하여, 대응하는 펄스 세그먼트는 기준 전압에 고정된 전압을 가질 수 있다. 일부 실시예들에서, 마스터 세그먼트는 트랜지스터(127)와 같은 제1 트랜지스터의 전도 상태, 및/또는 트랜지스터(129)와 같은 제2 트랜지스터의 전도 상태를 표현하는 값을 포함할 수 있다. 그러한 값에 기초하여, 트랜지스터들(127 및 129)은 마스터 세그먼트에 대응하는 펄스 세그먼트의 지속시간에 걸쳐 전도 또는 비전도 상태로 설정될 수 있다.
- [0066] 동작(404)에서, 과형 발생기(151)는 동작(402)에서 메모리(153)로부터 획득된 마스터 세그먼트에 기초하여 패킷을 형성할 수 있다. 일부 실시예들에서, 형성된 패킷은 마스터 세그먼트에 정의된 하나 이상의 값을 포함할 수 있다. 일부 실시예들에서, 패킷은 패킷의 데이터 경로를 제어하기 위해 사용될 수 있는 값들을 포함할 수 있다. 일부 실시예들에서, 패킷은 패킷에 대응하는 펄스 세그먼트의 지속시간을 표현하는 값을 포함할 수 있다. 다른 실시예들에서, 펄스 세그먼트의 지속시간은 클럭 사이클들의 요구되는 수가 도달될 때까지 클럭 사이클들을 카운트하도록 구성된 카운터를 통해 정의될 수 있다.
- [0067] 동작(406)에서, 패킷은 디코딩 회로에 송신될 수 있다. 일부 실시예들에서, 디코딩 회로는 디코딩 회로들(105₁...105_N)을 포함할 수 있다. 패킷은 직렬로 송신될 수 있다. 예를 들어, 패킷은 한 번에 1 비트씩 송신될 수 있다. 일부 실시예들에서, 과형 발생기(151)는 패킷 발생기들(260₁ 및 260₂)과 같은 하나 이상의 패킷 발생기를 포함할 수 있으며, 패킷 발생기들 각각은 패킷을 직렬로 송신할 수 있다.
- [0068] 일부 실시예들에서, 과형 발생기(151)는 메모리(153)로부터 복수의 마스터 세그먼트를 획득할 수 있고, 복수의

패킷을 형성할 수 있다. 일부 실시예들에서, 획득된 각각의 마스터 세그먼트에 대해 하나의 패킷이 형성된다. 일부 실시예들에서, 각각의 패킷은 펄스 세그먼트를 정의하기 위해 사용될 수 있다. 펄스 세그먼트들은 요구되는 파형을 형성하도록 연쇄될 수 있다. 파형의 각각의 펄스 세그먼트는 각각의 패킷에 포함된 기준 전압에 의해 정의된 전압에 고정될 수 있다.

[0069] 일부 실시예들에서, 패킷은 지연 메쉬 회로(269)를 통해 송신될 수 있다. 일부 실시예들에서, 지연 메쉬 회로(269)는 패킷 발생기들로부터 하나 이상의 패킷을 수신할 수 있고, 패킷들의 복수의 복사본을 발생시킬 수 있다. 예를 들어, 지연 메쉬 회로(269)는 각각의 펄스에 대해 패킷의 하나의 복사본을 발생시킬 수 있다. 일부 실시예들에서, 지연 메쉬 회로(269)는 하나 이상의 시간 지연을 갖고서 복사본들을 송신할 수 있다. 예를 들어, 복사본들은 요구되는 분포에 기초하여 시간 지연될 수 있다.

[0070] 동작(408)에서, 디코딩 회로들(105₁...105_N)을 포함하는 디코딩 회로는 직렬화된 패킷들을 수신하고 그것들을 디코딩할 수 있다. 일부 실시예들에서, 직렬화된 패킷을 디코딩하는 것은 직렬-대-병렬 변환을 수행하는 것을 포함할 수 있다. 따라서, 디코딩 회로들은 패킷을 한 번에 1 비트씩 수신할 수 있고, 하나 이상의 비트 워드를 형성할 수 있다. 예를 들어, 하나의 워드는 기준 전압을 정의하는 비트들을 포함하는 필드(312_B)와 같은 필드를 포함할 수 있다. 일부 실시예들에서, 기준 전압에 대응하는 워드는 인코딩 회로들에 의해 각각의 펄싱 회로들에 병렬로 송신될 수 있다.

[0071] 일부 실시예들에서, 직렬화된 패킷을 디코딩하는 것은 패킷을 변조하는 것을 포함할 수 있다. 패킷은 기준 전압에 대응하는 패킷의 값을, 요구되는 인자로 곱하거나 나누는 것에 의해 변조될 수 있다. 일부 실시예들에서, 디코딩 회로들에 의해 수신된 다양한 패킷들은 상이한 인자들로 변조될 수 있다. 예를 들어, 패킷들은 각각의 디코딩 회로가 요구되는 인자를 제공할 수 있도록, 요구되는 변조 프로파일에 따라 변조될 수 있다. 일부 실시예들에서, 패킷들의 변조는 초음파 트랜스듀서들의 어레이에 걸쳐 공간적으로 아포다이즈된 펄스를 획득하기 위해 수행될 수 있다.

[0072] 동작(410)에서, 펄싱 회로들(103₁...103_N)은 각각의 디코딩 회로들(105₁...105_N)에 의해 제어될 수 있다. 위에서 설명된 바와 같이, 펄싱 회로들의 제어는 펄싱 회로들에 필드들(312_A, 312_B 및 312_C)을 제공함으로써 획득될 수 있다. 펄싱 회로들은 필드들을 획득하는 것에 응답하여, 펄스 세그먼트를 발생시킬 수 있다. 일부 실시예들에서, 필드들은 병렬로 송신된 워드들을 통해 수신될 수 있다. 일부 실시예들에서, 펄스 세그먼트는 수신된 기준 전압에 고정된 전압을 가질 수 있다. 기준 전압은 변조 인자에 의해 스케일링되거나 스케일링되지 않을 수 있다.

[0073] 동작(412)에서, 펄스 세그먼트는 초음파 트랜스듀서에 송신될 수 있다. 이에 응답하여, 초음파 트랜스듀서는 음향 초음파 파형 세그먼트를 발생시킬 수 있다. 일부 실시예들에서, 음향 초음파 파형 세그먼트는 고정된 전압에 비례하는 강도를 가질 수 있다. 일부 실시예들에서, 패킷들은 복수의 펄스 세그먼트를 갖는 파형을 형성하도록 연쇄될 수 있다. 그에 대응하여, 복수의 음향 초음파 파형 세그먼트를 갖는 음향 초음파 파형이 형성될 수 있다.

[0074] 본 출원의 양태들은 하나 이상의 이익을 제공할 수 있으며, 그 중 일부는 앞에서 설명되었다. 이하에서는, 이러한 이익들의 일부 비-제한적인 예가 설명된다. 모든 양태들 및 실시예들이 이하에 설명되는 모든 이익들을 반드시 제공하지는 않는다는 것을 알아야 한다. 또한, 본 출원의 양태들은 이하에 설명되는 것들에 추가적인 이익들을 제공할 수 있다는 것을 알아야 한다.

[0075] 본 출원의 양태들은 공간 및/또는 시간 아포다이제이션을 제공함으로써 초음파 이미지들의 품질을 향상시킬 수 있는 멀티레벨 펄스들을 발생시키도록 구성된 펄싱 회로들을 제공한다. 아포다이제이션은 송신된 펄스들에 연관된 사이드 로브들의 범위를 감소시킬 수 있고, 따라서 생성되는 이미지의 해상도를 증가시킨다.

[0076] 본 출원의 양태들은 소프트웨어 정의된 파형 발생기들을 제공한다. 본 명세서에 설명된 유형의 파형 발생기들은 컴퓨터 코드의 실행에 응답하여 펄싱 회로들을 제어하도록 구성될 수 있다. 본 명세서에 설명된 유형의 파형 발생기들의 사용은 초음파 펄스들을 발생시키는 데에 요구되는 하드웨어를 상당히 감소시킬 수 있고, 따라서 요구되는 전력 소비 및/또는 물적 자산을 감소시킬 수 있다.

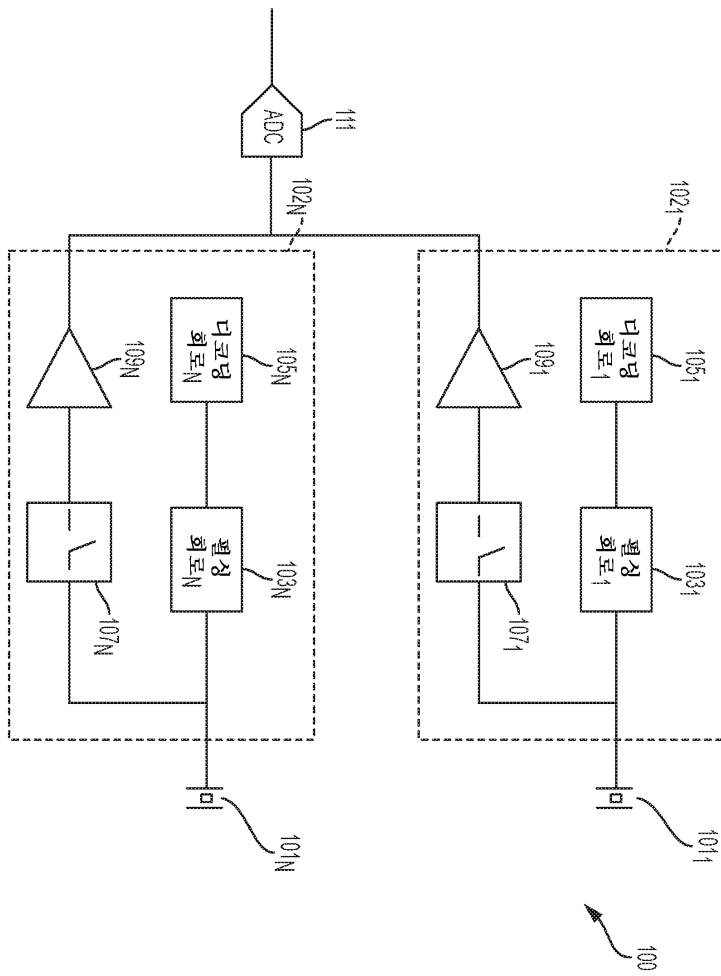
[0077] 이와 같이, 본 출원의 기술의 몇몇 양태들 및 실시예들을 설명하였지만, 본 기술분야의 통상의 기술자에게는 다양한 변경들, 수정들 및 개선들이 쉽게 떠오를 것임을 알아야 한다. 이러한 변경들, 수정들 및 개선들은 본 출원에 설명된 기술의 사상 및 범위 내에 있는 것으로 의도된다. 그러므로, 상술한 실시예들은 단지 예로서 제시

된 것이고, 첨부된 청구항들 및 그것의 등가물들의 범위 내에서, 본 발명의 실시예들은 구체적으로 설명된 것과 다르게 실시될 수 있음을 이해해야 한다. 추가로, 본 명세서에 설명된 둘 이상의 특징, 시스템, 제품, 재료 및/또는 방법의 임의의 조합은 그러한 특징, 시스템, 제품, 재료 및/또는 방법이 상호 모순되지 않는 경우, 본 개시내용의 범위 내에 포함된다.

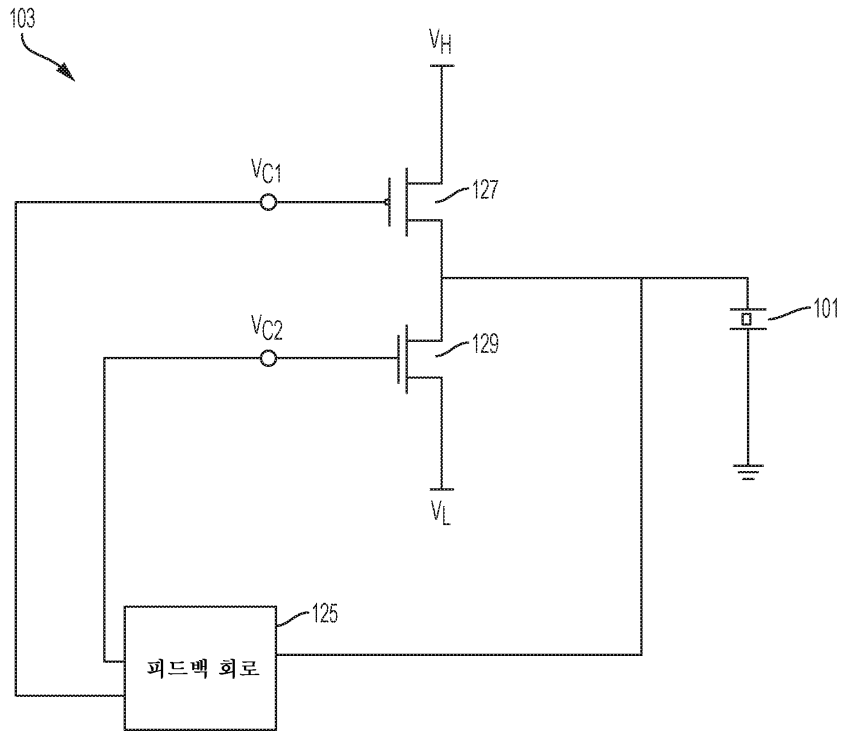
- [0078] 또한, 설명된 바와 같이, 일부 양태들은 하나 이상의 방법으로서 구현될 수 있다. 방법의 일부로서 수행되는 동작들은 임의의 적절한 방식으로 순서가 정해질 수 있다. 따라서, 동작들이 예시된 것과는 다른 순서로 수행되는 실시예들이 구성될 수 있으며, 이는 예시적인 실시예들에서 순차적인 동작들로서 도시되어 있더라도, 일부 동작들을 동시에 수행하는 것을 포함할 수 있다.
- [0079] 본 명세서에서 정의되고 사용되는 모든 정의들은 사전적 정의들, 참조에 의해 포함된 문헌들 내의 정의들, 및/또는 정의된 용어들의 통상적인 의미들을 통제하는 것으로 이해되어야 한다.
- [0080] 본 명세서 및 청구항들에서 사용되는 단순 표현들[즉, 부정 관사 "a" 및 "an"]은 반대로 명백하게 표시되어 있지 않는 한 "적어도 하나"를 의미하는 것으로 이해되어야 한다.
- [0081] 본 명세서 및 청구항들에서 사용되는 "및/또는"이라는 어구는 그와 같이 결합된 구성요소들, 즉 일부 경우에는 결합적으로 존재하고 다른 경우에는 분리적으로 존재하는 구성요소들의 "어느 하나 또는 둘 다"를 의미하는 것으로 이해되어야 한다.
- [0082] 본 명세서 및 청구항들에서 사용되는 바와 같이, 하나 이상의 구성요소의 목록을 참조한 "적어도 하나"라는 어구는 구성요소들의 목록 내의 구성요소들 중 임의의 하나 이상으로부터 선택된 적어도 하나의 구성요소를 의미하지만, 구성요소들의 목록 내에 구체적으로 나열된 각각의 모든 구성요소 중 적어도 하나를 반드시 포함하지는 않으며 구성요소들의 목록 내의 구성요소들의 임의의 조합들을 배제하지 않는 것으로 이해되어야 한다. 이 정의는, 또한 "적어도 하나"라는 어구가 참조하는 구성요소들의 목록 내에 구체적으로 식별된 구성요소들 외의 구성요소들이, 구체적으로 식별된 구성요소들에 관련되는지 아니면 관련되지 않는지에 관계없이 임의로 존재할 수 있음을 허용한다.
- [0083] "대략" 및 "약"이라는 용어들은 일부 실시예들에서 타겟 값의 $\pm 20\%$ 이내, 일부 실시예들에서 타겟 값의 $\pm 10\%$ 이내, 일부 실시예들에서 타겟 값의 $\pm 5\%$ 이내, 심지어는 일부 실시예들에서 타겟 값의 $\pm 2\%$ 이내를 의미하기 위해 사용될 수 있다. "대략" 및 "약"이라는 용어들은 타겟 값을 포함할 수 있다.
- [0084] 청구항들은 물론, 상술한 명세서에서, "포함하는(comprising, including)", "지니는(carrying)", "갖는(having)", "함유하는(containing)", "수반하는(involving)", "유지하는(holding)", "구성되는(composed of)" 등과 같은 모든 연결 어구들은 개방단으로, 즉 포함하지만 그에 제한되지 않음을 의미하는 것으로 이해되어야 한다. "이루어지는(consisting of)" 및 "본질적으로 이루어지는(consisting essentially of)"이라는 연결 어구들은 각각 폐쇄 또는 준-폐쇄 연결 어구들일 것이다.

도면

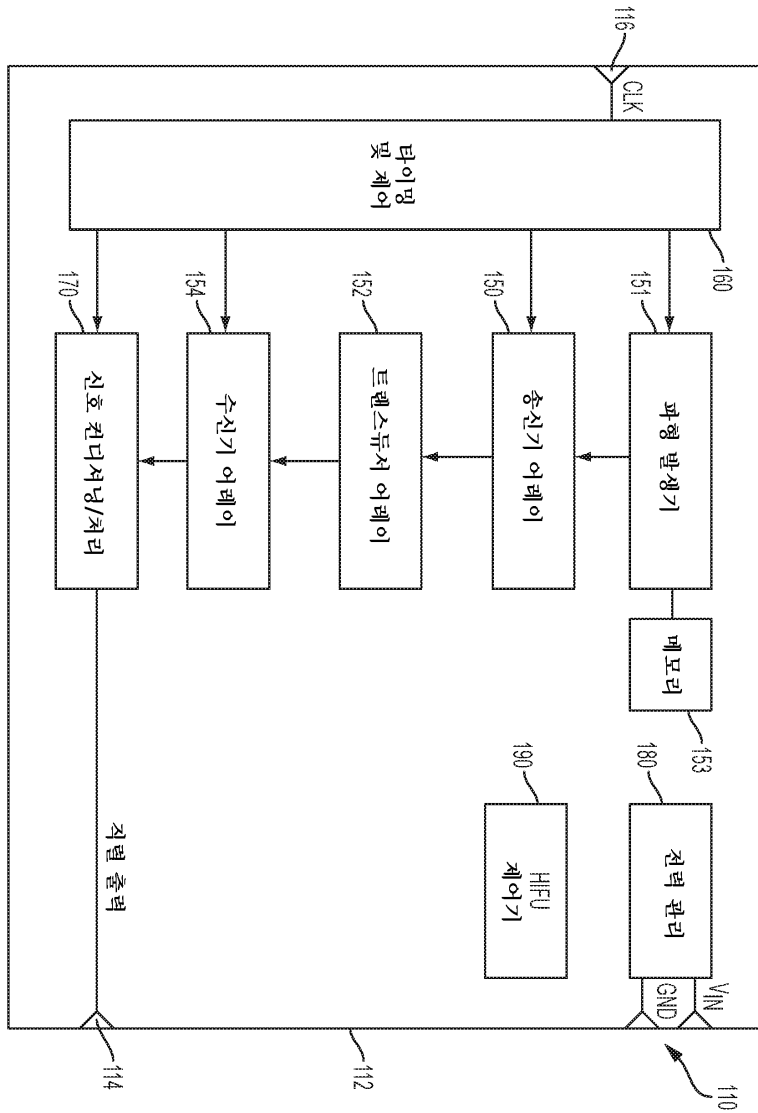
도면1a



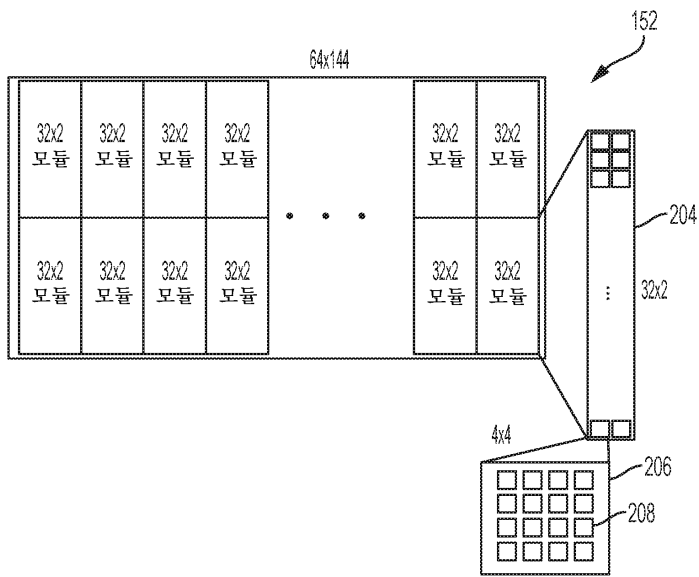
도면1b



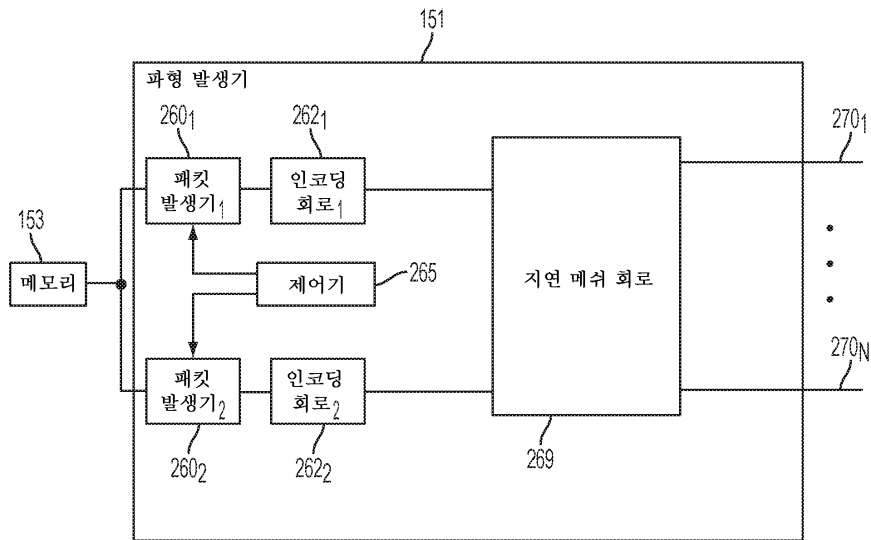
도면1c



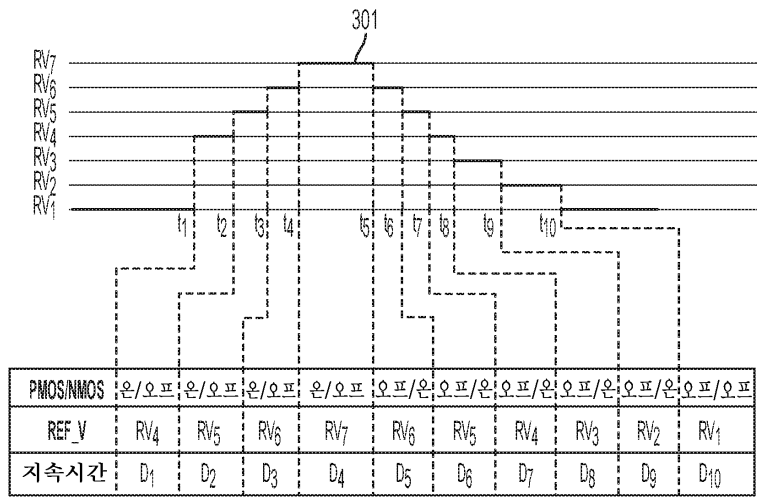
도면2a



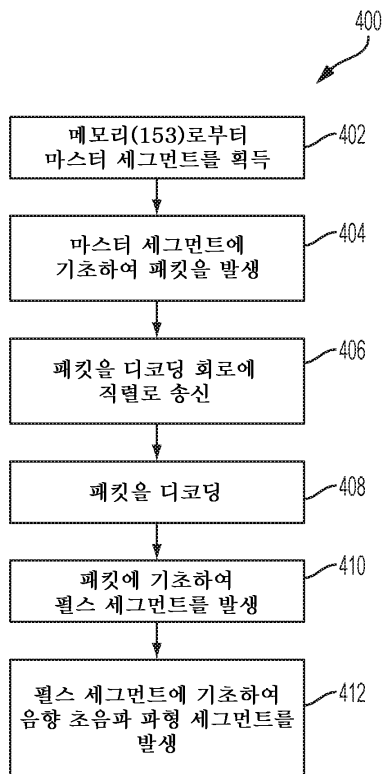
도면2b



도면3b



도면4



专利名称(译)	用于控制超声设备的多级脉冲器的发送器，以及相关的方法和设备		
公开(公告)号	KR1020180124135A	公开(公告)日	2018-11-20
申请号	KR1020187031401	申请日	2017-03-31
[标]申请(专利权)人(译)	蝴蝶网络有限公司 蝶形网络的大		
申请(专利权)人(译)	蝶形网络公司		
[标]发明人	BAO LIEWEI 바오리웨이 CHEN KAILIANG 첸카이리양 RALSTON TYLER S 랄스턴타일러에스 SANCHEZ NEVADA J 산체스네바다제이		
发明人	바오,리웨이 첸,카이리양 랄스턴,타일러,에스. 산체스,네바다,제이.		
IPC分类号	A61B8/00 B06B1/02 G01S7/52 G01S15/89		
CPC分类号	A61B8/54 A61B8/4227 B06B1/0215 G01S15/8915 G01S7/5202 A61B8/56 B06B2201/51 G10K11/341 A61B8/42 A61B8/4427		
代理人(译)	Yangyoungjun Gimyeonsong Baekmangi		
优先权	15/087962 2016-03-31 US		
外部链接	Espacenet		

摘要(译)

解释了超声设备的电路。解释了支持时域和空间变迹的多级脉冲发生器。它可以通过波形发生器控制，其中多级脉冲发生器由软件定义。响应于计算机代码的执行，波形发生器可以从存储器访问主段，并且可以在脉冲电路中生成定向分组的流。分组流可以串联连接。可以调制分组流，使得多个解码电路获得空间变迹。

