



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0045813
 (43) 공개일자 2013년05월06일

(51) 국제특허분류(Int. Cl.)
A61B 8/14 (2006.01) *G01N 29/24* (2006.01)
 (21) 출원번호 10-2012-0118451
 (22) 출원일자 2012년10월24일
 심사청구일자 없음
 (30) 우선권주장
 JP-P-2011-235082 2011년10월26일 일본(JP)
 JP-P-2012-015135 2012년01월27일 일본(JP)

(71) 출원인
지이 메디컬 시스템즈 글로벌 테크놀러지 캄파니 엘엘씨
 미국 위스콘신주 53188 위케샤 노오스 그랜드뷰 블루바드 3000
 (72) 발명자
아메미야 신이치
 일본 도쿄도 히노시 아사히가오카 4초메 7-127 지이 헬스케어 재팬 코포레이션
 (74) 대리인
제일특허법인

전체 청구항 수 : 총 15 항

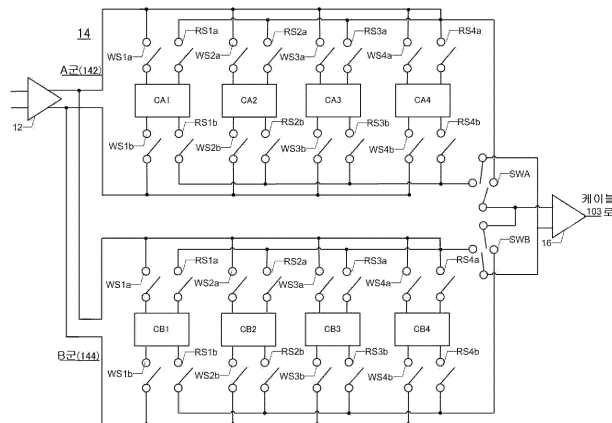
(54) 발명의 명칭 **수신 회로, 초음파 프로브 및 초음파 화상 표시 장치**

(57) 요약

초음파 프로브용으로 소비 전력이 작은 수신 회로를 제공한다.

수신 회로(10)는, 초음파 진동자에서 수신된 에코 신호의 전류를 증폭하는 증폭부(12)와, 증폭부에 접속되어 출력 전류에 지연 시간을 인가하는 제 1 회로와 제 2 회로를 갖는 지연부(14)를 구비한다. 그리고, 제 1 회로(142) 및 제 2 회로(144)는, 4n(n은 자연수)의 캐패시터 뱅크(CA, CB)를 갖고, 캐패시터 뱅크는 각각, 증폭부에서 증폭된 출력 전류가 기입되고, 용량이 상이한 2 이상의 콘덴서와, 제 1 및 제 2 콘덴서에 출력 전류를 기입하는 기입 스위치(WS)와, 제 1 및 제 2 콘덴서에 기입된 출력 전류를 판독하는 판독 스위치(RS)를 갖는다.

대표도 - 도3



특허청구의 범위

청구항 1

초음파 프로브 내에 배치되는 수신 회로로서,
 초음파 진동자에서 수신된 에코 신호를 증폭하는 증폭부와,
 상기 증폭부에 접속되어, 상기 출력에 지연 시간을 인가하는 제 1 회로와 제 2 회로를 갖는 지연부를 구비하며,
 상기 제 1 회로 및 상기 제 2 회로는, 복수의 캐패시터 बैं크를 갖고,
 상기 캐패시터 बैं크는 각각,
 상기 증폭부에서 증폭된 신호가 기입되고, 용량이 상이한 2 이상의 콘덴서와,
 상기 제 1 및 제 2 콘덴서에 상기 출력 전류를 기입하는 기입 스위치와,
 상기 제 1 및 제 2 콘덴서에 기입된 상기 출력 전류를 관동하는 관동 스위치를 갖는
 수신 회로.

청구항 2

제 1 항에 있어서,
 상기 관동 스위치에 의해서, 상기 제 1 회로의 상기 콘덴서로부터 상기 출력 전류가 관동되는 타이밍과 상기 제 2 회로의 상기 콘덴서로부터 상기 출력 전류가 관동되는 타이밍이 90° 위상 상이한
 수신 회로.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 제 1 회로의 복수의 캐패시터 बैं크와 상기 제 2 회로의 4n의 캐패시터 बैं크는, 상기 기입 스위치에 의해서
 상기 캐패시터 बैं크마다 기입 타이밍이 동일한
 수신 회로.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 기입 스위치에 의해서, 상기 출력이 상기 제 1 회로 및 상기 제 2 회로의 모든 상기 콘덴서에 기입되고,
 상기 관동 스위치에 의해서, 상기 지연 시간에 따라 상기 콘덴서 중, 소정의 콘덴서로부터 상기 출력 전류 또는
 전하를 관동하는
 수신 회로.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
 상기 기입 스위치에 의해서, 상기 출력 전압이 상기 제 1 회로 및 상기 제 2 회로의 소정의 상기 콘덴서에 기입
 되고, 상기 관동 스위치에 의해서, 상기 지연 시간에 따라 적어도 상기 소정의 콘덴서로부터 상기 출력 전류 또

는 전하를 판독하는
수신 회로.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
상기 기입 스위치에 의해서, 상기 제 1 회로의 복수의 상기 캐패시터 뱅크는, 각각 $(90^\circ / n)$ (n 은 자연수) 위상
상이하게 하여 상기 출력 전류가 기입되는
수신 회로.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,
상기 2 이상의 콘텐츠의 각각의 용량비는, 상기 지연 시간을 균등하게 분할하도록 설정되어 있는
수신 회로.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,
상기 지연부는, 상기 초음파 진동자의 각 채널에 설치되어 있는
수신 회로.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,
상기 콘텐츠의 총 용량은, 상기 초음파 프로브와 초음파 화상 표시 장치의 장치 본체를 접속하는 케이블의 용량
보다 작은
수신 회로.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,
상기 판독 스위치의 후단측에서, 상기 지연부로부터의 출력 라인에 있어서 상기 지연부의 출력 전류 또는 전하
를 가산하는
수신 회로.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,
상기 증폭부는, 입력 신호를 증폭함과 아울러 진류 신호로 변환하여 출력하는 진류 출력형 증폭기인

수신 회로.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,
상기 판독 스위치 및 상기 기입 스위치의 스위칭 클록 주파수를 가변하는 스위치 제어부를 더 구비하는
수신 회로.

청구항 13

제 12 항에 있어서,
상기 스위칭 클록 주파수는, 피검체의 에코 반사점이 깊게 될수록 낮아지는
수신 회로.

청구항 14

청구항 1 내지 청구항 13 중 어느 한 항에 기재된 수신 회로를 설치한
초음파 프로브.

청구항 15

청구항 14에 기재된 초음파 프로브를 구비하는
초음파 화상 표시 장치.

명세서

기술분야

[0001] 본 발명은, 초음파의 에코 신호가 증폭된 출력 신호에 소정의 지연 시간을 인가하는 지연부를 갖는 수신 회로,
이 수신 회로를 구비하는 초음파 프로브 및 초음파 화상 표시 장치에 관한 것이다.

배경 기술

[0002] 초음파 화상 표시 장치에 있어서는, 초음파 프로브에 설치된 복수의 초음파 진동자로부터 초음파의 송신을 행하
여, 각 초음파 진동자에서 에코 신호를 수신한다. 각 초음파 진동자에서 수신된 에코 신호는, 수신 회로에 입
력되어 정상(整相) 가산된다. 이에 의해, 하나의 수신 빔이 형성된다.

[0003] 이 수신 회로에서는, 초음파 진동자마다 설치된 증폭부에서 에코 신호가 증폭된다. 예컨대, 특허 문헌 1에 나
타낸 바와 같이, 각 증폭부의 출력 신호는, 지연부에서 소정의 시간만큼 지연을 인가한 후, 가산부에서 가산되
도록 되어 있다.

[0004] (선행 기술 문헌)

[0005] (특허 문헌)

[0006] 특허 문헌 1 : 일본 특허 공개 제2010-68957호 공보

발명의 내용

해결하려는 과제

[0007] 일반적으로, 지연부는, 저항기와 콘덴서로 구성되는 RC 회로가 사용된다. 그러나, RC 회로는, 다수의 증폭부를 사용하지 않으면 안 되고, 또한 저항 노이즈를 저감시키기 위해서 저항치가 낮은 저항기가 사용한다. 이 때문에 RC 회로를 사용한 지연부는, 에너지 소비량이 크다.

과제의 해결 수단

[0008] 제 1 관점의 수신 회로는, 초음파 진동자에서 수신된 에코 신호의 전류를 증폭하는 증폭부와, 증폭부에 접속되어 출력 전류에 지연 시간을 인가하는 제 1 회로와 제 2 회로를 갖는 지연부를 구비한다. 그리고, 제 1 회로 및 제 2 회로는, $4n$ (n 은 자연수)의 캐패시터 뱅크를 갖고, 캐패시터 뱅크는 각각, 증폭부에서 증폭된 출력 전류가 기입되고, 용량이 상이한 2 이상의 콘덴서와, 제 1 및 제 2 콘덴서에 출력 전류를 기입하는 기입 스위치와, 제 1 및 제 2 콘덴서에 기입된 출력 전류를 판독하는 판독 스위치를 갖는다.

[0009] 제 2 관점의 수신 회로는, 판독 스위치에 의해서, 제 1 회로의 콘덴서로부터 출력 전류가 판독되는 타이밍과 제 2 회로의 콘덴서로부터 출력 전류가 판독되는 타이밍이 90° 위상 상이하다.

[0010] 제 3 관점의 수신 회로는, 제 1 회로의 콘덴서로부터 출력 전류를 판독하는 타이밍과, 제 2 회로의 콘덴서로부터 출력 전류를 판독하는 타이밍이 동일하며, 제 2 회로가 90° 이상기를 갖는다.

[0011] 제 4 관점의 수신 회로에서, 제 1 회로의 $4n$ 의 캐패시터 뱅크와 제 2 회로의 $4n$ 의 캐패시터 뱅크는, 기입 스위치에 의해서 상기 캐패시터 뱅크마다 기입 타이밍이 동일하다.

[0012] 제 5 관점의 수신 회로에서, 기입 스위치에 의해서, 출력 전류가 제 1 회로 및 제 2 회로의 모든 콘덴서에 기입되고, 판독 스위치에 의해서, 지연 시간에 따라 콘덴서 중, 소정의 콘덴서로부터 출력 전류를 판독한다.

[0013] 제 6 관점의 수신 회로에서, 기입 스위치에 의해서, 출력 전류가 제 1 회로 및 제 2 회로의 소정의 콘덴서에 기입되고, 판독 스위치에 의해서, 지연 시간에 따라 소정의 콘덴서로부터 출력 전류를 판독한다.

[0014] 제 7 관점의 수신 회로에서, 기입 스위치에 의해서, 제 1 회로의 $4n$ 의 캐패시터 뱅크가, 각각 ($90^\circ / n$) 위상 상이하게 하여 출력 전류가 기입된다.

[0015] 제 8 관점의 수신 회로에서, 2 이상의 콘덴서의 각각의 용량비는, 지연 시간을 균등하게 분할하도록 설정되어 있다.

[0016] 제 9 관점의 수신 회로 내의 지연부는, 초음파 진동자의 각 채널에 설치되어 있다.

[0017] 제 10 관점의 수신 회로의 콘덴서의 총 용량은, 초음파 프로브와 초음파 화상 표시 장치의 장치 본체를 접속하는 케이블의 용량보다도 작다.

[0018] 제 11 관점의 수신 회로는, 판독 스위치의 후단측에서, 지연부로부터의 출력 라인에 있어서 지연부의 출력 전류를 가산한다.

[0019] 제 12 관점의 수신 회로의 증폭부는, 전압 신호인 입력 신호를 증폭함과 아울러 전류 신호로 변환하여 출력하는 V/I 증폭부 또는 전류 신호인 입력 신호를 증폭하여 전류 신호를 출력하는 I/I 증폭부 중 어느 하나이다.

[0020] 제 13 관점의 수신 회로는, 판독 스위치 및 기입 스위치의 스위칭 클록 주파수를 가변하는 스위치 제어부를 더 구비한다.

[0021] 제 14 관점의 수신 회로는, 제 12 관점에서, 스위칭 클록 주파수가 피검체의 에코 반사점이 깊게 될수록 낮게 된다.

[0022] 또한, 상기 제 1 관점 내지 제 12 관점의 수신 회로를 초음파 프로브가 설치하더라도 좋다. 또한 그 초음파 프

로브는 초음파 화상 표시 장치에 사용된다.

발명의 효과

[0023] 본 발명의 수신 회로는, 콘텐츠를 사용하는 것에 의해 소비 전력을 억제할 수 있다. 또한 수신 회로는, 용량이 상이한 2 이상의 콘텐츠를 사용하여, 출력 신호에 소정의 지연 시간을 설정할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 초음파 화상 표시 장치의 실시 형태의 일례를 나타내는 개략도이다.
- 도 2는 수신 회로(10)를 나타내는 블록도이다.
- 도 3은 제 1 실시 형태의 수신 회로(10) 내의 지연부(14)의 구성을 나타내는 도면이다.
- 도 4는 지연부(14)의 캐패시터 बैं크 CA의 구성을 나타내는 도면이다.
- 도 5는 4개의 캐패시터 बैं크 CA 및 4개의 캐패시터 बैं크 CB 내의 콘텐서에, 기입, 판독 및 전하의 클리어 타이밍에 대하여 설명하는 도면이다.
- 도 6은 시각 T0 및 시각 T1에 있어서의, 기입 스위치 WS와 판독 스위치 RS의 상태를 나타낸 도면이다.
- 도 7은 시각 T2 및 시각 T3에 있어서의, 기입 스위치 WS와 판독 스위치 RS의 상태를 나타낸 도면이다.
- 도 8은 시각 T0에 있어서의, 캐패시터 बैं크 CA1 및 CA2의 온 오프 스위치 CS의 상태를 나타낸 도면이다.
- 도 9는 시각 T1에 있어서의, 캐패시터 बैं크 CA1 및 CA2의 온 오프 스위치 CS의 상태를 나타낸 도면이다.
- 도 10은 4개의 콘텐서 C의 용량과 일주기 CY의 관계를 나타낸 도면이다.
- 도 11은 22.5° 마다 출력 전류를 상 천이할 때에, 콘텐서 C1 내지 C4에 대한 온 오프 스위치 CS의 상태를 나타낸 표이다.
- 도 12는 시각 T1에 있어서의, 캐패시터 बैं크 CA1 및 CA2의 온 오프 스위치 CS의 상태를 나타낸 도면이다.
- 도 13은 시각 T1에 있어서의, 캐패시터 बैं크 CA1 및 CA2의 온 오프 스위치 CS의 상태를 나타낸 도면이다.
- 도 14는 제 3 실시 형태의 수신 회로(10) 내의 지연부(14')의 구성을 나타내는 도면이다.
- 도 15는 8개의 캐패시터 बैं크 CA 및 8개의 캐패시터 बैं크 CB 내의 콘텐서에, 기입, 판독 및 전하의 클리어 타이밍에 대하여 설명하는 도면이다.
- 도 16은 3개의 콘텐서 C의 용량과 일주기 CY의 관계를 나타낸 도면이다.
- 도 17은 제 6 실시 형태의 수신 회로(10) 내의 지연부(14'')의 구성을 나타내는 도면이다.
- 도 18(a)는, 중심 주파수와 피검체의 깊이의 관계를 나타낸 그래프이고, 도 18(b)는, 위상과 피검체의 깊이의 관계를 나타낸 그래프이며, 도 18(c)는, 스위칭 클럭 주파수와 피검체의 깊이의 관계를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0025] (제 1 실시 형태)
- [0026] (초음파 화상 표시 장치의 구성)
- [0027] 도 1은, 제 1 실시 형태의 초음파 화상 표시 장치(100)의 일례를 나타내는 개략도이다. 도 1에 나타낸 바와 같이, 초음파 화상 표시 장치(100)는, 장치 본체(101)와 이 장치 본체(101)와 접속된 초음파 프로브(102)를 갖고 있다. 이 초음파 프로브(102)는, 케이블(103)을 거쳐서 장치 본체(101)와 접속되어 있다.
- [0028] 초음파 프로브(102)에는, 초음파 진동자에서 수신한 초음파의 에코 신호가 입력되는 수신 회로(10)가 설치되어 있다. 또한, 초음파 프로브(102)에는, 특히 도시하지 않지만 이 초음파 프로브(102)의 초음파 진동자를 소정의 송신 조건에서 구동시켜, 스캔 면을 초음파 빔에 의해서 음선 순차적으로 주사시키는 송신 회로가 설치되어 있

더라도 좋다.

- [0029] 장치 본체(101)에는, 수신 회로(10)로부터의 출력 신호가 케이블(103)을 거쳐서 입력된다. 출력 신호는, 장치 본체(101) 내의 도시하지 않는 A/D 변환부에서 A/D 변환된다. 그리고, 초음파 화상 표시 장치(100)는, A/D 변환 후의 에코 신호에 기초하여 초음파 화상을 작성하고, 이 초음파 화상이 장치 본체(101)의 표시부(104)에 표시된다.
- [0030] (수신 회로의 구성)
- [0031] 도 2는, 수신 회로(10)를 나타내는 블록도이다. 수신 회로(10)는, 증폭부(12)와 지연부(14)를 갖고 있다. 증폭부(12)와 지연부(14)는, 채널 0(ch0) 내지 채널 x(chx:x는 임의의 자연수)까지 설치된 복수의 초음파 진동자 Tr마다 설치되어 있다. 각 초음파 진동자 Tr에서 수신된 에코 신호는, 증폭부(12)에서 증폭되고, 그 후 지연부(14)에서 소정의 지연 시간이 인가된다. 초음파 프로브(102)에 배치되는 초음파 진동자 Tr은, 일차원 어레이 또는 이차원 어레이로 배열되어도 좋고, 초음파 진동자 Tr은, 개개로 또는 그룹 단위로, 전자적으로 제어되더라도 좋다.
- [0032] 증폭부(12)는, 전류 출력 회로로 구성되어 있다. 이 전류 출력 회로는, 전압 신호인 입력 신호를 증폭함과 아울러 전류 신호로 변환하여 출력하는 V/I 증폭부 또는 전류 신호인 입력 신호를 증폭하여 전류 신호를 출력하는 I/I 증폭부 중 어느 하나이다.
- [0033] (지연부의 구성)
- [0034] 도 3은, 수신 회로(10) 내의 지연부(14)의 구성을 나타내는 도면이다. 도 3에 나타낸 바와 같이, 지연부(14)는, 크게 구별하면, A군 회로(142)와 B군 회로(144)를 갖고 있다. A군 회로(142)는, 캐패시터 뱅크 CA(CA1 내지 CA4)와, 기입 스위치 WS(WS1a 내지 WS4a, WS1b 내지 WS4b)와, 판독 스위치 RS(RS1a 내지 RS4a, RS1b 내지 RS4b)를 갖고 있다. B군 회로(144)는, 캐패시터 뱅크 CB(CB 내지 CB4)와, 기입 스위치 WS(WS1a 내지 WS4a, WS1b 내지 WS4b)와, 판독 스위치 RS(RS1a 내지 RS4a, RS1b 내지 RS4b)를 갖고 있다. 제 1 실시 형태에서는, A군 회로(142)가 캐패시터 뱅크 CA1 내지 CA4를 갖고, B군 회로(144)가 캐패시터 뱅크 CB1 내지 CB4를 갖고 있다. 그러나, 이 실시 형태에 한정되지 않고, A군 회로(142) 및 B군 회로(144)는, 각각 캐패시터 뱅크를 4n(n은 자연수) 갖고 있더라도 좋다. 기본적으로, A군 회로(142)와 B군 회로(144)는, 동일한 구성이다. 캐패시터 뱅크에 대해서는 도 4를 사용하여 후술한다.
- [0035] A군 회로(142)의 캐패시터 뱅크 CA1에는, 기입 스위치 WS1a 및 WS1b가 접속되고, 또한 판독 스위치 RS1a 및 RS1b가 접속되어 있다. 마찬가지로, 캐패시터 뱅크 CA2에는, 기입 스위치 WS2a 및 WS2b가 접속되고, 또한 판독 스위치 RS2a 및 RS2b가 접속되어 있다. 도 3에 나타낸 바와 같이, 캐패시터 뱅크 CA3 및 캐패시터 뱅크 CA4도 마찬가지이다.
- [0036] B군 회로(144)의 캐패시터 뱅크 CB1에는, 기입 스위치 WS1a 및 WS1b가 접속되고, 또한 판독 스위치 RS1a 및 RS1b가 접속되어 있다. 마찬가지로, 캐패시터 뱅크 CB2에는, 기입 스위치 WS2a 및 WS2b가 접속되고, 또한 판독 스위치 RS2a 및 RS2b가 접속되어 있다. 도 3에 나타낸 바와 같이, 캐패시터 뱅크 CB3 및 캐패시터 뱅크 CB4도 마찬가지이다.
- [0037] A군 회로(142) 및 B군 회로(144)의 기입 스위치 WS의 일단측은, 증폭부(12)와 접속되고, 타단측은, 캐패시터 뱅크 CA 또는 캐패시터 뱅크 CB의 일단측과 접속되어 있다. 또한, A군 회로(142)의 판독 스위치 RS의 일단측은, 캐패시터 뱅크 CA의 일단측과 접속되고, 타단측은, 전환 스위치 SWA에 접속되어 있다. 마찬가지로, B군 회로(144)의 판독 스위치 RS의 일단측은, 캐패시터 뱅크 CB의 일단측과 접속되고, 타단측은, 전환 스위치 SWB에 접속되어 있다.
- [0038] 전환 스위치 SWA의 출력측 및 전환 스위치 SWB의 출력측은, 차동 증폭부(16)에 접속된다. 지연부(14)는, 이러한 회로 구성에 의해, 전류 샘플링을 행한다. 또한, 도 4에 있어서, 기입 스위치 WS1a 내지 WS4a 및 WS1b 내지 WS4b가 설치되어 있지만, 기입 스위치 WS1b 내지 WS4b가 없이 직접 연결되더라도 좋다. 마찬가지로, 판독 스위치 RS1a 내지 RS4a 또는 RS1b 내지 RS4b 중 한쪽이 없더라도 좋다.
- [0039] 차동 증폭부(16)는, 차동 전압 증폭기 또는 차동 I/V 변환기 또는 차동 I/I 변환기를 사용할 수 있다. 전압을 케이블에 검출할 때에는, 접속된 콘덴서 C의 총 용량을 동등하게 할 필요가 있다. 이 때문에 차동 증폭부(16)에 총 용량을 동등하게 하는 보완 콘덴서를 준비한다. 즉, 캐패시터 뱅크 CA 및 캐패시터 뱅크 CB의 콘덴서 C1 내지 C4의 접속된 용량에 따라, 총 용량을 동등하게 하기 때문에, 전하의 축적되어 있지 않은 보완 콘덴서와 접

속하도록 한다.

[0040] 또한, 차동 증폭부(16)를 설치하지 않고, 그대로 전류 출력되도록, 전환 스위치 SWA의 출력측 및 전환 스위치 SWB의 출력측의 일단이 출력되고, 전환 스위치 SWA의 출력측 및 전환 스위치 SWB의 출력측의 타단이 그라운드와 접속되도록 해도 좋다. 차동 증폭부(16)를 설치하지 않고, 그대로 케이블(103)에 전류 출력되는 경우에는, 콘텐서 C에 기입된 전류가 케이블(103)을 흐르도록, 콘텐서 C의 총 용량은, 케이블(103)의 용량보다도 작게 되어 있는 것이 바람직하다. 따라서, 케이블(103)로서, 콘텐서 C의 총 용량보다도 용량이 큰 케이블을 선택하는 것이 바람직하다. 콘텐서의 용량은 위상에 따라서 상이하고 최소와 최대로는 8상, 또는 16상에서 $1.4배(0.32 \times 2 + 0.38 \times 2)$ 로 되고, 케이블의 용량이 20배이면 3% 정도의 진폭 오차를 갖지만, 실해는 거의 없다.

[0041] (캐패시터 बैं크의 구성)

[0042] 도 4는, 지연부(14)의 A군 회로(142)의 캐패시터 बैं크 CA1 및 CA2의 구성을 나타내는 도면이다. 도시하지 않지만, 캐패시터 बैं크 CA3 및 CA4도 마찬가지로의 구성이다. 또한, B군 회로(144)의 캐패시터 बैं크 CB1 내지 CB4도 마찬가지로의 구성이다. 이 때문에, 캐패시터 बैं크 CA1의 구성을 설명하며, 다른 캐패시터 बैं크에 대해서는 설명을 할애한다.

[0043] 캐패시터 बैं크 CA1은, 콘텐서 C1 내지 C4와, 전류의 온/오프를 전환하는 온 오프 스위치 CS(CS1a 내지 CS4a, CS1b 내지 CS4b)와, 클리어 스위치 cc를 갖고 있다. 제 1 실시 형태에서는, 캐패시터 बैं크 CA1가, 4개의 콘텐서 C를 갖고 있지만, 이것에 한정되지 않고, 캐패시터 बैं크 CA1은, 2 이상의 콘텐서 C를 갖고 있으면 좋다.

[0044] 콘텐서 C1은, 그 양단에 온 오프 스위치 CS1a 및 CS1b를 갖고 있다. 마찬가지로, 콘텐서 C2는, 그 양단에 온 오프 스위치 CS2a 및 CS2b를 갖고 있다. 콘텐서 C3 및 콘텐서 C4도 마찬가지이다. 각 온 오프 스위치 CS는, 기입 스위치 WS1a 및 WS1b, 또는 판독 스위치 RS1a 및 RS1b에 접속된다. 각 콘텐서 C에는 클리어 스위치 cc가 병렬로 접속되어 있다. 클리어 스위치 cc가 접속되면, 콘텐서 C에 기입된 전하(출력 전류)가 클리어(방전)된다. 또한, 도 5에 있어서, 온 오프 스위치 CS1a 내지 CS4a 및 CS1b 내지 CS4b가 설치되어 있지만, 온 오프 스위치 CS1a 내지 CS4a 또는 CS1b 내지 CS4b 중 한쪽이 없더라도 좋다.

[0045] (지연부의 동작)

[0046] 다음으로 지연부(14)의 동작에 대하여 설명한다. 도 5는, 캐패시터 बैं크 CA(CA1 내지 CA4) 및 캐패시터 बैं크 CB(CB1 내지 CB4) 중의 콘텐서 C에, 출력 전류의 기입, 판독 및 전하의 클리어의 타이밍에 대하여 설명하는 도면이다. 도 6은, 시각 T0 및 시각 T1에 있어서의, 기입 스위치 WS와 판독 스위치 RS의 상태를 나타낸 도면이다. 도 7은, 시각 T2 및 시각 T3에 있어서의, 기입 스위치 WS와 판독 스위치 RS의 상태를 나타낸 도면이다. 또한, 도 8은, 시각 T0에 있어서의, 캐패시터 बैं크 CA1 및 캐패시터 बैं크 CA2의 스위칭 상태를 나타낸 도면이다. 도 9는, 시각 T1에 있어서의, 캐패시터 बैं크 CA1 및 캐패시터 बैं크 CA2의 스위칭 상태를 나타낸 도면이다.

[0047] 도 5에서는, 기입이 "W"로 나타내어지고 판독이 "R"로 나타내어지며 전하의 클리어가 "C"로 나타내어져 있다. 또한 도 5에서는, 시각 T0(0)으로부터 시각 T4(4CY/4)까지가 일주기 CY이며, 일주기 CY가 4 등분되어 나타내어져 있다. 출력 전류의 기입, 판독 및 전하의 클리어의 타이밍에 관하여, 시각 T0(0)과 시각 T4(4CY/4)는 마찬가지로, 출력 전류의 기입, 판독 및 전하의 클리어는, 그 이후 시각 T5(5CY/4), 시각 T6(6 CY/4).....으로 계속해서 간다.

[0048] <시각 T0(0)>

[0049] 도 5에 나타내어진 시각 T0(0)에 있어서, A군 회로(142)의 캐패시터 बैं크 CA1은 기입(W), 캐패시터 बैं크 CA2는 전하의 클리어(C), 캐패시터 बैं크 CA4는 판독(R)으로 나타내어져 있다. 또한, B군 회로(144)의 캐패시터 बैं크 CB1은 기입(W), 캐패시터 बैं크 CB2는 전하의 클리어(C), 캐패시터 बैं크 CB3은 판독(R)으로 나타내어져 있다.

[0050] 도 6의 상단은, 시각 T0(0)의 기입 스위치 WS 및 판독 스위치 RS의 상태를 나타내고 있다. A군 회로(142)의 캐패시터 बैं크 CA1에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 또한 도 8에 나타낸 바와 같이, 온 오프 스위치 CS1a(CS1b) 내지 CS4a(CS4b)는, 콘텐서 C1 내지 C4에 접속되어 있다. 이 때문에, 증폭부(12)(도 3을 참조)에서 증폭된 출력 전류가, 콘텐서 C1 내지 C4에 기입된다(축적된다). A군 회로(142)의 캐패시터 बैं크 CA4에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 도시되어 있지 않지만, 온 오프 스위치 CS1a(CS1b) 내지 CS4a(CS4b)는, 캐패시터 बैं크 CA4내의 콘텐서 C1 내지 C4에 접속되어 있다. 이 때문에 콘텐서 C1 내지 C4에 축적된 전하(출력 전류)가, 작동 증폭부(16)(도 3을 참조)로 판독된다.

- [0051] 또한, 시각 T0(0)에 있어서, 캐패시터 बैं크 CA2의 각 콘텐서 C는, 클리어 스위치 cc가 접속 상태이며, 각 콘텐서 C에 축적된 전하가 클리어된다.
- [0052] 도 6의 상단에 있어서, B군 회로(144)의 캐패시터 बैं크 CB1에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 이 때, B군 회로(144)의 캐패시터 बैं크 CB1 내의 콘텐서 C1 내지 C4에 기입된다(축적된다). 또한, 캐패시터 बैं크 CB3에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 이 때, 캐패시터 बैं크 CB3 내의 콘텐서 C1 내지 C4에 축적된 전하(출력 전류)가, 작동 증폭부(16)로 판독된다.
- [0053] <시각 T1(CY/4)>
- [0054] 도 5에 나타내어진 시각 T1(CY/4)에 있어서, A군 회로(142)의 캐패시터 बैं크 CA1은 판독(R), 캐패시터 बैं크 CA2는 기입(W), 캐패시터 बैं크 CA3은 전하의 클리어(C)로 나타내어져 있다. 또한, B군 회로(144)의 캐패시터 बैं크 CB2는 기입(W), 캐패시터 बैं크 CB3은 전하의 클리어(C), 캐패시터 बैं크 CB4는 판독(R)으로 나타내어져 있다.
- [0055] 도 6의 하단은, 시각 T1(CY/4)의 기입 스위치 WS 및 판독 스위치 RS의 상태를 나타내고 있다. A군 회로(142)의 캐패시터 बैं크 CA1에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 또한 도 9에 나타낸 바와 같이, 온 오프 스위치 CS1a(CS1b) 내지 CS4a(CS4b)는, 콘텐서 C1 내지 C4에 접속되어 있다. 이 때문에, 콘텐서 C1 내지 C4에 축적된 전하가, 작동 증폭부(16)(도 3을 참조)로 판독된다. A군 회로(142)의 캐패시터 बैं크 CA2에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 도 9에 나타낸 바와 같이, 온 오프 스위치 CS1a(CS1b) 내지 CS4a(CS4b)는, 캐패시터 बैं크 CA2 내의 콘텐서 C1 내지 C4에 접속되어 있다. 이 때문에 증폭부(12)(도 3을 참조)에서 증폭된 출력 전류가, 콘텐서 C1 내지 C4에 기입된다.
- [0056] 또한, 시각 T1(CY/4)에 있어서, 캐패시터 बैं크 CA3의 각 콘텐서 C는, 클리어 스위치 cc가 접속 상태이며, 각 콘텐서 C에 축적된 전하가 클리어된다.
- [0057] 도 6의 하단에 있어서, B군 회로(144)의 캐패시터 बैं크 CB2에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 이 때, B군 회로(144)의 캐패시터 बैं크 CB1 내의 콘텐서 C1 내지 C4에 기입된다. 또한, 캐패시터 बैं크 CB4에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 이 때, 캐패시터 बैं크 CB4 내의 콘텐서 C1 내지 C4에 축적된 전하가, 작동 증폭부(16)로 판독된다.
- [0058] <시각 T2(2 CY/4)>
- [0059] 도 5에서 나타내어진 시각 T2(2 CY/4)에 있어서, A군 회로(142)의 캐패시터 बैं크 CA2는 판독(R), 캐패시터 बैं크 CA3은 기입(W), 캐패시터 बैं크 CA4는 전하의 클리어(C)로 나타내어져 있다. 또한, B군 회로(144)의 캐패시터 बैं크 CB1은 판독(R), 캐패시터 बैं크 CB3은 기입(W), 캐패시터 बैं크 CB4는 전하의 클리어(C)로 나타내어져 있다.
- [0060] 도 7의 상단은, 시각 T2(2 CY/4)의 기입 스위치 WS 및 판독 스위치 RS의 상태를 나타내고 있다. A군 회로(142)의 캐패시터 बैं크 CA2에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 이 때문에, 캐패시터 बैं크 CA2의 콘텐서 C1 내지 C4에 축적된 전하가, 작동 증폭부(16)로 판독된다. A군 회로(142)의 캐패시터 बैं크 CA3에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 증폭부(12)에서 증폭된 출력 전류가, 캐패시터 बैं크 CA3의 콘텐서 C1 내지 C4에 기입된다.
- [0061] 또한, 시각 T2(2 CY/4)에 있어서, 캐패시터 बैं크 CA4의 각 콘텐서 C는, 클리어 스위치 cc가 접속 상태이며, 각 콘텐서 C에 축적된 전하가 클리어된다.
- [0062] 도 7의 상단에 있어서, B군 회로(144)의 캐패시터 बैं크 CB1에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 이 때, 캐패시터 बैं크 CB1 내의 콘텐서 C1 내지 C4에 축적된 전하가, 작동 증폭부(16)에 판독된다. 또한, 캐패시터 बैं크 CB3에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 이 때, B군 회로(144)의 캐패시터 बैं크 CB3 내의 콘텐서 C1 내지 C4에 기입된다.
- [0063] <시각 T3(3CY/4)>
- [0064] 도 5에 나타내어진 시각 T3(3CY/4)에 있어서, A군 회로(142)의 캐패시터 बैं크 CA1은 전하의 클리어(C), 캐패시터 बैं크 CA3은 판독(R), 캐패시터 बैं크 CA4는 기입(W)으로 나타내어져 있다. 또한, B군 회로(144)의 캐패시터 बैं크 CB1은 전하의 클리어(C), 캐패시터 बैं크 CB3은 판독(R), 캐패시터 बैं크 CB4는 기입(W)으로 나타내어져 있다.
- [0065] 도 7의 하단은, 시각 T3(3CY/4)의 기입 스위치 WS 및 판독 스위치 RS의 상태를 나타내고 있다. A군 회로(142)의 캐패시터 बैं크 CA3에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 이 때문에, 캐패시터 बैं크 CA3의 콘텐서

서 C1 내지 C4에 축적된 전하가, 작동 증폭부(16)로 판독된다. A군 회로(142)의 캐패시터 बैं크 CA4에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 증폭부(12)에서 증폭된 출력 전류가, 캐패시터 बैं크 CA4의 콘덴서 C1 내지 C4에 기입된다.

[0066] 또한, 시각 T3(3CY/4)에 있어서, 캐패시터 बैं크 CA1의 각 콘덴서 C는, 클리어 스위치 cc가 접속 상태이며, 각 콘덴서 C에 축적된 전하가 클리어된다.

[0067] 도 7의 하단에 있어서, B군 회로(144)의 캐패시터 बैं크 CB2에는 판독 스위치 RS1a 및 RS1b가 접속하고 있다. 이 때, 캐패시터 बैं크 CB2 내의 콘덴서 C1 내지 C4에 축적된 전하가, 작동 증폭부(16)로 판독된다. 또한, 캐패시터 बैं크 CB4에는 기입 스위치 WS1a 및 WS1b가 접속하고 있다. 이 때, B군 회로(144)의 캐패시터 बैं크 CB4 내의 콘덴서 C1 내지 C4에 기입된다.

[0068] (지연 시간(상 천이)의 제어)

[0069] 다음으로 출력 전류의 지연에 대하여 설명한다. 지연은, 증폭부(12)(도 3을 참조)에서 증폭된 출력 전류의 상 천이(위상을 옮김)하는 것에 의해 행해진다. 그리고 지연 시간은, A군 회로(142)의 캐패시터 बैं크 CA 및 B군 회로(144)의 캐패시터 बैं크 CB 내의 콘덴서 C의 용량을 변경함으로써 결정된다. 도 10은, 각 콘덴서 C의 용량과 일주기 CY의 관계를 나타낸 도면이다. 또한, 도 11은, 0° 으로부터 360° 까지 22.5° 마다 출력 전류를 상 천이할 때에, 콘덴서 C1 내지 C4에 대한 온 오프 스위치의 상태를 나타낸 표이다.

[0070] 각 콘덴서의 용량비는, 콘덴서 C1가 0.08, 콘덴서 C2가 0.22, 콘덴서 C3가 0.32, 및 콘덴서 C4가 0.38로 설정되어 있다. 콘덴서 C1 내지 C4의 용량비를 합계하면 1이 된다. 이것은, 도 10의 좌측 상단 도면의 A군 회로(142)의 주기를 보면 이해되는 바와 같이, 콘덴서 C1의 용량비가 "1-cos(22.5°)", 콘덴서 C2의 용량비가 "cos(22.5°)-cos(45°)", 콘덴서 C3의 용량비가 "cos(45°)-cos(67.5°)", 콘덴서 C4의 용량비가 "cos(67.5°)"로 설정되어 있는 것에 대응하고 있다.

[0071] 도 10의 좌측 상단 도면의 A군 회로(142)에 나타낸 바와 같이, 캐패시터 बैं크 CA 내의 콘덴서 C1 내지 C4를 온 오프 스위치 CS에서 온 오프함으로써, 출력 전류를 0° (360°), 22.5° (337.5°), 45° (315°), 67.5° (292.5)로 상 천이할 수 있다. 또한 A군 회로(142)의 정부 극성을 전환하면, 도 10의 우측 상단 도면에 나타낸 바와 같이, 출력 전류를 112.5° (247.5°), 135° (225°), 157.5° (202.5°), 180° 로 상 천이할 수 있다. A군 회로(142)의 정부 극성의 전환은, 전환 스위치 SWA(도 3을 참조)에 의해서 행해진다.

[0072] 도 10의 좌측 하단 도면의 B군 회로(144)에 나타낸 바와 같이, 캐패시터 बैं크 CB 내의 콘덴서 C1 내지 C4를 온 오프 스위치 CS에서 온 오프함으로써, 출력 전류를 22.5° (157.5°), 45° (135°), 67.5° (112.5), 90° 로 상 천이할 수 있다. 또한 B군 회로(144)의 정부 극성을 전환하면, 도 10의 우측 하단 도면에 나타낸 바와 같이, 출력 전류를 202.5° (337.5°), 225° (315°), 247.5° (292.5°), 270° 로 상 천이할 수 있다. B군 회로(144)의 정부 극성의 전환은, 전환 스위치 SWB(도 3을 참조)에 의해서 행해진다.

[0073] 이상을 정리하면, 도 11에 나타낸 바와 같이, 콘덴서 C1 내지 C4에 대한 온 오프, 및 A군 회로(142) 및 B군 회로(144)의 정부 극성의 전환에 의해, 0° 로부터 360° 까지 22.5° 마다 출력 전류를 상 천이할 수 있다. 또한, A군 회로(142)와 B군 회로(144)가 동일한 회로 구성임에도 불구하고, B군 회로(144)가 A군 회로(142)에 대하여 90° 위상이 어긋나고 있다. 그 이유는, 특히도 5에서 나타낸 바와 같이, A군 회로(142)와 B군 회로(144)가 동일한 타이밍에서 출력 전류를 콘덴서 C에 기입하고 있는 한편, B군 회로(144)로부터의 콘덴서 C의 출력 전류의 판독 타이밍이, A군 회로(144)로부터의 콘덴서 C의 출력 전류의 판독 타이밍보다 90° 위상분 늦어지고 있기 때문이다.

[0074] 도 9 및 도 12를 사용하여, 지연 시간(상 천이)의 제어를 구체적으로 설명한다.

[0075] 도 9 및 도 12는, 시각 T1(CY/4)의 캐패시터 बैं크 CA1 및 캐패시터 बैं크 CA2를 나타내고 있다. 그리고, 캐패시터 बैं크 CA2에, 증폭부(12)(도 3을 참조)에서 증폭된 출력 전류가, 콘덴서 C1 내지 C4에 기입되어 있다. 한편, 캐패시터 बैं크 CA1로부터 콘덴서 C1 내지 C4에 축적된 전하가, 작동 증폭부(16)(도 3을 참조)로 판독된다.

[0076] 도 9에 나타내어진 캐패시터 बैं크 CA1은, 모든 콘덴서 C1 내지 C4에 온 오프 스위치 CS1a(CS1b) 내지 CS4a(CS4b)가 접속되어 있다. 즉, 도 11에 있어서, 지연부(14)가 출력 전류의 상 천이를 0° 로 설정하는 경우를 나타내고 있다.

[0077] 이에 대하여, 도 12에 나타내어진 캐패시터 बैं크 CA1은, 콘덴서 C3에 온 오프 스위치 CS3a(CS3b)가 접속되고, 콘덴서 C4에 온 오프 스위치 CS4a(CS4b)가 접속되어 있다. 즉, 도 11에 있어서, 지연부(14)가 출력 전류의 상

천이를 45° 로 설정하는 경우를 나타내고 있다.

[0078] 이와 같이, 제 1 실시 형태의 지연부(14)는, 콘텐서 C1 내지 C4에 축적된 전하의 판독을 전환하는 것에 의해, 출력 전류의 지연 시간(상 천이)을 설정하고 있다.

[0079] (제 2 실시 형태)

[0080] 제 1 실시 형태에서는, 도 8 및 도 9에서 나타낸 바와 같이, 출력 전력을 콘텐서 C에 기입하는 때에는, 캐패시터 뱅크 CA의 콘텐서 C1 내지 C4에 전부 기입되어 있었다. 제 2 실시 형태에서는, 지연 시간에 따라 소정의 콘텐서에만 출력 전류를 기입한다.

[0081] 도 13은, 시각 T1(CY/4)의 캐패시터 뱅크 CA1 및 캐패시터 뱅크 CA2를 나타내고 있다. 또한, 지연부(14)는, 지연 시간을 67.5° 로 설정하고 있다. 도 13에서는, 캐패시터 뱅크 CA1 및 CA2의 온 오프 스위치 CS4a 및 CS4b가, 콘텐서 C4에 접속되어 있다. 그리고 증폭부(12)에서 증폭된 출력 전류가, 캐패시터 뱅크 CA2의 콘텐서 C4에만 기입되어 있다. 한편, 캐패시터 뱅크 CA1로부터 콘텐서 C4에만 축적된 전하가, 작동 증폭부(16)(도 3을 참조)로 판독된다.

[0082] 이와 같이, 제 2 실시 형태에서는, 지연 시간에 따라 소정의 콘텐서 C에만 출력 전류를 기입한다. 지연 시간에 필요한 콘텐서 C에만 출력 전류를 기입하기 때문에, 소비 전류의 저감을 도모할 수 있다.

[0083] (제 3 실시 형태)

[0084] 제 1 실시 형태에서는, 도 5에 나타낸 바와 같이, B군 회로(144)의 캐패시터 뱅크 CB1 내지 CB4는, A군 회로(142)의 캐패시터 뱅크 CA1 내지 CA4보다도, 90° 위상 어긋나 출력 전류를 판독하고 있었다. 제 3 실시 형태에서는, B군 회로(144)의 판독 라인에 90도 이상기를 배치했다.

[0085] 도 14는, 제 3 실시 형태의 수신 회로(10) 내의 지연부(14')의 구성을 나타내는 도면이다. 제 3 실시 형태의 지연부(14')의 구성은, 도 3에 나타내어진 제 1 실시 형태의 지연부(14)의 구성과 기본적으로 동일하다. 그러나, B군 회로(144)의 판독 라인에 90도 이상기(15)를 배치하고 있다. 이 때문에, 제 3 실시 형태에서는, 제 1 실시 형태와 같이, 캐패시터 뱅크 CA 및 캐패시터 뱅크 CB 내의 콘텐서 C에 출력 전류의 기입 타이밍을 동일하게 하며, 출력 전류를 콘텐서 C로부터 판독하는 타이밍을 90° 위상을 어긋나게 할 필요가 없다. 즉, 제 3 실시 형태의 지연부(14')는, 캐패시터 뱅크 CA 및 캐패시터 뱅크 CB 내의 콘텐서 C에 출력 전류의 기입 타이밍과, 출력 전류를 콘텐서 C로부터 판독하는 타이밍을 동기시킬 수 있다.

[0086] (제 4 실시 형태)

[0087] 제 1 실시 형태 내지 제 3 실시 형태에서는, 도 3에 나타낸 바와 같이, A군 회로(142)는, 4개의 캐패시터 뱅크 CA1 내지 CA4를 갖고, B군 회로(144)는, 4개의 캐패시터 뱅크 CB1 내지 CB4를 갖고 있었다. 또한, A군 회로(142)와 B군 회로(144)가, 각각 4개의 캐패시터 뱅크를 갖고 있기 때문에, 지연부(14)는, 일주기 CY가 4 등분하여, 출력 전류의 기입 및 판독을 행하고 있었다. 제 4 실시 형태에서는, A군 회로(142)와 B군 회로(144)가, 각각 8개의 캐패시터 뱅크를 갖고 있다(도시하지 않음).

[0088] 도 15는, 기입이 "W"로 나타내어지고 판독이 "R"로 나타내어지며 전하의 클리어가 "C"로 나타내어져 있다. 또한 도 15에서는, 시각 T0(0)부터 시각 T8(8 CY/8)까지가 일주기 CY이며, 일주기 CY가 8 등분되어 나타내어져 있다. 출력 전류의 기입, 판독 및 전하의 클리어의 타이밍에 관하여, 시각 T0(0)과 시각 T8(8 CY/4)는 동일하며, 출력 전류의 기입, 판독 및 전하의 클리어는, 그 이후 시각 T9(9 CY/8), 시각 T10(10 CY/8).....로 계속해서 간다.

[0089] 예컨대, 시각 T1(CY/8)에 있어서, A군 회로(142)의 캐패시터 뱅크 CA1은 판독(R), 캐패시터 뱅크 CA2는 기입(W), 캐패시터 뱅크 CA3은 전하의 클리어(C)로 나타내어져 있다. 또한, B군 회로(144)의 캐패시터 뱅크 CB2는 기입(W), 캐패시터 뱅크 CB3은 전하의 클리어(C), 캐패시터 뱅크 CB7는 판독(R)으로 나타내어져 있다.

[0090] A군 회로(142)와 B군 회로(144)가, 각각 8개의 캐패시터 뱅크를 갖고 있는 경우이더라도, A군 회로(142)의 캐패시터 뱅크에의 기입 타이밍과, B군 회로(144)의 캐패시터 뱅크로의 기입 타이밍은, 동시에 행해진다. 또한, A군 회로(142)의 캐패시터 뱅크로부터의 판독 타이밍과, B군 회로(144)의 캐패시터 뱅크로부터의 판독 타이밍은, 90° 위상 어긋나고 있다. A군 회로(142)와 B군 회로(144)가, 각각 8개의 캐패시터 뱅크를 갖고 있으면, 출력 전류를 기입하는 횟수(샘플 횟수)가 증대하기 때문에, 지연부(14)는, 보다 정밀도 좋게 지연 시간을 제어할 수 있다.

- [0091] (제 5 실시 형태)
- [0092] 제 1 실시 형태 내지 제 4 실시 형태에서는, 도 9 등에 나타난 바와 같이, 1개의 캐패시터 बैं크 CA 또는 CB 내에, 용량이 상이한 4개의 콘덴서 C1 내지 C4를 갖고 있었다. 제 5 실시 형태에서는, 1개의 캐패시터 बैं크 CA 또는 CB 내에 용량이 상이한 3개의 콘덴서 C1 내지 C3을 갖고 있다.
- [0093] 도 16은, 3개의 콘덴서 C의 용량과 일주기 CY의 관계를 나타낸 도면이다.
- [0094] 각 콘덴서의 용량비는, 콘덴서 C1가 0.13, 콘덴서 C2가 0.37, 및 콘덴서 C3가 0.5로 설정되어 있다. 콘덴서 C1 내지 C3의 용량비를 합계하면 1이 된다. 이것은, 도 16의 좌측 상단 도면의 A군 회로(142)의 주기를 보면 이해되는 바와 같이, 콘덴서 C1의 용량비가 " $1-\cos(30^\circ)$ ", 콘덴서 C2의 용량비가 " $\cos(30^\circ)-\cos(60^\circ)$ ", 콘덴서 C3의 용량비가 " $\cos(60^\circ)$ "로 설정되어 있는 것에 대응하고 있다.
- [0095] 도 16의 좌측 상단 도면의 A군 회로(142)에 나타난 바와 같이, 캐패시터 बैं크 CA 내의 콘덴서 C1 내지 C3을 온 오프 스위치 CS에서 온 오프함으로써, 출력 전류를 0° (360°), 30° (330°), 60° (300°)로 상 천이할 수 있다. 또한 A군 회로(142)의 정부 극성을 전환하면, 도 16의 우측 상단 도면에 나타난 바와 같이, 출력 전류를 120° (240°), 150° (210°), 180° 로 상 천이할 수 있다. A군 회로(142)의 정부 극성의 전환은, 전환 스위치 SWA(도 3을 참조)에 의해서 실시된다.
- [0096] 도 16의 좌측 하단 도면의 B군 회로(144)에 나타난 바와 같이, 캐패시터 बैं크 CB 내의 콘덴서 C1 내지 C3을 온 오프 스위치 CS에서 온 오프함으로써, 출력 전류를 30° (150°), 60° (120°), 90° 로 상 천이할 수 있다. 또한 B군 회로(144)의 정부 극성을 전환하면, 도 16의 우측 하단 도면에 나타난 바와 같이, 출력 전류를 210° (330°), 240° (300°), 270° 로 상 천이할 수 있다. B군 회로(144)의 정부 극성의 전환은, 전환 스위치 SWB(도 3을 참조)에 의해서 행해진다.
- [0097] 도시하지 않지만, 하나의 캐패시터 बैं크 CA 또는 CB 내에, 용량이 상이한 2개의 콘덴서 C1 내지 C2를 갖더라도 좋고, 하나의 캐패시터 बैं크 CA 또는 CB 내에, 용량이 상이한 5개의 콘덴서 C1 내지 C5를 갖더라도 좋다. 용량이 상이한 2개의 콘덴서 C1 내지 C2이면, 용량비는, 콘덴서 C1가 $0.29(1-\cos(45^\circ))$, 콘덴서 C2가 $0.71(\cos(45^\circ))$ 이 된다. 또한 용량이 상이한 5개의 콘덴서 C1 내지 C5이면, 용량비는, 콘덴서 C1가 $0.05(1-\cos(18^\circ))$, 콘덴서 C2가 $0.14(\cos(18^\circ)-\cos(36^\circ))$, 콘덴서 C3가 $0.22(\cos(36^\circ)-\cos(54^\circ))$, 콘덴서 C4가 $0.28(\cos(54^\circ)-\cos(72^\circ))$, 콘덴서 C5가 $0.31(\cos(72^\circ))$ 이 된다.
- [0098] 제 1 실시 형태로부터 제 5 실시 형태까지는, 지연부(14)는, 1 주기(360°)의 지연 시간을 설정할 수 있도록 했지만, 반주기(0 내지 180° 또는 90° 위상으로부터 270°)의 지연 시간을 설정할 수 있도록 하더라도 좋다. 반주기의 지연 시간이면, 전환 스위치 SWA 또는 전환 스위치 SWB(도 3, 도 14를 참조)를 생략할 수 있다.
- [0099] (제 6 실시 형태)
- [0100] 제 1 실시 형태로부터 제 5 실시 형태까지는, 수신 회로(10) 내의 지연부(14)는, 기입 스위치 WS 및 판독 스위치 RS의 스위칭 클럭 주파수가 일정한 경우를 설명했다. 제 6 실시 형태에서는, 지연부(14)가, 스위칭 클럭 주파수를 가변하는 스위치 제어부(16)를 갖는 예를 설명한다. 특히 제 6 실시 형태는, 제 1 실시 형태에서 설명한 도 3과 비교하여 설명하지만, 제 2 실시 형태 내지 제 5 실시 형태에도 적용할 수 있다.
- [0101] 피검체 내의 깊은 위치일수록, 중심 주파수가 낮은 주파수로 송신하지 않으면 감쇠가 커져, 심부에서 반사된 에코 신호가 초음파 프로브(102)에 되돌아 오지 않는다. 이 때문에, 심부일수록 중심 주파수가 낮은 주파수가 송신되는 것이 바람직하다. 제 1 실시 형태로부터 제 5 실시 형태까지는, 중심 주파수가 피검체의 깊이에 대하여 고려하지 않고, 중심 주파수가 일정 상태에서, 출력 전류의 지연 시간(상 천이)을 설정했다.
- [0102] 제 6 실시 형태에서는, 지연부(14)는, 에코 반사점의 심도에 따른 보정인 시간·주파수 제어(TFC : time-frequency control)를 행한다. 시간·주파수 제어에 의해서, 중심 주파수가 변경하면, B-mode 표시용으로 좋은 포커싱이 가능해진다.
- [0103] 도 17은, 수신 회로(10) 내의 지연부(14)의 구성을 나타내는 도면이다. 도 17의 지연부(14)는, 도 3에 나타내어진 지연부(14)와 비교하여, 스위치 제어부(16)를 갖는 점에서 상이하다. 스위치 제어부(16)는, 일정한 클럭 주파수를 수취하여, 가변한 클럭 주파수를 기입 스위치 WS 및 판독 스위치 RS에 출력한다. 구체적으로는, 스위치 제어부(16)는, 가변한 주파수를, A군 회로(142) 및 B군 회로(144)의 기입 스위치 WS(WS1a 내지 WS4a, WS1b 내지 WS4b)와 판독 스위치 RS(RS1a 내지 RS4a, RS1b 내지 RS4b)로 출력한다.

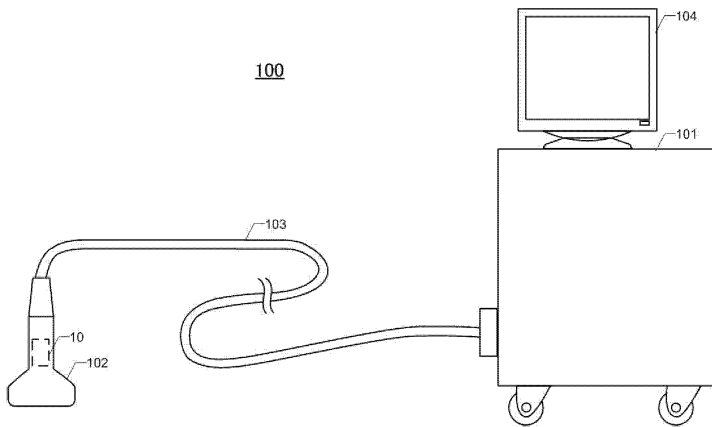
- [0104] 도 18(a)는, 중심 주파수와 피검체의 깊이의 관계를 나타낸 그래프이다. 도 18(b)는, 위상과 피검체의 깊이의 관계를 나타낸 그래프이다. 또한 도 18(c)는, 스위치의 클럭 주파수와 피검체의 깊이의 관계를 나타낸 그래프이다. 여기서, 피검체의 에코 반사점이 깊게 되면 될수록, 에코 신호가 되돌아 오는 시간이 길게 되기 때문에, 횡축은 에코 신호가 되돌아 오는 시간이다. 즉, 도 18(a)은 시간·주파수 제어를 나타낸 그래프이다.
- [0105] 도 18(a)의 그래프 f1은, 제 1 실시 형태로부터 제 5 실시 형태까지의 중심 주파수이다. 피검체의 천부이더라도 심부이더라도 중심 주파수는 일정하다. 그리고 그래프 f6은, 피검체의 에코 반사점이 깊게 될수록 중심 주파수가 낮아지는 그래프이다. 제 6 실시 형태에서는, 이러한 시간 주파수 제어를 행하기 때문에, A군 회로(142) 및 B군 회로(144)의 기입 스위치 WS(WS1a 내지 WS4a, WS1b 내지 WS4b)와 판독 스위치 RS(RS1a 내지 RS4a, RS1b 내지 RS4b)의 스위칭 클럭 주파수를, 피검체의 에코 반사점에 따라 변화시킨다. 즉, 도 5에서는, 시각 T0(0), 시각 T1(CY/4), 시각 T2(2CY/4), 시각 T3(3CY/4), 시각 T4(4CY/4)로 균등하게 할당되어 있었지만, 이 시각 T이 가변으로 된다.
- [0106] 도 18(c)의 그래프 C1은, 도 5에서 도시된 시각 T0(0), 시각 T1(CY/4) 등이다. 피검체의 에코 반사점에 관계없이 스위칭 클럭 주파수가 일정하다. 그래프 c6은, 피검체의 에코 반사점이 깊게 될수록, 스위칭 클럭 주파수가 낮아지고, 피검체의 에코 반사점이 얇을수록, 스위칭 클럭 주파수가 높아지는 것을 나타내고 있다.
- [0107] 그래프 C6에 나타낸 바와 같이 스위칭 클럭 주파수가 변화되면, 도 18(b)에 나타낸 바와 같이, 위상도 변화된다. 도 18(b)의 그래프 p1은, 제 1 실시 형태로부터 제 5 실시 형태까지의 위상이며, 그래프 p6은, 제 6 실시 형태의 위상이다. 그래프 p6과 같이, 피검체의 에코 반사점이 얇은 위치로부터 깊은 위치까지 위상을 크게 변경함으로써 도 18(a)의 그래프 f6에 나타낸 바와 같이, 중심 주파수를 가변할 수 있다. 따라서 스위치 제어부(16)는, 다이내믹 포커스용의 수신 지연을 제어할 수 있다.
- [0108] 이상, 본 발명이 최적의 실시 형태에 대하여 상세하게 설명했지만, 당업자에게 명백한 바와 같이, 본 발명은 그 기술적 범위 내에서 실시 형태에 다양한 변경·변형을 가하여 실시할 수 있다.

부호의 설명

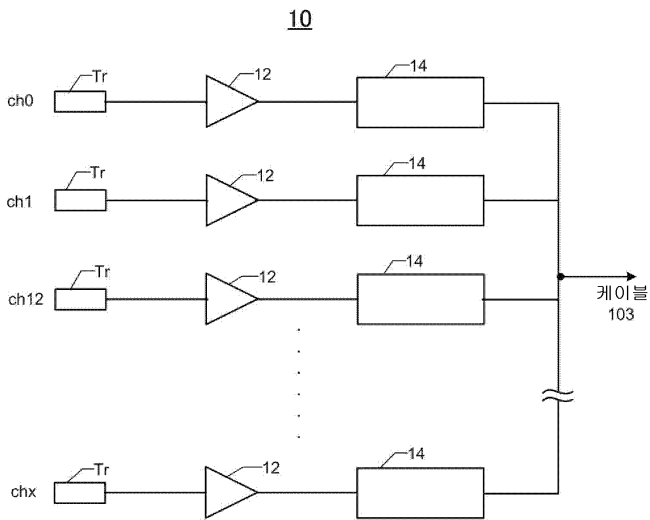
- [0109] 10 : 수신 회로
 12 : 증폭기
 14, 14' : 지연부
 16 : 차동 증폭부
 100 : 초음파 화상 표시 장치
 101 : 장치 본체
 102 : 초음파 프로브
 103 : 케이블
 142 : A군 회로
 144 : B군 회로
 CA(CA1 내지 CA8), CB(CB1 내지 CB8) : 캐패시터 बैं크
 WS : 기입 스위치
 RS : 판독 스위치
 CS : 온 오프 스위치
 cc : 클리어 스위치
 C(C1 내지 C5) : 콘덴서

도면

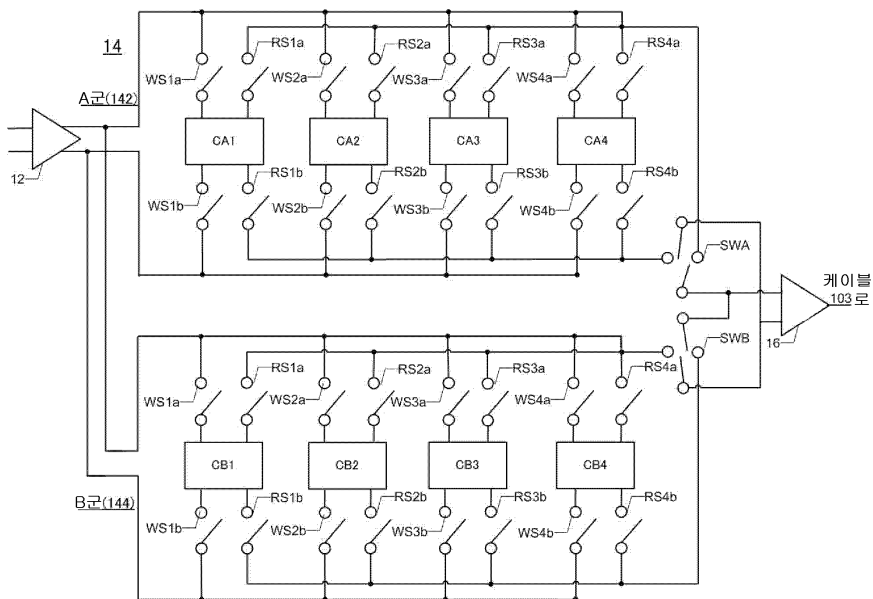
도면1



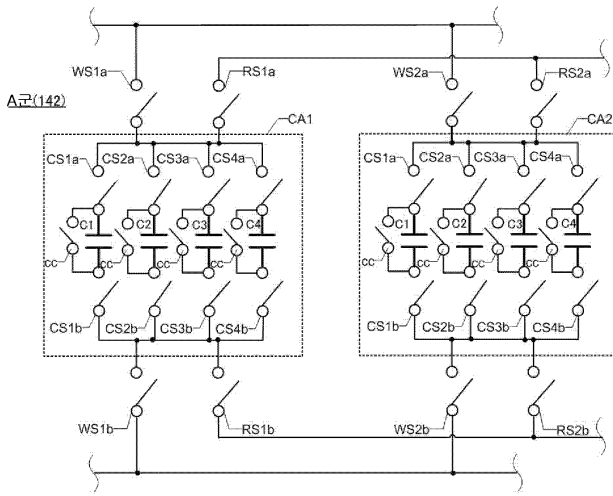
도면2



도면3



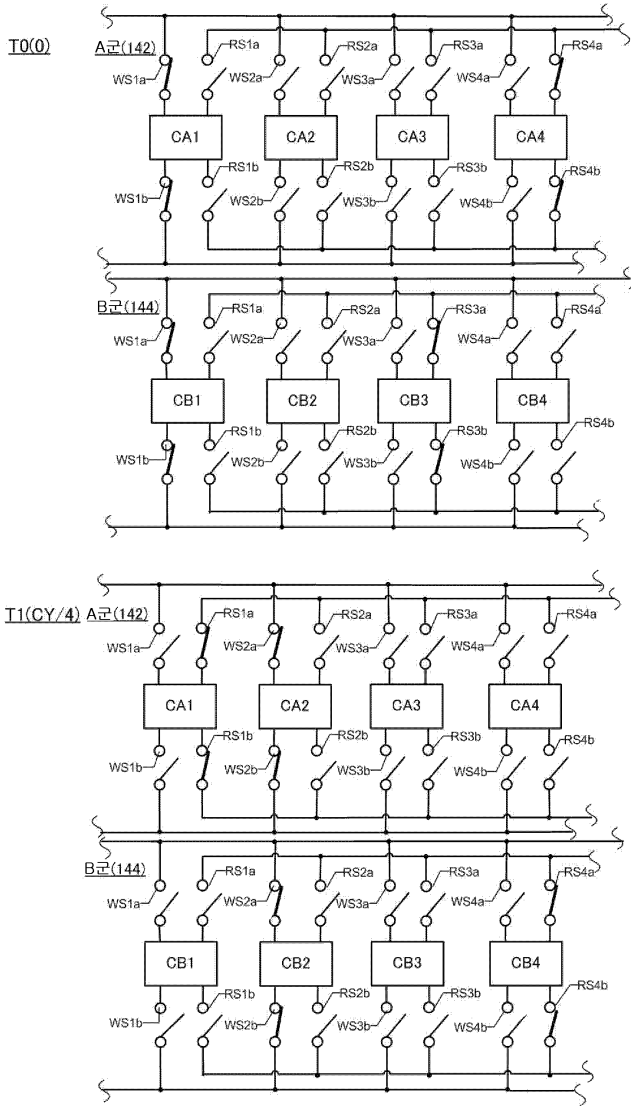
도면4



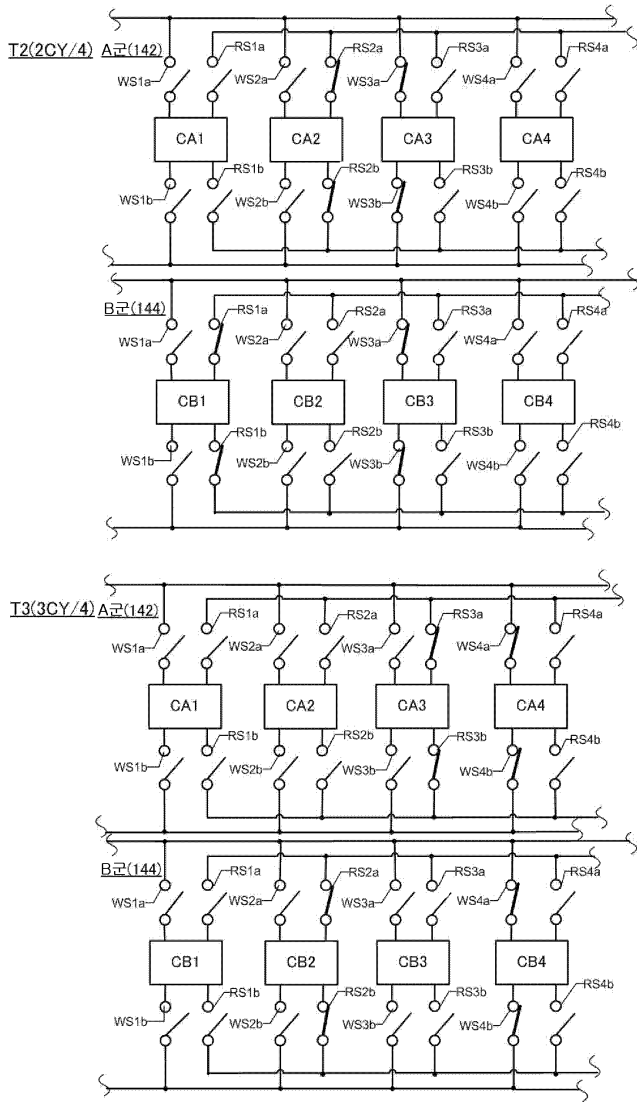
도면5

	A군 (142)				B군 (144)			
	CA1	CA2	CA3	CA4	CB1	CB2	CB3	CB4
T0(0)	W	C		R	W	C	R	
T1(CY/4)	R	W	C		W	C	R	
T2(2CY/4)	R	W	C	R		W	C	
T3(3CY/4)	C		R	W	C	R		W
T4(4CY/4)	W	C		R	W	C	R	

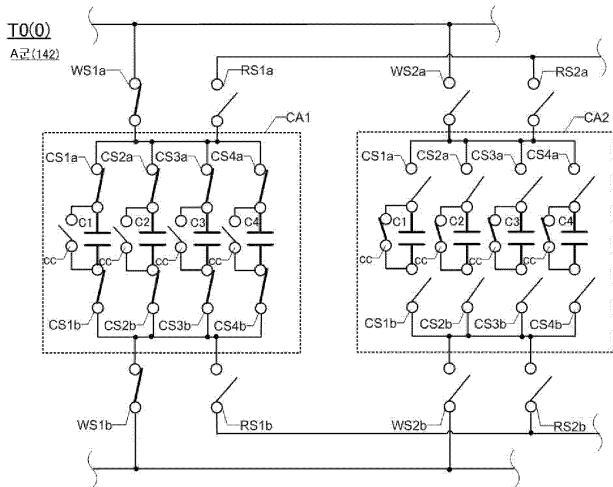
도면6



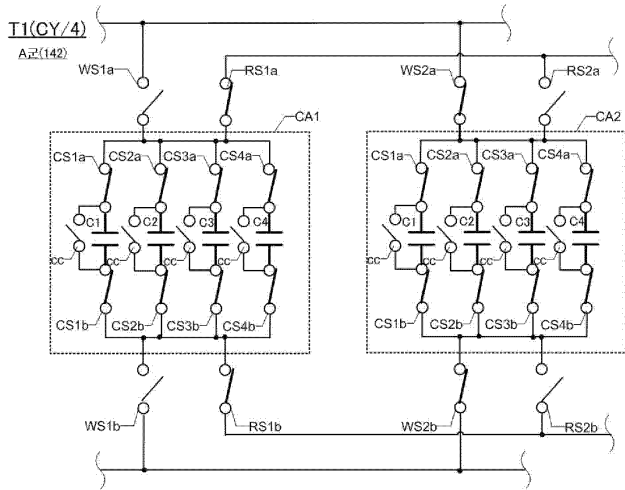
도면7



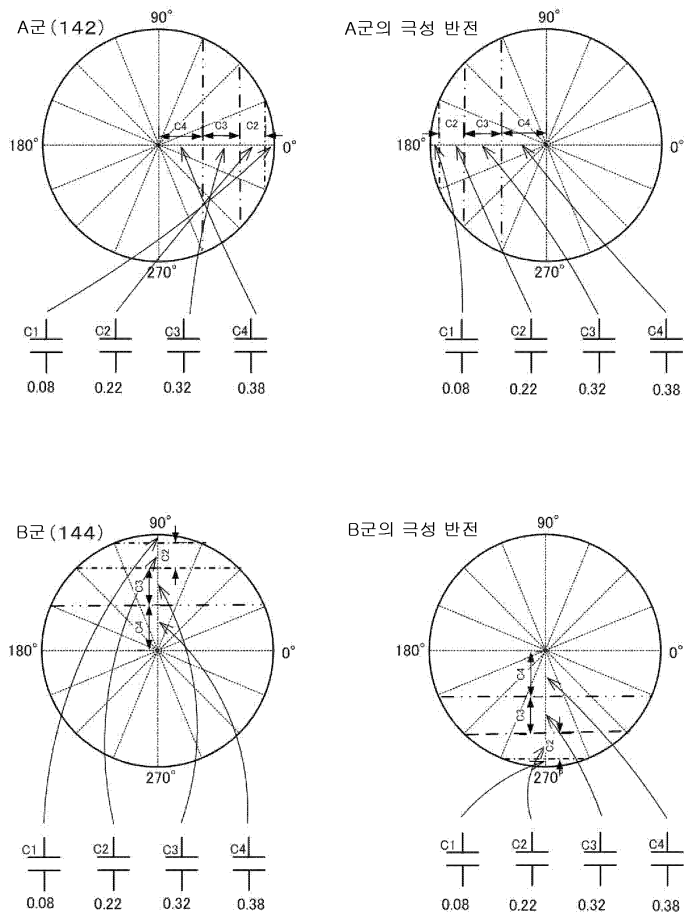
도면8



도면9



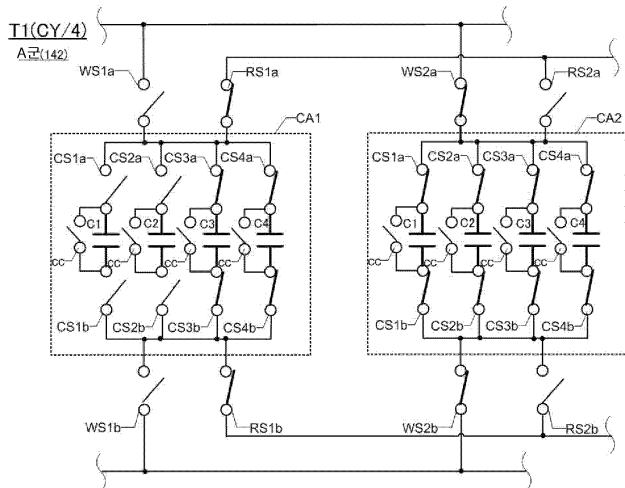
도면10



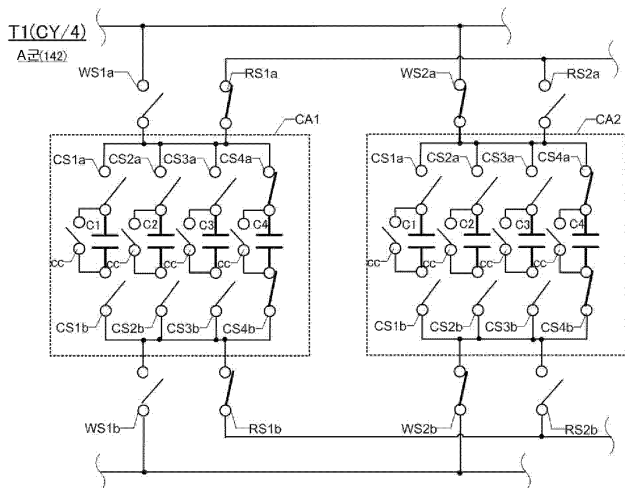
도면11

이상	A군(142: CA1~CA4)				B군(144: CB1~CB4)					
	점속	C1	C2	C3	C4	점속	C1	C2	C3	C4
0점	ON	ON	ON	ON	ON					ON
22.5점	ON	ON	ON	ON	ON					ON
45점		ON	ON	ON	ON			ON	ON	ON
67.5점			ON	ON	ON		ON	ON	ON	ON
90점				ON	ON	ON	ON	ON	ON	ON
112.5점	부			ON	ON	ON	ON	ON	ON	ON
135점	부		ON	ON	ON	ON	ON	ON	ON	ON
157.5점	부		ON	ON	ON	ON	ON	ON	ON	ON
180점	부	ON	ON	ON	ON	부				ON
202.5점	부		ON	ON	ON	부				ON
225점	부		ON	ON	ON	부			ON	ON
247.5점	부			ON	ON	부	ON	ON	ON	ON
270점						부	ON	ON	ON	ON
292.5점				ON	ON	부	ON	ON	ON	ON
315점			ON	ON	ON	부			ON	ON
337.5점		ON	ON	ON	ON	부				ON
360점	ON	ON	ON	ON	ON					ON

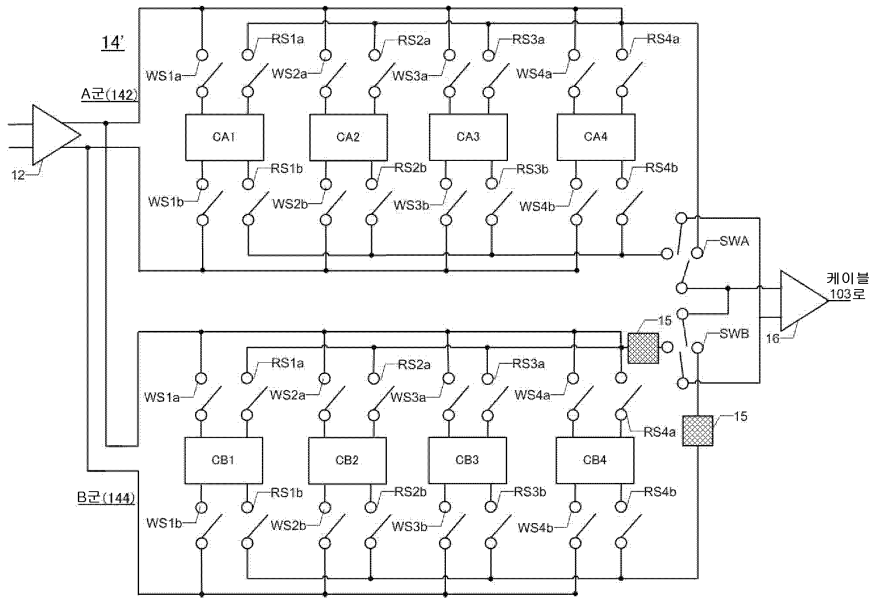
도면12



도면13



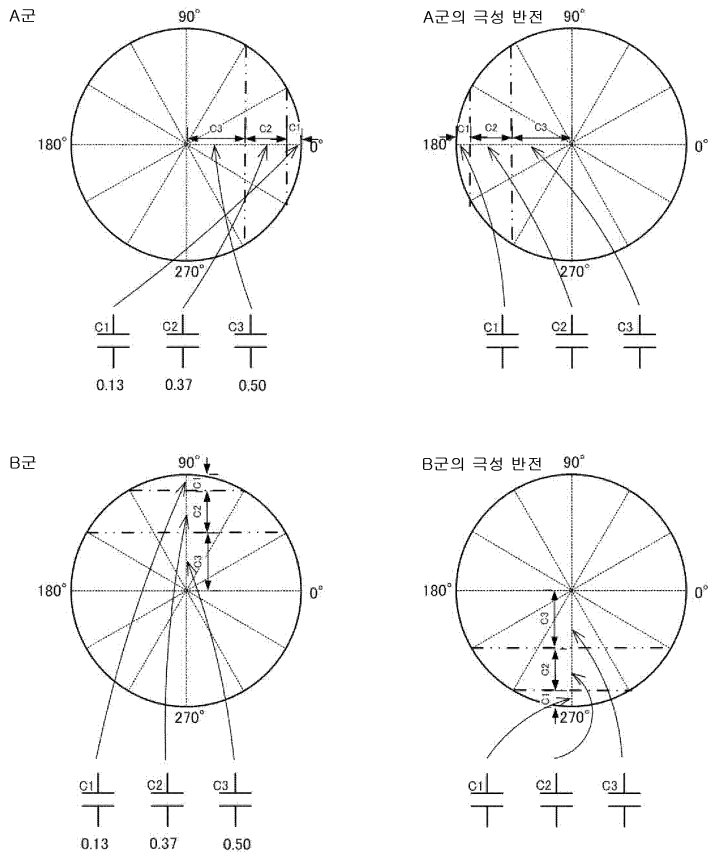
도면14



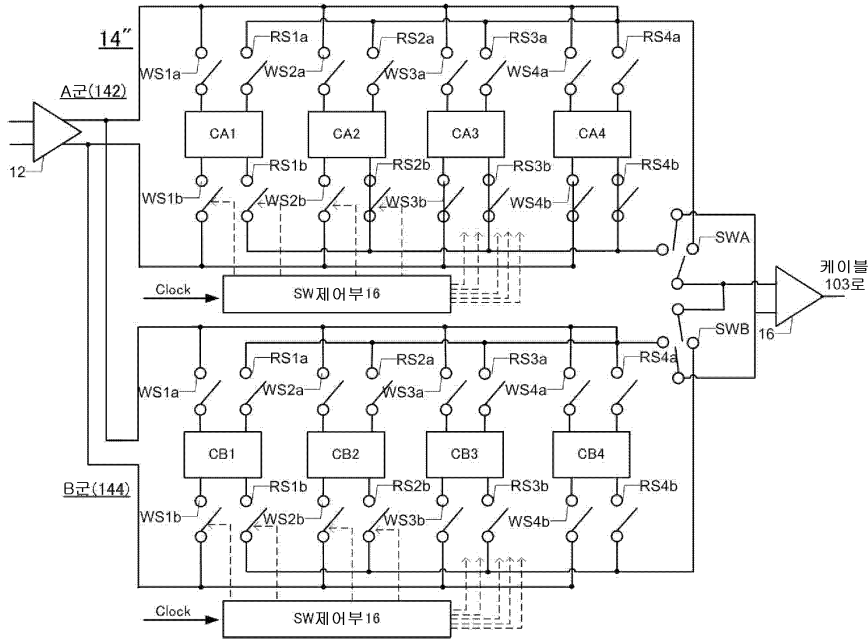
도면15

	A군 (142)								B군 (144)							
	CA1	CA2	CA3	CA4	CA5	CA6	CA7	CA8	CB1	CB2	CB3	CB4	CB5	CB6	CB7	CB8
T0(0)	W	C						R	W	C				R		
T1(CY/8)	R	W	C						W	C					R	
T2(CY/8)		R	W	C						W	C					R
T3(CY/8)			R	W	C				R		W	C				
T4(CY/8)				R	W	C			R		W	C				
T5(CY/8)					R	W	C			R		W	C			
T6(CY/8)						R	W	C			R		W	C		
T3(7CY/8)	C						R	W	C			R			W	
T8(8CY/8)	W	C						R	W	C			R			

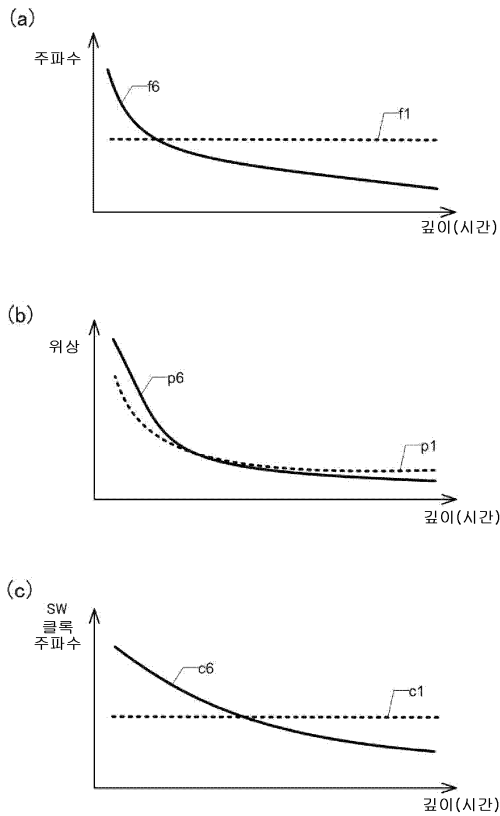
도면16



도면17



도면18



专利名称(译)	接收电路，超声波探头和超声波图像显示器		
公开(公告)号	KR1020130045813A	公开(公告)日	2013-05-06
申请号	KR1020120118451	申请日	2012-10-24
申请(专利权)人(译)	지이메디컬시스템즈글로벌테크놀로지컴파니엘엘씨		
当前申请(专利权)人(译)	지이메디컬시스템즈글로벌테크놀로지컴파니엘엘씨		
[标]发明人	AMEMIYA SHINICHI		
发明人	AMEMIYA, SHINICHI		
IPC分类号	A61B8/14 G01N29/24		
CPC分类号	G10K11/346 G01S7/5208 G01S7/52026 G01S7/52 G01S7/52096		
优先权	2012015135 2012-01-27 JP 2011235082 2011-10-26 JP		
外部链接	Espacenet		

摘要(译)

功耗为超声波探头提供了小型接收电路。接收电路 (10) 包括放大在超声波振荡器中接收的回波信号的电流的放大器 (12) ，第一电路连接到放大器并且授权输出电流中的延迟时间，延迟单元 (14) 具有第二电路。并且第一电路 (142) 和第二电路 (144) 具有电容器，其中容量不同于在各个放大器中电容器组被放大的输出电流，其具有电容器组 (CA , CB) 和入口开关 (WS) ，在第一和第二电容器中写入输出电流，以及读取在第一和第二电容器中填充的输出电流的解码开关 (RS) 。

