



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0148452
(43) 공개일자 2014년12월31일

- (51) 국제특허분류(Int. Cl.)
A61B 8/00 (2006.01) *H04R 17/00* (2006.01)
- (21) 출원번호 10-2014-7030048
- (22) 출원일자(국제) 2013년03월28일
심사청구일자 2014년10월27일
- (85) 번역문제출일자 2014년10월27일
- (86) 국제출원번호 PCT/JP2013/002147
- (87) 국제공개번호 WO 2013/145764
국제공개일자 2013년10월03일
- (30) 우선권주장
JP-P-2012-078672 2012년03월30일 일본(JP)
- (71) 출원인
세이코 엠슨 가부시키가이샤
일본 도쿄도 신주쿠 구니시신주쿠 2초메 4-1
- (72) 발명자
나카무라, 도모아끼
일본 392-8502 나가노肯 스와시 오와 3조메 3-5
세이코 엠슨 가부시키가이샤 내
쓰루노, 지로
일본 392-8502 나가노肯 스와시 오와 3조메 3-5
세이코 엠슨 가부시키가이샤 내
기요세, 가네찌까
일본 392-8502 나가노肯 스와시 오와 3조메 3-5
세이코 엠슨 가부시키가이샤 내
- (74) 대리인
양영준, 이중희

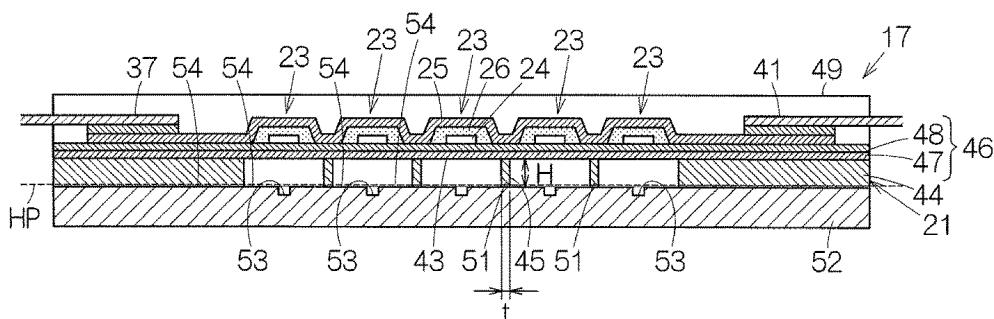
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 초음파 트랜스듀서 소자 칩 및 프로브, 및 전자 기기 및 초음파 진단 장치

(57) 요약

개구가 어레이 형상으로 배치된 기판과, 상기 기판의 제1 면에 있어서 개개의 상기 개구에 설치되는 초음파 트랜스듀서 소자와, 상기 기판의 상기 제1 면과는 반대측의 상기 기판의 제2 면에 고정되어 상기 기판을 보강하는 보강 부재와, 상기 개구의 내부 공간 및 상기 기판의 외부 공간을 서로 연통하는 통기 경로를 구비하는 것을 특징으로 하는 초음파 트랜스듀서 소자 칩.

대 표 도



특허청구의 범위

청구항 1

개구가 어레이 형상으로 배치된 기판과,
상기 기판의 제1 면에 있어서 개개의 상기 개구에 설치되는 초음파 트랜스듀서 소자와,
상기 기판의 상기 제1 면과는 반대측의 상기 기판의 제2 면에 고정되어 상기 기판을 보강하는 보강 부재와,
상기 개구의 내부 공간 및 상기 기판의 외부 공간을 서로 연통하는 통기 경로
를 구비하는 것을 특징으로 하는 초음파 트랜스듀서 소자 칩.

청구항 2

제1항에 있어서, 상기 보강 부재는, 어레이 형상으로 배치된 상기 개구 사이의 상기 기판의 구획벽부에 적어도 1개소의 접합 영역에서 접합되는 것을 특징으로 하는 초음파 트랜스듀서 소자 칩.

청구항 3

제1항 또는 제2항에 있어서, 상기 보강 부재는, 상기 기판의 상기 제2 면에 중첩될 수 있는 제1 면을 갖고, 상기 통기 경로는, 상기 보강 부재의 상기 제1 면에 배치되는 홈부를 포함하는 것을 특징으로 하는 초음파 트랜스듀서 소자 칩.

청구항 4

제1항 또는 제2항에 있어서, 상기 통기 경로는, 상기 기판의 상기 제2 면에 배치되고, 상기 개구끼리를 연통하는 홈부를 포함하는 것을 특징으로 하는 초음파 트랜스듀서 소자 칩.

청구항 5

제1항 또는 제2항에 있어서, 상기 기판 및 상기 보강 부재의 적어도 일부는 다공질 재료로 구성되고, 상기 통기 경로는 상기 다공질 재의 구멍을 포함하는 것을 특징으로 하는 초음파 트랜스듀서 소자 칩.

청구항 6

제1항 내지 제5항 중 어느 한 항에 기재된 초음파 트랜스듀서 소자 칩과, 상기 초음파 트랜스듀서 소자 칩을 지지하는 하우징을 구비하는 것을 특징으로 하는 프로브.

청구항 7

제6항에 기재된 프로브와, 상기 프로브에 접속되어, 상기 초음파 트랜스듀서 소자의 출력을 처리하는 처리 회로를 구비하는 것을 특징으로 하는 전자 기기.

청구항 8

제6항에 기재된 프로브와, 상기 프로브에 접속되어, 상기 초음파 트랜스듀서 소자의 출력을 처리하고, 화상을 생성하는 처리 회로와, 상기 화상을 표시하는 표시 장치를 구비하는 것을 특징으로 하는 초음파 진단 장치.

청구항 9

제1항 내지 제5항 중 어느 한 항에 기재된 초음파 트랜스듀서 소자 칩과,
상기 초음파 트랜스듀서 소자 칩을 지지하고, 또한 프로브의 프로브 본체부에 장착되도록 되어 있는 하우징
을 구비하는 것을 특징으로 하는 프로브 헤드.

명세서

기술분야

[0001] 본 발명은 초음파 트랜스듀서 소자 칩 및 그것을 이용한 프로브, 및 그러한 프로브를 이용한 전자 기기 및 초음파 진단 장치 등에 관한 것이다.

배경기술

[0002] 예를 들어, 특허문현 1에 개시된 바와 같이, 초음파 트랜스듀서 소자 칩은 기판을 구비한다. 기판에는 복수의 개구가 형성된다. 개개의 개구에 초음파 트랜스듀서 소자가 설치된다. 초음파 트랜스듀서 소자는 진동막을 구비한다. 진동막은 기판의 표면으로부터 개구를 폐색한다.

선행기술문현

특허문현

[0003] (특허문현 0001) 일본 특허 공개 제2011-82624호 공보

(특허문현 0002) 일본 특허 공개 제2011-77918호 공보

발명의 내용

해결하려는 과제

[0004] 기판에 개구가 형성되면, 기판의 강도는 저하된다. 기판의 두께 방향의 힘에 대해 강도가 부족하다. 초음파 트랜스듀서 소자 칩이 피복체에 압박되면, 초음파 트랜스듀서 소자가 파손되는 경우가 있었다.

[0005] 본 발명 중 적어도 하나의 형태에 따르면, 박형이고, 또한 기판의 두께 방향의 가압력을 견디는 강도를 갖는 초음파 트랜스듀서 소자 칩은 제공될 수 있다.

과제의 해결 수단

[0006] (1) 본 발명의 일 형태는, 개구가 어레이 형상으로 배치된 기판과, 상기 기판의 제1 면에 있어서 개개의 상기 개구에 설치되는 초음파 트랜스듀서 소자와, 상기 기판의 상기 제1 면과는 반대측의 상기 기판의 제2 면에 고정되어 상기 기판을 보강하는 보강 부재와, 상기 개구의 내부 공간 및 상기 기판의 외부 공간을 서로 연통하는 통기 경로를 구비하는 초음파 트랜스듀서 소자 칩에 관한 것이다.

[0007] 이러한 초음파 트랜스듀서 소자 칩에서는 초음파 트랜스듀서 소자는 박형으로 형성될 수 있다. 초음파 트랜스듀서 소자는 박형의 기판에 형성될 수 있다. 보강 부재가 기판에 고정되더라도, 초음파 트랜스듀서 소자 칩은 박형으로 형성될 수 있다. 또한, 기판의 제2 면에는 보강 부재가 고정되기 때문에, 기판의 두께 방향으로 기판의 강도는 보강될 수 있다. 이때, 개구의 내부 공간은 기판의 외부 공간과 연통된다. 개구의 내부 공간과 기판의 외부 공간 사이에서 통기는 확보된다. 따라서, 개구의 내부 공간은 밀폐되지 않는다. 개구의 내부 공간은 주위의 압력 변동에 용이하게 추종될 수 있다. 이렇게 하여 초음파 트랜스듀서 소자의 파손은 확실하게 방지될 수 있다. 가령 개구의 내부 공간이 기밀하게 밀폐되어 버리면, 압력 변동에 기인하여 초음파 트랜스듀서 소자의 파손이 염려되어 버린다.

[0008] (2) 상기 보강 부재는, 어레이 형상으로 배치된 상기 개구 사이의 상기 기판의 구획벽부에 적어도 1개소의 접합 영역에서 접합될 수 있다. 구획벽부가 보강 부재에 접합되면, 구획벽부의 움직임은 보강 부재에 의해 구속된다. 따라서, 구획벽부의 진동은 방지될 수 있다. 그 결과, 초음파 트랜스듀서 소자끼리의 크로스 토크는 방지될 수 있다. 또한, 이렇게 하여 구획벽부의 움직임이 구속되면, 초음파 트랜스듀서 소자의 초음파 진동에 대해 구획벽부의 진동의 작용은 방지될 수 있다. 초음파 트랜스듀서 소자에서는 클리어한 진동 모드의 초음파 진동을 얻을 수 있다. 이렇게 하여 구획벽부의 진동이 방지되면, 초음파 진동의 진폭의 저하도 억제될 수 있다.

[0009] (3) 상기 보강 부재는, 상기 기판의 상기 제2 면에 중첩되는 제1 면을 갖고, 상기 통기 경로는, 상기 보강 부재의 상기 제1 면에 배치되는 홈부를 포함할 수 있다. 이렇게 하여 비교적 간단히 통기 경로는 확보될 수 있다.

[0010] (4) 상기 통기 경로는, 상기 기판의 상기 제2 면에 배치되고, 상기 개구끼리를 연통하는 홈부를 포함할 수 있다. 이렇게 하여 비교적 간단히 통기 경로는 확보될 수 있다.

[0011] (5) 상기 기판 및 상기 보강 부재의 적어도 일부는 다공질 재로 구성될 수 있고, 상기 통기 경로는 상기 다공질 재의 구멍을 포함할 수 있다. 이렇게 하여 비교적 간단히 통기 경로는 확보될 수 있다.

[0012] (6) 초음파 트랜스듀서 소자 칩은 프로브에 내장되어 이용될 수 있다. 프로브는, 초음파 트랜스듀서 소자 칩과, 상기 초음파 트랜스듀서 소자 칩을 지지하는 하우징을 구비할 수 있다.

[0013] (7) 프로브는 전자 기기에 내장되어 이용될 수 있다. 전자 기기는, 프로브와, 상기 프로브에 접속되어, 상기 초음파 트랜스듀서 소자의 출력을 처리하는 처리 회로를 구비할 수 있다.

[0014] (8) 마찬가지로, 프로브는 초음파 진단 장치에 내장되어 이용될 수 있다. 초음파 진단 장치는, 프로브와, 상기 프로브에 접속되어, 상기 초음파 트랜스듀서 소자의 출력을 처리하고, 화상을 생성하는 처리 회로와, 상기 화상을 표시하는 표시 장치를 구비할 수 있다.

[0015] (9) 초음파 트랜스듀서 소자 칩은 프로브 헤드에 내장되어 이용될 수 있다. 프로브 헤드는, 초음파 트랜스듀서 소자 칩과, 상기 초음파 트랜스듀서 소자 칩을 지지하는 하우징을 구비할 수 있다.

도면의 간단한 설명

[0016] 도 1은 일 실시 형태에 관한 전자 기기의 일 구체예, 즉 초음파 진단 장치를 개략적으로 나타내는 외관도이다.

도 2는 초음파 프로브의 확대 정면도이다.

도 3은 초음파 트랜스듀서 소자 칩의 확대 평면도이다.

도 4는 도 3의 4-4선을 따른 단면도이다.

도 5는 홈을 나타내는 보강판의 평면도이다.

도 6은 도 5의 확대 부분 평면도이다.

도 7은 초음파 진단 장치의 회로 구성을 개략적으로 나타내는 블록도이다.

도 8은 실리콘 웨이퍼 상에 형성된 가요막 및 하부 전극을 개략적으로 나타내는 부분 확대 수직 단면도이다.

도 9는 하부 전극 상에 형성된 압전체막 및 상부 전극을 개략적으로 나타내는 부분 확대 수직 단면도이다.

도 10은 실리콘 웨이퍼를 덮는 도전막을 개략적으로 나타내는 부분 확대 수직 단면도이다.

도 11은 실리콘 웨이퍼에 형성된 개구 및 보강판용의 웨이퍼를 개략적으로 나타내는 부분 확대 수직 단면도이다.

도 12는 도 4에 대응하고, 제2 실시 형태에 관한 초음파 트랜스듀서 소자 칩의 수직 단면도이다.

도 13은 도 6에 대응하고, 제2 실시 형태에 관한 초음파 트랜스듀서 소자 칩의 확대 부분 평면도이다.

도 14는 실리콘 웨이퍼의 이면에 형성된 홈을 개략적으로 나타내는 부분 확대 수직 단면도이다.

도 15는 도 4에 대응하고, 제3 실시 형태에 관한 초음파 트랜스듀서 소자 칩의 수직 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부 도면을 참조하면서 본 발명의 일 실시 형태를 설명한다. 또한, 이하에 설명하는 본 실시 형태는, 특허 청구 범위에 기재된 본 발명의 내용을 부당하게 한정하는 것이 아니고, 본 실시 형태에서 설명되는 구성의 모두가 본 발명의 해결 수단으로서 필수적이라고는 할 수 없다.

[0018] (1) 초음파 진단 장치의 전체 구성

[0019] 도 1은 본 발명의 일 실시 형태에 관한 전자 기기의 일 구체예, 즉 초음파 진단 장치(11)의 구성을 개략적으로 나타낸다. 초음파 진단 장치(11)는 장치 단말기(12)와 초음파 프로브(프로브)(13)를 구비한다. 장치 단말기(12)와 초음파 프로브(13)는 케이블(14)에 의해 서로 접속된다. 장치 단말기(12)와 초음파 프로브(13)는 케이블(14)을 통해 전기 신호를 교환한다. 장치 단말기(12)에는 디스플레이 패널(표시 장치)(15)이 내장된다. 디스플레이 패널(15)의 화면은 장치 단말기(12)의 표면에서 노출된다. 장치 단말기(12)에서는, 후술되는 바와 같이, 초음파 프로브(13)로 검출된 초음파에 기초하여 화상이 생성된다. 화상화된 검출 결과가 디스플레이 패널(15)의 화면에 표시된다.

[0020] 도 2에 나타내는 바와 같이, 초음파 프로브(13)는 하우징(16)을 갖는다. 하우징(16) 내에는 초음파 트랜스듀서 소자 칩(이하 「소자 칩」이라 함)(17)이 수용된다. 소자 칩(17)의 표면은 하우징(16)의 표면에서 노출될 수 있다. 소자 칩(17)은 표면으로부터 초음파를 출력함과 함께 초음파의 반사파를 수신한다. 그 외에, 초음파 프로브(13)는, 프로브 본체(13a)에 착탈 가능하게 연결되는 프로브 헤드(13b)를 구비할 수 있다. 이때, 소자 칩(17)은 프로브 헤드(13b)의 하우징(16) 내에 내장될 수 있다.

[0021] (2) 제1 실시 형태에 관한 초음파 트랜스듀서 소자 칩의 구성

[0022] 도 3은 제1 실시 형태에 관한 소자 칩(17)의 평면도를 개략적으로 나타낸다. 소자 칩(17)은 기판(21)을 구비한다. 기판(21)의 표면(제1 면)에는 소자 어레이(22)가 형성된다. 소자 어레이(22)는 초음파 트랜스듀서 소자(이하 「소자」라 함)(23)의 배열로 구성된다. 배열은 복수행 복수열의 매트릭스로 형성된다. 개개의 소자(23)는 압전 소자부를 구비한다. 압전 소자부는 하부 전극(24), 상부 전극(25) 및 압전체막(26)으로 구성된다. 개개의 소자(23)마다 하부 전극(24) 및 상부 전극(25) 사이에 압전체막(26)이 끼워 넣어진다.

[0023] 하부 전극(24)은 복수개의 제1 도전체(24a)를 갖는다. 제1 도전체(24a)는 배열의 행방향으로 서로 평행하게 연장된다. 1행의 소자(23)마다 1개의 제1 도전체(24a)가 할당된다. 1개의 제1 도전체(24a)는 배열의 행방향으로 배열되는 소자(23)의 압전체막(26)에 공통으로 배치된다. 제1 도전체(24a)의 양단부는 한 쌍의 인출 배선(27)에 각각 접속된다. 인출 배선(27)은 배열의 열방향으로 서로 평행하게 연장된다. 따라서, 모든 제1 도전체(24a)는 동일 길이를 갖는다. 이렇게 하여 매트릭스 전체의 소자(23)에 공통으로 하부 전극(24)은 접속된다.

[0024] 상부 전극(25)은 복수개의 제2 도전체(25a)를 갖는다. 제2 도전체(25a)는 배열의 열방향으로 서로 평행하게 연장된다. 1열의 소자(23)마다 1개의 제2 도전체(25a)가 할당된다. 1개의 제2 도전체(25a)는 배열의 열방향으로 배열되는 소자(23)의 압전체막(26)에 공통으로 배치된다. 열마다 소자(23)의 통전은 전환된다. 이러한 통전의 전환에 따라 라인 스캔이나 섹터 스캔은 실현된다. 1열의 소자(23)는 동시에 초음파를 출력하기 때문에, 1열의 개수, 즉 배열의 행수는 초음파의 출력 레벨에 따라 결정될 수 있다. 행수는, 예를 들어 10~15행 정도로 설정되면 된다. 도면 중에서는 생략되어 5행이 그려져 있다. 배열의 열수는 스캔의 범위의 규모(extent)에 따라 결정될 수 있다. 열수는, 예를 들어 128열이나 256열로 설정되면 된다. 도면 중에서는 생략되어 8열이 그려져 있다. 그 외에, 배열에서는 지그재그 배치가 확립되어도 된다. 지그재그 배치에서는 짹수열의 소자(23)군은 홀수열의 소자(23)군에 대해 행 편의 2분의 1로 어긋나지면 된다. 홀수열 및 짹수열의 한쪽의 소자수는 다른 쪽의 소자수에 비해 1개 적어도 된다. 또한, 하부 전극(24) 및 상부 전극(25)의 역할은 교체되어도 된다. 즉, 매트릭스 전체의 소자(23)에 공통으로 상부 전극이 접속되는 한편, 배열의 열마다 공통으로 소자(23)에 하부 전극이 접속되어도 된다.

[0025] 기판(21)의 외측 테두리는, 서로 평행한 한 쌍의 직선(29)으로 구획되고, 대향하는 제1 변(21a) 및 제2 변(21b)을 갖는다. 소자 어레이(22)의 윤곽과 기판(21)의 외측 테두리 사이에 확장되는 주연 영역(31)에는, 제1 변(21a)과 소자 어레이(22)의 윤곽 사이에 1라인의 제1 단자 어레이(32a)가 배치되고, 제2 변(21b)과 소자 어레이(22)의 윤곽 사이에 1라인의 제2 단자 어레이(32b)가 배치된다. 제1 단자 어레이(32a)는 제1 변(21a)에 평행하게 1라인을 형성할 수 있다. 제2 단자 어레이(32b)는 제2 변(21b)에 평행하게 1라인을 형성할 수 있다. 제1 단자 어레이(32a)는 한 쌍의 하부 전극 단자(33) 및 복수의 상부 전극 단자(34)로 구성된다. 마찬가지로, 제2 단자 어레이(32b)는 한 쌍의 하부 전극 단자(35) 및 복수의 상부 전극 단자(36)로 구성된다. 1개의 인출 배선(27)의 양단부에 각각 하부 전극 단자(33, 35)는 접속된다. 인출 배선(27) 및 하부 전극 단자(33, 35)는 소자 어레이(22)를 이동분하는 수직면에서 면 대칭으로 형성되면 된다. 1개의 제2 도전체(25a)의 양단부에 각각 상부 전극 단자(34, 36)는 접속된다. 제2 도전체(25a) 및 상부 전극 단자(34, 36)는 소자 어레이(22)를 이동분하는 수직면에서 면 대칭으로 형성되면 된다. 여기에서는, 기판(21)의 윤곽은 직사각형으로 형성된다. 기판(21)의 윤곽은 정사각형이어도 좋고, 사다리꼴이어도 좋다.

[0026] 기판(21)에는 제1 플렉시블 프린트 기판(이하 「제1 플렉시」라 함)(37)이 연결된다. 제1 플렉시(37)는 제1 단자 어레이(32a)에 피복된다. 제1 플렉시(37)의 일단부에는 하부 전극 단자(33) 및 상부 전극 단자(34)에 개별로 대응하여 도전선, 즉 제1 신호선(38)이 형성된다. 제1 신호선(38)은 하부 전극 단자(33) 및 상부 전극 단자(34)에 개별로 마주하여 개별로 접합된다. 마찬가지로, 기판(21)에는 제2 플렉시블 프린트 기판(이하 「제2 플렉시」라 함)(41)이 피복된다. 제2 플렉시(41)는 제2 단자 어레이(32b)에 피복된다. 제2 플렉시(41)의 제1 단부(41a)에는 하부 전극 단자(35) 및 상부 전극 단자(36)에 개별로 대응하여 도전선, 즉 제2 신호선(42)이 형성된다. 제2 신호선(42)은 하부 전극 단자(35) 및 상부 전극 단자(36)에 개별로 마주하여 개별로 접합된다.

[0027] 도 4에 나타내는 바와 같이, 개개의 소자(23)는 진동막(43)을 갖는다. 진동막(43)의 구축에 있어서 기판(21)의

기체(44)에는 개개의 소자(23)마다 개구(45)가 형성된다. 개구(45)는 기체(44)에 대해 어레이 형상으로 배치된다. 기체(44)의 표면(제1 면)에는 가요막(46)이 한 면에 형성된다. 가요막(46)은, 기체(44)의 표면에 적층되는 산화실리콘(SiO₂)층(47)과, 산화실리콘층(47)의 표면에 적층되는 산화지르코늄(ZrO₂)층(48)으로 구성된다. 가요막(46)은 개구(45)에 접한다. 이렇게 하여 개구(45)의 윤곽에 대응해 가요막(46)의 일부가 진동막(43)으로서 기능한다. 산화실리콘층(47)의 막 두께는 공진 주파수에 기초하여 결정될 수 있다.

[0028] 진동막(43)의 표면에 하부 전극(24), 압전체막(26) 및 상부 전극(25)이 순서대로 적층된다. 하부 전극(24)에는, 예를 들어 티타늄(Ti), 이리듐(Ir), 백금(Pt) 및 티타늄(Ti)의 적층막이 사용될 수 있다. 압전체막(26)은, 예를 들어 지르코산 티탄산 납(PZT)으로 형성될 수 있다. 상부 전극(25)은, 예를 들어 이리듐(Ir)으로 형성될 수 있다. 하부 전극(24) 및 상부 전극(25)에는 그 밖의 도전재가 이용되어도 되고, 압전체막(26)에는 기타의 압전재료가 사용되어도 된다. 여기에서는, 상부 전극(25)의 아래에서 압전체막(26)은 완전히 하부 전극(24)을 덮는다. 압전체막(26)의 작용으로 상부 전극(25)과 하부 전극(24) 사이에서 단락은 방지될 수 있다.

[0029] 기판(21)의 표면에는 보호막(49)이 적층된다. 보호막(49)은, 예를 들어 전체면에 걸쳐 기판(21)의 표면에 꾀복된다. 그 결과, 소자 어레이(22)나 제1 및 제2 단자 어레이(32a, 32b), 제1 및 제2 플렉시(37, 41)의 제1 단부(37a, 41a)는 보호막(49)으로 덮인다. 보호막(49)에는, 예를 들어 실리콘 수지막이 사용될 수 있다. 보호막(49)은, 소자 어레이(22)의 구조나, 제1 단자 어레이(32a) 및 제1 플렉시(37)의 접합, 제2 단자 어레이(32b) 및 제2 플렉시(41)의 접합을 보호한다.

[0030] 인접하는 개구(45)끼리의 사이에는 구획벽(51)이 구획된다. 개구(45)끼리는 구획벽(51)으로 구획된다. 구획벽(51)의 벽 두께 t는 개구(45)의 공간끼리의 간격에 상당한다. 구획벽(51)은 서로 평행하게 확장되는 평면내에 2개의 벽면을 규정한다. 벽 두께 t는 벽면끼리의 거리에 상당한다. 즉, 벽 두께 t는 벽면에 직교하여 벽면끼리의 사이에 끼워지는 수선의 길이로 규정될 수 있다. 구획벽(51)의 벽 높이 H는 개구(45)의 깊이에 상당한다. 개구(45)의 깊이는 기체(44)의 두께에 상당한다. 따라서, 구획벽(51)의 벽 높이 H는 기체(44)의 두께 방향으로 규정되는 벽면의 길이로 규정될 수 있다. 기체(44)는 균일한 두께를 갖기 때문에, 구획벽(51)은 전체 길이에 걸쳐 일정한 벽 높이 H를 가질 수 있다. 구획벽(51)의 벽 두께 t가 축소되면, 진동막(43)의 배치 밀도는 높아진다. 소자 칩(17)의 소형화에 기여할 수 있다. 벽 두께 t에 비해 구획벽(51)의 벽 높이 H가 크면, 소자 칩(17)의 굽힘 강성을 높아질 수 있다. 이렇게 하여 개구(45)끼리의 간격은 개구(45)의 깊이 보다도 작게 설정된다.

[0031] 기체(44)의 표면의 반대측의 기체(44)의 이면(제2 면)에는 보강판(보강 부재)(52)이 고정된다. 보강판(52)의 표면에 기체(44)의 이면이 겹쳐진다. 보강판(52)은 소자 칩(17)의 이면에서 개구(45)에 덮인다. 보강판(52)은 딱딱한(rigid) 기재를 구비할 수 있다. 보강판(52)은, 예를 들어 실리콘 기판으로 형성될 수 있다. 기체(44)의 판 두께는, 예를 들어 100/ μ m 정도로 설정되고, 보강판(52)의 판 두께는, 예를 들어 100~150/ μ m 정도로 설정된다. 여기에서는, 구획벽(51)은 보강판(52)에 결합된다. 보강판(52)은 개개의 구획벽(51)에 적어도 1개소의 접합 영역에서 접합된다. 접합에 있어서 접착제는 사용될 수 있다. 「겹쳐짐」에는, 기체(44)와 보강판(52)과의 중첩 외에, 기체(44)의 이면에 대한 보강재의 적층이나, 기체(44)와 보강판(52)과의 대향 배치에서의 접속이 포함된다.

[0032] 보강판(52)의 표면에는 복수의 직선 형상의 홈(홈부)(53)이 배치된다. 홈(53)은 보강판(52)의 표면을 복수의 평면(54)으로 분할한다. 복수의 평면(54)은 1개의 가상 평면 HP 내에서 확장된다. 그 가상 평면 HP 내에서 기체(44)의 이면은 확장된다. 구획벽(51)은 평면(54)에 접합된다. 홈(53)은 가상 평면 HP로부터 오목해진다. 홈(53)의 단면 형상은 사각형이어도 좋고, 삼각형이어도 좋고, 반원형, 그 외의 형상이어도 좋다.

[0033] 도 5에 나타내는 바와 같이, 개구(45)는 제1 방향 D1로 열을 형성한다. 개구(45)의 윤곽 형상의 도심(45c)은 제1 방향 D1의 1직선(56) 상에서 등피치로 배치된다. 개구(45)는 1개의 윤곽 형상의 복사로 본떠지기 때문에, 동일 형상의 개구(45)가 일정한 피치로 반복해 배치된다. 개구(45)의 윤곽(45a)은, 예를 들어 사각형으로 규정된다. 구체적으로는 직사각형으로 형성된다. 직사각형의 긴 변은 제1 방향 D1에 맞추어진다. 이렇게 하여 개구(45)는 직사각형의 윤곽(45a)을 갖기 때문에, 구획벽(51)은 전체 길이에 걸쳐 일정한 벽 두께 t를 가질 수 있다. 이때, 구획벽(51)의 접합 영역은 긴 변의 중앙 위치를 포함하는 영역이면 된다. 특히, 구획벽(51)의 접합 영역은 긴 변의 전체 길이를 포함하는 영역이면 된다. 구획벽(51)은 긴 변의 전체 길이에 걸쳐 개구(45)끼리의 사이의 전체면에서 보강판(52)에 면접합될 수 있다. 또한, 구획벽(51)의 접합 영역은 사각형의 각 변에 적어도 1개소씩 배치될 수 있다. 구획벽(51)의 접합 영역은 사각형을 도중에 끊김 없이 둘러쌀 수 있다. 구획벽(51)

은 사각형의 전체 둘레에 걸쳐 개구(45)끼리의 사이의 전체면에서 보강판(52)에 면접합될 수 있다.

[0034] 흄(53)은 일정한 간격으로 서로 평행하게 제1 방향 D1로 배열된다. 흄(53)은 제1 방향 D1에 교차하는 제2 방향 D2로 연장된다. 흄(53)의 양단부는 보강판(52)의 단부면(57a, 57b)에서 개구한다. 기판(21)의 표면에 직교하는 방향, 즉 기판(21)의 두께 방향으로부터 본 평면에서 보아, 1개의 흄(53)은 1열(여기에서는 1행)의 개구(45)의 윤곽(45a)을 순서대로 가로지른다. 개개의 개구(45)에는 적어도 1개의 흄(53)이 접속된다. 여기에서는, 제2 방향 D2는 제1 방향 D1에 직교한다. 따라서, 흄(53)은 직사각형의 짧은 변 방향으로 개구(45)의 윤곽(45a)을 가로지른다.

[0035] 도 6에 나타내는 바와 같이, 평면(54)끼리의 사이에서 흄(53)은 기체(44)와 보강판(52) 사이에 통기 경로(58a, 58b)를 형성한다. 이렇게 하여 흄(53) 내의 공간은 개구(45)의 내부 공간에 연통된다. 통기 경로(58a, 58b)는 개구(45)의 내부 공간 및 기판(21)의 외부 공간을 서로 연통한다. 이렇게 하여 개구(45)의 내부 공간과 기판(21)의 외부 공간 사이에서 통기가 확보된다. 기판(21)의 두께 방향으로부터의 평면에서 보아, 1개의 흄(53)은 1열(여기에서는 1행)의 개구(45)의 윤곽(45a)을 순서대로 가로지르기 때문에, 차례로 개구(45)끼리는 통기 경로(58a)에 의해 접속된다. 흄(53)의 양단부는 보강판(52)의 단부면(57a, 57b)에서 개구한다. 이렇게 하여 열단부의 개구(45)로부터 기판(21)의 외측 테두리의 외측으로 통기 경로(58b)는 개방된다.

(3) 초음파 진단 장치의 회로 구성

[0036] 도 7에 나타내는 바와 같이, 접적회로는 멀티플렉서(61) 및 송수신 회로(62)를 구비한다. 멀티플렉서(61)는 소자 칩(17)측의 포트군(61a)과 송수신 회로(62)측의 포트군(61b)을 구비한다. 소자 칩(17)측의 포트군(61a)에는 제1 배선(54) 경유로 제1 신호선(38) 및 제2 신호선(42)이 접속된다. 이렇게 하여 포트군(61a)은 소자 어레이(22)에 연결된다. 여기에서는, 송수신 회로(62)측의 포트군(61b)에는 접적회로 칩(55) 내의 규정수의 신호선(63)이 접속된다. 규정수는 스캔에 있어서 동시에 출력되는 소자(23)의 열수에 상당한다. 멀티플렉서(61)는 케이블(14)측의 포트와 소자 칩(17)측의 포트 사이에서 상호 접속을 관리한다.

[0037] 송수신 회로(62)는 규정수의 전환 스위치(64)를 구비한다. 개개의 전환 스위치(64)는 각각 개별로 대응하는 신호선(63)에 접속된다. 송수신 회로(62)는 개개의 전환 스위치(64)마다 송신 경로(65) 및 수신 경로(66)를 구비한다. 전환 스위치(64)에는 송신 경로(65)와 수신 경로(66)가 병렬로 접속된다. 전환 스위치(64)는 멀티플렉서(61)에 선택적으로 송신 경로(65) 또는 수신 경로(66)를 접속한다. 송신 경로(65)에는 펄서(67)가 내장된다. 펄서(67)는 진동막(52)의 공진 주파수에 따른 주파수로 펄스 신호를 출력한다. 수신 경로(66)에는 앰프(68), 로우 패스 필터(LPF)(69) 및 아날로그/디지털 변환기(ADC)(71)가 내장된다. 개개의 소자(23)의 검출 신호는 종폭되어 디지털 신호로 변환된다.

[0038] 송수신 회로(62)는 구동/수신 회로(72)를 구비한다. 송신 경로(65) 및 수신 경로(66)는 구동/수신 회로(72)에 접속된다. 구동/수신 회로(72)는 스캔의 형태에 따라 동시에 펄서(67)를 제어한다. 구동/수신 회로(72)는 스캔의 형태에 따라 검출 신호의 디지털 신호를 수신한다. 구동/수신 회로(72)는 제어선(73)에 의해 멀티플렉서(61)에 접속된다. 멀티플렉서(61)는 구동/수신 회로(72)로부터 공급되는 제어 신호에 기초하여 상호 접속의 관리를 실시한다.

[0039] 장치 단말기(12)에는 처리 회로(74)가 내장된다. 처리 회로(74)는, 예를 들어 중앙연산처리장치(CPU)나 메모리 를 구비할 수 있다. 초음파 진단 장치(11)의 전체 동작은 처리 회로(74)의 처리에 따라 제어된다. 유저로부터 입력되는 지시에 따라 처리 회로(74)는 구동/수신 회로(72)를 제어한다. 처리 회로(74)는 소자(23)의 검출 신호에 따라 화상을 생성한다. 화상은 묘화 데이터로 특정된다.

[0040] 장치 단말기(12)에는 묘화 회로(75)가 내장된다. 묘화 회로(75)는 처리 회로(74)에 접속된다. 묘화 회로(75)에는 디스플레이 패널(15)이 접속된다. 묘화 회로(75)는 처리 회로(74)에서 생성된 묘화 데이터에 따라 구동 신호를 생성한다. 구동 신호는 디스플레이 패널(15)로 보내진다. 그 결과, 디스플레이 패널(15)에 화상이 투영된다.

(4) 초음파 진단 장치의 동작

[0041] 다음으로, 초음파 진단 장치(11)의 동작을 간단하게 설명한다. 처리 회로(74)는 구동/수신 회로(72)에 초음파의 송신 및 수신을 지시한다. 구동/수신 회로(72)는 멀티플렉서(61)에 제어 신호를 공급함과 함께 개개의 펄서(67)에 구동 신호를 공급한다. 펄서(67)는 구동 신호의 공급에 따라 펄스 신호를 출력한다. 멀티플렉서(61)는 제어 신호의 지시에 따라 포트군(61b)의 포트에 포트군(61a)의 포트를 접속한다. 펄스 신호는 포트의 선택에 따라 하부 전극 단자(33, 35) 및 상부 전극 단자(34, 36)를 통해 열마다 소자(23)에 공급된다. 펄스 신호의 공

급에 따라 진동막(43)은 진동한다. 그 결과, 대상물(예를 들어, 인체의 내부)을 향해 원하는 초음파는 발하게 된다.

[0044] 초음파의 송신 후, 전환 스위치(64)는 전환된다. 멀티플렉서(61)는 포트의 접속 관계를 유지한다. 전환 스위치(64)는 송신 경로(65) 및 신호선(63)의 접속 대신, 수신 경로(66) 및 신호선(63)의 접속을 확립한다. 초음파의 반사파는 진동막(43)을 진동시킨다. 그 결과, 소자(23)로부터 검출 신호가 출력된다. 검출 신호는 디지털 신호로 변환되어 구동/수신 회로(72)에 보내진다.

[0045] 초음파의 송신 및 수신은 반복된다. 반복에 있어서 멀티플렉서(61)는 포트의 접속 관계를 변경한다. 그 결과, 라인 스캔이나 섹터 스캔은 실현된다. 스캔이 완료되면, 처리 회로(74)는 검출 신호의 디지털 신호에 기초하여 화상을 형성한다. 형성된 화상은 디스플레이 패널(15)의 화면에 표시된다.

[0046] 소자 칩(17)에서는 소자(23)는 박형으로 형성될 수 있다. 소자(23)는 박형의 기판(21)에 형성될 수 있다. 보강판(52)이 기판(21)에 고정되더라도, 소자 칩(17)은 박형으로 형성될 수 있다. 동시에, 보강판(52)은 기판(21)의 강도를 보강한다. 특히, 구획벽(51)에서 벽 두께 t가 벽 높이 H보다도 작기 때문에, 단면 계수의 관계에서 구획벽(51)에서는 기판(21)의 두께 방향으로 충분한 강성이 확보될 수 있다. 기판(21)의 두께 방향의 힘은 구획벽(51)을 타고 보강판(52)에 의해 지지될 수 있다. 이렇게 하여 소자 칩(17)은 기판(21)의 두께 방향으로 충분한 강도를 가질 수 있다. 그리고, 기판(21)의 판 두께가, 예를 들어 100 μ m 정도로 설정되더라도, 보강판(52)은 기판(21)의 파손을 방지할 수 있다. 한편, 벌크형의 초음파 트랜스듀서 소자로 소자 어레이가 구성되는 경우에는, 기판의 판 두께는 수mm 정도로 설정된다. 가령 보강판(52)이 접합되더라도, 본 실시 형태에 관한 소자 칩(17)의 두께는, 벌크형의 초음파 트랜스듀서 소자로 소자 어레이가 구성되는 경우에 비해 확실하게 축소될 수 있다. 또한, 진동막(43)의 음향 임피던스는 벌크형의 초음파 트랜스듀서 소자에 비해 인체의 그것에 가깝기 때문에, 소자 칩(17)에서는 벌크형의 초음파 트랜스듀서 소자에 비해 음향 임피던스의 정합층이 생략될 수 있다. 이러한 정합층의 생략은, 소자 칩(17)의 박형화에 더욱 기여할 수 있다.

[0047] 보강판(52)은 개개의 구획벽(51)에 적어도 1개소의 접합 영역에서 접합된다. 구획벽(51)이 보강판(52)에 접합되면, 구획벽(51)의 움직임은 보강판(52)에 의해 구속된다. 따라서, 구획벽(51)의 진동은 방지될 수 있다. 그 결과, 소자(23)끼리의 크로스 토크는 방지될 수 있다. 또한, 이렇게 하여 구획벽(51)의 움직임이 구속되면, 소자(23)의 초음파 진동에 대해 구획벽(51)의 진동의 작용은 방지될 수 있다. 소자(23)에서는 클리어한 진동 모드의 초음파 진동을 얻을 수 있다. 이렇게 하여 구획벽(51)의 진동이 방지되면, 초음파 진동의 진폭의 저하도 억제될 수 있다. 한편, 구획벽(51)이 움직이면, 진동막(43)의 상하 진동 모드보다도 낮은 주파수의 왜곡된 진동 모드가 나타난다. 또한, 구획벽(51)이 움직이는 분만큼 진동막(43)의 운동 에너지가 감소해 진동의 진폭이 저하되어 버린다.

[0048] 이때, 개구(45) 내의 공간은 기판(21), 가요막(46)(진동막(43)) 및 보강판(52)으로 둘러싸이지만, 홈(53)은 개개의 개구(45)의 내부 공간과 기판(21)의 외부 공간 사이에서 통기를 확보한다. 따라서, 개구(45)의 내부 공간은 밀폐되지 않는다. 개구(45)의 내부 공간은 대기 공간에 연결된다. 개구(45)의 내부 공간은 주위의 압력 변동에 용이하게 추종될 수 있다. 이렇게 하여 소자(23)의 파손은 확실하게 방지될 수 있다. 가령 개구(45)의 내부 공간이 기밀하게 밀폐되어 버리면, 압력 변동에 기인하여 초음파 트랜스듀서 소자의 파손이 염려된다. 여기서, 외부 공간은, 기판(21), 가요막(46) 및 보강판(52)에 의해 내부 공간으로부터 이격되는 공간이며, 내부 공간에 비해 현저하게 큰 공간을 의미한다.

[0049] 구획벽(51)의 접합 영역은 긴 변의 중앙 위치를 포함하는 영역일 수 있다. 구획벽(51) 중 진동 진폭이 큰 부위가 보강판(52)에 접합된다. 그 결과, 구획벽(51)의 진동은 효과적으로 방지될 수 있다. 게다가, 구획벽(51)의 접합 영역은 긴 변의 전체 길이를 포함하는 영역일 수 있다. 이렇게 하여 긴 변의 전체 길이에 걸쳐 구획벽(51)이 보강판(52)에 접합되면, 구획벽(51)의 진동은 확실하게 방지될 수 있다. 또한, 구획벽(51)은 긴 변의 전체 길이에 걸쳐 개구(45)끼리의 사이의 전체면에서 면접합될 수 있다. 이렇게 하여 긴 변의 전체 길이에 걸쳐 개구(45)끼리의 사이의 전체면에서 구획벽(51)이 보강판(52)에 면접합되면, 구획벽(51)의 진동은 확실하게 방지될 수 있다.

[0050] 구획벽(51)의 접합 영역은 사각형의 각 변에 적어도 1개소씩 배치되면 된다. 이렇게 하여 사각형의 각 변에서 구획벽(51)이 보강판(52)에 접합되면, 구획벽(51)의 진동은 확실하게 방지될 수 있다. 또한, 구획벽(51)의 접합 영역은 사각형을 도중에 끊김 없이 둘러쌀 수 있다. 이렇게 하여 사각형의 전체 영역에서 구획벽(51)이 보강판(52)에 접합되면, 구획벽(51)의 진동은 확실하게 방지될 수 있다. 또한, 구획벽(51)은 사각형의 전체 둘레에 걸쳐 개구(45)끼리의 사이의 전체면에서 면접합될 수 있다. 이렇게 하여 사각형의 전체 둘레에 걸쳐 개구

(45)끼리의 사이의 전체면에서 구획벽(51)이 보강판(52)에 면접합되면, 구획벽(51)의 진동은 확실하게 방지될 수 있다.

[0051] (5) 제1 실시 형태에 관한 초음파 트랜스듀서 소자 칩의 제조 방법

도 8에 나타내는 바와 같이, 실리콘 웨이퍼(78)의 표면에서 개개의 소자 칩(17)마다 하부 전극(24), 인출 배선(27) 및 하부 전극 단자(33, 35)(도 8 이후에서는 도시되지 않음)가 형성된다. 하부 전극(24), 인출 배선(27) 및 하부 전극 단자(33, 35)의 형성에 앞서, 실리콘 웨이퍼(78)의 표면에는 산화실리콘막(79) 및 산화지르코늄막(81)이 잇따라 형성된다. 산화지르코늄막(81)의 표면에는 도전막이 형성된다. 도전막은 티타늄, 이리듐, 백금 및 티타늄의 적층막으로 구성된다. 포토리소그래피 기술에 기초하여 도전막으로부터 하부 전극(24), 인출 배선(27) 및 하부 전극 단자(33, 35)는 성형된다.

[0053] 도 9에 나타내는 바와 같이, 하부 전극(24)의 표면에서 개개의 소자(23)마다 압전체막(26) 및 상부 전극(25)이 형성된다. 압전체막(26) 및 상부 전극(25)의 형성에 있어서 실리콘 웨이퍼(78)의 표면에는 압전재료막 및 도전막이 성막된다. 압전재료막은 PZT막으로 구성된다. 도전막은 이리듐 막으로 구성된다. 포토리소그래피 기술에 기초하여 개개의 소자(23)마다 압전재료막 및 도전막으로 압전체막(26) 및 상부 전극(25)이 성형된다.

[0054] 계속해서, 도 10에 나타내는 바와 같이, 실리콘 웨이퍼(78)의 표면에 도전막(82)이 성막된다. 도전막(82)은 개개의 소자 칩(17) 내에서 열마다 상부 전극(25)을 서로 접속한다. 그리고, 포토리소그래피 기술에 기초하여 도전막(82)으로부터 상부 전극(25), 상부 전극 단자(34, 36)가 성형된다.

[0055] 그 후, 도 11에 나타내는 바와 같이, 실리콘 웨이퍼(78)의 이면으로부터 어레이 형상의 개구(45)가 형성된다. 개구(45)의 형성에 있어서 에칭 처리가 실시된다. 산화실리콘막(79)은 에칭 스텝층으로서 기능한다. 산화실리콘막(79) 및 산화지르코늄막(81)에 진동막(43)은 구획된다. 개구(45)의 형성 후, 실리콘 웨이퍼(78)의 이면에 보강판용의 웨이퍼(83)의 표면이 중첩된다. 웨이퍼(83)에는, 예를 들어 딱딱한 절연성 기판이 사용될 수 있다. 절연성 기판에는 실리콘 웨이퍼가 사용될 수 있다. 접합에 앞서 보강판용의 웨이퍼(83)의 표면에는 직선 형상의 홈(84)이 형성된다. 홈(84)은 서로 평행하게 등간격으로 연장된다. 홈(84) 중 적어도 일단부는 웨이퍼(83)의 단부면에서 개방된다. 접합에 있어서, 예를 들어 접착제가 사용될 수 있다. 접합 후, 실리콘 웨이퍼(78)로부터 개개의 소자 칩(17)은 잘라내어 진다. 홈(84)은 홈(53)을 제공한다.

[0056] 이렇게 하여 홈(84)이 형성되면, 실리콘 웨이퍼(78) 및 웨이퍼(83)가 대기 중 또는 기타의 기체 분위기 하에서 서로 중첩되는 경우에도, 비교적 간단히 중첩은 실현될 수 있다. 한편, 실리콘 웨이퍼(78)의 이면이 균일한 평면에 중첩되면, 개개의 개구(45) 내에 보강판용의 웨이퍼의 평면에서 기체가 채워진다. 대기압에서는 개구(45) 내의 공간의 체적보다도 큰 체적의 기체가 개구(45) 내에 머무르려고 한다. 개구(45)의 봉쇄와 동시에, 실리콘 웨이퍼(78) 및 보강판용의 웨이퍼의 간극으로부터 여분의 기체가 제거되지 않으면, 실리콘 웨이퍼(78) 및 보강판용의 웨이퍼의 접합(binding)은 실현될 수 없다.

[0057] (6) 제2 실시 형태에 관한 초음파 트랜스듀서 소자 칩

[0058] 도 12는 제2 실시 형태에 관한 초음파 트랜스듀서 소자 칩(17a)을 개략적으로 나타낸다. 이 소자 칩(17a)에서 는 기판(21)의 이면에 복수의 홈(홈부)(86)이 배치된다. 홈(86)은 구획벽(51)의 하단부에서 기판(21)의 이면을 복수의 평면(87)으로 분할한다. 복수의 평면(87)은 1개의 가상 평면 HP 내에서 확장된다. 그 가상 평면 HP 내에서 보강판(52)의 표면은 확장된다. 홈(86)은 가상 평면 HP로부터 오목해진다. 홈(86)의 단면 형상은 사각형이어도 좋고, 삼각형이어도 좋고, 반원형, 기타의 형상이어도 좋다. 도 13에 나타내는 바와 같이, 평면(87)끼리의 사이에서 홈(86)은 기체(44)와 보강판(52) 사이에 통기 경로(88a, 88b)를 형성한다. 이렇게 하여 홈(86) 내의 공간은 개구(45) 내의 공간에 접속된다. 통기 경로(88a, 88b)는 개구(45) 내의 공간의内外를 서로 접속한다. 이렇게 하여 개구(45) 내의 공간과 개구(45)의 외측 사이에서 통기가 확보된다. 1열(여기에서는 1행)의 개구(45)에서는 차례로 개구(45)끼리는 통기 경로(88a)에 의해 접속된다. 열단부의 개구(45)와 기판(21)의 외측 테두리의 외측과는 통기 경로(88b)에 의해 접속된다. 이렇게 하여 열단부의 개구(45)는 기판(21)의 외측 테두리의 외측으로 개방된다. 기타의 구성은 소자 칩(17)과 마찬가지로 구성될 수 있다. 도면 중, 소자 칩(17)과 균등한 구성이나 구조에는 동일한 참조 부호가 부여된다.

[0059] 도 14에 나타내는 바와 같이, 소자 칩(17a)의 제조 방법에서는 개구(45)의 형성에 앞서 실리콘 웨이퍼(78)의 이면에 홈(89)이 형성된다. 홈(89)의 형성에 있어서, 예를 들어 리소그래피 기술이 사용될 수 있다. 실리콘 웨이퍼(78)의 이면에는, 예를 들어 레지스트막(91)이 형성된다. 레지스트막(91)에는 홈(89)의 패턴이 본떠진다. 이렇게 하여 홈(89)이 형성되면, 레지스트막(91)은 제거된다. 도 10과 마찬가지로, 실리콘 웨이퍼(78)의 이면

으로부터 어레이 형상의 개구(45)가 형성된다. 실리콘 웨이퍼(78)로부터 개개의 소자 칩(17a)이 잘라내어 지면, 흄(89)은 흄(86)을 제공한다.

[0060] (7) 제3 실시 형태에 관한 초음파 트랜스듀서 소자 칩

도 15는 제3 실시 형태에 관한 초음파 트랜스듀서 소자 칩(17b)을 개략적으로 나타낸다. 이 소자 칩(17b)에서 기판(21) 및 보강판(52)의 적어도 일부는 다공질 재로 구성된다. 이러한 다공질 재는 적어도 개구(45)끼리의 사이나 열단부의 개구(45)와 기판(21)의 외측 테두리 사이에 배치된다. 여기에서는, 보강판(52)은 다공질 재로 형성된다. 다공질 재의 구멍은 서로 이어져 통기 경로를 형성한다. 기타의 구성은 소자 칩(17)과 마찬가지로 구성될 수 있다. 도면 중, 소자 칩(17)과 균등한 구성이나 구조에는 동일한 참조 부호가 부여된다.

또한, 상기와 같이 본 실시 형태에 대해 상세하게 설명했으나, 본 발명의 신규 사항 및 효과로부터 실체적으로 일탈하지 않는 많은 변형이 가능하다는 것은 당업자에게는 용이하게 이해될 수 있을 것이다. 따라서, 이러한 변형에는 모두 본 발명의 범위에 포함된다. 예를 들어, 명세서 또는 도면에 있어서, 적어도 한 번, 보다 광의 또는 같은 의미의 다른 용어와 함께 기재된 용어는, 명세서 또는 도면의 어떠한 개소에 있어서도, 그 다른 용어로 치환될 수 있다. 또한, 초음파 진단 장치(11)나 초음파 프로브(13), 프로브 헤드(13b), 소자 칩(17, 17a, 17b), 소자(23) 등의 구성 및 동작도, 본 실시 형태에서 설명한 것에 한정되지 않고, 다양한 변형이 가능하다.

부호의 설명

[0063] 11 : 전자 기기(초음파 진단 장치)

13 : 프로브(초음파 프로브)

13b : 프로브 헤드

15 : 표시 장치(디스플레이 패널)

16 : 하우징

17 : 초음파 트랜스듀서 소자 칩

17a : 초음파 트랜스듀서 소자 칩

17b : 초음파 트랜스듀서 소자 칩

21 : 기판

23 : 초음파 트랜스듀서 소자

45 : 개구

51 : 구획벽부(구획벽)

52 : 보강 부재(보강판)

53 : 흄부(흄)

58a : 통기 경로

58b : 통기 경로

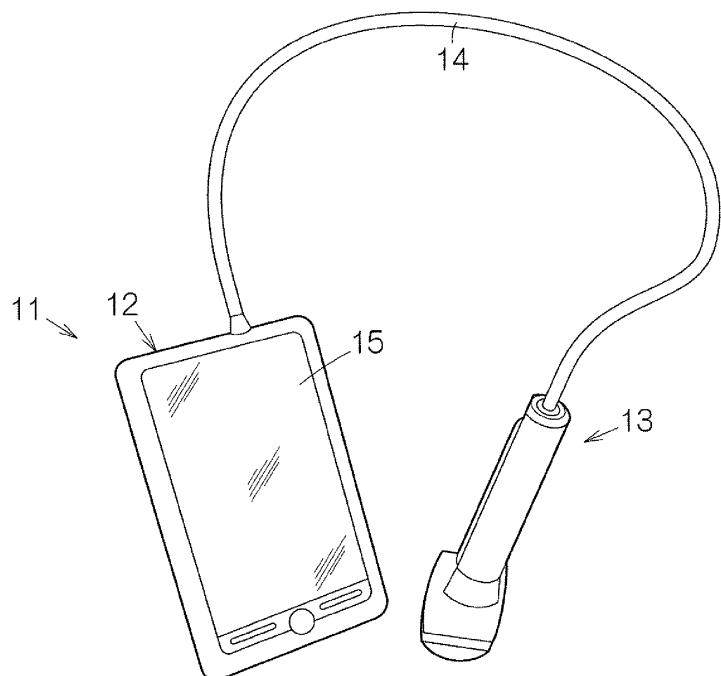
86 : 흄부(흄)

88a : 통기 경로

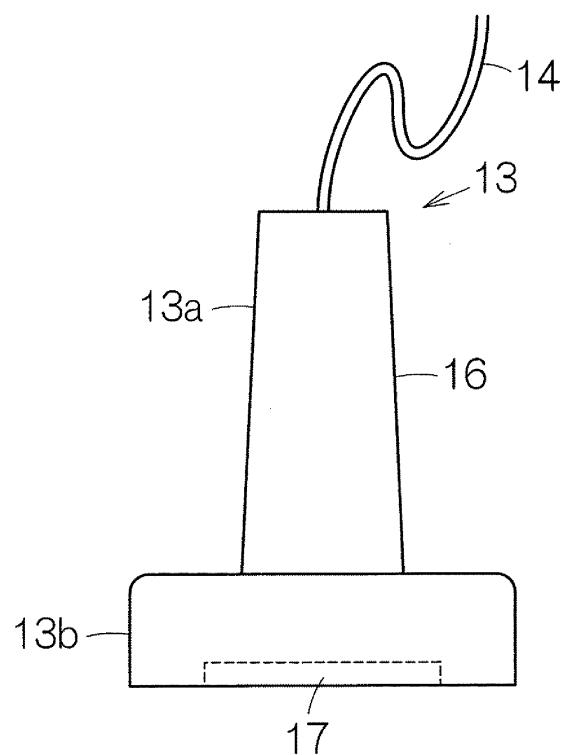
88b : 통기 경로

도면

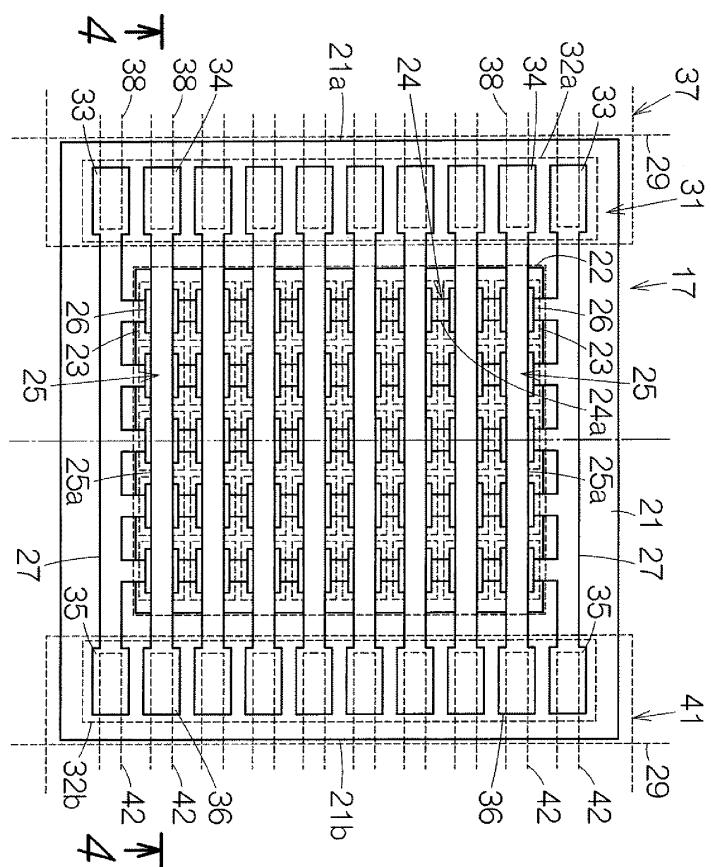
도면1



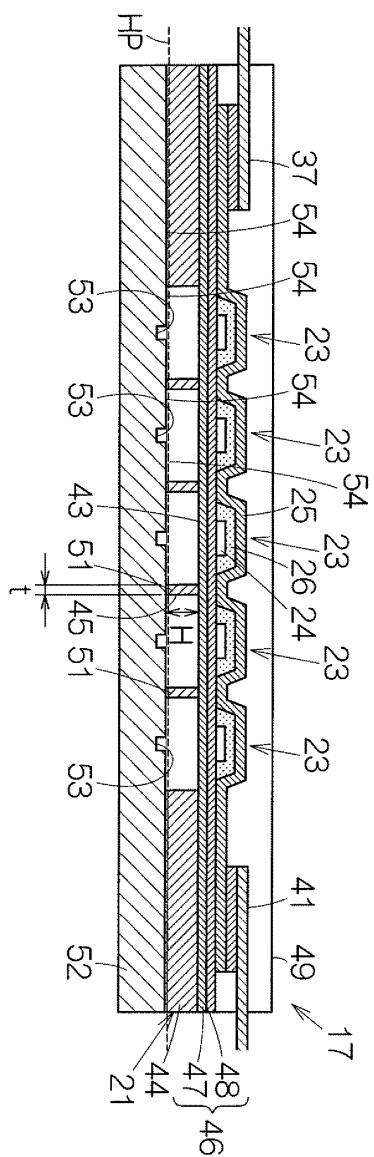
도면2



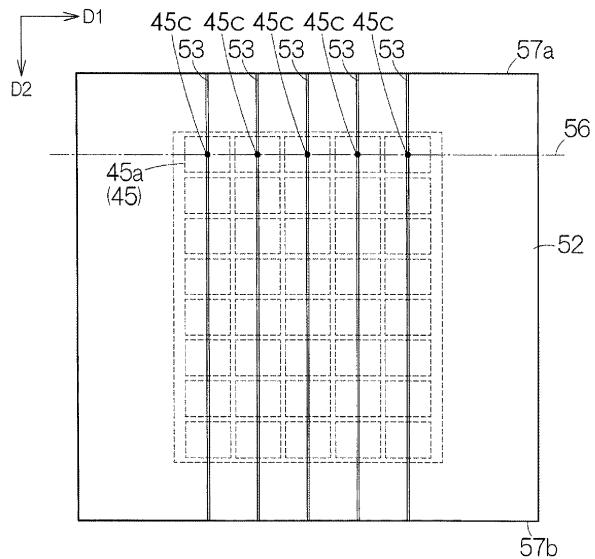
도면3



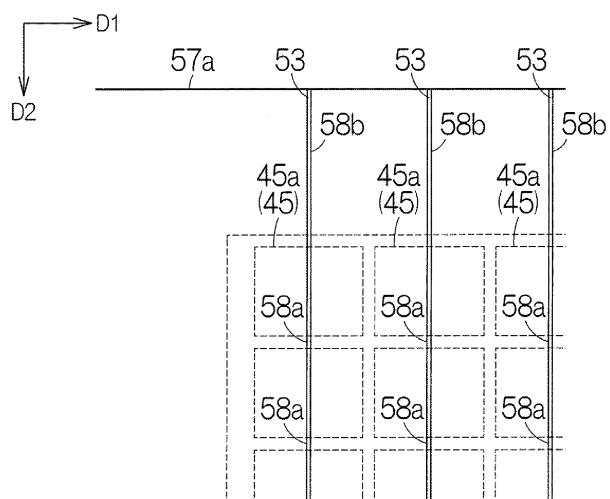
도면4



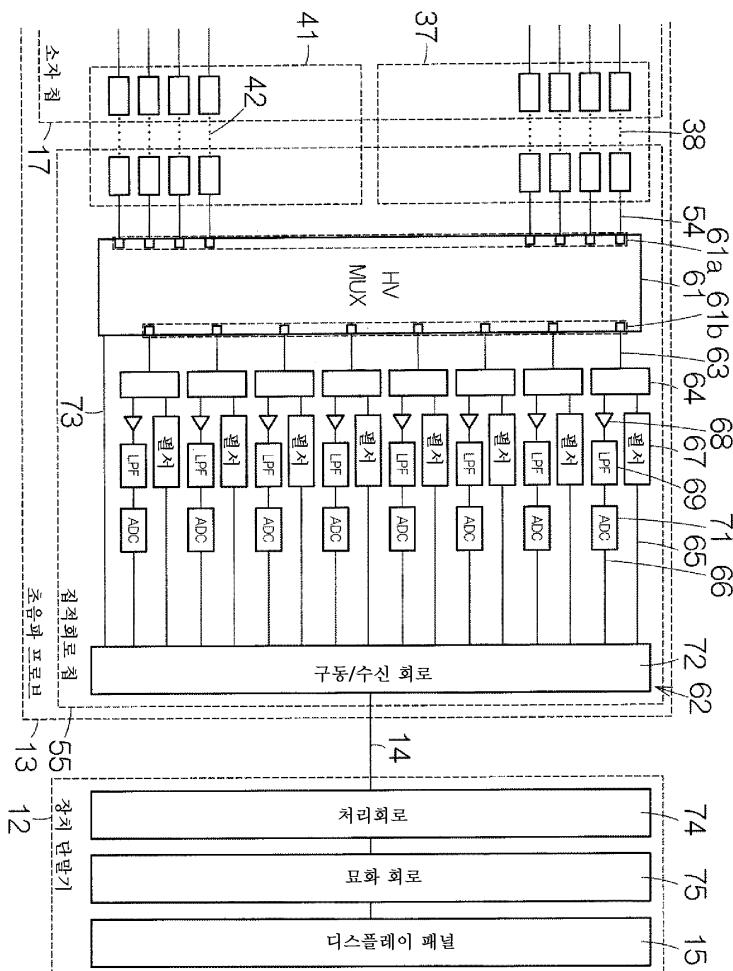
도면5



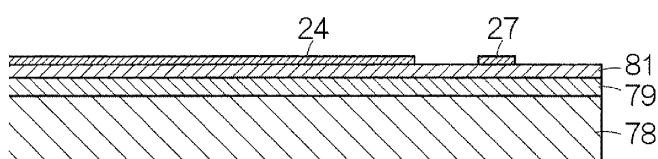
도면6



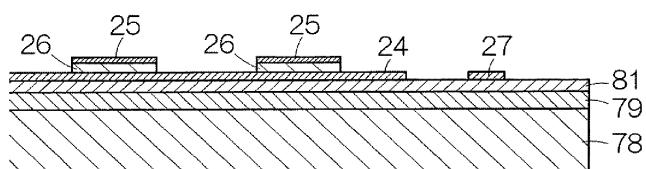
도면7



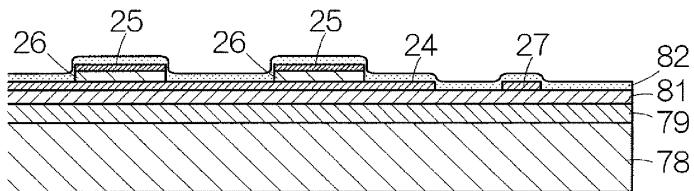
도면8



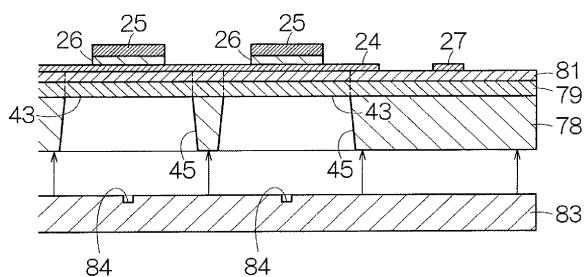
도면9



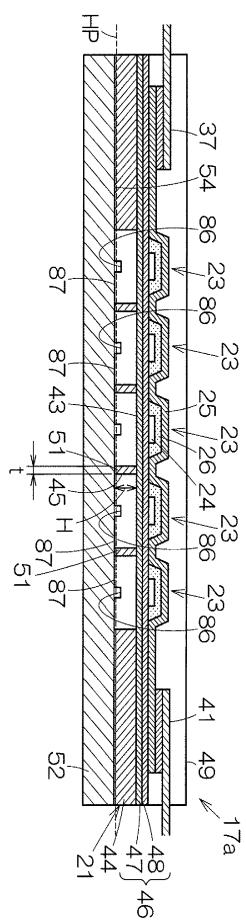
도면10



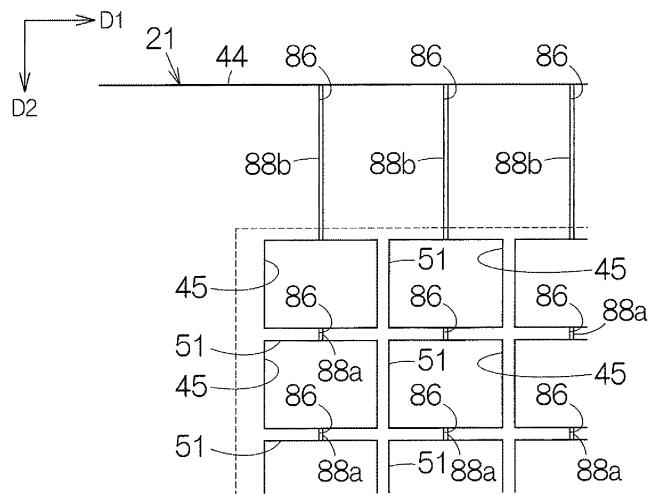
도면11



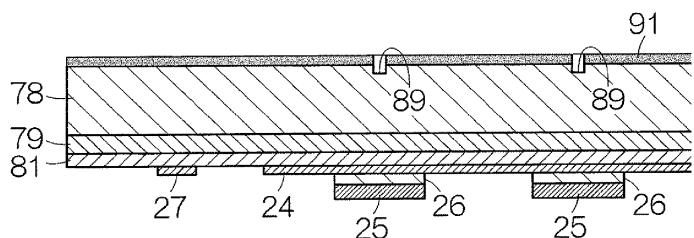
도면12



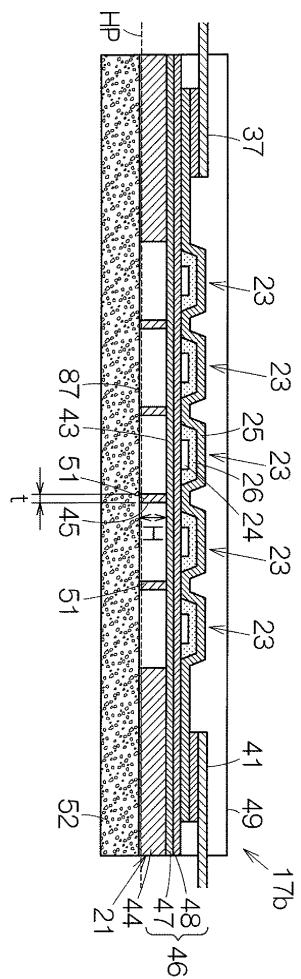
도면13



도면14



도면15



专利名称(译)	标题 : 超声波换能器元件芯片和探头 , 以及电子设备和超声波诊断设备		
公开(公告)号	KR1020140148452A	公开(公告)日	2014-12-31
申请号	KR1020147030048	申请日	2013-03-28
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生株式会社		
当前申请(专利权)人(译)	精工爱普生株式会社		
[标]发明人	NAKAMURA TOMOAKI 나까무라도모아끼 TSURUNO JIRO 쯔루노지로 KIYOSE KANECHIKA 기요세가네찌까		
发明人	나까무라,도모아끼 쯔루노,지로 기요세,가네찌까		
IPC分类号	A61B8/00 H04R17/00		
CPC分类号	A61B8/00 H04R17/00 A61B8/4494 A61B8/4427 B06B1/0629 A61B8/4444 A61B8/461 A61B8/5207 B06B1/0622 G01S15/8934 G03B42/06 H01L41/0825 H01L41/22		
代理人(译)	Yangyoungjun Yijunghui		
优先权	2012078672 2012-03-30 JP		
其他公开文献	KR101649436B1		
外部链接	Espacenet		

摘要(译)

超声换能器装置芯片

