



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2012-0098460  
 (43) 공개일자 2012년09월05일

(51) 국제특허분류(Int. Cl.)  
*A61B 8/00* (2006.01) *G01N 29/24* (2006.01)  
 (21) 출원번호 10-2012-0018565  
 (22) 출원일자 2012년02월23일  
 심사청구일자 없음  
 (30) 우선권주장  
 13/035,675 2011년02월25일 미국(US)

(71) 출원인  
**제너럴 일렉트릭 캄파니**  
 미합중국 뉴욕, 웨넥테디, 원 리버 로우드  
 (72) 발명자  
**아메미야 신이치**  
 일본 도쿄도 히노시 아사히가오카 4초메 7-127  
 지이 헬스케어 재팬 코퍼레이션  
**하이더 브루노**  
 미국 뉴욕주 12309 니스카유나 원 리서치 서클  
 제너럴 일렉트릭 캄파니  
 (뒷면에 계속)  
 (74) 대리인  
**제일특허법인**

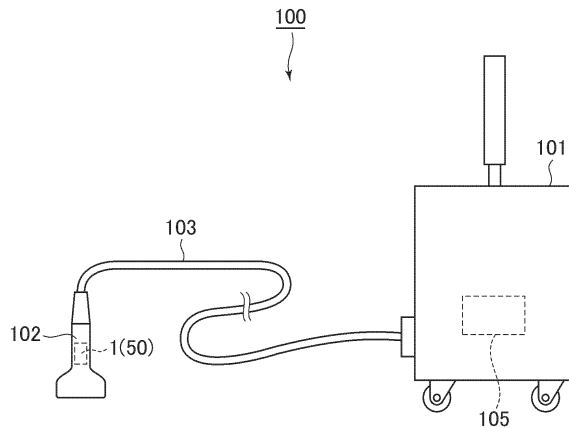
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **전송 회로, 초음파 프로브 및 초음파 이미지 표시 장치**

**(57) 요약**

초음파 트랜스듀서를 포함하는 초음파 프로브와 함께 사용을 위한 전송 회로가 제공된다. 전송 회로는 초음파를 전송하고 수신하기 위해 초음파 트랜스듀서의 구동 전류를 출력하도록 구성된 고전압 전류 DAC와, 사전 결정된 타이밍으로 고전압 전류 DAC에 고전압 전류 DAC로부터의 제어 신호를 출력하도록 구성된 파형 발생기를 포함한다. 제어 신호는 원하는 크기를 갖는 구동 전류를 출력하도록 구성된다.

**대표도** - 도1



(72) 발명자

**라오 나레쉬 케사반**

미국 뉴욕주 12309 니스카유나 원 리서치 서클 제  
너럴 일렉트릭 캄파니

**선다레산 크리쉬나쿠마르**

미국 뉴욕주 12309 니스카유나 원 리서치 서클 제  
너럴 일렉트릭 캄파니

**할보스로드 토마스**

노르웨이 호르텐 3191 스트랜드프로메나텐 45 지  
이 빙메드 울트라사운드 에이에스

## 특허청구의 범위

### 청구항 1

초음파 트랜스듀서를 포함하는 초음파 프로브와 함께 사용하기 위한 전송 회로에 있어서,  
 초음파를 전송하고 수신하기 위한 상기 초음파 트랜스듀서에 구동 전류를 출력하도록 구성된 고전압 전류 디지털-아날로그 컨버터(DAC)와,  
 상기 고전압 전류 DAC로부터 원하는 크기를 갖는 상기 구동 전류를 출력하기 위해 사전 결정된 타이밍으로 상기 고전압 전류 DAC에 제어 신호를 출력하도록 구성된 파형 발생기를 포함하는  
 전송 회로.

### 청구항 2

제 1 항에 있어서,  
 상기 고전압 전류 DAC는 상기 파형 발생기로부터 출력된 각각의 디지털 제어 신호를 아날로그 신호로 변환하고 상기 아날로그 신호를 구동 전류로서 출력하도록 구성되는  
 전송 회로.

### 청구항 3

제 1 항에 있어서,  
 상기 고전압 전류 DAC는 제 1 트랜지스터 및 상기 제 1 트랜지스터에 대응하는 복수의 제 2 트랜지스터를 포함하는 고전압 전류 미러 회로를 포함하고, 전류는 상기 제 2 트랜지스터 중 적어도 하나로부터 출력 라인으로 흐르는  
 전송 회로.

### 청구항 4

제 3 항에 있어서,  
 상기 제 2 트랜지스터와 상기 출력 라인 각각 사이에 스위치를 더 포함하고, 상기 스위치는 상기 제어 신호에 의해 턴온 및 턴오프되어 상기 제 2 트랜지스터로부터 상기 출력 라인으로 흐르는 상기 전류를 제어하는  
 전송 회로.

### 청구항 5

제 3 항에 있어서,  
 상기 제 1 트랜지스터 및 제 2 트랜지스터는 서로 접속된 전계 효과 트랜지스터를 포함하고, 상기 전송 회로는 제 1 전계 효과 트랜지스터의 게이트와 제 2 전계 효과 트랜지스터의 게이트 사이에 연결된 스위치를 더 포함하고, 상기 스위치는 상기 제어 신호에 의해 턴온 및 턴오프되어 상기 제 2 트랜지스터로부터 상기 출력 라인으로 흐르는 상기 전류를 제어하는  
 전송 회로.

**청구항 6**

제 3 항에 있어서,  
 상기 고전압 전류 미러 회로는  
 포지티브 전압에 접속되고 포지티브 구동 전류를 출력하도록 구성된 포지티브측 고전압 전류 미러와,  
 네거티브 전압에 접속된 네거티브측 고전압 전류 미러 회로를 포함하는  
 전송 회로.

**청구항 7**

제 1 항에 있어서,  
 복수의 고전압 전류 DAC 및 복수의 과형 발생기를 포함하는  
 전송 회로.

**청구항 8**

초음파 트랜스듀서를 포함하는 초음파 프로브와 함께 사용하기 위한 전송 회로에 있어서,  
 초음파를 전송하고 수신하기 위한 상기 초음파 트랜스듀서에 구동 전류를 출력하도록 구성된 전류 미러 회로와,  
 원하는 크기를 갖는 상기 구동 전류에 대응하는 전류를 상기 전류 미러 회로에 출력하도록 구성된 전류 디지털-아날로그 컨버터(DAC)와,  
 사전 결정된 타이밍으로 상기 전류 DAC에 상기 전류 DAC로부터의 제어 신호를 출력하도록 구성된 과형 발생기 - 상기 제어 신호는 상기 원하는 크기를 갖는 상기 구동 전류에 대응하는 전류를 포함함 - 를 포함하는  
 전송 회로.

**청구항 9**

제 8 항에 있어서,  
 상기 전류 미러 회로는 한 쌍의 트랜지스터를 추가로 포함하고, 상기 한 쌍의 트랜지스터의 제 1 트랜지스터는 상기 초음파 트랜스듀서에 접속된 출력 라인에 접속되고, 상기 한 쌍의 트랜지스터의 제 2 트랜지스터는 전류 DAC에 접속되는  
 전송 회로.

**청구항 10**

제 8 항에 있어서,  
 상기 전류 미러 회로는 고전압 전류 미러 회로를 포함하는  
 전송 회로.

**청구항 11**

제 8 항에 있어서,

상기 전류 미러 회로는 저전압 전류 미러 회로를 포함하고, 상기 전송 회로는 상기 트랜지스터에 접속된 전압에 의해 발생된 파괴로부터 상기 저전압 전류 미러 회로의 트랜지스터를 보호하도록 구성된 전류 보호 회로를 더 포함하는

전송 회로.

#### 청구항 12

제 8 항에 있어서,

상기 전류 DAC는 저전압 전류 DAC를 포함하는

전송 회로.

#### 청구항 13

제 8 항에 있어서,

상기 전류 DAC의 출력 전류의 스케일을 제어하도록 구성된 스케일 제어 회로를 더 포함하는

전송 회로.

#### 청구항 14

제 13 항에 있어서,

상기 전류 미러 회로는

포지티브 전압에 접속되고 포지티브 구동 전류를 출력하도록 구성된 포지티브측 전류 미러 회로와,

네거티브 전압에 접속되고 네거티브 구동 전류를 출력하도록 구성된 네거티브측 전류 미러 회로를 포함하고,

상기 스케일 제어 회로는 상기 포지티브측 전류 미러 회로에 대한 상기 전류 DAC의 출력 전류의 스케일 및 상기 네거티브측 전류 미러 회로에 대한 상기 전류 DAC의 출력 전류의 스케일을 독립적으로 제어하도록 구성되는

전송 회로.

#### 청구항 15

제 8 항에 있어서,

상기 전류 미러 회로는

포지티브 전압에 접속되고 포지티브 구동 전류를 출력하도록 구성된 포지티브측 전류 미러 회로와,

네거티브 전압에 접속되고 네거티브 구동 전류를 출력하도록 구성된 네거티브측 전류 미러 회로를 포함하는

전송 회로.

#### 청구항 16

제 8 항에 있어서,

복수의 전류 미러 회로, 복수의 전류 DAC 및 복수의 과형 발생기를 더 포함하는

전송 회로.

**청구항 17**

제 8 항에 있어서,  
상기 파형 발생기는  
복수의 구동 전류의 크기에 대응하는 데이터를 저장하도록 구성된 메모리와,  
초음파 전송 지연에 대응하는 타이밍으로 상기 제어 신호로서 상기 메모리 내의 데이터를 관독하도록 구성된 관독 제어기를 포함하는  
전송 회로.

**청구항 18**

초음파 프로브에 있어서,  
초음파 트랜스듀서와,  
전송 회로를 포함하고,  
상기 전송 회로는  
    초음파를 전송하고 수신하기 위한 상기 초음파 트랜스듀서에 구동 전류를 출력하도록 구성된 전류 미러 회로와,  
    원하는 크기를 갖는 상기 구동 전류에 대응하는 전류를 상기 전류 미러 회로에 출력하도록 구성된 전류 디지털-아날로그 컨버터(DAC)와,  
    사전 결정된 타이밍으로 상기 전류 DAC에 상기 전류 DAC로부터의 제어 신호를 출력하도록 구성된 파형 발생기 - 상기 제어 신호는 상기 원하는 크기를 갖는 상기 구동 전류에 대응하는 전류를 포함함 - 를 포함하는  
초음파 프로브.

**청구항 19**

제 18 항에 따른 상기 초음파 프로브를 포함하는  
초음파 이미지 표시 장치.

**명세서**

**기술 분야**

[0001] 본 발명은 초음파 트랜스듀서, 전송 회로를 구비한 초음파 프로브 및 초음파 이미지 표시 장치에 관한 것이다.

**배경 기술**

[0002] 초음파 이미지 표시 장치는 장치 메인 본체에 접속된 초음파 프로브로부터 피험자 내에 초음파를 전송하고, 초음파 프로브를 통해 그 에코를 수신하여 피험자 내에 초음파 이미지를 생성한다. 초음파 프로브는 압전 세라믹과 같은 압전 재료로 구성된 초음파 트랜스듀서를 구비한다. 초음파 트랜스듀서는 초음파의 전송을 수행하기 위해 전송 회로에 의해 구동된다(예를 들어, 일본 특허 출원 공개 제 2004-358133호 및 일본 특허 출원 공개 제 2008-68014호 참조). 전송 회로는 일반적으로 장치 주 본체 내에 제공된다.

[0003] 현재, 초음파 프로브 내의 전송 회로의 제공의 연구가 행해지고 있다. 전송 회로가 초음파 프로브 내에 제공

될 때, 이는 더 소형이 될 필요가 있다. 초음파 프로브는 조작자에 의해 파지되기 때문에, 초음파 프로브 내에 제공된 전송 회로는 또한 장치 주 본체 내의 그 제공의 경우보다 전력 소비에 기인하여 열의 발생을 억제할 필요가 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 그러나, 회로의 크기 및 열의 발생에 기인하여 통상의 전송 회로가 초음파 프로브 내에 제공되는 것이 곤란하다. 예를 들어, 상보형 트랜지스터 및 그룹 클램프 회로를 사용하는 JP 200358133호에 설명된 전송 회로는, 전력 소비가 코딩된 펄스를 생성할 때 크기 때문에 열의 발생에 문제점을 제시한다. 전송 회로로서 클래스-A 증폭기를 사용하는 것이 또한 공지되어 있다. 그러나, 클래스-A 증폭기는 피드백 회로를 필요로 하기 때문에, 회로의 크기가 문제가 된다. 또한, 고속 피드백 회로가 필요해지기 때문에, 전력 소비가 크고 열의 발생이 문제가 된다.

**과제의 해결 수단**

[0005] 전술된 문제점을 해결하기 위해 이루어진 일 양태의 발명은 초음파의 전송/수신을 수행하기 위해 초음파 트랜스듀서의 구동 전류를 출력하는 고전압 전류 디지털 DAC와, 고전압 전류 DAC로부터 원하는 크기를 갖는 구동 전류를 출력하기 위해 사전 결정된 타이밍으로 고전압 전류 DAC에 제어 신호를 출력하는 과형 발생기를 포함하는 전송 회로를 제공한다.

[0006] 본 발명의 양태는 초음파의 전송/수신을 수행하기 위해 초음파 트랜스듀서의 구동 전류를 출력하는 전류 미러 회로와, 원하는 크기를 갖는 구동 전류에 대응하는 전류를 전류 미러 회로에 출력하는 전류 DAC와, 사전 결정된 타이밍으로 전류 DAC로부터 원하는 크기를 갖는 구동 전류에 대응하는 전류를 전류 DAC에 출력하기 위한 제어 신호를 출력하는 과형 발생기를 포함하고, 전송 회로는 초음파 트랜스듀서를 갖는 초음파 프로브에 제공된다.

[0007] 본 발명의 다른 양태는 상기 내용을 참조하는 하나 또는 다른 양태의 발명에 따른 전송 회로를 포함하는 초음파 프로브를 제공한다.

[0008] 본 발명의 또 다른 양태는 다른 양태의 발명에 따른 초음파 프로브를 포함하는 초음파 이미지 표시 장치를 제공한다.

[0009] 상기 양태의 발명에 따르면, 통상의 전송 회로보다 더 회로 소형화를 성취하고 열의 발생을 억제하기 위해 전력 소비를 감소시키는 것이 가능하기 때문에 고전압 전류 DAC 및 과형 발생기를 구비하는 전송 회로가 초음파 프로브에 제공될 수 있다.

[0010] 상기 내용을 참조하는 다른 양태의 발명에 따르면, 통상의 전송 회로보다 더 회로 소형화를 성취하고 열의 발생을 억제하기 위해 전력 소비를 감소시키는 것이 가능하기 때문에 전류 미러 회로, 전류 DAC 및 과형 발생기를 구비하는 전송 회로가 초음파 프로브에 제공될 수 있다.

**도면의 간단한 설명**

[0011] 도 1은 본 발명의 초음파 이미지 표시 장치의 실시예의 일 예를 도시하는 개략 다이어그램.  
 도 2는 본 발명의 제 1 실시예에 따른 초음파 이미지 표시 장치의 전송 회로의 구성을 도시하는 블록도이다.  
 도 3은 도 2에 도시된 전송 회로에 이용된 과형 발생기의 구성을 도시하는 블록도이다.  
 도 4는 도 2에 도시된 전송 회로에 이용된 고전압 전류 DAC를 도시하는 회로도이다.  
 도 5는 고전압 전류 DAC를 구성하는 각각의 트랜지스터의 드레인 전류의 일 예를 설명하기 위한 도면이다.  
 도 6은 과형 발생기로부터 출력된 제어 신호와 고전압 전류 DAC로부터 출력된 구동 전류 사이의 관계를 도시

하는 도면이다.

도 7은 제 1 실시예의 변형예에 따른 전송 회로에 이용된 고전압 전류 DAC를 도시하는 회로도이다.

도 8은 본 발명의 제 2 실시예에 따른 초음파 이미지 표시 장치에 이용된 전송 회로의 구성을 도시하는 블록도이다.

도 9는 도 8에 도시된 전송 회로 내의 전류 미러 회로의 회로 다이어그램을 포함하는 도면이다.

도 10은 제 2 실시예의 변형예에 이용된 전류 미러 회로의 회로 다이어그램을 포함하는 도면이다.

도 11은 도 10에 도시된 전송 회로에 이용되는 전류 DAC의 출력 전압 및 그 포지티브 및 네거티브 전압  $\pm V$ 를 도시하는 도면이다.

도 12는 본 발명의 제 3 실시예에 따른 초음파 이미지 표시 장치에 이용된 전송 회로를 도시하고, 전류 미러 회로 및 이미터 팔로워(emitter follower) 회로의 회로 다이어그램을 포함하는 도면이다.

도 13은 제 3 실시예에 따른 초음파 이미지 표시 장치에 이용된 전송 회로의 다른 예를 도시하고 스케일 제어 회로를 갖는 전송 회로의 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 바람직한 실시예가 첨부 도면에 기초하여 이하에 상세히 설명될 것이다.
- [0013] (제 1 실시예)
- [0014] 제 1 실시예가 도 1 내지 도 6에 기초하여 먼저 설명될 것이다. 도 1에 도시된 바와 같이, 초음파 이미지 표시 장치(100)는 장치 메인 본체(101) 및 장치 메인 본체(101)에 접속된 초음파 프로브(102)를 갖는다. 초음파 프로브(102)는 케이블(103)을 경유하여 장치 메인 본체(101)에 접속된다.
- [0015] 초음파 프로브(102)는 초음파의 전송/수신을 수행하는 복수의 초음파 트랜스듀서(104)(도 2 및 도 4 참조)를 구비한다[그러나, 단지 하나의 초음파 트랜스듀서(104)만이 도 2 및 도 4에 도시되어 있음]. 초음파 프로브(102)는 초음파 트랜스듀서(104)를 구동하는 전송 회로(1)를 또한 구비한다.
- [0016] 구체적으로 도시되지는 않았지만, 초음파 프로브(102)는 그 내부의 초음파 트랜스듀서(104)에 의해 수신된 초음파 에코 신호를 입력하고 지연 추가 프로세싱을 수행하는 수신 회로를 구비할 수 있다.
- [0017] 전송 회로(1)가 설명될 것이다. 전송 회로(1)는 케이블(103)을 경유하여 장치 메인 본체(101)의 제어기(105)로부터 입력된 신호에 기초하여, 초음파 트랜스듀서(104)의 구동 전류를 출력한다. 제어기(105)로부터 입력된 신호는 초음파 전송 파라미터에 대한 정보를 포함한다.
- [0018] 도 2에 도시된 바와 같이, 전송 회로(1)는 파형 발생기(2) 및 고전압 디지털-아날로그 컨버터(DAC)(3)를 구비한다.
- [0019] 고전압 전류 DAC(3)는 초음파 트랜스듀서(104)에 결합된 출력 라인(0)에 접속되고 초음파 트랜스듀서(104)의 구동 전류(I)를 출력 라인(0)에 출력한다. 고전압 전류 DAC(3)의 수는 전송에 동시에 사용된 최대 수의 초음파 트랜스듀서(104)와 동일한 수(복수)이다. 그러나, 하나의 초음파 트랜스듀서(104)에 대한 단지 하나의 고전압 전류 DAC(3)만이 여기에 도시되어 있다. 고전압 전류 DAC(3)는 고전압 전류 DAC의 실시예의 일 예이다.
- [0020] 파형 발생기(2)는 사전 결정된 타이밍으로 고전압 전류 DAC(3)에 원하는 구동 전류(I)를 출력하기 위한 제어 신호를 출력한다. 파형 발생기(2)는 파형 발생기의 실시예의 일 예이다. 파형 발생기(2)의 수는 고전압 전류 DAC(3)의 수와 동일할 수 있다. 그러나, 하나의 고전압 전류 DAC(3)에 대한 단지 하나의 파형 발생기(2)가 여기에 도시되어 있다.
- [0021] 부수적으로, 파형 발생기(2)의 RAM(22)(이하에 설명될 도 3 참조)이 복수의 고전압 전류 DAC(3)에 공통으로 제공될 수 있다. 그러나, 이 경우, 파형 발생기(2)의 판독 제어기(21)(이하에 설명될 도 3 참조)의 수는 고전압 전류 DAC(3)의 수와 동일하다.
- [0022] 도 3에 도시된 바와 같이, 파형 발생기(2)는 판독 제어기(21) 및 임의 접근 메모리(RAM)(22)를 갖는다. 구동 전류(I)의 크기에 대한 데이터는 RAM(22)에 저장된다. 구동 전류(I)의 크기는 제어기(105)로부터 출력된다.

RAM(22)은 메모리의 일 예이다.

- [0023] 판독 제어기(21)는 전송 지연에 대응하는 타이밍을 갖고 RAM(22)에 저장된 데이터를 판독한다. 따라서, 원하는 크기를 갖는 구동 전류(I)에 대응하는 디지털 제어 신호가 RAM(22)으로부터 출력되고 고전압 전류 DAC(3)에 입력된다.
- [0024] 고전압 전류 DAC(3)는 파형 발생기(2)로부터 출력된 디지털 제어 신호를 아날로그 형태로 변환하고 이를 구동 전류(I)로서 출력 라인(O)에 출력한다. 고전압 전류 DAC(3)는 도 4에 도시된 바와 같이 고전압 전류 미러 회로(31)를 갖는다. 본 예에서, 전류 미러 회로(31)는 포지티브측 고전압 전류 미러 회로(31A) 및 네거티브측 고전압 전류 미러 회로(31B)를 포함한다.
- [0025] 포지티브측 고전압 전류 미러 회로(31A)는 포지티브 전압(+HV)에 접속되고 포지티브 구동 전류(I)를 출력 라인(O)에 출력한다. 반면, 네거티브측 고전압 전류 미러 회로(31B)는 네거티브 전압(-HV)에 접속되고 네거티브 구동 전류(I)를 출력 라인(O)에 출력한다. 부수적으로, 에너지 효율을 향상시키기 위해, 포지티브 및 네거티브 전압( $\pm HV$ )의 크기는 RAM(22)의 출력 및 초음파 프로브(102)의 임피던스에 따라 최적화될 수 있다.
- [0026] 포지티브측 고전압 전류 미러 회로(31A)는 한 쌍의 트랜지스터(M1, M2)를 포함하고, 반면 네거티브측 고전압 전류 미러 회로(31B)는 한 쌍의 트랜지스터(M3, M4)를 포함한다. 트랜지스터(M1, M3)는 제 1 트랜지스터의 실시예를 예시하는 일 예이다. 트랜지스터(M2, M4)는 제 2 트랜지스터의 실시예를 예시하는 일 예이다.
- [0027] 트랜지스터(M1, M2)는 p-채널형 MOS-FET이고, 트랜지스터(M3, M4)는 n-채널형 MOS-FET이다. 이들 트랜지스터(M1 내지 M4)는 파괴 전압이 높은 (예를 들어, 10 내지 100 V) MOS-FET이다. 부수적으로, 용어 "고전압"은 각각의 트랜지스터(M1 내지 M4)가 파괴 전압이 높은 것을 의미한다.
- [0028] 부수적으로, 포지티브측 고전압 전류 미러 회로(31A)에서, 트랜지스터(M1)측을 통해 흐르는 전류와 트랜지스터(M2)[이하에 설명될 트랜지스터(M2 $\alpha$  내지 M2 $\epsilon$ )에 대응함]측을 통해 흐르는 전류 사이의 비(ra)는 사전 결정된 비로 설정된다. 반면에, 네거티브측 고전압 전류 미러 회로(31B)에서, 트랜지스터(M3)측을 통해 흐르는 전류와 트랜지스터(M4)[이하에 설명될 트랜지스터(M4 $\alpha$  내지 M4 $\epsilon$ )에 대응함]측을 통해 흐르는 전류 사이의 비(rb)는 사전 결정된 비로 설정된다. 비(ra) 및 비(rb)는 동일하다.
- [0029] 트랜지스터(M1, M2) 중에서, 복수의 트랜지스터(M2)가 병렬로 제공된다. 본 예에서, 트랜지스터(M2 $\alpha$ , M2 $\beta$ , M2 $\gamma$ , M2 $\delta$ , M2 $\epsilon$ )가 트랜지스터(M2)로서 제공된다. 트랜지스터(M3, M4) 중에서, 복수의 트랜지스터(M4)가 병렬로 제공된다. 본 예에서, 트랜지스터(M4 $\alpha$ , M4 $\beta$ , M4 $\gamma$ , M4 $\delta$ , M4 $\epsilon$ )가 트랜지스터(M4)로서 제공된다.
- [0030] 트랜지스터(M1) 및 트랜지스터(M2 $\alpha$  내지 M2 $\epsilon$ )에서, 그 소스측은 포지티브 전압(+HV)에 접속된다. 트랜지스터(M1)의 게이트와 트랜지스터(M2 $\alpha$  내지 M2 $\epsilon$ )의 게이트는 서로 접속된다.
- [0031] 다른 한편으로, 트랜지스터(M3) 및 트랜지스터(M4 $\alpha$  내지 M4 $\epsilon$ )에서, 그 소스측은 네거티브 전압(-HV)에 접속된다. 트랜지스터(M3)의 게이트와 각각의 트랜지스터(M4 $\alpha$  내지 M4 $\epsilon$ )의 게이트는 서로 접속된다.
- [0032] 트랜지스터(M1)의 드레인측은 제 1 전류 소스(CS1)에 접속되고, 트랜지스터(M3)의 드레인측은 제 2 전류 소스(CS2)에 접속된다. 다른 한편으로, 트랜지스터(M2 $\alpha$  내지 M2 $\epsilon$ ) 및 트랜지스터(M4 $\alpha$  내지 M4 $\epsilon$ )의 드레인측은 각각 출력 라인(O)에 접속된다.
- [0033] 스위치(SW2 $\alpha$ , SW2 $\beta$ , SW2 $\gamma$ , SW2 $\delta$ , SW2 $\epsilon$ )는 트랜지스터(M2 $\alpha$  내지 M2 $\epsilon$ )의 드레인측과 출력 라인(O) 사이에 각각 제공된다. 스위치(SW4 $\alpha$ , SW4 $\beta$ , SW4 $\gamma$ , SW4 $\delta$ , SW4 $\epsilon$ )는 트랜지스터(M4 $\alpha$  내지 M4 $\epsilon$ )의 드레인측과 출력 라인(O) 사이에 각각 제공된다. 스위치(SW2 $\alpha$  내지 SW2 $\epsilon$ ) 및 스위치(SW4 $\alpha$  내지 SW4 $\epsilon$ )는 파형 발생기(2)로부터 출력된 각각의 비트의 제어 신호를 갖고 각각 입력되고, 이에 의해 스위치의 온 및 오프가 제어된다.
- [0034] 각각의 스위치(SW2 $\alpha$  내지 SW2 $\epsilon$ )가 오프일 때, 트랜지스터(M2 $\alpha$  내지 M2 $\epsilon$ )의 드레인 전류는 흐르지 않는다. 다른 한편으로, 각각의 스위치(SW2 $\alpha$  내지 SW2 $\epsilon$ )가 온일 때, 트랜지스터(M2 $\alpha$  내지 M2 $\epsilon$ )의 드레인 전류가 흐른다. 스위치(SW2 $\alpha$  내지 SW2 $\epsilon$ ) 중 임의의 하나 또는 전체를 턴온하는 것은 구동 전류(I)가 출력 라인(O)을 통해 흐를 수 있게 한다. 또한, 각각의 스위치(SW4 $\alpha$  내지 SW4 $\epsilon$ )가 오프일 때, 트랜지스터(M4 $\alpha$  내지 M4 $\epsilon$ )의 드레인 전류는 흐르지 않는다. 각각의 스위치(SW4 $\alpha$  내지 SW4 $\epsilon$ )가 온일 때, 트랜지스터(M4 $\alpha$  내지 M4 $\epsilon$ )의 드레인 전류가 흐른다. 스위치(SW4 $\alpha$  내지 SW4 $\epsilon$ ) 중 임의의 하나 또는 전체를 턴온하는 것은 구동 전류(I)가 출력 라인(O)을 통해 흐를 수 있게 한다.
- [0035] 출력 라인(O)을 통해 흐르는 구동 전류(I)의 크기는 스위치(SW2 $\alpha$  내지 SW2 $\epsilon$  및 SW4 $\alpha$  내지 SW4 $\epsilon$ )의 임의의

하나가 턴온되는지 여부에 따라 결정된다. 구체적으로 설명하면, 트랜지스터(M2<sub>a</sub> 내지 M2<sub>ε</sub>)의 드레인 전류는 크기가 상이하다. 각각의 트랜지스터(M2<sub>a</sub> 내지 M2<sub>ε</sub>)는 원하는 구동 전류가 흐르는 이러한 영역을 차지한다. 트랜지스터(M2<sub>ε</sub>)(도 5에 간단화되고 원으로 지시됨, 다른 트랜지스터는 이와 유사함)의 드레인 전류의 크기가 도 5에 도시된 바와 같이  $i$ 인 것으로 가정되면, 예를 들어 각각 트랜지스터(M2<sub>δ</sub>)의 드레인 전류의 크기는  $2i$ 가 되고, 트랜지스터(M2<sub>γ</sub>)의 드레인 전류의 크기는  $4i$ 가 되고, 트랜지스터(M2<sub>β</sub>)의 드레인 전류의 크기는  $8i$ 이고, 트랜지스터(M2<sub>α</sub>)의 드레인 전류의 크기는  $16i$ 가 된다.

[0036] 마찬가지로, 트랜지스터(M4<sub>a</sub> 내지 M4<sub>ε</sub>)의 드레인 전류는 또한 크기가 상이하다. 각각의 트랜지스터(M4<sub>a</sub> 내지 M4<sub>ε</sub>)의 영역은 원하는 구동 전류가 흐르는 이러한 영역을 차지한다. 트랜지스터(M4<sub>ε</sub>)의 드레인 전류의 크기가 도 5에 도시된 바와 같이  $-i$ 인 것으로 가정되면, 예를 들어 각각 트랜지스터(M4<sub>δ</sub>)의 드레인 전류의 크기는  $-2i$ 가 되고, 트랜지스터(M4<sub>γ</sub>)의 드레인 전류의 크기는  $-4i$ 가 되고, 트랜지스터(M4<sub>β</sub>)의 드레인 전류의 크기는  $-8i$ 이고, 트랜지스터(M4<sub>α</sub>)의 드레인 전류의 크기는  $-16i$ 가 된다.

[0037] 파형 발생기(2)로부터 출력된 구동 전류(I)(드레인 전류)와 제어 신호 사이의 관계의 일 예가 도 6에 기초하여 설명될 것이다. 도 6은 스위치(SW2<sub>a</sub> 내지 SW2<sub>ε</sub>)에 입력된 5 비트의 제어 신호와 이들의 대응 구동 전류(I) 사이의 관계를 도시한다.

[0038] 도 6에서, "0"이 입력된 스위치(SW2)는 턴오프되고, "1"이 입력된 스위치(SW2)가 턴온된다. 예를 들어, "0"이 스위치(SW2<sub>a</sub>)에 입력되고, "0"이 스위치(SW2<sub>β</sub>)에 입력되고, "0"이 스위치(SW2<sub>γ</sub>)에 입력되고, "0"이 스위치(SW2<sub>δ</sub>)에 입력되고, "1"이 스위치(SW2<sub>ε</sub>)에 입력될 때, 구동 전류는  $i$ 가 된다. "0"이 스위치(SW2<sub>a</sub>)에 입력되고, "0"이 스위치(SW2<sub>β</sub>)에 입력되고, "0"이 스위치(SW2<sub>γ</sub>)에 입력되고, "1"이 스위치(SW2<sub>δ</sub>)에 입력되고, "0"이 스위치(SW2<sub>ε</sub>)에 입력될 때, 구동 전류는  $2i$ 가 된다. "0"이 스위치(SW2<sub>a</sub>)에 입력되고, "0"이 스위치(SW2<sub>β</sub>)에 입력되고, "0"이 스위치(SW2<sub>γ</sub>)에 입력되고, "1"이 스위치(SW2<sub>δ</sub>)에 입력되고, "1"이 스위치(SW2<sub>ε</sub>)에 입력될 때, 구동 전류는  $3i$ 가 된다. 따라서, 스위치(SW2<sub>a</sub> 내지 SW2<sub>ε</sub>)의 턴온 및 턴오프는 0 내지  $31i$ 의 전류가 구동 전류(I)로서 얻어지도록 제어된다.

[0039] 마찬가지로, 5-비트 제어 신호가 스위치(SW4<sub>a</sub> 내지 SW4<sub>ε</sub>)에도 입력되어 이들의 온 및 오프가 제어되게 된다. 따라서, 0 내지  $-31i$ 의 전류가 구동 전류(I)로서 얻어진다. 전술된 바와 같이,  $-31i$  내지  $31i$ 의 전류가 원하는 구동 전류(I)로서 얻어진다.

[0040] 부수적으로, 도 4에서, 고전압 전류 DAC(3)는 간단화된다. 고전압 전류 미러 회로(31)는 예를 들어 캐스케이드 전류 미러 회로일 수 있다. 스위치(SW2<sub>a</sub> 내지 SW2<sub>ε</sub>) 및 스위치(SW4<sub>a</sub> 내지 SW4<sub>ε</sub>)는 MOS-FET이다. 더욱이, 전압 파괴에 대해 디바이스를 보호하기 위한 부가의 회로(도시 생략)가 고전압 전류 DAC(3)에 필요하다는 것은 말할 필요도 없다.

[0041] 전술된 바와 같이 본 실시예에 따르면, 고전압 전류 미러 회로(31)를 갖는 고전압 전류 DAC(3) 및 파형 발생기(2)를 포함하는 전류 회로(1)는 통상의 전송 회로보다 소형화를 성취하고 열의 발생을 억제하기 위해 전력 소비를 감소시키는 것이 가능하다. 따라서 전송 회로(1)는 초음파 프로브(102)에 제공될 수 있다.

[0042] 다음, 제 1 실시예의 변형예가 도 7에 기초하여 설명될 것이다. 도 7에 도시된 바와 같이, 스위치(SW2<sub>a</sub> 내지 SW2<sub>ε</sub>)는 각각 트랜지스터(M1)의 게이트와 트랜지스터(M2<sub>a</sub> 내지 M2<sub>ε</sub>)의 게이트 사이에 제공된다. 스위치(SW2 내지 SW2<sub>ε</sub>) 중 임의의 하나 또는 전체는 상기와 유사한 방식으로 턴온되어, 구동 전류(I)가 출력 라인(O)을 통해 흐르게 된다. 구동 전류(I)의 크기는 스위치(SW2<sub>a</sub> 내지 SW2<sub>ε</sub>) 중 임의의 하나가 턴온되는지 여부에 따라 결정된다.

[0043] 또한, 스위치(SW4<sub>a</sub> 내지 SW4<sub>ε</sub>)는 트랜지스터(M3)의 게이트와 트랜지스터(M4<sub>a</sub> 내지 M4<sub>ε</sub>)의 게이트 사이에 제공된다. 스위치(SW4<sub>a</sub> 내지 SW4<sub>ε</sub>) 중 임의의 하나 또는 전체는 상기와 유사한 방식으로 턴온되어, 구동 전류(I)가 출력 라인(O)을 통해 흐르게 된다. 구동 전류(I)의 크기는 스위치(SW4<sub>a</sub> 내지 SW4<sub>ε</sub>) 중 임의의 하나가 턴온되는지 여부에 따라 결정된다.

[0044] (제 2 실시예)

[0045] 제 2 실시예가 다음에 도 8 및 도 9에 기초하여 설명될 것이다. 그러나, 제 1 실시예에서의 것들과 동일한 구성 요소는 동일한 도면 부호로 나타내고, 그 설명은 생략된다.

[0046] 본 실시예에 따른 전송 회로(50)는 도 8에 도시된 바와 같이 파형 발생기(2), 전류 DAC(51) 및 전류 미러 회

로(52)를 구비한다. 부수적으로, 본 실시예의 전송 회로(50)는 또한 초음파 프로브(102)(도 1 참조)에 제공된다. 전류 DAC(51) 및 전류 미러 회로(52)의 수는 전송에 동시에 사용된 초음파 트랜스듀서(104)의 최대 수와 각각 동일한 수(복수)이다. 그러나 하나의 초음파 트랜스듀서(104)에 대한 단지 하나의 고전압 전류 DAC(3)가 여기에 도시된다.

- [0047] 여기서, 전류 미러 회로(52)는 이하에 설명될 포지티브측 고전압 전류 미러 회로(52A) 및 네거티브측 고전압 전류 미러 회로(52B)를 포함한다. 이들 포지티브측 및 네거티브측 고전압 전류 미러 회로(52A, 52B)의 수는 전송에 동시에 사용된 초음파 트랜스듀서(104)의 최대 수와 동일한 수가 된다.
- [0048] 전류 미러 회로(52)는 출력 라인(O)에 접속되고 구동 전류(I)를 출력 라인(O)에 출력한다. 전류 DAC(51)은 원하는 구동 전류(I)에 대응하는 전류(id)를 전류 미러 회로(52)에 출력한다. 또한, 과형 발생기(2)는 본 실시예에서 전류 DAC(51)에 전류(id)를 출력하기 위한 제어 신호를 출력한다. 전류 DAC(51)은 전류 DAC의 실시예의 일 예이다. 전류 미러 회로(52)는 전류 미러 회로의 실시예의 일 예이다.
- [0049] 과형 발생기(2)의 RAM(22)(도 2 참조)은 원하는 크기를 갖는 구동 전류(I)에 대응하는 전류(id)를 출력하기 위한 제어 신호를 출력한다. 전류 DAC(51)은 과형 발생기(2)로부터 출력된 디지털 제어 신호를 아날로그 형태로 변환하고, 전류(id)로서 이를 출력한다. 구체적으로 도시되지는 않았지만, 전류 DAC(51)은 한 쌍의 트랜지스터를 갖는 전류 미러 회로를 포함하고, 그에 입력된 제어 신호에 대응하는 크기를 갖는 전류(id)를 출력한다. 전류 DAC(51)은 저전압 전류 DAC이다. 여기서, 용어 "저전압"은 전류 DAC(51)를 구성하는 전류 미러 회로의 트랜지스터(도시 생략)가 파괴 전압이 낮은(예를 들어, 3 내지 5 V) 것을 의미한다.
- [0050] 본 예에서, 전류 미러 회로(52)는 포지티브측 고전압 전류 미러 회로(52A) 및 네거티브측 고전압 전류 미러 회로(52B)를 포함한다. 포지티브측 고전압 전류 미러 회로(52A)는 포지티브 전압(+HV)에 접속되고 포지티브 구동 전류(I)를 출력 라인(O)에 출력한다. 반면, 네거티브측 고전압 전류 미러 회로(52B)는 네거티브 전압(-HV)에 접속되고 네거티브 구동 전류(I)를 출력 라인(O)에 출력한다. 포지티브측 고전압 전류 미러 회로(52A)는 포지티브측 전류 미러 회로의 실시예의 일 예이다. 네거티브측 고전압 전류 미러 회로(52B)는 네거티브측 전류 미러 회로의 실시예의 일 예이다.
- [0051] 도 9에 도시된 바와 같이, 포지티브측 고전압 전류 미러 회로(52A)는 한 쌍의 트랜지스터(M5, M6)를 포함하고, 네거티브측 고전압 전류 미러 회로(52B)는 한 쌍의 트랜지스터(M7, M8)를 포함한다. 트랜지스터(M5, M6)는 p-채널형 MOS-FET이고, 트랜지스터(M7, M8)는 n-채널형 MOS-FET이다. 이들 트랜지스터(M5 내지 M8)는 파괴 전압이 높은(예를 들어, 10 내지 100 V) MOS-FET이다. 부수적으로, 용어 "고전압"은 트랜지스터(M5 내지 M8)가 파괴 전압이 높은 것을 의미한다.
- [0052] 트랜지스터(M5, M6)에서, 그 소스측은 포지티브 전압(+HV)에 접속되고, 이들의 게이트는 서로 접속된다. 트랜지스터(M5)의 드레인측은 전류 DAC(51)에 접속되고, 트랜지스터(M6)의 드레인측은 출력 라인(O)에 접속된다.
- [0053] 트랜지스터(M7, M8)에서, 그 소스측은 네거티브 전압(-HV)에 접속되고, 이들의 게이트는 서로 접속된다. 트랜지스터(M7)의 드레인측은 전류 DAC(51)에 접속되고, 트랜지스터(M8)의 드레인측은 출력 라인(O)에 접속된다.
- [0054] 각각의 포지티브측 고전압 전류 미러 회로(52A) 및 네거티브측 고전압 전류 미러 회로(52B)는 전류 DAC(51)로부터 출력 라인(O)으로 입력된 전류(id)의 크기에 대응하는 구동 전류(I)를 출력한다. 본 예에서도, 원하는 크기를 갖는 전류는 구동 전류(I)로서 출력된다.
- [0055] 본 실시예에 따르면, 전류 미러 회로(52), 전류 DAC(51) 및 과형 발생기(2)를 구비하는 전송 회로(50)는 또한 통상의 전송 회로보다 더 회로 소형화를 성취하고 제 1 실시예와 유사한 방식으로 열의 발생을 억제하기 위해 전력 소비를 감소시키는 것이 또한 가능하다. 따라서 전송 회로(50)는 초음파 프로브(102)에 제공될 수 있다.
- [0056] 다음, 제 2 실시예의 변형예가 설명될 것이다. 본 변형예에서, 도 10에 도시된 바와 같이, 전류 DAC(51)로부터 출력된 전류(id)의 스케일을 조정하거나 제어하기 위한 스케일 제어 회로(53)가 전류 DAC(51)에 접속된다. 본 변형예에서, 에너지 효율을 향상시키기 위해, 포지티브 및 네거티브 전압( $\pm HV$ )의 크기는 스케일 제어 회로(53)에 의한 스케일의 제어에 따라 최적화될 수 있다.
- [0057] 스케일의 크기는 전류 DAC(51)의 도 11에 도시된 출력 전압(vd)의 절대값이 출력 전압(vd)의 과형에서 포지티브 및 네거티브 전압( $\pm HV$ )의 각각보다 커지는 부분을 갖는 이러한 방식으로 스케일 제어 회로(53)에 의해 설

정될 수 있다. 고조파 성분이 출력 전압(vd)의 파형에 포함되기 때문에, 고조파 모드에서 초음파의 전송이 가능해진다.

- [0058] 스케일 제어 회로(53)는 포지티브측 전류 미러 회로(52A)에 대한 전류 DAC(51)의 출력 전류(id)의 스케일 및 네거티브측 전류 미러 회로(52B)에 대한 전류 DAC(51)의 출력 전류(id)의 스케일을 독립적으로 제어하는 것이 가능하도록 구성될 수 있다.
- [0059] 여기서, 포지티브측 전류 미러 회로(52A)의 트랜지스터측(M5) 상의 전류와 트랜지스터(M6)측 상의 전류 사이의 비(ra)와 네거티브측 전류 미러 회로(52B)의 트랜지스터(M7)측 상의 전류와 트랜지스터(M8)측 상의 전류 사이의 비(rb) 사이에 에러가 발생할 수 있다. 그러나, 전술된 바와 같이, 스케일 제어 회로(53)는 포지티브측 전류 미러 회로(52)에 대한 출력 전류(id)의 스케일 및 네거티브측 전류 미러 회로(52B)에 대한 출력 전류(id)의 스케일을 독립적으로 제어할 수 있어, 이에 의해 비(ra)와 비(rb) 사이의 에러를 보정하는 것이 가능하게 된다.
- [0060] (제 3 실시예)
- [0061] 다음, 제 3 실시예가 도 12에 기초하여 설명될 것이다. 그러나, 각각의 실시예에서의 것들과 동일한 구성 요소는 동일한 도면 부호로 나타내고, 그 설명은 생략된다.
- [0062] 본 실시예에 따른 전송 회로(50)에서, 전류 미러 회로(52)는 도 12에 도시된 바와 같이 포지티브측 저전압 전류 미러 회로(52C) 및 네거티브측 저전압 전류 미러 회로(52D)를 갖는다. 전송 회로(50)는 제 1 전압 보호 회로(54), 제 2 전압 보호(공통-게이트) 회로(55), 제 3 전압 보호 회로(56) 및 제 4 전압 보호 회로(57)를 갖는다. 포지티브측 저전압 전류 미러 회로(52C)는 포지티브측 전류 미러 회로의 실시예의 일 예이다. 네거티브측 저전압 전류 미러 회로(52D)는 네거티브측 전류 미러 회로의 실시예의 일 예이다. 각각의 전압 보호 회로(54 내지 57)는 전압 보호 회로의 실시예의 일 예이다.
- [0063] 포지티브측 저전압 전류 미러 회로(52C)는 한 쌍의 트랜지스터(M9, M10)를 포함하고, 네거티브측 저전압 전류 미러 회로(52D)는 한 쌍의 트랜지스터(M11, M12)를 포함한다. 트랜지스터(M9, M10)는 p-채널형 MOS-FET이고, 트랜지스터(M11, M12)는 n-채널형 MOS-FET이다. 이들 트랜지스터(M9 내지 M12)는 파괴 전압이 낮은(예를 들어, 3 내지 5V) MOS-FET이다. 부수적으로, 용어 "저전압"은 트랜지스터(M9 내지 M12)는 파괴 전압이 낮은 것을 의미한다.
- [0064] 트랜지스터(M13)로 구성된 제 1 전압 보호 회로(54)는 트랜지스터(M9)의 드레인측에 접속된다. 트랜지스터(M13)는 n-채널형 MOS-FET이고, 그 드레인측은 트랜지스터(M9)의 드레인측에 접속되고 소스측은 전류 DAC(51)에 접속된다. 트랜지스터(M13)의 게이트는 포지티브 바이어스 전압(L Vias +)에 접속된다.
- [0065] 트랜지스터(M14)로 구성된 제 2 전압 보호 회로(55)는 트랜지스터(M10)의 드레인측에 접속된다. 트랜지스터(M14)는 p-채널형 MOS-FET이고, 그 소스측은 트랜지스터(M10)의 드레인측에 접속되고 드레인측은 출력 라인(O)에 접속된다. 트랜지스터(M14)의 게이트는 포지티브 바이어스 전압(H Vias +)에 접속된다. 부수적으로, H Vias + > L Vias +이다.
- [0066] 트랜지스터(M15)로 구성된 제 3 전압 보호 회로(56)는 트랜지스터(M11)의 드레인측에 접속된다. 트랜지스터(M15)는 p-채널형 MOS-FET이고, 그 드레인측은 트랜지스터(M11)의 드레인측에 접속되고 소스측은 DAC(51)에 접속된다. 트랜지스터(M15)의 게이트는 네거티브 바이어스 전압(H Vias -)에 접속된다.
- [0067] 트랜지스터(M16)로 구성된 제 4 전압 보호 회로(57)는 트랜지스터(M12)의 드레인측에 접속된다. 트랜지스터(M16)는 n-채널형 MOS-FET이고, 그 소스측은 트랜지스터(M12)의 드레인측에 접속되고 드레인측은 출력 라인(O)에 접속된다. 트랜지스터(M16)의 게이트는 네거티브 바이어스 전압(L Vias -)에 접속된다. 부수적으로, L Vias - > H Vias +이다.
- [0068] 트랜지스터(M13 내지 M16)는 파괴 전압이 높은(예를 들어, 10 내지 100 V) MOS-FET이다. 트랜지스터(M13 내지 M16)를 각각 포함하는 제 1 내지 제 4 전압 보호 회로(54 내지 57)는 전압에 기인하는 파괴로부터 트랜지스터(M9 내지 M12)를 보호한다. 각각의 제 1 내지 제 4 전압 보호 회로(54 내지 57)가 본 발명의 보호 회로의 실시예의 일 예이다.
- [0069] 부수적으로, 쌍극 트랜지스터가 MOS-FET 대신에 트랜지스터로서 사용될 수 있다.

[0070] 본 실시예의 전송 회로(50)에서도, 도 13에 도시된 바와 같이, 스케일 제어 회로(53)는 전류 DAC(51)에 접속될 수 있다.

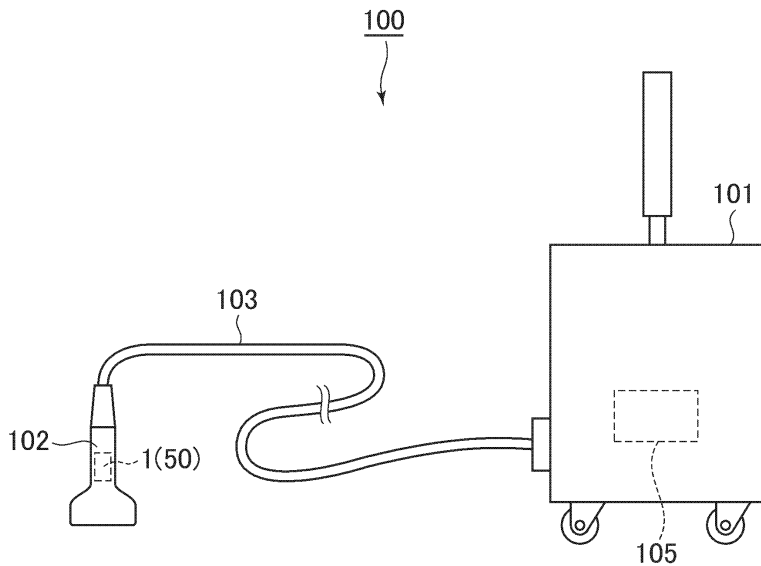
[0071] 본 발명이 실시예에 의해 전술되었지만, 본 발명의 실시예는 본 발명의 요지로부터 벗어나지 않는 범위에서 다양한 방식으로 수정될 수 있다는 것은 말할 필요도 없다.

**부호의 설명**

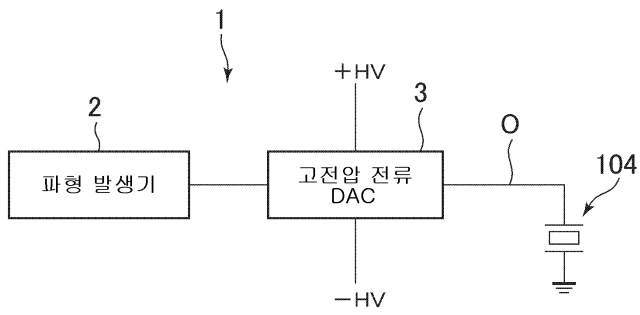
- |        |                     |                       |
|--------|---------------------|-----------------------|
| [0072] | 1: 전송 회로            | 2: 파형 발생기             |
|        | 3: 고압 전류 DAC        | 21: 관독 제어기            |
|        | 22: RAM             | 31: 고전압 전류 미러 회로      |
|        | 50: 전송 회로           | 51: 전류 DAC            |
|        | 52: 전류 미러 회로        | 53: 스케일 제어 회로         |
|        | 54 내지 57: 전압 보호 회로  | 100: 초음파 이미지 표시 장치    |
|        | 101: 장치 메인 본체       | 102: 초음파 프로브          |
|        | 103: 케이블            | 104: 초음파 트랜스듀서        |
|        | 105: 제어기            | I: 구동 전류              |
|        | O: 출력 라인            | M1, M2, M3, M4: 트랜지스터 |
|        | M2 α 내지 M2 ε: 트랜지스터 | M4 α 내지 M4 ε: 트랜지스터   |
|        | SW2 α 내지 SW2 ε: 스위치 | SW4 α 내지 SW4 ε: 스위치   |

**도면**

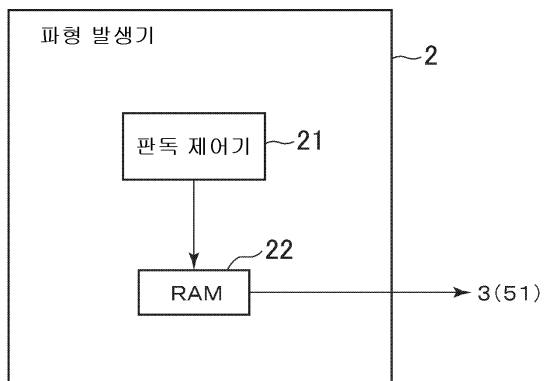
**도면1**



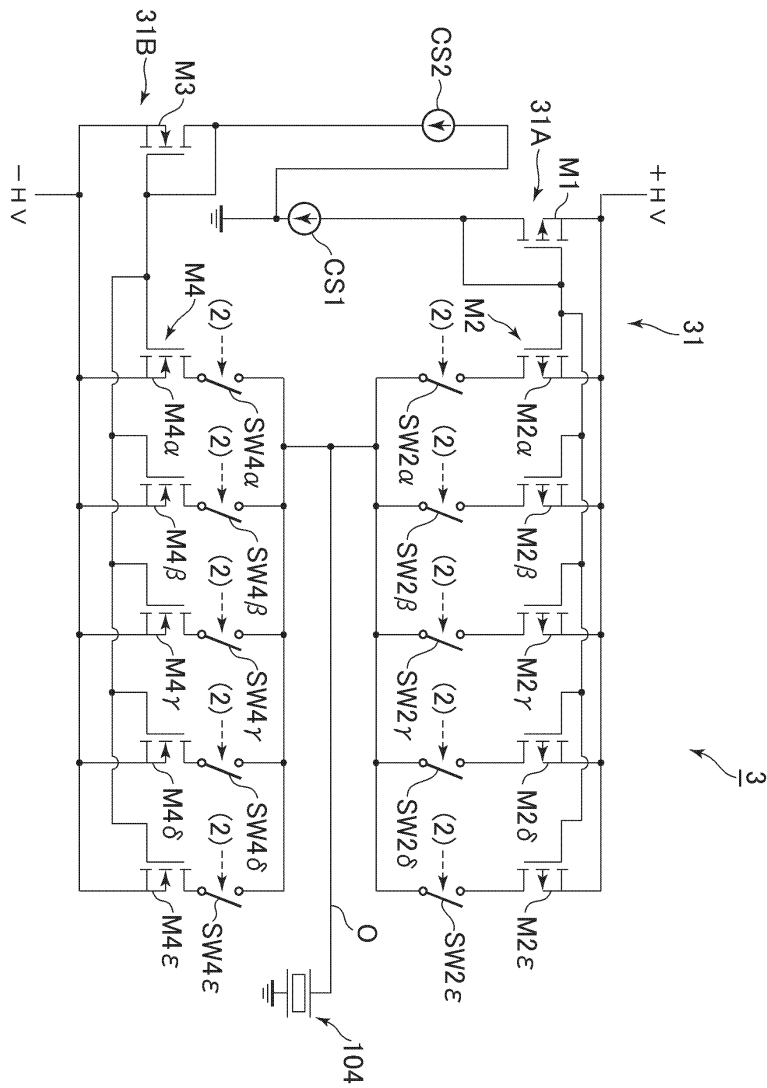
도면2



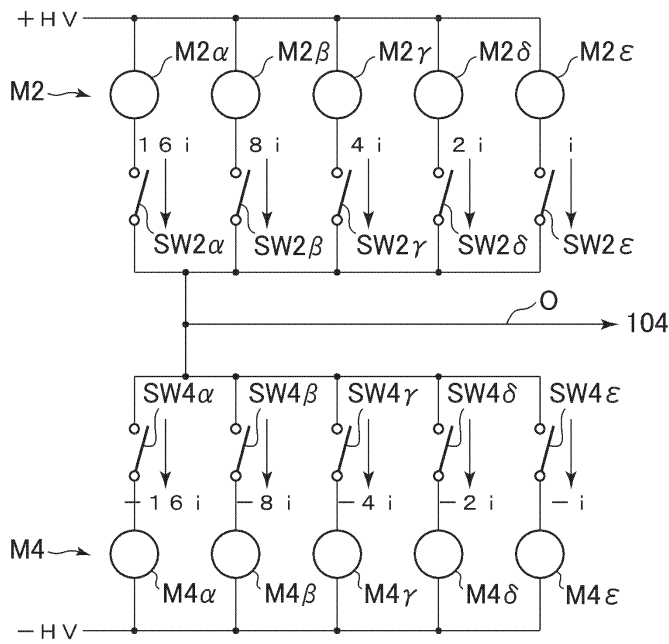
도면3



도면4



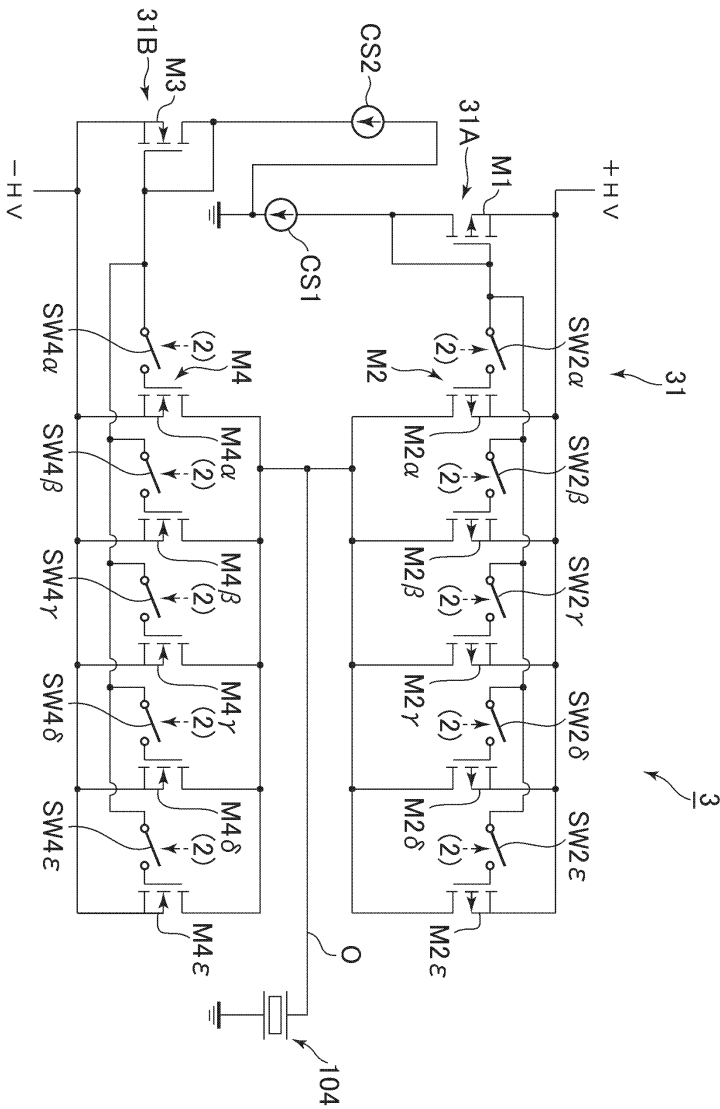
도면5



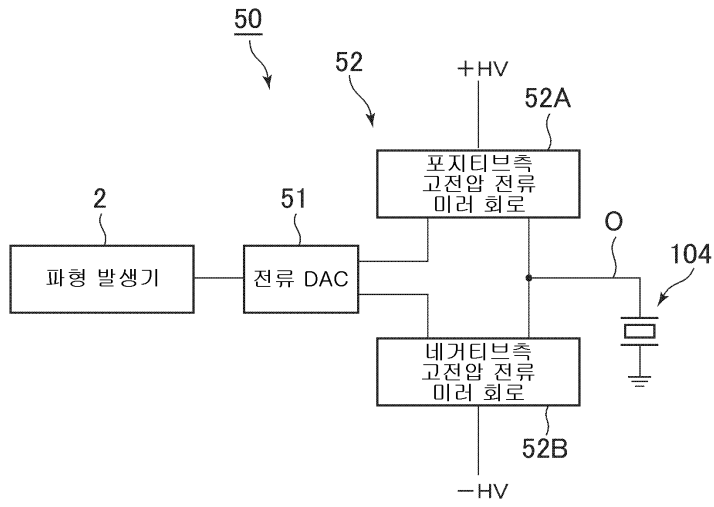
도면6

SW2 $\alpha$	SW2 $\beta$	SW2 $\gamma$	SW2 $\delta$	SW2 $\epsilon$	구동 전류(I)
0	0	0	0	0	0
0	0	0	0	1	i
0	0	0	1	0	2i
0	0	0	1	1	3i
0	0	1	0	0	4i
0	0	1	0	1	5i
0	0	1	1	0	6i
0	0	1	1	1	7i
0	1	0	0	0	8i
0	1	0	0	1	9i
		⋮			⋮
1	1	1	0	0	28i
1	1	1	0	1	29i
1	1	1	1	0	30i
1	1	1	1	1	31i

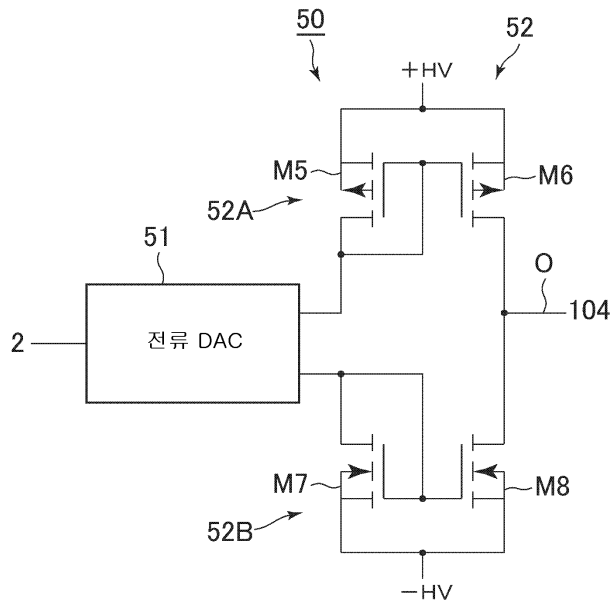
도면7



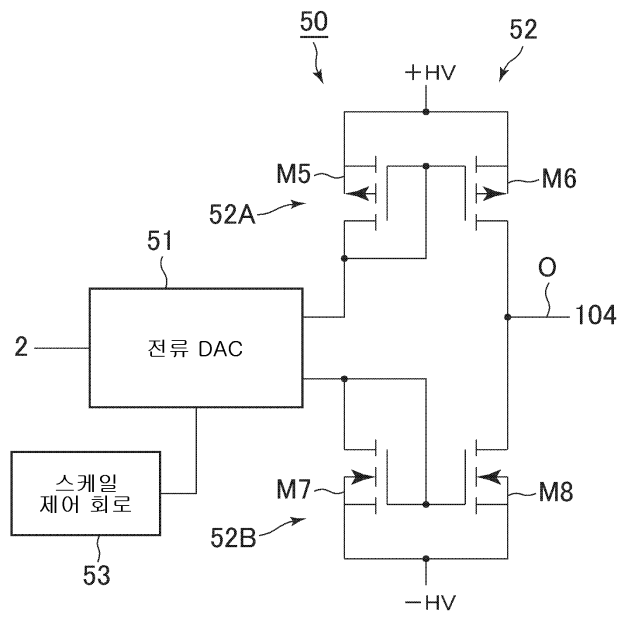
도면8



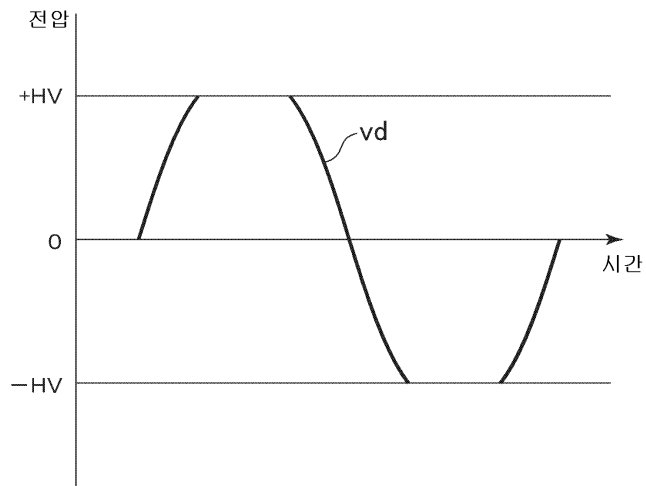
도면9



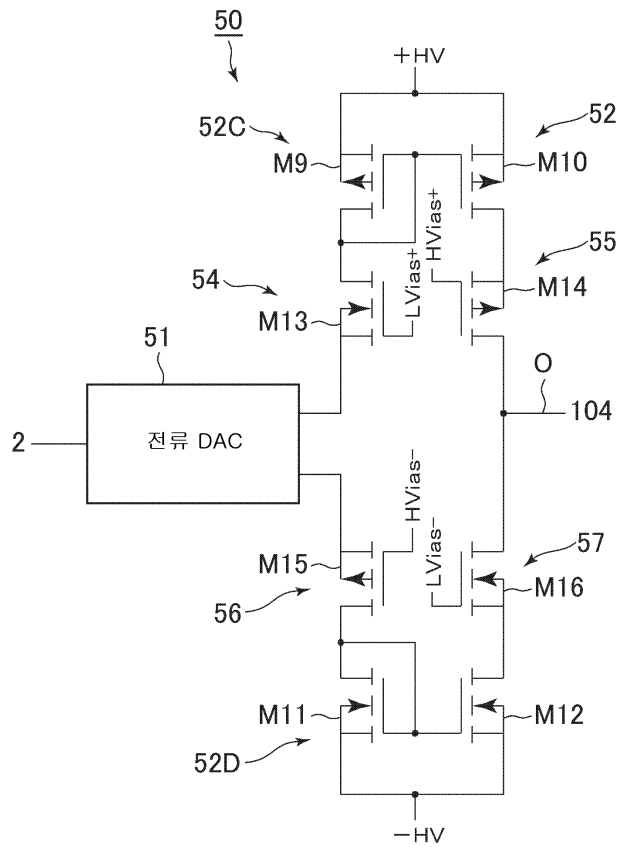
도면10



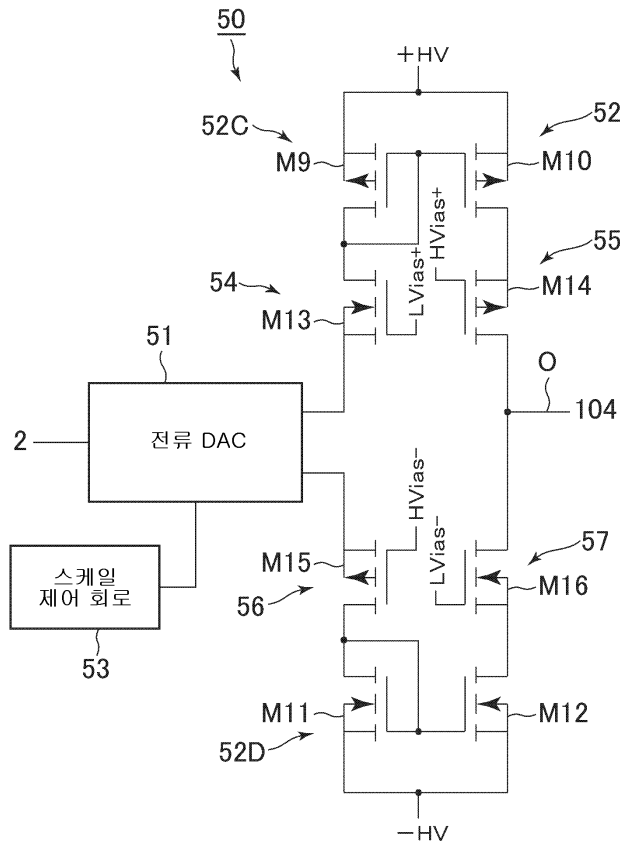
도면11



도면12



도면13



专利名称(译)	标题：传输电路，超声波探头和超声波图像显示装置		
公开(公告)号	<a href="#">KR1020120098460A</a>	公开(公告)日	2012-09-05
申请号	KR1020120018565	申请日	2012-02-23
[标]申请(专利权)人(译)	通用电气公司		
申请(专利权)人(译)	通用电气公司		
当前申请(专利权)人(译)	通用电气公司		
[标]发明人	AMEMIYA SHINICHI 아메미야신이치 HAIDER BRUNO 하이더브루노 RAO NARESH KESAVAN 라오나레쉬케사반 SUNDARESAN KRISHNAKUMAR 선다레산크리쉬나쿠마르 HALVORSROD THOMAS 할보스로드토마스		
发明人	아메미야신이치 하이더브루노 라오나레쉬케사반 선다레산크리쉬나쿠마르 할보스로드토마스		
IPC分类号	A61B8/00 G01N29/24		
CPC分类号	H03M1/66 H03M1/0682 H03M1/745		
优先权	13/035675 2011-02-25 US		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

目的：提供一种传输电路，超声波探测器及其图像显示装置，以通过降低功耗来控制发热。结构：超声波图像显示装置（100）包括主体（101）和超声波探头（102）连接到主体。超声波探头通过电缆（103）连接到主体。超声波探头包括多个超声波换能器。超声波探头包括操作超声换能器的传输电路（1）。超声波探头输入由超声波换能器接收的超声波eco信号。超声波探测器包括执行延迟附加处理的接收电路。COPYRIGHT KIPO 2013

