



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0123854  
(43) 공개일자 2015년11월04일

- (51) 국제특허분류(Int. Cl.)  
**G10K 11/34** (2006.01) **A61B 8/00** (2006.01)
- (52) CPC특허분류  
**G10K 11/346** (2013.01)  
**A61B 8/4444** (2013.01)
- (21) 출원번호 10-2015-7026048
- (22) 출원일자(국제) 2014년02월28일  
심사청구일자 없음
- (85) 번역문제출일자 2015년09월21일
- (86) 국제출원번호 PCT/US2014/019682
- (87) 국제공개번호 WO 2014/134576  
국제공개일자 2014년09월04일
- (30) 우선권주장  
13/781,301 2013년02월28일 미국(US)

(71) 출원인  
제네럴 일렉트릭 컴퍼니  
미국, 뉴욕 12345, 웬넥태디, 원 리버 로드

(72) 발명자  
코건 스콧 디  
미국 뉴욕주 12309 니스카유나 빌딩 케이1-3  
에이59 원 리서치 서클 제네럴 일렉트릭 컴퍼니  
글로벌 리서치  
바우어 루카스  
독일 14542 베르더 (하벨) 암 리리엔스타이그 3

(74) 대리인  
김태홍, 김진희

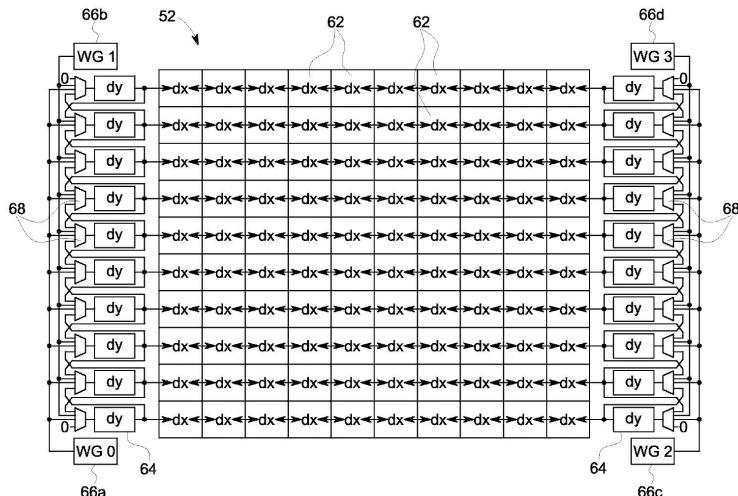
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 ASIC 상에서의 초음파 빔포밍을 위한 웰타 지연 방식

### (57) 요약

주문형 반도체(ASIC) 상에서의 초음파 빔포밍을 위한 시스템이 개시된다. 소정의 실시형태에서, 시스템은 ASIC에 전기적으로 커플링된 복수의 트랜스듀서 엘리먼트를 포함하는 초음파 프로브를 포함한다. ASIC는 복수의 지연 유닛에 전기적으로 커플링된 복수의 복수의 파형 생성기를 포함한다. 각각의 지연 유닛은 파형 생성기 또는 인접한 지연 유닛으로부터 파형을 수신하고, 그 파형에 추가적인 지연을 적용하고, 그 파형을 인접한 지연 유닛, 복수의 트랜스듀서 엘리먼트 중 하나 이상, 또는 이를 양자로 출력한다. 트랜스듀서 엘리먼트로 출력되기 이전에 파형에 제공되는 지연은, 초음파 프로브에 의해 생성된 초음파 펄스의 빔포밍 특성을 결정한다.

### 대 표 도



## 명세서

### 청구범위

#### 청구항 1

초음파 프로브에 있어서,  
복수의 트랜스듀서 엘리먼트; 및  
상기 복수의 트랜스듀서 엘리먼트에 커플링된 주문형 반도체(application specific integrated circuit; ASIC)  
를 포함하고, 상기 ASIC는:  
복수의 지연 유닛; 및  
하나 이상의 파형 생성기  
를 포함하고,  
각각의 파형 생성기는 별개의 파라미터를 갖는 파형을 생성하여 상기 복수의 지연 유닛 중 적어도 하나의 지연  
유닛으로 송신하도록 구성되고, 각각의 지연 유닛은 상기 복수의 파형 생성기 중 하나의 파형 생성기 또는 인접  
한 지연 유닛으로부터 상기 파형을 수신하고, 상기 파형에 지연을 적용하고, 지연된 파형을 인접한 지연 유닛으  
로 출력하는 것인, 초음파 프로브.

#### 청구항 2

제1항에 있어서,  
상기 별개의 파라미터는 파형 형상 또는 파형 타이밍 지연 중 하나 이상을 포함하는 것인, 초음파 프로브.

#### 청구항 3

제1항에 있어서,  
상기 지연 유닛은 상기 지연을 상기 파형에 적용하기 위해 플립플롭 회로를 활용하는 것인, 초음파 프로브.

#### 청구항 4

제1항에 있어서,  
상기 지연 유닛은 선택가능한 지연을 상기 파형에 적용하는 것인, 초음파 프로브.

#### 청구항 5

제1항에 있어서,  
상기 지연 유닛은 하드웨어 관련 지연을 상기 파형에 적용하는 것인, 초음파 프로브.

#### 청구항 6

제5항에 있어서,  
상기 지연 유닛의 어레이의 각각의 지연 유닛은 상기 파형으로부터 상기 하드웨어 관련 지연을 제거하기 위해  
로컬 동기 플립플롭(local sync flip-flop)을 포함하는 것인, 초음파 프로브.

#### 청구항 7

제1항에 있어서,  
상기 파형 생성기로부터 상기 복수의 지연 유닛으로의 상기 파형의 전달을 제어하도록 구성된 복수의 멀티플렉  
서를 포함하는, 초음파 프로브.

**청구항 8**

제1항에 있어서,

상기 복수의 지연 유닛의 서브셋이 하나보다 많은 파형 생성기로부터 상기 파형을 수신할 수 있는 것인, 초음파 프로브.

**청구항 9**

제1항에 있어서,

상기 복수의 지연 유닛은 상기 ASIC의 둘레 상에 지연 유닛의 적어도 하나의 열(column)을 포함하고, 상기 지연 유닛의 각각은 상기 파형을 지연 유닛의 대응하는 행(row)에 제공하도록 구성되는 것인, 초음파 프로브.

**청구항 10**

제1항에 있어서,

상기 복수의 파형 생성기는 상기 ASIC의 둘레 상의 지연 유닛의 서브셋에 직접적으로 전기적으로 커플링되는 것인, 초음파 프로브.

**청구항 11**

제1항에 있어서,

각각의 지연 유닛은 상기 지연된 파형을 상기 ASIC의 둘레 상에서 제1 차원으로 분배하고, 후속하여 상기 파형을 제2 차원으로 분배하는 것인, 초음파 프로브.

**청구항 12**

제1항에 있어서,

전역적(global) 파형 입력 라인이 지연 유닛의 어레이의 하나 이상의 행, 지연 유닛의 상기 어레이의 하나 이상의 열, 또는 이들의 조합 상의 복수의 지연 유닛으로 연장하는 것인, 초음파 프로브.

**청구항 13**

제1항에 있어서,

파형 생성기의 수는 지연 유닛의 수보다 더 적은 것인, 초음파 프로브.

**청구항 14**

제1항에 있어서,

파형 생성기 대 지연 유닛의 비는 1:5 미만인 것인, 초음파 프로브.

**청구항 15**

제1항에 있어서,

파형 생성기 대 지연 유닛의 비는 1:20 미만인 것인, 초음파 프로브.

**청구항 16**

제1항에 있어서,

상기 지연 유닛의 일부만이 상기 복수의 파형 생성기 중 하나의 파형 생성기로부터 상기 지연된 파형을 수신하는 것인, 초음파 프로브.

**청구항 17**

제1항에 있어서,

상기 지연 유닛은 지연된 파형을 상기 복수의 트랜스듀서 엘리먼트 중 하나 이상에 이용가능하게 만드는 것인,

초음파 프로브.

### 청구항 18

제1항에 있어서,

상기 복수의 트랜스듀서 엘리먼트는 2D 어레이를 포함하는 것인, 초음파 프로브.

### 청구항 19

초음파 프로브에 있어서,

복수의 트랜스듀서 엘리먼트;

복수의 지연 유닛 – 각각의 지연 유닛은 상기 복수의 트랜스듀서 엘리먼트 중 하나 이상에 전기적으로 커플링 되고, 각각의 지연 유닛은 과형 신호를 수신하고 상기 복수의 트랜스듀서 엘리먼트 중 하나 이상의 트랜스듀서 엘리먼트로 그리고 적어도 하나의 인접한 지연 유닛으로 상기 과형 신호를 출력하도록 구성됨 – ; 및

상기 과형 신호를 하나 이상의 지연 유닛으로 송신하도록 구성된 복수의 과형 생성기  
를 포함하는, 초음파 프로브.

### 청구항 20

제19항에 있어서,

상기 과형 신호는 과형 형상 또는 과형 타이밍 지연을 정의하는 파라미터를 포함하는 것인, 초음파 프로브.

### 청구항 21

제20항에 있어서,

상기 타이밍 지연은  $0^{\circ}$  내지  $135^{\circ}$  의 범위인 것인, 초음파 프로브.

### 청구항 22

제20항에 있어서,

상기 복수의 지연 유닛 중 적어도 일부는, 상기 과형 신호를 상기 적어도 하나의 인접한 지연 유닛으로 출력하기 이전에, 선택가능한 지연을 상기 과형 신호에 적용하는 것인, 초음파 프로브.

### 청구항 23

제22항에 있어서,

상기 지연 유닛은, 상기 선택가능한 지연을 상기 과형 신호에 적용하기 위해, 하나 이상의 일련의 하나 이상의 플립플롭 회로를 활용하는 것인, 초음파 프로브.

### 청구항 24

제22항에 있어서,

상기 지연 유닛은, 대응하는 플립플롭 회로에 의해 지연된 과형 신호, 또는 다음의 일련의 플립플롭 회로 또는 상기 지연 유닛의 상기 출력으로 전송되도록 상기 플립플롭 회로를 바이패스한 과형 신호 중 어느 하나를 선택하도록 구성된 각각의 일련의 플립플롭 회로 다음에 멀티플렉서를 포함하는 것인, 초음파 프로브.

### 청구항 25

제22항에 있어서,

상기 지연 유닛은, 상기 일련의 하나 이상의 플립플롭 회로의 각각의 플립플롭으로부터 출력되는 복수의 과형 신호 중 하나의 과형 신호를 선택하고 상기 과형 신호를 상기 적어도 하나의 인접한 지연 유닛 또는 상기 복수의 트랜스듀서 엘리먼트 중 하나의 트랜스듀서 엘리먼트로 출력하도록 각각 구성된 복수의 멀티플렉서를 포함하는 것인, 초음파 프로브.

## 청구항 26

시스템에 있어서,

초음파 시스템과 함께 사용하기 위한 프로브 – 상기 프로브는:

트랜스듀서 엘리먼트의 어레이;

복수의 지연-차등 파형(plurality of delay-differentiated waveforms)을 생성하도록 구성된 하나 이상의 파형 생성기; 및

상기 복수의 지연-차등 파형 중 하나의 지연-차등 파형을 수신하고, 선택가능한 충분적 지연을 추가하고, 하나 이상의 인접한 지연 유닛 및 상기 트랜스듀서 엘리먼트의 어레이에 이용가능한 지연된 파형을 생성하도록 구성된 복수의 지연 유닛

을 포함함 – ; 및

양방향 도관(conduit)을 통해 상기 프로브에 통신적으로 커플링된 이미징 시스템

을 포함하는, 시스템.

## 청구항 27

제26항에 있어서,

상기 복수의 지연-차등 파형 중 하나의 지연-차등 파형을 수신하도록, 그리고 제로 지연된 파형을 하나 이상의 인접한 지연 유닛 및 상기 트랜스듀서 엘리먼트의 어레이에 이용가능하게 만들도록 구성된 제2 복수의 지연 유닛을 포함하는, 시스템.

### 발명의 설명

#### 기술 분야

##### [0001] 배경

본원에서 개시되는 주제는 일반적으로 초음파 이미징에 관한 것으로, 특히, 초음파 이미징을 위해 범포밍 어셈블리와 함께 사용하기 위한 주문형 반도체(application specific integrated circuit)에 관한 것이다.

#### 배경 기술

[0003] 의료 진단 초음파는, 환자의 신체의 음향적 특성을 조사하고(probe) 대응하는 이미지를 생성하기 위해 초음파를 활용하는 이미징 양식(imaging modality)이다. 음파 펄스의 생성과 복귀하는 에코의 검출은 프로브 내에 위치된 복수의 트랜스듀서 엘리먼트를 통해 일반적으로 달성된다. 이러한 트랜스듀서 엘리먼트는 송신을 위해 전기 에너지를 기계적 에너지로 변환하고 수신을 위해 기계적 에너지를 다시 전기적 에너지로 변환할 수 있다. 몇몇 초음파 프로브는 엘리먼트의 선형 어레이 또는 2D 매트릭스로 정렬된 수천 개까지의 트랜스듀서 엘리먼트를 포함한다.

[0004] 결과적인 이미지의 품질 및 해상도가, 주로, 이러한 어레이에서의 트랜스듀서 엘리먼트의 사이즈와 수의 함수이기 때문에, 향상된 시스템은 통상적으로 가능한 최대로 많은 수의 트랜스듀서 엘리먼트를 통합한다. 그러나, 각각의 트랜스듀서 엘리먼트가 제어 회로부(control circuitry)에 통상적으로 커플링되기 때문에, 트랜스듀서 엘리먼트의 수의 증가는 제어 회로부의 복잡성에서 관련된 증가로 나타나게 된다.

### 발명의 내용

#### 과제의 해결 수단

##### [0005] 간단한 설명

[0006] 일 실시형태에서, 초음파 프로브가 제공된다. 초음파 프로브는 복수의 트랜스듀서 엘리먼트 및 복수의 트랜스듀서 엘리먼트에 커플링된 주문형 반도체(ASIC)를 포함한다. ASIC는 복수의 지연 유닛 및 별개의 파라미터를 갖는 파형을 생성하여 복수의 지연 유닛 중 적어도 하나로 송신하도록 각각 구성된 복수의 파형 생성기를 또한 포함

한다. 복수의 지연 유닛의 각각의 지연 유닛은 과형 생성기 또는 인접한 지연 유닛으로부터 과형을 수신하고, 그 과형에 추가적인 지연을 적용하고, 인접한 지연 유닛, 복수의 트랜스듀서 엘리먼트 중 하나 이상, 또는 이들 양자가 지연된 과형을 이용가능하게 만든다.

[0007] 다른 실시형태에서, 초음파 프로브가 제공된다. 초음파 프로브는 복수의 트랜스듀서 엘리먼트 및 전기적으로 커플링된 복수의 지연 유닛을 포함한다. 복수의 지연 유닛의 각각은 과형 신호를 수신하여 그 과형 신호를 복수의 트랜스듀서 엘리먼트 중 하나 이상뿐만 아니라 복수의 지연 유닛의 인접한 유닛으로 출력하도록 구성된다. 초음파 프로브는 과형 신호를 복수의 지연 유닛의 서브셋으로 송신하도록 구성된 복수의 과형 생성기를 또한 포함한다.

[0008] 다른 실시형태에서, 시스템이 제공된다. 시스템은 초음파 시스템과 함께 사용하기 위한 프로브 및 양방향 도관(conduit)을 통해 프로브에 통신적으로 커플링된 이미징 시스템을 포함한다. 프로브는 트랜스듀서 엘리먼트의 어레이 및 복수의 지연-차등 과형(plurality of delay differentiated waveforms)을 생성하도록 구성된 하나 이상의 과형 생성기를 포함한다. 추가적으로, 프로브는 복수의 지연-차등 과형 중 하나를 수신하고, 선택가능한 충분적 지연을 추가하고, 인접한 지연 유닛 및 트랜스듀서 엘리먼트의 어레이가 최종 지연 과형을 이용가능하게 만들도록 구성된 복수의 지연 유닛을 포함한다.

### 도면의 간단한 설명

[0009] 본 개시의 이들 및 다른 피쳐, 양태, 및 이점은, 동일한 도면 부호가 도면 전체에 걸쳐 동일한 부분을 나타내는 첨부의 도면을 참조하여 하기의 상세한 설명을 읽을 때 가장 잘 이해될 것인데, 도면에서:

도 1은 본 개시의 한 실시형태에 따른 초음파 이미징 시스템을 예시한다;

도 2는 본 개시의 한 실시형태에 따른 초음파 이미징 시스템의 프로브의 회로부를 예시한다;

도 3은 본 개시의 한 실시형태에 따른 초음파 이미징 시스템의 프로브의 과형 지연 회로를 예시한다;

도 4는 본 개시의 한 실시형태에 따른 과형 지연 회로의  $d_y$  지연 유닛을 예시한다;

도 5는 본 개시의 한 실시형태에 따른 과형 지연 회로의  $d_x$  지연 유닛을 예시한다;

도 6은 본 개시의 한 실시형태에 따른 과형 지연 회로의  $d_x$  지연 유닛을 예시한다;

도 7은 본 개시의 한 실시형태에 따른 전역적(global) 과형 입력 라인을 갖는 일련의  $d_x$  지연 유닛을 예시한다;

도 8은, 본 개시의 한 실시형태에 따른, 주문형 반도체 상의 펄스 생성기(pulser)에 의해 생성된 초음파 펄스의 범포밍(beamforming)을 허용할 수도 있는 지연 곡선의 그래프를 예시한다;

도 9는, 본 개시의 한 실시형태에 따른, 초음파 이미징 시스템에 의해 생성된 초음파 펄스의 범포밍을 허용할 수도 있는 지연 곡선 및 지연 곡선을 형성하는 대응하는 대량(bulk) 지연 및 미세한 지연의 그래프를 예시한다;

도 10은, 본 개시의 한 실시형태에 따른, 초음파 이미징 시스템에 의해 생성된 초음파 펄스의 범포밍을 허용할 수도 있는 지연 곡선 및 지연 곡선을 형성하는 대응하는 대량 지연 및 미세한 지연의 그래프를 예시한다;

도 11은, 본 개시의 한 실시형태에 따른, 초음파 이미징 시스템에 의해 생성된 초음파 펄스의 범포밍을 허용할 수도 있는 지연 곡선 및 지연 곡선을 형성하는 대응하는 대량 지연 및 미세한 지연의 그래프를 예시한다;

도 12는, 본 개시의 한 실시형태에 따른, 초음파 이미징 시스템에 의해 생성된 초음파 펄스의 범포밍을 허용할 수도 있는 지연 곡선 및 지연 곡선을 형성하는 대응하는 대량 지연 및 미세한 지연의 그래프를 예시한다;

### 발명을 실시하기 위한 구체적인 내용

#### 상세한 설명

[0010] 하기에 더 상세히 논의되는 바와 같이, 이미징 시스템에 통신적으로 커플링된 초음파 프로브의 다양한 실시형태가, 초음파 프로브에 인접한 과형 생성과 관련하여 제공된다. 일 실시형태에서, 초음파 프로브는 전자적이고, 재사용가능하고, 복수의 독립적인 트랜스듀서 엘리먼트에 대한 정확한 과형 타이밍 및 복잡한 과형 성형이 가능하고, 그리고 아날로그 또는 디지털화된 데이터를 이미징 시스템으로 전달할 수 있다. 개시된 실시형태는, 주문형 반도체(ASIC) 상의 하나 이상의 과형 생성기를 수용하는 다양한 프로브를 포함한다. 다른 것들 중에서도, 상

기 피쳐는, 초음파 어레이와 연계하여 사용되는 ASIC의 사이즈, 복잡도, 및 소비 전력을 감소시키는 효과를 가질 수도 있다. ASIC는 상대적으로 낮은 전력에서 작은 공간에서 작용하도록 사이즈가 정해지고 구성된다. 그러나, 초음파 어레이의 발사 시퀀스(firing sequence)를 위한 그리고 초음파 빔의 조종 및/또는 접속을 위한 신호 프로세싱 부하는 상대적으로 높다.

[0012] 특정 실시형태에서, 초음파 어레이 및 그 관련된 송신 및 수신 프로세싱 회로부(즉, 관련된 ASIC)는, ASIC 상의 각각의 엘리먼트에 대한 송신/수신 회로부 인터커넥트의 어레이가 어레이 자체에 커플링될 수도 있도록, 사이즈에서 1:1에 가깝게 구현될 수도 있다. 어레이 엘리먼트의 수가 증가함에 따라, 관련된 ASIC의 복잡도도 증가한다. 초음파 어레이의 각각의 어레이 엘리먼트에 대해 전용 파형 생성기를 포함하는 초음파 프로브가 구현될 수도 있지만, 이러한 배치는 각각의 엘리먼트에 대해 상당한 양의 회로부, 및 어쩌면 전용 파형 생성기로부터의 신호의, ASIC의 주변부로부터 어레이의 코어로의 복잡한 라우팅을 수반한다. 또한, 이러한 배치는 전력 집약적일 수도 있고 공간 제한적일 수도 있다.

[0013] 상기 언급된 문제점의 몇몇 또는 모두를 해결하기 위해 멜타 지연 기술을 통합하는 초음파 프로브 및 관련 ASIC 가 본원에서 제공된다. 예를 들면, 제공되는 것과 같은 ASIC에서, 멜타 지연 회로 블록은 디지털적으로 인코딩된 파형을 수신하고 이 파형을 인접한 멜타 지연 블록이 이용 가능하게 만든다. 소정의 실시형태에서, 각각의 멜타 지연 블록은 파형을 인접한 블록 상으로 전달하기 이전에 선택 가능한 지연을 추가할 수도 있다. 이러한 멜타 지연 블록은 엘리먼트당, 또는 ASIC 상에 존재하는 엘리먼트의 그룹당 하나 제공될 수도 있다. 이러한 방식에서, ASIC은 초음파 어레이에서 서브엘리먼트의 발사 시퀀스를 결정하는 신호를 생성할 수도 있다. 발사 시퀀스를 활용하면, ASIC은 소망의 빔포밍 형상을 생성하도록 초음파 빔을 조정하고 접속할 수도 있다. 본원에서 개시되는 기술은, 감소된 수의 파형 생성기를 이용하여 초음파 어레이의 서브엘리먼트로 파형 신호를 전파시키는 멜타 지연 블록을 통합한다. 파형 생성기의 수를 감소시키는 것은, ASIC이 전력에 대해 덜 집약적이 되는 것을 허용하고 필수 회로부가 더 적은 공간을 차지하는 것을 허용한다.

[0014] 도 1에 도시된 바와 같이, 초음파 이미징 시스템(10)은, 초음파 검사 동안 환자와 접촉하는 핸드헬드 프로브(12)를 포함해서, 다양한 컴포넌트를 포함할 수도 있다. 묘사된 실시형태에서, 핸드헬드 프로브(12)는, 예컨대 유선 또는 무선 통신 링크를 통해, 프로브(12)의 동작을 제어하고 프로브(12)를 통해 획득된 데이터를 프로세싱하는 초음파 시스템 또는 스테이션(14)과 통신한다.

[0015] 일 실시형태에서, 프로브(12)는 환자와 면하는 또는 접촉하는 표면을 포함하고, 그 표면은, 프로브(12) 내의 ASIC의 파형 생성기에 의해 생성된 월스화된 파형에 의해 에너지를 받는 경우 음향 에너지를 각각 생성할 수 있는 복수의 트랜스듀서 엘리먼트(18)를 구비하는 트랜스듀서 어레이(16)를 포함한다. 예컨대 환자의 조직(tissue)으로부터 다시 트랜스듀서 어레이(16)를 향해 반사된 음향 에너지는 어레이(16)의 트랜스듀서 엘리먼트(18)에 의해 전기 에너지로 변환되고, 그 전기 에너지는 하나 이상의 초음파 이미지를 생성하기 위한 추가 프로세싱을 위해 스테이션(14)의 수신 회로부(22)로 전달된다. 알 수 있는 바와 같이, 본원에서 사용되는 용어 "회로부"는, 송신 빔포밍, 수신 빔포밍, 및/또는 스캔 변환과 같은 설명된 기능성을 제공하도록 구성되거나 설계된 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 몇몇 조합을 나타낼 수도 있다.

[0016] 수신 회로부(22)는, 예컨대 하나 이상의 사용자 입력 디바이스(30)(예를 들면, 키보드, 터치 스크린, 마우스, 버튼, 스위치 기타 등등)를 통해, 사람 오퍼레이터로부터 수신되는 커맨드에 응답하여 동작할 수 있는 컨트롤러(28)의 제어 하에서 동작된다. 추가적으로, 소정의 실시형태에서, 컨트롤러(28)는 디지털 파형 또는 제어 신호를 프로브(12)의 ASIC으로 전송할 수도 있다. 일 실시형태에서, 컨트롤러(28)는, 스테이션(14)의 다른 각각의 회로부 및/또는 컴포넌트와 통신하는 하나 이상의 프로세서, 예컨대 범용 또는 애플리케이션 전용 프로세서로서 구현될 수도 있다.

[0017] 동작에서, 환자의 조직 안으로의 음향 에너지의 송신에 응답하여 생성된 일련의 에코를 획득하도록 프로브(12)와 스테이션(14)을 사용하는 것에 의해 초음파 스캔이 수행된다. 이러한 스캔 동안, 트랜스듀서 엘리먼트(18)는 에너지를 받아 음향 에너지를 송신한다. 음향 에너지는 구조체 또는 구조 계면에서 반사된 이후 에코 신호를 생성할 수도 있다. 각각의 트랜스듀서 엘리먼트(18)에 의해 수신되는 에코 신호는 수신 회로부(22)로 전달된다. 각각의 트랜스듀서 엘리먼트(18)로부터의 별개의 에코 신호는 수신 회로부(22)에서 한 신호로 결합되는데, 그 한 신호는 스테이션(14)에 통합된 또는 스테이션(14)과 통신하는 디스플레이(34) 상에 디스플레이되는 이미지에 서의 한 라인을 생성하기 위해 사용된다.

[0018] 일 실시형태에서, 송신 회로부(20)는, 방출되는 음향 에너지가 빔으로서 지향되거나 또는 조종되도록, 트랜스듀서 어레이(16)을 동작시키도록 구성될 수도 있다. 예를 들면, 프로브(12) 내의 ASIC은, 시간적으로 오프셋된 월

스화된 과형을 생성하기 위해, 각각의 트랜스듀서 엘리먼트(18)에게 적용되는 각각의 시간 지연을 부여할 수 있다. 이를 시간적 오프셋은, 트랜스듀서 어레이(16)에 의해 방출된 음향 에너지의 표면이 트랜스듀서 어레이(16)의 표면과 관련하여 특정 방향으로 효과적으로 조종되거나 지향되도록 하는, 각각의 트랜스듀서 엘리먼트(18)의 상이한 활성화 시간으로 나타나게 된다. 따라서, 각각의 트랜스듀서 엘리먼트(18)에게 에너지를 부여하는 펠스화된 과형과 관련된 시간 지연을 조정하는 것에 의해, 초음파 빔은 트랜스듀서 어레이(16)의 표면과 관련된 축을 향해 또는 그 축으로부터 특정 각도( $\Theta$ )만큼 벗어나게 지향되고 환자 조직 내에서 고정된 범위(R)에 집속될 수 있다. 이러한 구현예에서, 연속적인 여기(excitation)에서 시간 지연을 점진적으로 변경하는 것에 의해 섹터 스캔이 수행될 수도 있다. 따라서, 연속하는 조종 방향에서 송신되는 빔을 조종하기 위해, 각도( $\Theta$ )는 증분적으로 변경된다.

[0019] 음향 에너지의 각각의 버스트에 의해 생성된 에코 신호는 초음파 빔을 따른 연속하는 범위에 위치된 구조체 또는 구조 계면에 의해 반사된다. 에코 신호는 각각의 트랜스듀서 엘리먼트(18)에 의해 개별적으로 감지되고, 특정 시점에서의 에코 신호 크기의 샘플은 특정 범위에서 발생하는 반사의 양을 나타낸다. 그러나, 반사하는 구조체와 각각의 트랜스듀서 엘리먼트(18) 사이의 전파 경로에서 차이로 인해, 이를 에코 신호는 동시에 검출되지 않을 수도 있다. 따라서, 일 실시형태에서, 수신 회로부(22)는 별개의 에코 신호를 증폭하고, 각각에 대해 적절한 시간 지연을 부여하고, 그들을 합하여, 각도( $\Theta$ )로 지향된 초음파 빔을 따라 범위(R)에 위치된 한 포인트 또는 구조체로부터 반사된 총 음향 에너지를 나타내는 단일의 에코 신호를 제공한다.

[0020] 각각의 트랜스듀서 엘리먼트(18)에서 검출된 에코에 의해 생성된 전기 신호를 동시에 합하기 위해, 수신 회로부(22)에서 정의되는 별개의 채널에 대해 시간 지연이 도입된다. 종래의 초음파 스캔에서, 수신을 위한 시간 지연은, 수신 빔이 송신 빔과 대응하는 조정 방향을 갖도록, 위에서 설명된 송신과 관련된 시간 지연에 대응한다. 즉, 음향 에너지가 수신되는 조종 방향은 음향 에너지가 송신되는 조종 방향에 일관적으로 대응한다. 그러나, 각각의 수신 채널과 관련된 시간 지연은, 에코 신호가 방출되는 범위(R)에서 수신된 빔의 어느 정도의 동적인 집속을 제공하기 위해, 에코의 수신 동안 조정되거나 또는 변경될 수도 있다. 본 개시의 실시형태에서, 본원에서 논의된 바와 같이, 수신 회로부(22)에 의한 수신을 위해 활용되는 지역 프로파일은, 송신된 음향 에너지가 지향된 방향과는 상이한 방향을 수신 회로부가 효과적으로 주시하거나 또는 스캔하도록, 즉 수신 빔의 조종 방향이 송신 빔의 조종 방향과는 상이하도록, 프로브(12)의 ASIC에 의해 활용되는 대응하는 지역 프로파일과 상이할 수도 있다.

[0021] 예를 들면, 이미지 데이터 획득 중, 컨트롤러(28)는, 프로브(12)의 ASIC에 의해 조종되는 빔에 대응하는 에코 데이터를 방향( $\Theta$ )을 따라 수신하도록 수신 회로부(22)에 특정 지연을 제공하고, 빔을 따른 포인트(P)에 동적으로 집속하도록 적절한 지연 및 위상 시프트를 제공하기 위해, 연속하는 범위(R)에서 에코 신호를 샘플링한다. 따라서, 검사의 이미지 획득 부분 동안 초음파 펠스 과형의 각각의 방출 및 수신은, 초음파 빔을 따라 위치된 대응하는 일련의 포인트(P)로부터의 반사된 사운드의 양을 나타내는 일련의 데이터 포인트의 획득으로 나타나게 된다.

[0022] 본 개시에 따르면, 검사 동안 음향 노이즈 데이터가 또한 획득된다. 음향 노이즈 신호의 획득 동안, 컨트롤러(28)는,  $\Theta$  이외의 방향으로부터 에코 데이터를 수신하기 위해 수신 회로부(22)에 상이한 세트의 지연을 제공하고, 결과적으로 에코 데이터는 송신된 초음파 빔의 방향 이외의 방향으로부터 수신된다. 따라서, 검사의 음향 노이즈 측정 부분 동안 초음파 펠스 과형의 각각의 방출 및 수신은, 초음파 빔이 지향된 방향과는 상이한 방향으로부터의 반사 사운드의 양을 나타내는 일련의 데이터 포인트의 획득으로 나타나게 된다.

[0023] 변환 회로부(38)는 수신 회로부(22)에 의해 생성된 다양한 일련의 데이터 포인트를 수신하고 데이터를 소망의 이미지 및/또는 노이즈 측정치로 변환한다. 대안적으로, 컨트롤러(28) 및/또는 스테이션(14)의 다른 프로세서 기반 컴포넌트는, 수신 회로부(22)에 의해 생성되며 음향 노이즈에 대응하는 신호를 프로세싱하여, 이미지 생성에서 변환 회로부(38)에 의한 사용을 위한 또는 디스플레이를 위한 음향 노이즈의 측정치 또는 다른 특성화치(characterization)를 생성할 수도 있다.

[0024] 일 실시형태에서, 변환 회로부(38)는 극좌표( $R-\Theta$ ) 섹터 포맷 또는 데카르트 좌표 선형 어레이로부터의 음향 이미지 데이터를, 특정 프레임 레이트에서의 디스플레이에 적합한 적절히 스케일링된 데카르트 좌표 디스플레이 픽셀 데이터로 변환한다. 그 다음, 이 스캔 변환된 음향 데이터는 디스플레이(34)로 제공되는데, 그 디스플레이(34)는, 일 실시형태에서, 신호 엔벨롭의 시변 진폭을 그레이 스케일로서 이미지화한다.

[0025] 도 2는 핸드헬드 프로브(12)의 소정의 컴포넌트의 개략적인 뷰를 도시한다. 핸드헬드 프로브(12)는 환자와 면하는 또는 접촉하는 표면을 포함하는데, 그 표면은 초음파 송신에서 전기 에너지를 기계적 에너지로 그리고 초음

과 수신 모드에서 기계적 에너지를 전기적 에너지로 각각 변환할 수 있는 트랜스듀서 엘리먼트(18)를 구비하는 트랜스듀서 어레이(16)를 구비한다. 몇몇 실시형태에서, 각각의 트랜스듀서 엘리먼트(18)는 압전 세라믹, 매칭 층(matching layer), 음향 흡수기 등을 포함할 수도 있다. 추가적으로, 트랜스듀서 엘리먼트(18)는, 광대역폭 트랜스듀서, 공진 트랜스듀서 등등과 같은 진단 초음파와 함께 사용하기에 적합한 임의의 타입을 가질 수도 있다. 소정의 실시형태에서, 트랜스듀서 엘리먼트(18)는 환자로부터 되반사되는 에코를 수신할 때 전압 바이어싱 될 수도 있다. 즉, 트랜스듀서 엘리먼트(18)는, 모든 수신되는 신호가 양의 값을 갖게 되도록, 환자로부터 되돌아오는 신호를 수신하기 이전에 소정의 전압(예를 들면, 1V, 2V)으로 프리차지될 수도 있다. 상기 피쳐는 소정의 실시형태에서 수신 싸이클과 관련된 전기 회로부를 간단하게 하는 효과를 가질 수도 있다.

[0026] 몇몇 실시형태에서, 각각의 트랜스듀서 엘리먼트(18)는, 파형 지연 회로(52)로부터 신호를 수신하는 각각의 펠스 생성기(50)와 관련될 수도 있다. 예를 들면, 각각의 펠스 생성기(50)는 저전압(예를 들면, 3.3V 또는 5.0V)에서 제어 신호를 수신하고 트랜스듀서 엘리먼트(18)를 구동하는 고전압(예를 들면, 음의 100V에서 양의 100V) 신호를 생성할 수도 있다. 저전압 제어 신호는 소망의 펠스 발생기 상태의 디지털적으로 인코딩된 표현일 수도 있다. 추가적으로, 이러한 기능성을 갖는 펠스 생성기(50)는 미리 설정된(preset) 복수의 비트의 신호를 수신하고, 수신된 비트에 인코딩된 정보로부터 다양한 독립적인 신호를 생성할 수도 있다. 예를 들면, 2비트의 신호는 4개의 펠스 생성기 상태(예를 들면, 하이, 로우, 접지, 수신)에 대해 4개의 독립적인 신호를 생성하도록 디코딩 될 수도 있다. 임의의 수의 적절한 비트가 신호로서 인코딩될 수도 있으며 임의의 수의 가능한 신호가 수신된 비트의 수에 기초하여 생성될 수도 있다는 것을 유의해야 한다. 예시된 실시형태에서, 디코더(54)는 파형 지연 회로(52)로부터의 디지털 신호를 펠스 생성기(50)에 대한 아날로그 또는 디지털 제어 신호로 변환할 수도 있다. 소정의 실시형태에서, 각각의 펠스 생성기(50)는 디지털 신호를 아날로그 신호로 변환할 수도 있는 회로부를 포함할 수도 있다.

[0027] 펠스 생성기(50)는, 트랜스듀서 엘리먼트(18) 내의 압전 재료(예를 들면, 세라믹)를 여기시키는 데 필요한 전압을 제공하는 송신기로서 기능할 수도 있다. 따라서, 펠스 생성기(50)는 인가된 전압의 조정을 통해 환자에게 송신되는 전력을 제어한다. 몇몇 실시형태에서, ADC(54)는 인가된 전압의 진폭을 결정하기 위해 펠스 생성기(50) 또는 핸드헬드 프로브(12)에 포함된 다른 엘리먼트와 연계하여 작용할 수도 있다는 것을 유의해야 한다. 몇몇 실시형태에서, 예컨대 펠스 에코 동작 모드에서, 펠스 생성기(50)는 그 각각의 트랜스듀서 엘리먼트(18)를 수메가헤르츠의 주파수에서 펠스화할 수도 있다.

[0028] 본 개시는, 특히 엘리먼트의 2D 어레이에 대해, 유연성이 증가된 그러나 복잡성이 감소된 ASIC 구현예를 제공한다. 결과적으로, 본 개시의 ASIC 구현예는 소망의 빔포밍을 달성하는 데 더 적은 파형 생성기 및 관련된 송신 빔포밍 회로부를 필요로 할 수도 있다.

[0029] 소정의 실시형태에서, 파형 지연 회로(52)는, 트랜스듀서 엘리먼트(18)를 여기시키기 위해 사용되는 신호를 펠스 생성기(50)로 제공한다. 상이한 초음파 빔 형상을 생성하기 위해, 파형 지연 회로는, 신호가 펠스 생성기(50)로 출력되기 이전에 신호에 대해 일련의 지연을 적용할 수도 있다. 도 3은, 펠스 생성기(50)에 전기적으로 커플링하여 신호를 제공하기 위한 회로부를 포함할 수도 있는  $d_x$  지연 유닛(62)의 어레이를 포함하는 파형 지연 회로(52)의 일 예를 예시한다. 추가적으로,  $d_y$  지연 유닛(64)의 열(column)이  $d_x$  지연 유닛(62)의 행에 전기적으로 커플링될 수도 있다.  $d_x$  지연 유닛(62)과  $d_y$  지연 유닛(64)의 각각은 신호를 수신하고, 증가적 지연 또는 무지연(no delay)을 도입하고, 후속하는 지연 및 다른 블록 및 궁극적으로는 펠스 생성기(50)와 트랜스듀서 엘리먼트(18)로의 추가 분배를 위해 지연된 신호를 인접한 블록이 이용 가능하게 만들 수도 있다. 몇몇 실시형태에서, 각각의  $d_x$  지연 유닛(62)은 0에서 3개의 지연 증분까지의 지연을 도입할 수도 있는데, 여기서 지연 증분은 파형 지연 회로(52)의 파형 생성기의 클록 주파수의 함수이다. 마찬가지로, 몇몇 실시형태에서, 각각의  $d_y$  지연 유닛(64)은 0에서 7개의 지연 증분까지의 지연을 도입할 수도 있다. 가능한 지연 시간의 범위의 해상도 또는 미세도(fineness)는 지연 유닛이 동작되는 클록 주파수와 각각의 지연 유닛 내에 배치된 회로부의 배치 및/또는 조합에 의존한다.

[0030] 예시된 실시형태에서, 신호를 도입하기 위해, 파형 지연 회로(52)는, 사인파 모양이고 주기적일 수도 있는 디지털적으로 인코딩된 파형의 지연된 버전을 생성할 수도 있는 4개의 파형 생성기(WG0, WG1, WG2, 및 WG3)(66a-66d)를 포함할 수도 있다. 각각의  $d_y$  지연 유닛(64)으로 어떤 파형이 제공되는지를 결정하기 위해, 4 대 1 멀티플렉서(68)는 멀티플렉서(68)의 양측의 2개의 파형 생성기(66) 및  $d_y$  지연 유닛(64)으로부터 입력 신호를 수신 할 수도 있다. 각각의 멀티플렉서(68)는 2비트 선택기 입력을 포함할 수도 있고 따라서 제어 시스템은 멀티플렉

서 입력 중 어느 것이 대응하는  $d_y$  지연 유닛(64)으로 전달되는지를 결정할 수도 있다. 각각의  $d_y$  지연 유닛(64)은 신호에 지연을 적용하고, 대응하는 행(row)의  $d_x$  지연 유닛(62) 및 인접한  $d_y$  지연 유닛(64)이 그 신호를 이용가능하게 만든다. 소정의 실시형태에서, 과형 생성기(66a-66d)는 한 차원(Y)에서 과형 지연 회로(52)의 둘레 상의  $d_y$  지연 유닛(64)을 따라 과형 신호를 분배하고, 후속하여 다른 차원(X)에서  $d_x$  지연 유닛(62)을 갖는 엘리먼트 어레이의 코어로 과형 신호를 분배한다.

[0031] 각각의  $d_x$  지연 유닛(62)은 지연된 신호를 수신하고, 추가 지연을 적용하고, 그 신호를 하나 이상의 필스 생성기(50) 및 인접한  $d_x$  지연 유닛(62)으로 출력한다. 과형 지연 회로(52) 전체에 걸쳐 전파 신호를 지연시켜 전달하는 것을 통해, 제어 회로부는 트랜스듀서 엘리먼트(18)에 의해 출력되고 있는 음향파의 소망의 형상 및 세기를 달성할 수도 있다.

[0032] 도 3에 예시된 구현예와는 상이한 과형 지연 회로(52)의 구성이 또한 구현될 수도 있다는 것을 유의해야 한다. 예를 들면, 도 3에서, 과형 생성기(66)는 과형 지연 회로(52)의 둘레 상에 배치되지만, 이들은, 각각의 과형 생성기(66)가 적어도 하나의 지연 유닛에 전기적으로 커플링되는 한, 회로의 임의의 곳에 배치될 수도 있다. 각각의 과형 생성기(66)는 과형 신호를 반드시 지연 유닛의 각각으로 제공할 필요는 없다. 다시 말하면, 몇몇 실시 형태에서는, 지연 유닛의 일부만이 과형 생성기(66) 중 하나로부터 과형을 수신한다. 추가적으로, 다른 실시 형태는 4개보다 더 많은 또는 더 적은 과형 생성기(66)를 포함할 수도 있는데, 과형 생성기(66)의 수는 소비 전력 및 요구되는 실리콘 면적에 직접적으로 관련된다(즉, 존재하는 과형 생성기(66)가 많을수록, 전력 인출을 더 커지고 더 많은 실리콘 공간이 요구된다). 과형 지연 회로(52)는 과형 생성기(66)의 수가 지연 유닛의 수보다 더 적어지는 것을 허용하도록 설계된다. 예를 들면, 과형 생성기 대 지연 유닛의 비는 1:5 또는 1:20일 수도 있다. 각각의 지연 유닛이 하나 이상의 트랜스듀서 엘리먼트(18)에 연결되기 때문에, 트랜스듀서 엘리먼트(18)보다 더 적은 과형 생성기(66)가 또한 존재한다. 소정의 실시형태에서, 지연 유닛은 어레이 이외의 다른 구성으로 정렬될 수도 있다. 예를 들면, 지연 유닛은 동심원으로 정렬되어 원형의 프로브(12)를 형성할 수도 있다. 다른 실시 형태에서, 지연 유닛은 3차원 패턴으로 정렬되어 더 복잡한 범포밍 특성을 달성할 수도 있다.

[0033] 언급된 바와 같이, 각각의  $d_x$  지연 유닛(62) 및  $d_y$  지연 유닛(64)은, 지연 유닛을 통해 전파하는 신호에 적용되는 지연을 결정하기 위한 회로를 포함한다. 도 4 및 도 5는 각각의  $d_y$  지연 유닛(64) 및 각각의  $d_x$  지연 유닛(62)의 지연 회로부를 각각 예시한다. 도 4의  $d_y$  지연 유닛(64)은 입력 라인(70), 및 복수의 2 대 1 멀티플렉서(68a-68c)를 포함할 수도 있다. 멀티플렉서(68a-68c)는, 멀티플렉서(68)가 일련의 플립플롭 회로(74)에 의해 지연된 과형을 통과시키는지 또는 무지연을 위해 플립플롭 회로 주위로 지향된 과형을 통과시키는지를 결정하기 위해, 1비트의 선택 신호(72a-72c)를 수신할 수도 있다. 플립플롭 회로(74)는 지연 디바이스의 하나의 가능한 구현예라는 점을 유의해야 한다. 다른 실시형태에서, 다른 래치 또는 샘플링 구조가 플립플롭 회로(74)를 대신 할 수도 있다. 예를 들면, 선택 신호(72)는 지연이 없는 신호를 선택할 디지털 "0"일 수도 있고, 선행하는 플립 플롭 회로(74)에 의해 지연된 신호를 선택할 디지털 "1"일 수도 있다. 그러나, 지연이 없는(제로 지연) 신호가 선택되는 경우에도, 각각의 멀티플렉서(68)는 여전히 작은 지연(예를 들면, 2.5 나노초)을 도입할 수도 있다는 것을 유의해야 한다. 이 의도치 않은 작은 지연은 하드웨어 전파 지연으로 칭해질 수도 있고, 한편, 고의적인 지연은 선택가능한 지연으로 칭해질 수도 있다. 예를 들면, 선택가능한 지연을 형성하기 위해, 각각의 플립플롭 회로(74)는 입력 상에 존재하는 값을, 클록 신호(76)의 상승 에지 또는 하강 에지에 기초하여, 출력에 래치하도록 설계된다. 따라서, 플립플롭 회로(74)를 통해 전파하는 과형은, 플립플롭(74)을 통해 전파하지 않은 동일한 신호와 비교하여 하나의 클록 싸이클만큼 지연될 것이다. 예시된 바와 같이, 복수의 플립플롭 회로(74)는 하나보다 많은 클록 싸이클에 대한 지연을 도입하기 위해 일렬로 정렬될 수도 있다. 각각의 플립플롭 회로가 클록 신호(76)의 하강 에지 또는 상승 에지 상에서 자신의 입력 신호를 자신의 출력에 래치하기 때문에, 멀티플렉서(68)에 의해 도입되는 전파 지연은, 과형 신호가 플립플롭(74)을 통과할 때 전파 지연이 클록 신호(76)의 주기에 비해 상대적으로 작으면, 무시될 수도 있다. 이 방식에서, 하드웨어 전파 지연이 너무 커질 때까지 소정 수의 제로 지연이 허용될 수도 있고, 그 결과 과형은 다음 클록에 의해 샘플링되고 결과적으로 그 시점부터 의도치 않은 여분의 지연으로 나타나게 된다.

[0034] 동작에서, 과형은 입력 라인(70) 상의  $d_y$  지연 유닛(64)으로 진입하고 제1 일련의 플립플롭 회로(74a) 및 대응하는 평행 와이어(82)를 통해 전파할 수도 있다. 선택 신호(72a)는, 멀티플렉서(68a)로 하여금 지연이 없는, 평행 와이어(82)로부터의 과형을 통과시키게 하는 디지털 "0"일 수도 있다. 그 다음, 앞에서와 같이, 과형은 제2 일련의 플립플롭 회로(74b)와 대응하는 평행 와이어(84)를 통해 전파할 수도 있다. 선택 신호(72b)는, 멀티플렉-

서(68a)로 하여금 일련의 플립플롭 회로(74b)에 의해 지연된 파형을 통과시키게 하는 디지털 "1"일 수도 있다. 최종적으로, 파형은 최종 플립플롭 회로(74c)와 대응하는 평행 와이어(86)를 통해 전파할 수도 있다. 선택 신호(72c)는, 출력 라인(88)으로 출력되는 최종 파형에 어떤 추가 지연도 도입하지 않는 디지털 "0"일 수도 있다. 이 방식에서, 도 4에서 예시된 실시형태와 같은  $d_y$  지연 유닛(64)은, 2개의 플립플롭 회로(74) 또는 2개이 클록 사이클의 레이턴시와 거의 동일한 시간만큼 파형을 지연시킬 수도 있다. 다른 선택 신호(72) 구성에 의하면, 도 4에 예시된 바와 같이  $d_y$  지연 유닛(64)은, 0과 7 사이의 구성가능한 수의 클록 사이클만큼 파형을 지연시킬 수도 있다. 다른 실시형태에서,  $d_y$  지연 유닛(64)의 가능한 최대 지연을 증가시키기 위해, 추가적인 일련의 멀티플렉서(68) 및 플립플롭 회로(74)가 추가될 수도 있다는 것이 이해되어야 한다.

[0035] 도 5의  $d_x$  지연 유닛(62)은 도 4에 예시된  $d_y$  지연 유닛(64)과 유사한 방식으로 동작할 수도 있다. 앞에서와 같이,  $d_x$  지연 유닛(62)은, 파형이 하나 이상의 플립플롭 회로(74)만큼 지연되거나 또는 지연을 갖지 않도록 강제하기 위해 선택 신호(72)를 갖는 멀티플렉서(68)를 포함할 수도 있다. 대응하는 선택 신호(72d)를 갖는 추가적인 멀티플렉서(68d)는, 인접한  $d_x$  지연 유닛(62)으로부터의 어떤 입력 라인(70a, 70b)이  $d_x$  지연 유닛(62)에 파형을 제공할 것인지를 선택할 수도 있다. 일련의 멀티플렉서(68) 및 플립플롭 회로(74)를 통해 전파한 이후, 파형은, 인접한  $d_x$  지연 유닛(62) 둘 다에 대해 공급되는 출력 라인(78)으로 출력된다.

[0036] 도 4의  $d_y$  지연 유닛(64) 및 도 5의  $d_x$  지연 유닛(62)의 다른 실시형태는 예시된 실시형태와는 상이한 구성을 가질 수도 있다는 것을 유의해야 한다. 예를 들면, 도 5의  $d_x$  지연 유닛(62)에서,  $d_x$  지연 유닛(62)에 대한 입력을 선택하기 위해  $d_x$  지연 유닛(62) 내에 멀티플렉서(68d)가 포함된다. 도 4의 예시된  $d_y$  지연 유닛(64)이 입력 선택 멀티플렉서를 포함하지 않지만,  $d_y$  지연 유닛(64)의 다른 실시형태는 입력 선택 멀티플렉서를 포함할 수도 있다. 마찬가지로, 다른 실시형태에서는,  $d_x$  지연 유닛(62)의 입력 선택 멀티플렉서(68d)는 지연 유닛 회로부 외부에 있을 수도 있다. 도 6은 도 5에 예시된  $d_x$  지연 유닛(62)의 대안적인 실시형태를 예시한다. 앞에서와 같이,  $d_x$  지연 유닛(62)은,  $d_x$  지연 유닛(62)에 파형을 제공할 입력 라인(70c, 70d)을 결정하기 위해 선택 신호(72e)를 수신할 수도 있는 멀티플렉서(68e)를 포함한다. 도 6에 예시된 실시형태에서, 파형은 5비트에 의해 표현될 수도 있다. 다른 실시형태에서, 파형 신호는 더 많은 또는 더 적은 비트에 의해 표현될 수도 있다. 더 많은 수의 비트는 파형 신호의 정밀도를 증가시킬 수도 있어서, 펄스 생성기(50) 및 트랜스듀서 엘리먼트(18)의 더 정확한 제어를 허용한다. 예로서, 5비트는 32개의 구별가능한 파형의 레벨을 제공할 수도 있다.

[0037] 예시된 바와 같이, 도 6의  $d_x$  지연 유닛(62)은, 일련의 16 대 1 멀티플렉서(68f)로 출력을 각각 공급하는 복수의 일련의 15개의 플립플롭 회로(74)를 포함하는데, 이들은 지연 유닛과 관련된 각각의 펄스 생성기(50)에 대한 하나의 멀티플렉서, 및 인접한 지연 유닛으로 전달할 지연된 파형을 선택하기 위한 하나의 멀티플렉서이다. 더 복잡하지만, 도 6의  $d_x$  지연 유닛(62)은 지연 유닛을 통해 전달되는 파형에 적용되는 지연의 정확한 제어를 가능하게 할 수도 있다. 추가적으로, 도 6의  $d_x$  지연 유닛(62)은 복수의 펄스 생성기(50) 및 트랜스듀서 엘리먼트(18)로 다양한 지연을 갖는 파형을 제공할 수 있을 수도 있다. 동작에서, 각각의 16 대 1 멀티플렉서(68f)는, 어떤 플립플롭 회로(74) 출력이 멀티플렉서(68f)를 통해 통과될 수도 있는지를 결정할 수도 있는 4비트 선택 신호를 수신하여,  $d_x$  지연 유닛(62)을 통해 펄스 생성기(50)로 전파하는 각각의 파형에 적용될 지연의 양을 효과적으로 결정할 수도 있다. 예를 들면, 멀티플렉서(68f)에 대한 선택 신호는, 여섯 번째 플립플롭 회로(74)로부터의 출력이 멀티플렉서(68f)를 통해 통과할 수도 있다는 것을 의미하는 디지털 "0110"일 수도 있다. 이 경우, 멀티플렉서로부터의 출력 신호는 6개의 플립플롭 회로(74) 또는 6개의 클록 사이클의 레이턴시와 거의 동일한 값만큼 지연될 수도 있다. 16개의 멀티플렉서(68f) 중 하나는 로컬 동기 플립플롭 회로(local sync flip-flop circuit; 90)를 통해 그리고 인접한  $d_x$  지연 유닛(62)에 전기적으로 커플링하는 출력 라인(76)으로 파형 신호를 공급할 수도 있다. 다른 15개의 멀티플렉서(68f)는, 파형 신호의 디지털 표현으로부터 디지털 또는 아날로그 제어 신호로 변환될 그들의 대응하는 파형 신호를 로컬 동기 플립플롭 회로(90)를 통해 디코더(54)로 또한 공급할 수도 있다. 디지털 또는 아날로그 제어 신호는, 트랜스듀서 엘리먼트(18)로 전송되기 이전에 증폭된 전압을 갖도록 각각의 펄스 생성기(50)에 제공될 수도 있다. 로컬 동기 플립플롭 회로(90)는, 플립플롭 회로(74)가 그들의 입력에 존재하는 신호를 클록 신호의 상승 또는 하강 에지 상에서 그들의 출력에 래치되기 때문에, 전파 파형을 서로 동기화하도록 기능할 수도 있다. 상이한 파형이 의도적으로 서로 지연될 수도 있기 때문에, 로컬 동

기 플립플롭(90)은 회로 또는 멀티플렉서(68) 레이턴시와 같은 임의의 의도치 않은 지연을 간단히 무시하여, 지연된 과정이 정확한 양만큼 서로로부터 정확하게 지연되는 것을 보장한다. 도 4에 도시된  $d_y$  지연 유닛(64) 및 도 5와 도 6에 도시된  $d_x$  지연 유닛(62)은 지연 유닛의 가능한 실시형태에 불과하며 다른 실시형태가 사용될 수도 있다는 것을 유의해야 한다.

[0038] 무지연이 의도되는 경우에도, 각각의 멀티플렉서(68)는 멀티플렉서(68)를 통해 전파하는 과정 신호에 본질적으로 작은 양의 지연을 도입할 수도 있다. 그러나, 플립플롭 회로(74)가 그들의 입력에 존재하는 신호를 클록 신호의 상승 에지 또는 하강 에지에 기초하여 그들의 출력에 래치하기 때문에, 멀티플렉서에 의해 야기되는 작은 지연은, 신호가 플립플롭 회로(74)를 통과할 때마다 소거될 수도 있다. 그러나, 과정 신호가 플립플롭 회로(74)를 통과하는 것에 의해 정정되지 않고 충분한 멀티플렉서(68)를 통해 전파하면, 누적된 지연은, 실제로, 과정 신호를 클록 주기만큼 지연시킬 정도로 충분히 클 수도 있다.

[0039] 도 7은, 동기화된 과정 신호를 지연 유닛(62)으로 제공하여 멀티플렉서(68)에 의해 야기되는 지연을 방지하기 위해, 전역적 과정 입력 라인(100)에 전기적으로 커플링된 일련의  $d_x$  지연 유닛(62)을 예시한다. 데이터 플로우 라인(102)은, 일련의  $d_x$  지연 유닛(62)이 지연 시프트 없이 과정 신호를 출력할 필요가 있는 경우의 과정의 가능한 전파 경로를 예시한다. 과정 신호는 로컬 동기 플립플롭 회로(90a)에 도달하기 이전에 15개의 멀티플렉서(68)를 통해 전파해야만 한다. 이 경우, 멀티플렉서(68)의 각각에 의해 야기되는 과정 신호에 대한 지연은 누적되어 과정 신호를 나중의 클록 싸이클로 지연시킬 수도 있다. 예를 들면, 각각의 멀티플렉서(68)에 의해 야기되는 지연은 15 나노초일 수도 있다. 15개의 멀티플렉서(68) 이후에, 과정 신호는 225 나노초만큼 지연될 수도 있다. 클록이 5 MHz에서 동작하고 있으면, 클록 신호의 주기는 200 나노초이고, 이것은, 다른 로컬 동기 플립플롭 회로(90b-90e)의 출력에 래치된 신호와 비교하여 과정 신호가 로컬 동기 플립플롭 회로(90a)의 출력에 래치된 것처럼, 과정 신호가 한 클록 싸이클을 지연될 수도 있다는 것을 의미한다.

[0040] 그러나, 예시된 실시형태에서, 전역적 과정 입력 라인(100)은 멀티플렉서(68) 지연 문제를 경감시키기 위해 동기화된 과정 신호를 제공할 수도 있다. 예를 들면,  $d_x$  지연 유닛(62a-62c)은, 전역적 과정 입력 라인(100)에 전기적으로 커플링된 근처의 플립플롭 회로(74c)로부터 과정 신호를 수신할 수도 있다. 마찬가지로,  $d_x$  지연 유닛(62d-62f)은, 동일한 전역적 과정 입력 라인(100)에 전기적으로 커플링된 근처의 플립플롭 회로(74d)로부터 과정 신호를 수신할 수도 있다. 이 방식에서, 과정 신호는 동기화에서 벗어날 정도로 충분히 멀티플렉서(68)를 통해 전파하지 않을 수도 있다. 소정의 실시형태에서, 전역적 과정 입력 라인(100)은 도 3에 도시된 바와 같은  $d_y$  지연 유닛(64)으로부터 연장하여 동기화된 과정 신호를  $d_x$  지연 유닛(62) 중 자신의 대응하는 행으로 제공할 수도 있다.

[0041] 본원에서 제공되는 실시형태는, 트랜스듀서 어레이(16)의 발사 시퀀스를 결정하기 위해 트랜스듀서 어레이(16)에 지연을 도입하는 ASIC 구현의 예이다. 과정 생성을 용이하게 하는 멜타 지연 유닛, 과정 생성기(66), 및 멀티플렉서(68)의 다른 배치에 또한 고려된다는 것이 이해되어야 한다. 결국, 발사 시퀀스는 트랜스듀서 어레이(16)에 의해 생성되는 초음파 범의 베포밍 특성, 예컨대 조종 및 접속을 결정하기 위해 사용될 수도 있다. 도 8의 그래프는 과정 생성기(66), 충분적 지연, 및 트랜스듀서 어레이(16)의 각각의 엘리먼트에 출력되는 과정의 최종 지연 사이의 관계를 예시한다. 그래프의 x 축(146)은 트랜스듀서 어레이(16)의 행의 엘리먼트를 나타내고, y 축(148)은 트랜스듀서 어레이(16)의 행의 주어진 엘리먼트에 궁극적으로 인가되는 지연(클록 단위)을 나타낸다.

[0042] 도 8의 그래프는, 트랜스듀서 어레이(16)의 한 행의 주어진 엘리먼트가 특정한 베포밍(beamform) 형상을 위해 필요로 할 수도 있는 지연의 클록 싸이클의 수를 나타내는 2개의 지연 곡선(150a-150b)을 예시한다. 도 8의 그래프의 x 축 상의 클록 싸이클의 값은 근사치일 수도 있다는 것이 이해되어야 한다. 지연 곡선(150a)은 특정한 베포밍 형상에 필요한 이상적인 지연 곡선을 예시하고, 한편 지연 곡선(150b)은, 지연 회로부에 의해 합리적으로 생성될 수 있는, 단일의 클록 싸이클의 해상도로 양자화되는, 탈성가능한 실제 지연을 예시한다. 주어진 행에서의 지연 유닛의 수 및 지연 범위 곱하기 그 각각의 지연 유닛은 이상적인 지연 곡선(150a)과 비교하여 양자화된 지연 곡선(150b)의 정확도를 결정할 수 있다. 즉, 더 많은 수의 지연 유닛과 지연 시간의 더 미세한 제어는, 이상적인 지연 곡선(150a)과 비교하여 양자화된 지연 곡선(150b)을 더 정확하게 만들 수도 있다.

[0043] 예시된 바와 같이, 소정의 엘리먼트는 WG2(66c), 행의 전역적 과정 생성기(row global waveform generator; 66e), 또는 WGO(66a)로부터 그들의 신호를 공급받을 수도 있다. 예를 들면, 60개의 엘리먼트를 도시하는 묘사된

실시형태에서, 처음 10개의 엘리먼트는 WG2(66c)로부터 공급받고 한편 가장 오른쪽의 20개의 엘리먼트는 WG0(66c)로부터 공급받는다. 중간의 10번째부터 40번째의 엘리먼트는, 곡선의 소정 부분에 대한 신호가 RGWG(66e)로부터 공급될 수도 있는 경우를 예시한다. 이러한 실시형태에서는 화살표(151)에 의해 나타내어진 바와 같이, 매 5개의 엘리먼트마다 RGWG(66e)로부터 직접적으로 신호를 공급받는 것에 의해 하드웨어 관련 지연을 방지하는 것이 유익할 수도 있다. 화살표(151)는 행의 전역적인 파형 생성기(66e)의 어레이로의 주입 위치를 나타낸다. 특정 실시형태에서, 행의 전역적 주입 포인트는 특정 실시형태에 기초하여 상이하게 이격될 수도 있고 또한, 예를 들면, 매 3개의 엘리먼트마다 이거나, 매 7개의 엘리먼트마다 이거나, 또는 전혀 이격되지 않을 수 있다는 것이 이해되어야 한다.

[0044] 상세도에 도시된 바와 같이, 그래프 세그먼트(154)에서의 5개의 엘리먼트가 더 상세히 예시된다. 포인트(152a)에 의해 나타내어진 첫 번째 엘리먼트는 파형 생성기 WG2(66c)로부터 파형 신호를 수신하고 자신의 대응하는 펠스 생성기(50) 및 트랜스듀서 엘리먼트(18)로 그 신호를 출력하기 이전에 1클록 싸이클의 지연을 적용할 수도 있다. 그 다음, 포인트(152b)에 의해 나타내어진 두 번째 엘리먼트는 제1 엘리먼트로부터 지연된 파형을 수신하고 대응하는 펠스 생성기(50) 및 트랜스듀서 엘리먼트(18)로 신호를 출력하기 이전에 어떠한 지연도 적용하지 않을 수도 있다. 동일한 방식으로, 포인트(152c)에 의해 나타내어지는 세 번째 엘리먼트는 지연된 파형을 수신하고 추가적인 1클록 싸이클을 지연시키고, 152d에 의해 나타내어진 네 번째 엘리먼트는 지연된 파형을 수신하고 어떠한 지연도 적용하지 않고, 최종적으로, 포인트(152e)에 의해 나타내어지는 다섯 번째 엘리먼트는 지연된 파형을 수신하고 어떠한 지연도 적용하지 않는데, 파형이 소망하는 112 클록 싸이클 만큼 이미 지연되었기 때문이다. 이렇게 하여, 트랜스듀서 어레이(16)의 엘리먼트에 대응하는 지연 유닛에 의해 출력되는 송신 파형에 정확한 지연이 적용된다. 지연 및 지연 해상도는 클록 싸이클에서가 아닌 특정 주파수에서의 위상 지연의 관점에서 설명될 수도 있다는 것을 주목해야 한다. 예를 들면, 소정의 실시형태에서, 각각의 클록 싸이클은 TX 중심 주파수에서 45°의 위상 지연에 상당할 수도 있다.

[0045] 예시된 그래프에서, 위에서 설명된 포인트(152e)의 파형 신호는 파형 생성기 WG2(66c)로부터 비롯되었다. 그러나, 지연 곡선(150)의 포인트 중 몇몇은, 어쩌면 하나 이상의 인접한 지연 유닛을 통해, 궁극적으로는 상이한 파형 생성기(66)로부터 공급받을 수도 있다. 예를 들면, 포인트(152f)는 위에서 언급된 동일한 방법에서 파형 생성기 WG2(66c)로부터 공급받을 수도 있거나, 또는 그것은 행의 전역적 파형 생성기 RGWG(66e)로부터 공급받을 수도 있다. 도 7에 도시된 바와 같이, 행의 전역적 파형 생성기(66e)는 주어진 행의 엘리먼트를 지연시키도록 단일의 지연된 파형을 제공하기 위해 전역적 파형 입력 라인(100)에 전기적으로 커플링될 수도 있다. 따라서, 트랜스듀서 어레이(16)의 행의 다섯 번째 엘리먼트는, 포인트(152f)에 의해 나타내어진 바와 같이, 전역적 파형 입력 라인(100)으로부터 직접적으로 파형 신호를 수신할 수도 있고 필요한 지연을 갖는 파형 신호를 출력하기 위해 필요한 지연(이 예에서는, 3개의 클록 싸이클)을 적용할 수도 있다.

[0046] 다른 실시형태에서, 엘리먼트 지연 프로파일은 대량 지연과 미세한 지연을 결합하는 것에 의해 달성될 수도 있다. 도 9 내지 도 12는 상이한 지연 곡선(150) 및 상이한 빔포밍 형상을 생성하는 데 필요할 수도 있는 그들의 대응하는 대량 및 미세한 지연을 예시한다. 몇몇 실시형태에서, 대량 지연은 델타 지연 회로부를 통해 전파하는 신호와 관련되고, 복수의 엘리먼트에 대응하는 인접한 지연 유닛으로 전달되고, 한편 미세 지연은 엘리먼트 단위 기반으로 작은 지연을 추가한다. 다시 말하면, 복수의 엘리먼트는 동일한 대량 지연된 파형 입력을 공유하고, 각각의 엘리먼트는 이것의 위에 작은 미세한 지연 프로파일을 추가할 수도 있다.

[0047] 예를 들면, 도 9에서, 전파 화살표(160)는 에지로부터 시작하여 그래프의 중심으로 진행하고 그에 따라 대량 지연은 증가한다. 도 9 내지 도 12에서, 지연 유닛은, 도 6에 도시된 것과 같은 복수의 엘리먼트에 적용될 수도 있다. 도 9 내지 도 12에 의해 예시된 실시형태에서, 각각의 지연 유닛은 5개의 엘리먼트에 대응한다. 예시된 실시형태에서, 파형 생성기(66)는 엘리먼트1 내지 엘리먼트5를 포함하는 첫 번째 지연 유닛으로 파형을 제공하고 상이한 파형 생성기(66)는 엘리먼트46 내지 엘리먼트50을 포함하는 10번째 지연 유닛으로 파형을 제공한다. 첫 번째 지연 유닛은 자신의 파형을, 엘리먼트6 내지 엘리먼트10을 포함하는 두 번째 지연 유닛으로 전달하고, 10번째 지연 유닛은 자신의 파형을, 엘리먼트41 내지 엘리먼트45를 포함하는 9번째 지연 유닛으로 전달하고, 이런 식으로 계속된다. 각각의 엘리먼트에서, 지연 유닛은, 소망의 최종 지연을 달성하기 위해, 지연에 의해 수신된 대량 지연에 추가될 수도 있는 미세 지연을 적용할 수도 있다.

[0048] 도 9와는 대조적으로, 도 10은 단일의 전파 화살표(160)가 그래프를 가로질러 왼쪽에서 오른쪽으로 진행하는 경우를 예시하는데, 파형 생성기(66)가 엘리먼트1 내지 엘리먼트5를 포함하는 첫 번째 지연 유닛에 파형을 제공하고, 엘리먼트6 내지 엘리먼트50의 각각을 포함하는 후속 지연 유닛으로 제1 지연 유닛이 그 파형을 충분적으로 전달하는 상황에 대응한다. 대량 지연의 형상은 최종 지연 곡선(150)에 가능한 한 가깝게 의도적으로 매치되어,

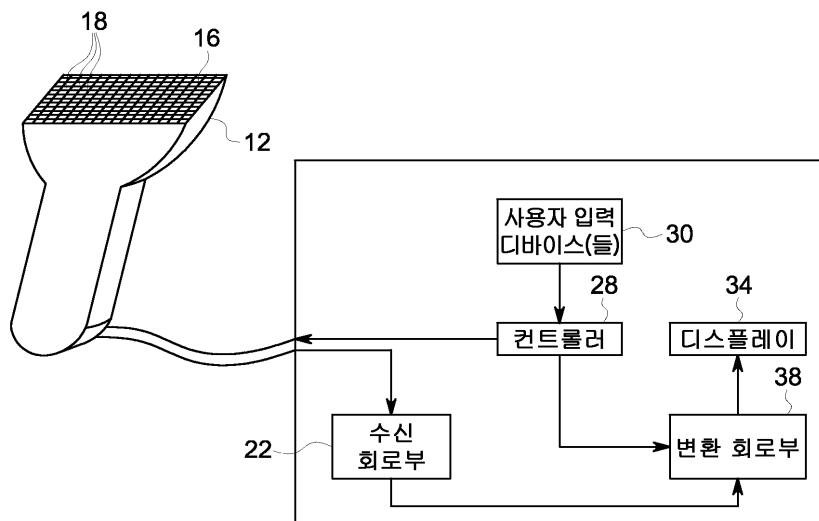
상대적으로 작은 미세 지연이 소망의 전체 지연 프로파일과 매치하는 것을 허용하게 된다. 최종 지연 곡선(15 0)에 기초하여, 과형 생성기의 상이한 조합이 지연 유닛에 대한 소스로서 사용될 수도 있다. 도 11 및 도 12에서의 그래프는 최종 지연 곡선 및 대응하는 대량 및 중심 지연의 다른 실시형태를 예시한다.

[0049] 본 개시의 기술적 효과는, 과형 생성기 및 지연 유닛 회로의 어레이를 포함하는 과형 지연 회로를 포함한다. 초음파 시스템의 동작을 위한 범포밍 신호를 생성하기 위해, 각각의 지연 유닛 회로는, 과형 생성기 또는 다른 지연 유닛 회로 중 어느 하나로부터 과형 신호를 수신하고, 충분적 지연을 추가하고, 후속하는 지연 및 추가 분배를 위해 이 지연된 신호를 인접한 블록이 이용 가능하게 만든다. 이렇게 하여, 신호는, 펄스 생성기 및 트랜스듀서 엘리먼트를 통해 출력될 때 특정한 범포밍 형상을 생성하기 위한 적절한 지연을 가지고 지연 유닛 회로의 어레이를 통해 전파한다.

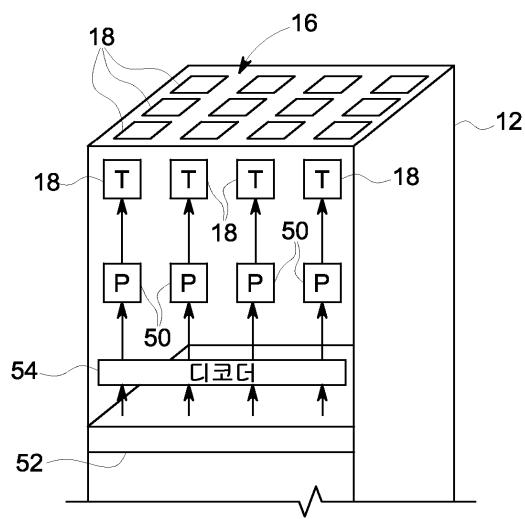
[0050] 최적의 모드를 포함하는 본 방법을 개시하기 위해, 그리고 또한 기술분야에서 숙련된 누구라도, 임의의 디바이스 또는 시스템을 만들고 사용하는 것 및 임의의 통합된 방법을 수행하는 것을 포함해서, 본 방법을 실시하는 것을 가능하게 하기 위해, 본 명세서(written description)는 예를 사용한다. 본 발명의 특허가능한 범위는 특허청구범위에 의해 정의되며, 기술분야의 숙련된 자에게 떠오르는 다른 예를 포함할 수도 있다. 이러한 다른 예는, 이러한 다른 예가 특허청구범위의 문자적 언어와는 상이하지 않은 구조적 엘리먼트를 가지면, 또는 이러한 다른 예가 특허청구범위의 문자적 언어와는 비실질적 차이(insubstantial difference)를 갖는 등가의 구조적 엘리먼트를 포함하면, 특허청구범위 내에 있는 것으로 의도된다.

## 도면

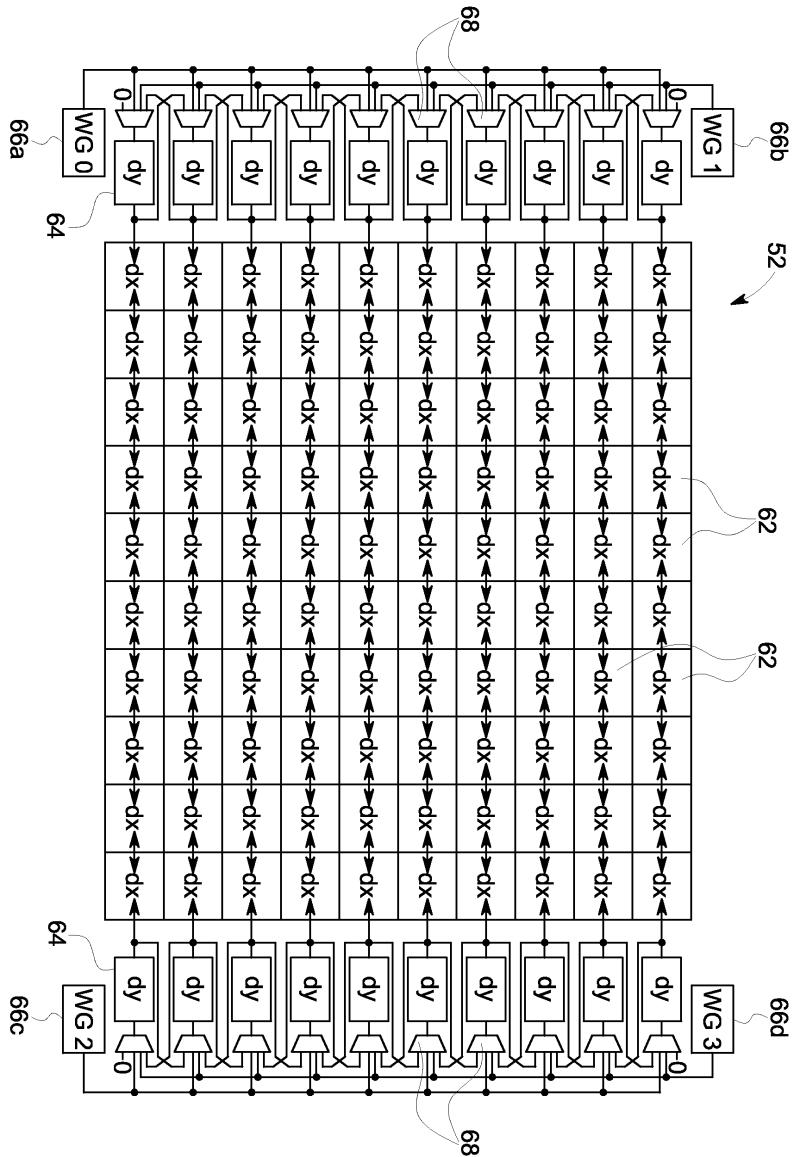
### 도면1



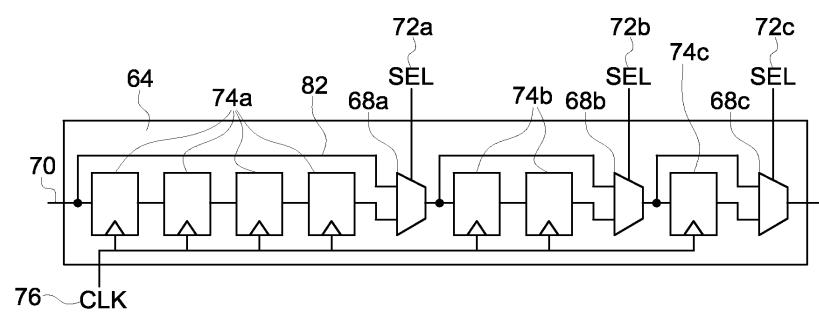
도면2



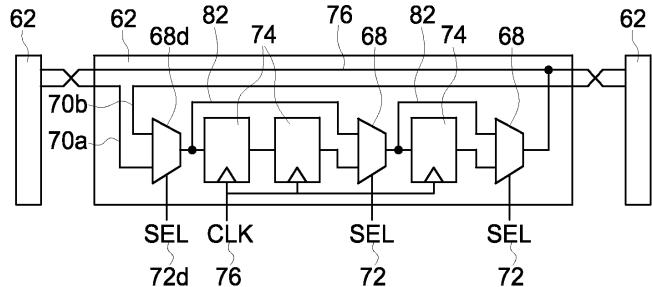
도면3



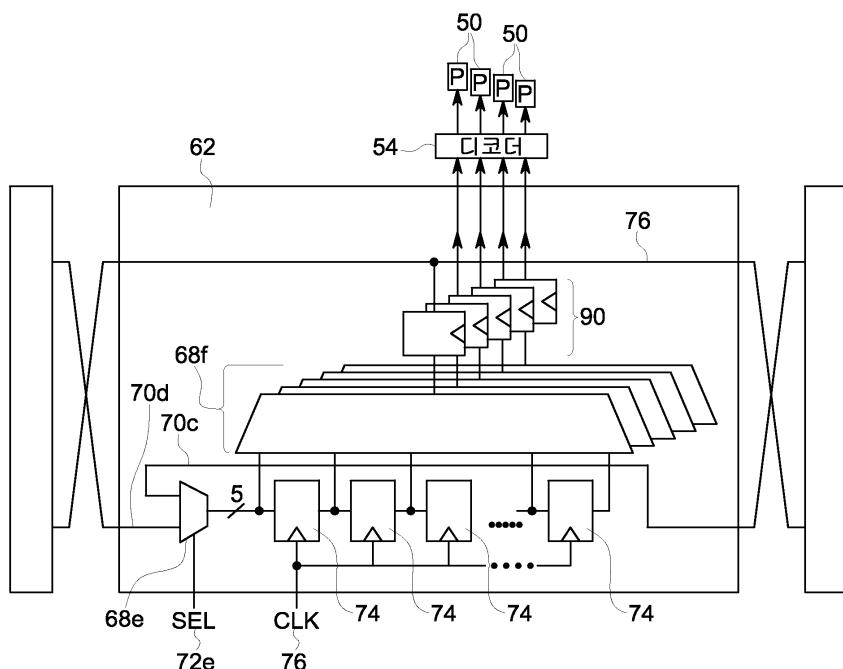
도면4



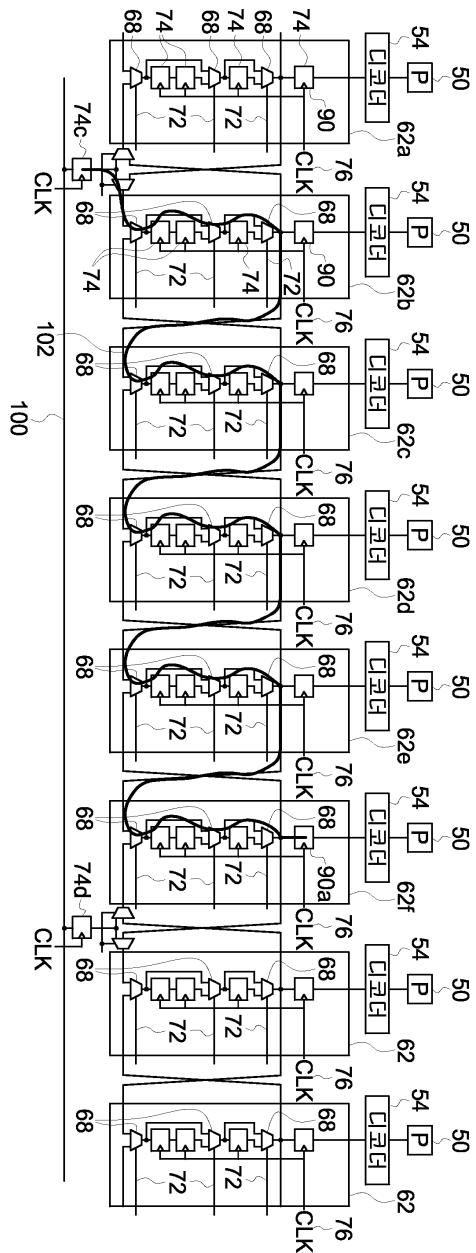
도면5



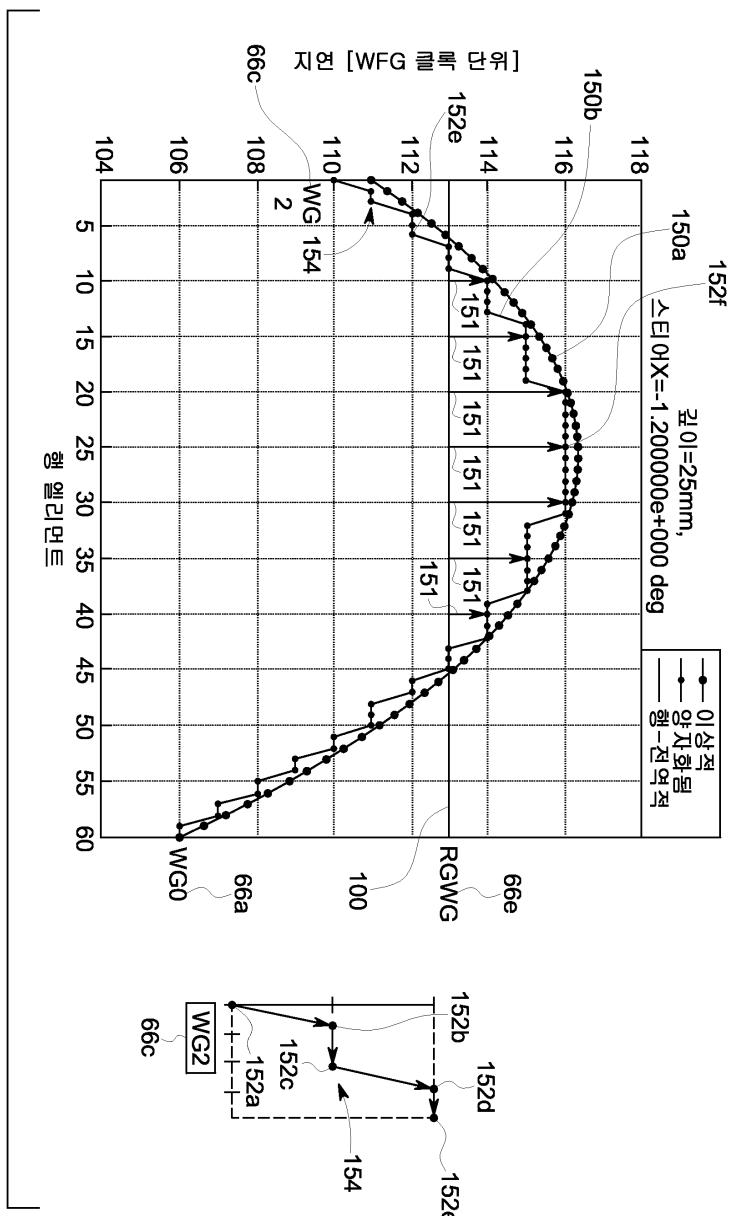
도면6



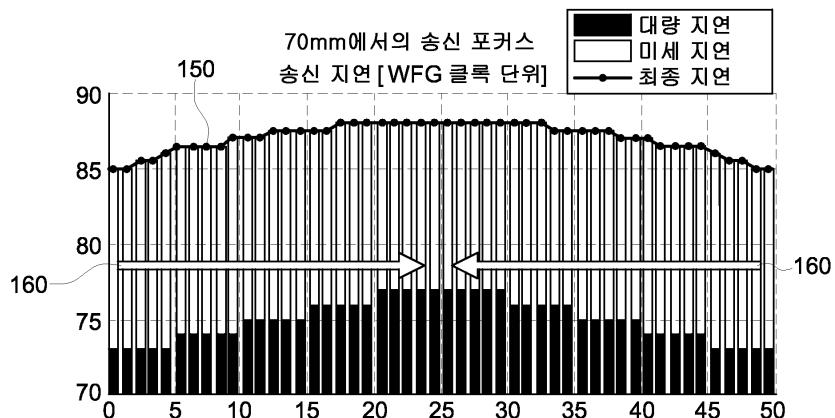
도면7



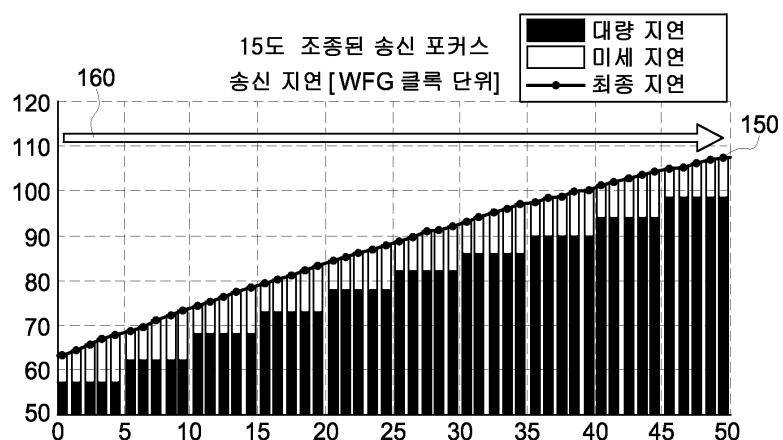
도면8



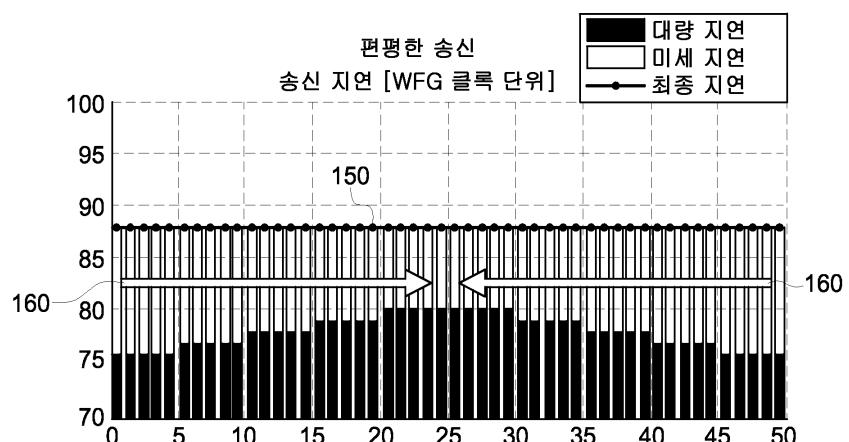
도면9



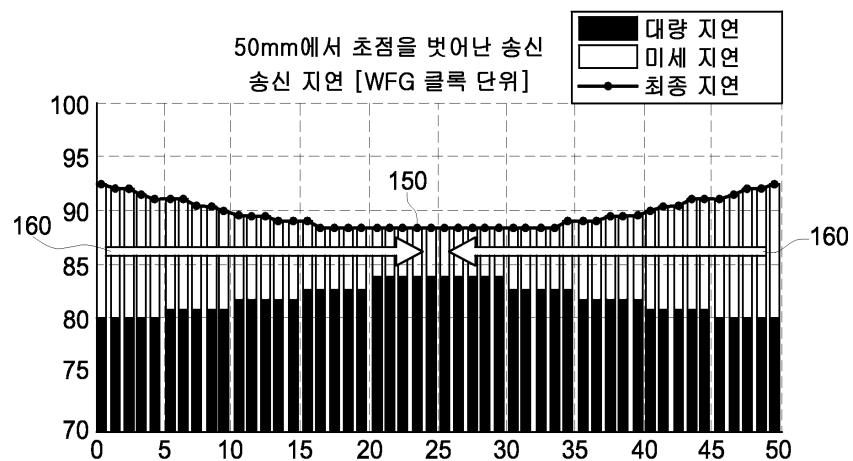
도면10



도면11



도면12



专利名称(译)	ASIC上超声波束形成的Delta延迟方法		
公开(公告)号	<a href="#">KR1020150123854A</a>	公开(公告)日	2015-11-04
申请号	KR1020157026048	申请日	2014-02-28
[标]申请(专利权)人(译)	通用电气公司		
申请(专利权)人(译)	通用电气公司		
当前申请(专利权)人(译)	通用电气公司		
[标]发明人	COGAN SCOTT D BAUER LUKAS		
发明人	코건스콧디 바우어루카스		
IPC分类号	G10K11/34 A61B8/00		
CPC分类号	G10K11/346 A61B8/4444		
代理人(译)	Gimtaehong Gimjinhoe		
优先权	13/781301 2013-02-28 US		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

公开了一种用于专用集成电路 ( ASIC ) 上的超声波束形成的系统。在某些实施例中，该系统包括超声探头，该超声探头包括电耦合到ASIC的多个换能器元件。ASIC包括电耦合到多个延迟单元的多个波形发生器。每个延迟单元从波形发生器或相邻延迟单元接收波形，对波形施加附加延迟，并将波形输出到相邻延迟单元，多个换能器元件中的一个或多个，或两者。在输出到换能器元件之前提供给波形的延迟确定了由超声波探头产生的超声波脉冲的波束形成特性。

