



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0047011
(43) 공개일자 2019년05월07일

(51) 국제특허분류(Int. Cl.)

A61B 8/00 (2006.01) A61B 8/08 (2006.01)
G01S 7/52 (2006.01) H03M 1/06 (2006.01)
H03M 1/12 (2006.01)

(52) CPC특허분류

A61B 8/54 (2013.01)
A61B 8/5207 (2013.01)

(21) 출원번호 10-2019-7010356

(22) 출원일자(국제) 2017년08월29일

심사청구일자 없음

(85) 번역문제출일자 2019년04월10일

(86) 국제출원번호 PCT/US2017/049024

(87) 국제공개번호 WO 2018/052701

국제공개일자 2018년03월22일

(30) 우선권주장

15/263,939 2016년09월13일 미국(US)

(71) 출원인

버터플라이 네트워크, 인크.

미국 06437 코네티컷주 길포드 올드 윗필드 스트리트 530

(72) 발명자

첸, 카이리앙

미국 06437 코네티컷주 길포드 리버 콜로니 7

파이프, 키쓰, 지.

미국 94306 캘리포니아주 팔로 알토 마타데로 애비뉴 635

(74) 대리인

양영준, 김연송, 백만기

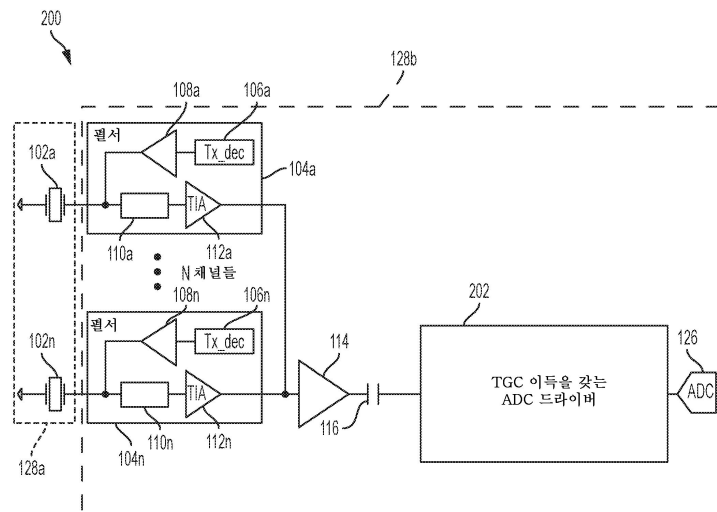
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 초음파 응용들을 위한 내장형 시간 이득 보상 기능을 갖는 아날로그 대 디지털 구동 회로

(57) 요약

초음파 디바이스를 위한 시간 이득 보상(TGC) 회로는 적분 커패시터를 갖는 제1 증폭기, 및 적분 커패시터의 적분 시간을 제어하는 TGC 제어 신호를 생성하여 제1 증폭기의 이득을 제어하도록 구성된 제어 회로를 포함한다. 적분 시간은 입력 신호가 제1 증폭기로부터 격리되기 전에 입력 신호가 제1 증폭기에 결합되는 시간의 양이다.

대표도



(52) CPC특허분류

A61B 8/56 (2013.01)

G01S 7/52033 (2013.01)

H03M 1/0617 (2013.01)

H03M 1/1245 (2013.01)

H03M 1/129 (2013.01)

명세서

청구범위

청구항 1

초음파 디바이스를 위한 시간 이득 보상(time gain compensation)(TGC) 회로로서,

제1 적분 커패시터를 갖는 제1 증폭기; 및

상기 제1 증폭기의 이득을, 상기 제1 적분 커패시터의 적분 시간을 제어하는 TGC 제어 신호를 생성함으로써 제어하도록 구성된 제어 회로

를 포함하고, 상기 적분 시간은 입력 신호가 상기 제1 증폭기로부터 격리되기 전에 상기 입력 신호가 상기 제1 증폭기에 결합되는 시간의 양을 포함하는, TGC 회로.

청구항 2

제1항에 있어서, 상기 제1 증폭기는 차동 증폭기를 포함하는, TGC 회로.

청구항 3

제2항에 있어서, 상기 차동 증폭기는 아날로그 대 디지털 변환기(ADC) 드라이버를 포함하는, TGC 회로.

청구항 4

제1항에 있어서, 상기 제어 회로는,

피드백 커패시터를 갖는 제2 증폭기를 더 포함하고, 상기 제2 증폭기는 비교기 회로로서 구성되고, 상기 제어 회로는 상기 제2 증폭기의 출력 전압과 가변 이득 제어 입력 신호의 값에 의해 결정되는 스레시홀드(threshold) 전압 사이의 비교에 의해 상기 TGC 제어 신호를 생성하는, TGC 회로.

청구항 5

제4항에 있어서, 상기 제2 증폭기는 연산 증폭기를 포함하는, TGC 회로.

청구항 6

제1항에 있어서, 상기 TGC 제어 신호에 의해 제어되는 상기 적분 시간은 상기 제어 회로의 RC 시간 상수 및 가변 이득 제어 입력 신호의 전압에 의존하는, TGC 회로.

청구항 7

제6항에 있어서, 상기 제1 증폭기의 출력 이득은 상기 제어 회로의 저항 및 커패시턴스 값들과 상기 제1 증폭기의 저항 및 커패시턴스 값들의 사이의 비율에 비례하는, TGC 회로.

청구항 8

제7항에 있어서, 상기 비율은 대략 5인, TGC 회로.

청구항 9

제1항에 있어서, 상기 제1 적분 커패시터는 또한 아날로그 대 디지털 변환기(ADC)의 샘플 및 홀드 커패시터를 포함하는, TGC 회로.

청구항 10

제9항에 있어서, 상기 제1 증폭기에의 상기 입력 신호에 연관된 오프셋 전압을 저장하고 상쇄하며, 상기 제1 증폭기 그 자체에 연관된 오프셋 전압을 저장하고 상쇄하도록 구성된 오프셋 전압 커패시터를 더 포함하는, TGC 회로.

청구항 11

초음파 디바이스를 위한 아날로그 대 디지털 변환기(ADC) 드라이버 회로로서,

피드백 구성으로 제1 및 제2 적분 커패시터들을 갖는 제1 증폭기; 및

상기 제1 및 상기 제2 적분 커패시터들의 적분 시간을 제어하는 시간 이득 보상(TGC) 제어 신호를 생성함으로써 상기 제1 증폭기의 이득을 제어함에 의해 시간 이득 보상을 제공하도록 구성된 제어 회로

를 포함하고, 상기 적분 시간은 입력 신호가 상기 제1 증폭기로부터 격리되기 전에 상기 입력 신호가 상기 제1 증폭기에 결합되는 시간의 양을 포함하는, ADC 드라이버 회로.

청구항 12

제11항에 있어서, 상기 제1 증폭기는 차동 증폭기를 포함하는, ADC 드라이버 회로.

청구항 13

제12항에 있어서, 상기 차동 증폭기의 출력 단말들에 선택적으로 결합된 한 쌍의 ADC 샘플 및 홀드 커패시터들을 더 포함하는, ADC 드라이버 회로.

청구항 14

제13항에 있어서, 상기 차동 증폭기의 입력 단말들에 결합된 한 쌍의 오프셋 전압 커패시터들을 더 포함하는, ADC 드라이버 회로.

청구항 15

제14항에 있어서,

리셋 동작 모드 동안 상기 제1 및 제2 적분 커패시터들을 방전하도록 구성된 제1 쌍의 스위치들;

상기 리셋 동작 모드 후에 상기 입력 신호를 상기 차동 증폭기에 결합하고, 그 후에 상기 입력 신호를 상기 TGC 제어 신호에 따라서 상기 차동 증폭기로부터 격리하도록 구성된 제2 쌍의 스위치들 - 상기 제2 쌍의 스위치들은 또한 오프셋 상쇄 동작 모드 동안 상기 입력 신호를 상기 오프셋 전압 커패시터들에 결합하도록 구성됨 -;

상기 오프셋 상쇄 모드 동안 상기 차동 증폭기의 상기 입력 및 출력 단말들을 등화하도록 구성된 제3 쌍의 스위치들; 및

샘플 동작 모드 동안 상기 차동 증폭기의 상기 출력 단말들을 상기 ADC 샘플 및 홀드 커패시터들에 결합하도록 구성된 제4 쌍의 스위치들

을 더 포함하는, ADC 드라이버 회로.

청구항 16

제11항에 있어서, 상기 제어 회로는,

피드백 커패시터를 갖는 제2 증폭기를 더 포함하고, 상기 제2 증폭기는 비교기 회로로서 구성되며;

상기 TGC 제어 신호는 상기 제2 증폭기의 출력 전압과 가변 이득 제어 입력 신호의 값에 의해 결정된 스톱시홀드 전압 사이의 비교에 의해 생성되는, ADC 드라이버 회로.

청구항 17

제16항에 있어서, 상기 제2 증폭기는 연산 증폭기를 포함하는, ADC 드라이버 회로.

청구항 18

제17항에 있어서, 상기 TGC 제어 신호에 의해 제어되는 상기 적분 시간은 RC 시간 상수 및 상기 가변 이득 제어 입력 신호의 전압에 의존하는, ADC 드라이버 회로.

청구항 19

제18항에 있어서, 상기 제어 회로의 상기 피드백 커패시터는, 일단 상기 연산 증폭기의 상기 출력 전압이 상기 가변 이득 제어 입력 신호에 의해 결정되는 상기 스톱시홀드 전압을 초과하면, 상기 TGC 제어 신호의 상태가 변하도록 정전류로 충전되는, ADC 드라이버 회로.

청구항 20

제19항에 있어서, 상기 피드백 커패시터를 선택적으로 방전하도록 구성되는 스위치를 더 포함하는, ADC 드라이버 회로.

청구항 21

초음파 시스템으로서,

초음파 트랜스듀서로부터 전기적 신호들을 수신하도록 구성된 수신 채널; 및

상기 수신 채널에 결합된 입력, 및 아날로그 대 디지털 변환기(ADC)에 결합된 출력을 갖는 아날로그 회로 블록을 포함하고, 상기 아날로그 회로 블록은

피드백 구성으로 제1 및 제2 적분 커패시터들을 갖는 차동 증폭기를 포함하는 ADC 드라이버 회로; 및

상기 제1 및 제2 적분 커패시터들의 적분 시간을 제어하는 시간 이득 보상(TGC) 제어 신호를 생성함으로써 시간 이득 보상을 제공하도록 구성된 제어 회로

를 포함하고, 상기 적분 시간은 입력 신호가 상기 차동 증폭기로부터 격리되기 전에 상기 입력 신호가 상기 차동 증폭기에 결합되는 시간의 양을 포함하는, 초음파 시스템.

청구항 22

제21항에 있어서, 상기 ADC 드라이버 회로는,

상기 차동 증폭기의 출력 단말들에 선택적으로 결합된 한 쌍의 ADC 샘플 및 홀드 커패시터들;

상기 차동 증폭기의 입력 단말들에 결합된 한 쌍의 오프셋 전압 커패시터들;

리셋 동작 모드 동안 상기 제1 및 제2 적분 커패시터들을 방전하도록 구성된 제1 쌍의 스위치들;

상기 리셋 동작 모드 후에 상기 입력 신호를 상기 차동 증폭기에 결합하고, 그 후에 상기 입력 신호를 상기 TGC 제어 신호에 따라서 상기 차동 증폭기로부터 격리하도록 구성된 제2 쌍의 스위치들 - 상기 제2 쌍의 스위치들은 또한 오프셋 상쇄 동작 모드 동안 상기 입력 신호를 상기 오프셋 전압 커패시터들에 결합하도록 구성됨 -;

상기 오프셋 상쇄 모드 동안 상기 차동 증폭기의 상기 입력 및 출력 단말들을 등화하도록 구성된 제3 쌍의 스위치들; 및

샘플 동작 모드 동안 상기 차동 증폭기의 상기 출력 단말들을 ADC 샘플 및 홀드 커패시터들에 결합하도록 구성된 제4 쌍의 스위치들

을 더 포함하는, 초음파 시스템.

청구항 23

제22항에 있어서, 상기 제어 회로는,

피드백 커패시터를 갖는 연산 증폭기를 더 포함하고, 상기 연산 증폭기는 비교기 회로로서 구성되며;

상기 TGC 제어 신호는 상기 연산 증폭기의 출력 전압과 가변 이득 제어 입력 신호의 값에 의해 결정된 스톱시홀드 전압 사이의 비교에 의해 생성되는, 초음파 시스템.

청구항 24

제23항에 있어서, 상기 TGC 제어 신호에 의해 제어되는 상기 적분 시간은 상기 피드백 커패시터의 커패시턴스 및 상기 가변 이득 제어 입력 신호의 전압에 의존하는, 초음파 시스템.

청구항 25

제24항에 있어서, 상기 제어 회로의 상기 피드백 커패시터는, 일단 상기 연산 증폭기의 상기 출력 전압이 상기 가변 이득 제어 입력 신호에 의해 결정되는 상기 스톱시홀드 전압을 초과하면, 상기 TGC 제어 신호의 상태가 변하도록 정전류로 충전되는, 초음파 시스템.

청구항 26

제25항에 있어서, 상기 제어 회로는 상기 피드백 커패시터를 선택적으로 방전하도록 구성되는 스위치를 더 포함하는, 초음파 시스템.

청구항 27

제21항에 있어서, 상기 제1 및 제2 적분 커패시터들은 또한 ADC 샘플 및 홀드 커패시터들의 쌍의 역할을 하는, 초음파 시스템.

청구항 28

제27항에 있어서,

리셋 동작 모드 동안 제1 및 제2 적분 커패시터들을 방전하도록 구성된 제1 쌍의 스위치들;

상기 리셋 동작 모드 이후 상기 입력 신호를 상기 차동 증폭기에 결합하고, 그 후에 상기 TGC 제어 신호에 따라서 상기 입력 신호를 상기 차동 증폭기로부터 격리하도록 구성된 제2 쌍의 스위치들; 및

상기 리셋 모드 동안 공통 모드 전압을 상기 차동 증폭기의 입력 및 출력 단말들에 결합하도록 구성된 제3 쌍의 스위치들

을 더 포함하는, 초음파 시스템.

청구항 29

제27항에 있어서,

리셋 동작 모드 동안 상기 제1 적분 커패시터를 방전하도록 구성된 제1 쌍의 스위치들;

상기 리셋 동작 모드 동안 상기 제2 적분 커패시터를 방전하도록 구성된 제2 쌍의 스위치들;

상기 리셋 동작 모드 동안 상기 차동 증폭기의 상기 입력 및 출력 단말들을 등화하도록 구성된 제3 쌍의 스위치들; 및

상기 리셋 동작 모드 이후 상기 제1 적분 커패시터를 상기 차동 증폭기의 상기 입력 및 출력 단말들에 결합하도록 구성된 제4 쌍의 스위치들

을 더 포함하는, 초음파 시스템.

청구항 30

제27항에 있어서, 상기 제어 회로는,

피드백 커패시터를 갖는 연산 증폭기를 더 포함하고, 상기 연산 증폭기는 비교기 회로로서 구성되며;

상기 TGC 제어 신호는 상기 연산 증폭기의 출력 전압과 가변 이득 제어 입력 신호의 값에 의해 결정된 스톱시홀드 전압 사이의 비교에 의해 생성되는, 초음파 시스템.

청구항 31

제30항에 있어서, 상기 TGC 제어 신호에 의해 제어되는 상기 적분 시간은 상기 제어 회로의 RC 시간 상수 및 상기 가변 이득 제어 입력 신호의 전압에 의존하는, 초음파 시스템.

발명의 설명

기술 분야

[0001] 본 출원은 그 전체가 참조로 본 명세서에 통합되는, 대리인 사건 번호 B1348.70032US00이고 2016년 9월 13일자

로 출원되었으며 발명의 명칭이 "초음파 응용들을 위한 내장형 시간 이득 보상 기능을 갖는 아날로그 대 디지털 구동 회로(ANALOG-TO-DIGITAL DRIVE CIRCUITRY HAVING BUILT-IN TIME GAIN COMPENSATION FUNCTIONALITY FOR ULTRASOUND APPLICATIONS)"인 미국 특허 출원 제15/263,939호에 대한 혜택을 주장하는 연속 출원이다.

배경 기술

- [0002] 본 개시내용은 초음파 디바이스들에 관한 것이다. 구체적으로, 본 개시내용은 초음파 응용들을 위한 내장형 시간 이득 보상(time gain compensation)(TGC) 기능을 갖는 아날로그 대 디지털 변환(analog-to-digital conversion)(ADC) 구동 회로에 관한 것이다.
- [0003] 초음파 디바이스들은 진단 이미징 및/또는 치료를 수행하는 데 사용될 수 있다. 초음파 이미징은 내부 연조직 신체구조를 보고, 병의 근원을 찾거나 임의의 병리를 배제하는 데 사용될 수 있다. 초음파 디바이스들은 인간들이 들을 수 있는 것보다 높은 주파수들의 음파들을 사용한다. 초음파 이미지들은 프로빙을 이용하여 초음파의 펄스들을 조직 내로 송신함으로써 생성된다. 음파들은 조직에서 반사되며, 상이한 조직들이 변화하는 음향의 정도를 반사한다. 이들 반사된 음파들은 전기적 신호들로 변환되고, 증폭되고, 디지털화되고, 기록되고, 운영자에게 이미지로서 디스플레이될 수 있다. 음성 신호의 강도(진폭), 및 파동이 신체를 통과하는 데 걸리는 시간은 이미지를 생성하는 데 사용되는 정보를 제공한다.
- [0004] 많은 상이한 유형의 이미지들이 초음파 디바이스들을 사용해 형성될 수 있다. 이미지들은 실시간 이미지들일 수 있다. 예를 들어, 조직의 2차원 단면들, 혈류, 시간에 따른 조직의 움직임, 혈액의 위치, 특정 분자들의 존재, 조직의 단단함, 또는 3차원 영역의 해부를 보여주는 이미지들이 생성될 수 있다.

발명의 내용

- [0005] 하나의 실시예에서, 초음파 디바이스를 위한 시간 이득 보상(TGC) 회로는 제1 적분 커패시터를 갖는 제1 증폭기; 및 제1 적분 커패시터의 적분 시간을 제어하는 TGC 제어 신호를 생성하여 제1 증폭기의 이득을 제어하도록 구성된 제어 회로를 포함하고, 적분 시간은 입력 신호가 제1 증폭기로부터 격리되기 전에 입력 신호가 제1 증폭기에 결합되는 시간의 양을 포함한다.
- [0006] 다른 실시예에서, 초음파 디바이스를 위한 아날로그 대 디지털 변환기(ADC) 드라이버 회로는 피드백 구성의 제1 및 제2 적분 커패시터들을 갖는 제1 증폭기; 및 제1 및 제2 적분 커패시터들의 적분 시간을 제어하는 시간 이득 보상(TGC) 제어 신호를 생성하여, 제1 증폭기의 이득을 제어함으로써 시간 이득 보상을 제공하도록 구성된 제어 회로를 포함하고, 적분 시간은 입력 신호가 제1 증폭기로부터 격리되기 전에 입력 신호가 제1 증폭기에 결합된 시간의 양을 포함한다.
- [0007] 다른 실시예에서, 초음파 시스템은 초음파 트랜스듀서로부터 전기적 신호들을 수신하도록 구성된 수신 채널; 및 수신 채널에 결합된 입력 및 아날로그 대 디지털 변환기(ADC)에 결합된 출력을 갖는 아날로그 회로 블록을 포함하고, 아날로그 회로 블록은 피드백 구성의 제1 및 제2 적분 커패시터들을 갖는 차동 증폭기를 포함하는 ADC 드라이버 회로; 및 제1 및 제2 적분 커패시터들의 적분 시간을 제어하는 시간 이득 보상(TGC) 제어 신호를 생성하여, 차동 증폭기의 이득을 제어함으로써 시간 이득 보상을 제공하도록 구성된 제어 회로를 더 포함하며, 적분 시간은 입력 신호가 차동 증폭기로부터 격리되기 전에 입력 신호가 차동 증폭기에 결합되는 시간의 양을 포함한다.

도면의 간단한 설명

- [0008] 개시된 기술의 다양한 양태들 및 실시예들이 이하의 도면들을 참조해 설명될 것이다. 도면들은 반드시 규모에 맞게 그려진 것이 아님을 이해해야 한다. 다수의 도면들에 등장하는 항목들은 그것들이 등장하는 모든 도면들에서 동일한 참조 번호에 의해 지칭된다.

도 1은 초음파 신호들을 송신하고 수신하도록 구성된 예시적인 회로를 도시하는 개략적인 블록도이다.

도 2는 예시적인 실시예에 따른, 초음파 신호들을 송신하고 수신하도록 구성된 예시적인 회로를 도시하는 개략적인 블록도이다.

도 3은 도 2의 ADC 드라이버/TGC 이득 회로 블록의 개략도이다.

도 4는 도 2의 ADC 드라이버/TGC 이득 회로 블록의 대안적인 실시예의 개략도이다.

도 5는 다른 예시적인 실시예에 따른, 초음파 신호들을 송신하고 수신하도록 구성된 예시적인 회로를 도시하는 개략적인 블록도이다.

도 6은 도 5의 ADC 드라이버/TGC 이득/오프셋 상쇄 회로 블록의 개략도이다.

도 7은 TGC 기능에 의해 제공된 희망 이득에 비례하는 가변 전압 신호 V_G 와 ADC 드라이버 증폭기의 출력 사이의 관계를 도시하는 일련의 파형 다이어그램들이다.

도 8은 가변 전압 신호 V_G 와 ADC 드라이버 증폭기를 제어하는 데 사용되는 다양한 클락 신호들 사이의 관계를 도시하는 일련의 파형 다이어그램들이다.

도 9는 도 8의 시간 세그먼트 9에 의해 표현되는 시퀀스의 부분을 도시한다.

도 10은 도 8의 시간 세그먼트 10에 의해 표현되는 시퀀스의 부분을 도시한다.

도 11은 도 8의 시간 세그먼트 11에 의해 표현되는 시퀀스의 부분을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 개시내용은 ADC 드라이버 TGC 회로와 같은 초음파 수신기 회로 내의 특정 아날로그 회로 컴포넌트들과, 임의로는(optionally) 오토-제로 블록이 유리하게는 조합될 수 있다는 것을 인식한다. 그러한 기능적 조합들은 예를 들어 회로 스테이지들의 수 감소, 더 나은 전력 성능의 제공, 및/또는 세밀한 시간 이득 보상 제어의 제공과 같은 하나 이상의 혜택을 제공할 수 있다.
- [0010] 본 개시내용의 양태들은 증폭기의 적분 커패시터의 적분 시간을 제어하는(그리고 그에 따라 증폭기의 이득을 제어하는) TGC 제어 신호를 생성하도록 구성된 제어 회로 및 초음파 디바이스를 위한 TGC 회로에 관한 것이다. 적분 시간은 입력 신호가 증폭기로부터 격리되기 이전에 증폭기에 결합되는 시간의 양이다.
- [0011] 본 개시내용의 실시예들은 본 개시내용의 실시예들의 전부는 아니고 일부가 도시된 첨부 도면들을 참조해 이하에서 보다 완전히 설명된다. 사실, 본 개시내용은 많은 상이한 형태로 실시될 수 있고, 여기에 설명된 실시예들에 제한되는 것으로 해석되어서는 안 된다. 오히려, 이들 실시예들은 본 개시내용이 적용 가능한 법적 요구 사항을 명백히 만족시키도록 제공되었다. 동일한 번호들은 전체에서 동일한 요소들을 지칭한다. 여기에 사용된 용어 "대략", "실질적으로", 및 "약"은 일부 실시예들에서 목표 값의 $\pm 20\%$ 내를 의미하는 데 사용될 수 있다.
- [0012] 초음파 신호들은 그것들이 신체 조직들을 통과함에 따라 감쇠되고, 따라서 깊은 조직들로부터 수신된 신호들은 근거리 조직들로부터 수신된 신호들보다 더 감쇠된다. 게다가, 깊은 조직들로부터 반사된 신호들은 근거리 조직들로부터 반사된 신호들보다 트랜스듀서에 도달하는 데 더 오래 걸릴 수 있다. 이 감쇠 때문에, 설사 깊은 및 표면 층들이 동일한 에코 발생(echogenicity)을 갖더라도, 깊은 층들로부터 나중에 도착하는 에코들은 표면 층들로부터 더 빨리 도착하는 에코들에 대해 더 작은 진폭들을 가질 것으로 기대될 수 있다. 만약 초음파 이미지가 그러한 "원시" 반환된 에코들을 사용해 형성되었다면, 이미지는 표면층들에서 더 밝고, 깊은 층들에서 더 어둡게 나타날 것이다. 따라서, 초음파 감쇠를 해결하는 한 가지 방법은 신호 이득이 방출된 파동 펄스로부터 시간이 흐름에 따라 증가하는 시간 이득 보상(TGC) 회로의 사용을 통한 것이다. 이 보정은 동등한 에코 발생 조직들을 그것들이 상이한 깊이들에 위치한 경우에도 결과 이미지에 동일하게 보이도록 만든다.
- [0013] 추가 예시로서, 도 1은 수신된 초음파 신호들을 프로세싱하도록 구성된 예시적인 회로(100)를 도시하는 개략적인 블록도이다. 회로(100)는 N개의 초음파 트랜스듀서들(102a...102n)을 포함하며, 여기서 N은 정수이다. 초음파 트랜스듀서들(102a-102n)은 일부 실시예들에서 수신된 초음파 신호들을 표현하는 전기적 신호들을 생성하는 센서들이다. 초음파 트랜스듀서들(102a-102n)은 또한 일부 실시예들에서 초음파 신호들을 송신할 수 있다. 게다가, 초음파 트랜스듀서들(102a-102n)은 일부 실시예들에서 용량식 미세가공 초음파 트랜스듀서들(CMUT들)일 수 있다. 다른 실시예들에서, 초음파 트랜스듀서들(102a-102n)은 압전 마이크로가공된 초음파 트랜스듀서들(PMUT들)일 수 있다. 더 나아가 대안적 유형들의 초음파 트랜스듀서들이 또한 다른 실시예들에서 사용될 수 있다.
- [0014] 또한 도 1에 도시된 것처럼, 회로(100)는 각각의 초음파 트랜스듀서(102a...102n)에 대응할 수 있는 회로 채널들(104a...104n)을 더 포함한다. 예를 들어, 8개의 초음파 트랜스듀서들(102a...102n) 및 8개의 대응하는 회로 채널들(104a...104n)이 있을 수 있다. 일부 실시예들에서, 초음파 트랜스듀서들(102a...102n)의 수량이 회로

채널들(104a...104n)의 수량보다 더 클 수 있다.

[0015] 회로 채널들(104a...104n)은 송신 회로, 수신 회로, 또는 둘 다를 포함할 수 있다. 예를 들어, 송신 회로는 각각의 펄서들(108a...108n)에 결합된 송신 디코더들(106a...106n)을 포함할 수 있다. 펄서들(108a...108n)은 초음파 신호들을 방출하도록 각각의 초음파 트랜스듀서들(102a...102n)을 제어할 수 있다. 회로 채널들(104a-104n)의 수신 회로는 각각의 초음파 트랜스듀서들(102a...102n)로부터 출력된 전기적 신호들을 수신할 수 있다. 설명된 예에서, 각각의 회로 채널(104a...104n)은 각각의 수신 스위치(110a...110n) 및 증폭기(112a...112n)를 포함한다. 수신 스위치들(110a...110n)은 주어진 초음파 트랜스듀서(102a...102n)로부터의 전기적 신호의 판독을 활성화/비활성화하도록 제어될 수 있다. 더 일반적으로, 스위치의 대안들이 동일한 기능을 수행하도록 사용될 수 있기 때문에, 수신 스위치들(110a...110n)은 수신 회로들일 수 있다. 증폭기들(112a...112n)은 트랜스 임피던스 증폭기들(trans-impedance amplifiers)(TIA들)일 수 있다.

[0016] 회로(100)는 또한 여기에서 또한 합산기 또는 합산 증폭기로서 지칭되는 평균 회로(114)를 포함할 수 있다. 일부 실시예들에서, 평균 회로(114)는 버퍼 또는 증폭기이다. 평균 회로(114)는 하나 이상의 증폭기(112a...112n)로부터 출력 신호들을 수신할 수 있고 평균 출력 신호를 제공할 수 있다. 평균 출력 신호는 다양한 증폭기들(112a...112n)로부터의 신호들을 더하거나 뺌으로써 부분적으로 형성될 수 있다. 평균 회로(114)는 예를 들어 가변 피드백 저항을 포함할 수 있고, 그 저항의 값은 평균 회로가 신호들을 수신하는 증폭기들(112a...112n)의 수량에 기초해 동적으로 조정될 수 있다.

[0017] 평균 회로(114)는 오토-제로 블록(116)에 결합된다. 것처럼 특정하게 설명되지는 않았음에도 불구하고, 오토-제로 블록(116)은 차동 입력 신호를 수신하고 차동 쌍에 존재하는 임의의 오프셋(offset)을 샘플링하고 저장하는 데 사용된다. 오토-제로 블록(116)의 출력은 위에서 논의된 것처럼 시간 이득 보상(TGC) 회로(118)에 결합된다. 도시된 예에서, TGC 회로(118)는 변수 감쇠기(120) 및 고정 이득 증폭기(122)를 더 포함한다. TGC 회로(118)의 출력은 ADC 드라이버들(124)을 통해 아날로그 대 디지털 변환기(ADC)(126)에 결합된다. 설명된 예에서, ADC 드라이버들(124)은 제1 ADC 드라이버(125a) 및 제2 ADC 드라이버(125b)를 포함한다. ADC(126)은 평균 회로(114)로부터 신호(들)를 디지털화할 수 있다.

[0018] 하나의 실시예에서, ADC(126)는 아날로그 입력 전압을 샘플링 및 홀딩하고 멀티비트 레지스터(도시되지 않음)를 사용해 이진 탐색 알고리즘을 구현하는 연속 근사 레지스터(successive approximation register)(SAR) ADC일 수 있다. 멀티비트 레지스터는 레지스터의 최상위 비트(most significant bit)(MSB)가 1로 설정되고 나머지 비트들이 0으로 설정되는 중간 규모(midscale)로 초기화된다. 이것은 다음으로 내부 디지털 대 아날로그 변환기(DAC) 출력을 $V_{REF}/2$ 로 설정하고, 여기서 V_{REF} (도시되지 않음)는 ADC(126)에 제공된 레퍼런스 전압이다. 다음으로, 샘플링된 입력 전압 V_{IN} (도시되지 않음)이 DAC 출력 V_{DAC} (도시되지 않음)보다 작은지 또는 큰지를 결정하도록 비교가 수행된다. 만약 V_{IN} 이 V_{DAC} 보다 크다면, 비교기 출력은 로직 하이(logic high) 또는 1이고 멀티비트 레지스터의 MSB는 1에 머문다. 반대로 만약 V_{IN} 이 V_{DAC} 보다 작다면 비교기 출력은 로직 로우이고 레지스터의 MSB는 로직 0으로 클리어된다. 다음으로, SAR 제어 로직은 다음 비트로 내려가서, 그 비트를 하이로 강제하고, 다른 비교를 한다. 시퀀스는 최하위 비트(least significant bit)(LSB)까지 줄곧 이어진다. 이것이 끝나면, 비교는 완료되고 디지털 워드는 레지스터에서 이용가능하다.

[0019] 도 1에 도시된 다양한 컴포넌트들은 단일 기판 또는 상이한 기판들 상에 위치할 수 있다는 것이 이해되어야 한다. 예를 들어, 초음파 트랜스듀서들(102a...102n)은 제1 기판(128a)에 있을 수 있고 나머지 도시된 컴포넌트들은 제2 기판(128b) 상에 있을 수 있다. 제1 및/또는 제2 기판들(128a, 128b)은 실리콘 기판들과 같은 반도체 기판들일 수 있다. 대안적으로, 도 1의 컴포넌트들은 단일 기판 상에 있을 수 있다. 예를 들어, 초음파 트랜스듀서들(102a...102n) 및 도시된 회로는 동일 반도체 다이 상에 모놀리식 집적될 수 있다. 그러한 집적은 초음파 트랜스듀서들로서 CMUT들을 사용하여 용이하게 될 수 있다. 더 나아가, 도 1의 컴포넌트들은 초음파 프로빙 디바이스의 부분을 형성한다. 초음파 프로빙은 하나의 예에서 핸드헬드일 수 있다. 다른 예에서, 도 1의 컴포넌트들은 환자에 의해 착용되도록 구성된 초음파 패치의 부분을 형성한다.

[0020] 본 개시내용은 도 1에 도시된 ADC 드라이버(124), TGC 회로(118)와 같은 특정 컴포넌트들(그리고 그것들 각각의 기능들) 및 임의로는 오토-제로 블록(116)이 유리하게는 조합될 수 있다는 것을 인식한다. 그러한 기능적 조합들은 예를 들어 회로 스테이지들의 수 감소, 더 나은 전력 성능의 제공, 및/또는 더 세밀한 시간 이득 보상 제어의 제공과 같은 하나 이상의 혜택들 제공할 수 있다.

[0021] 추가 설명으로서, 도 2는 본 출원의 비제한적 실시예에 따른, 수신된 초음파 신호들을 프로세싱하도록 구성된

예시적인 회로(200)를 도시하는 개략적인 블록도이다. 도 1과의 비교에서, 도 2의 회로(200)가 개별 TGC 회로(118) 및 ADC 드라이버(124)를 TGC 이득 기능을 갖는 ADC 드라이버를 표현하는 단일 회로 블록(202)으로 대체할 수 있다. 회로 블록(202)의 회로 구성의 하나의 예가 도 3에 도시된다.

[0022] 도 3에 구체적으로 도시된 것처럼, 회로 블록(202)은 ADC 드라이버 회로(302) 및 보조 증폭기 회로(auxiliary amplifier circuit)(304)를 포함한다. ADC 드라이버 회로(302)는 완전 차동 적분 증폭기(fully differential integrating amplifier)(306), 적분 (이득) 커패시터들(C0, C1), 입력 저항들(R0, R1), 및 NMOS/PMOS 스위치들(S0-S5)을 포함한다. 보조 증폭기 회로(304)는 연산 증폭기(operational amplifier)(308), 피드백 커패시터(C2), 정전류 저항(constant current resistor)(R2), NMOS/PMOS 스위치(S6), 및 출력 클락 로직(310)을 포함한다.

[0023] 입력 신호로부터의 전하를 적분하는 데 걸리는 지속시간(duration)이 변할 수 있기 때문에, ADC 드라이버 회로(302)의 적분 커패시터들(C0 및 C1)은 시간 이득 보상을 제공한다. 이 변화하는 적분 시간은 보조 증폭기 회로(304)에 의해 생성된 출력 클락 신호(clks_new)에 기초한다. 출력 클락 신호(clks_new)는 다음으로 TGC 기능에 의해 제공된 희망 이득에 비례하는 가변 전압 이득 제어 입력 신호 V_G 의 기능이다.

[0024] 동작 시에, 출력 클락 신호(clks_new)의 상태는 리셋 단계 동안 로우이고(그것의 상보 신호(complementary signal)(clks_new_b)는 하이임), 마스터 샘플 클락 신호(clks)(클락 로직(310)에의 입력임)는 로우로 홀딩된다. clks_new가 리셋 단계 동안 로우일 때, ADC 드라이버 회로의 스위치들(S2 및 S3)은 열려있고, 이는 적분 증폭기(306)로부터 차동 입력 신호 V_{in} 을 분리한다. 게다가, 스위치들(S0 및 S1)은 C0 및 C1 상의 전하를 클리어하고 증폭기(306)를 본질적으로 단위 이득으로 회복시키도록 단한다. 스위치들(S4 및 S5)은 또한 공통 모드 전압(V_{CM})을 적분 증폭기(306)의 입력들에 인가하도록 단한다.

[0025] 샘플링 단계 동안, 클락 로직(310)에의 입력 클락 신호(clks)는 하이일 것이며, 이것은 보조 증폭기 회로(304)의 비교기 출력 신호(cmpOUT)를 출력 클락 신호(clks_new)로서 전달한다. 초기에는, 샘플링 단계 동안, cmpOUT은 하이이고, 이는 clks_new가 또한 하이임을 의미한다. 이것은 스위치들(S2 및 S3)이 닫혀서, 입력 신호 V_{in} 을 차동 증폭기(306)에 결합하고, 입력 신호를 커패시터들(C0 및 C1) 상에서 적분하는 결과를 낳는다(스위치들 S0, S1, S4, 및 S5는 열려있음). 입력 신호 V_{in} 이 C0 및 C1 상에서 적분하도록 허용된 시간의 양(그리고 이로써 차동 증폭기(306)에 의해 제공된 이득의 양)은 스위치들(S2 및 S3)이 닫혀있는 시간의 양에 의존하며, 이는 다음으로 출력 클락 신호(clks_new)가 하이로 유지되는 시간의 양에 의존한다. 보조 증폭기 회로(304)에서, 클락 신호(clkg) 및 그것의 상보 신호(clkg_b)의 적절한 펄스를 통해 스위치(S6)를 단음으로써, 가변 전압 V_G 가 커패시터(C2) 양단에 인가된다. cmpOUT의 상태(그리고 따라서 clks_new의 상태)는 V_G 의 값에 비례하는 시간의 양 이후 로직 하이로부터 로직 로우로 플립된다. 이 시간의 양 T_{int} 는 식에 의해 주어진다:

[0026]
$$T_{int} = V_G \cdot (R_2 C_2) / V_0.$$

[0027] 다음으로, 적분 시간 T_{int} 는 식에 따라서 입력 신호를 위한 출력 이득에 관련된다.

[0028]
$$V_{out} = V_{in} / (R_0 C_0) \cdot T_{int} = (V_{in} \cdot V_G) / V_0 \cdot (R_2 C_2) / (R_0 C_0)$$

[0029] (본 TGC 토폴로지 실시예들의 이점뿐만 아니라)위의 식으로부터 이루어진 하나의 관측은 2개의 RC 시간 상수들, 즉 RC 네트워크 $R_2 C_2$ 의 시간 상수 및 RC 네트워크 $R_0 C_0$ 의 시간 상수의 비이다. 반도체 칩 제조에서, 실제 저항 및 커패시터 값들은 불완전한 제조로 인해 희망 설계 값들로부터 벗어날 수 있다. 그러나, 동일한 칩 상에 형성된 그러한 컴포넌트들을 위한 저항 및 커패시터 값들은 일관된 방식으로 벗어날 수 있고, 이는 각각의 개별 저항 값들이 벗어날 수 있음에도 불구하고 2개의 저항들 또는 2개의 커패시터들 사이의 비율은 매우 정확하게 만들어질 수 있다는 것을 의미한다. 여기서, TGC 이득 식에 저항들 및 커패시터들의 비율이 있기 때문에, TGC 이득은 전기적 컴포넌트들이 반도체 제조 프로세스들로 인한 부정확한 값들을 가지는 경우에도 정확하게 제어될 수 있다.

[0030] 도 4는 회로 블록(200)의 ADC 드라이버 회로(302)를 위한 대안적 토폴로지(402)를 도시한다. 이 실시예에서, 도 3의 실시예에 대해 추가 스위치들이 사용되었다. 도 4에 도시된 것처럼, 스위치들(S0 및 S2)은 SAR ADC 스테이지(126)에 결합되고, 리셋 단계 동안 공통 모드 전압(V_{CM})에 양 단자들을 연결함으로써 커패시터(C0)를 방전

시킨다. 그에 상응하여, 스위치들(S1 및 S3)은 리셋 단계 동안 양 단자들을 공통 모드 전압(V_{CM})에 연결함으로써 커패시터(C1)를 방전시킨다. 게다가, 스위치들(S9 및 S10)은 리셋 단계 동안 회로(V_{in} 및 V_{out})을 쇼트(short)시킨다. 샘플링 및 적분 동안, 스위치들(S4 및 S5)은 입력 신호(V_{in})가 커패시터(C0) 상에 적분되도록 허용하고, 스위치들(S7 및 S8)은 입력 신호(V_{in})가 커패시터(C1) 상에 적분되도록 허용한다.

[0031] 도 4의 실시예로부터 더 관찰될 것처럼, 적분 커패시터들(C0 및 C1)은 또한 시간 이득 보상을 제공하는 것에 더해, SAR ADC 토폴로지의 ADC 입력들을 위한 샘플 및 홀드(S/H) 커패시터들로서의 역할을 할 수 있다. 적분 단계 이후, 스위치들 S0/S2 및 S1/S3은 전술한 SAR 알고리즘을 사용해 아날로그 대 디지털 변환을 수행하기 위해 SAR ADC 스테이지(126)를 통해 각각 커패시터들(C0 및 C1)을 연결하는 데 사용될 수 있다. 각각의 ADC 변환 동작이 끝난 후, 커패시터들(C0 및 C1)은 V_{CM} 으로 리셋되고 그것들 각각의 전하들이 클리어된다.

[0032] ADC 드라이버 및 TGC 기능에 더해, 본 명세서의 대안적 실시예들이 또한 이들 구성들을 제로-오프셋 능력(capability)과 더 결합하는 데 사용될 수 있다. 따라서, 도 5는 본 출원의 비제한적 실시예에 따른, 수신된 초음파 신호들을 프로세싱하도록 구성된 예시적인 회로(500)를 도시하는 개략적인 블록도이다. 도 1 및 도 2에 대한 비교에서, 도 5의 회로(500)가 개별 오토-제로 블록(116), TGC 회로(118), 및 ADC 드라이버(124)를 TGC 이득 및 오프셋 상쇄 기능을 갖는 ADC 드라이버를 표현하는 단일 회로 블록(502)으로 대체함을 알 수 있다.

[0033] 도 6에 더 구체적으로 도시된 것처럼, 회로 블록(502)은 ADC 드라이버 회로(602) 및 보조 증폭기 회로(604)를 포함한다. 설명 및 비교의 용이를 위해, 유사한 컴포넌트들을 갖는 실시예들이 유사한 참조 부호들로 표시된다. ADC 드라이버 회로(602)는 완전 차동 적분 증폭기(306), 적분 (이득) 커패시터들(C0, C1), 샘플 및 홀드 커패시터들(C3, C4), 오프셋 전압 커패시터들(C5, C6), 입력 저항들(R0, R1), 및 NMOS/PMOS 스위치들(S0, S1, S2, S3, S4, S5, S7, 및 S8)을 포함한다. 보조 증폭기 회로(604)는 연산 증폭기(308), 피드백 커패시터(C2), 정전류 저항(R2), NMOS/PMOS 스위치(S6), 및 출력 클락 로직(606)을 포함한다. 도 5에 더 도시된 것처럼, 클락 로직(608)은 ADC 샘플 및 홀드 기능, TGC 기능, 및 오프셋 상쇄 (오토-제로) 기능을 구현하기 위해 ADC 드라이버 회로(602)에 의해 사용되는 추가 클락 신호들의 생성을 도시한다. 도 3 및 도 4의 실시예들과의 비교에서, 적분 (이득) 커패시터들(C0 및 C1)은 샘플 및 홀드 커패시터들(C3 및 C4)과 상이하고, C3 및 C4 보다 더 작은 커패시턴스 값을 가질 수 있다. 이는 다음으로 R0 및 R1에 대해 더 큰 저항 값을 허용하고, 이로써 전력을 감소시킨다.

[0034] 이제 도 7을 참조하면, 도 6의 실시예의 회로 블록(502)에 의해 제공되는 TGC 기능을 도시하는 일련의 파형 다이어그램들이 보여진다. 도 7에 도시된 신호들의 주파수들 및 전압 레벨들은 오직 예시적이며, 초음파 신호들을 수신하는 실제 동작에 대응될 필요는 없을 수 있다는 것이 이해되어야 한다. 오히려, 예시적인 파형들은 설명의 목적들을 위해 회로 블록(500)에의 입력들 및 회로 블록으로부터의 출력들의 예시를 도시한다. 도시된 것처럼, 맨 위의 파형은 희망 TGC에 비례하는, 변화하는 전압 V_G 이다. 도시된 예에서, V_G 는 대략 0.55 볼트(V)의 낮은 값 및 대략 1.35V의 피크 값을 갖고 약 500 kHz으로 진동하는 단순 정현파(simple sinusoid wave)이다. 다른 신호들에 대해 V_G 는 훨씬 느린 속도로 변화한다는 것을 알 것이다. 파형 V_{in} 은 회로 블록(502)에 의해 수신된 차동 입력 신호의 값을 나타내고, 또한 V_G 보다 대략 10배 빠르게(즉, 5MHz) 진동하는 일정 진폭의 단순 정현파이다. V_{out} (샘플)은 커패시터들(C3 및 C4)에서 본, 적분 증폭기(306)의 결과 출력 값이고, V_{out} (평활)은 V_{out} (샘플)의 평활화된 버전이다.

[0035] 도 7로부터 알 수 있는 것처럼, V_G 의 값은 V_{out} 에서 본 적분 증폭기(306)에 의해 제공된 이득의 양을 결정한다. 대략 1.0 μ s로부터 대략 1.5 μ s으로, V_G 는 중간 범위 값으로부터 최소값으로 감소한다. 그에 상응하여, V_{out} 의 진폭에 의해 나타나는 결과 이득은 최소값으로 감소한다. 그 후, 대략 1.5 μ s로부터 대략 2.5 μ s으로, V_G 가 최소값으로부터 최대값으로 전이하며, 최소로부터 최대값으로 증가하는 V_{out} 의 이득에 의해 다시 반영된다.

[0036] 회로 블록(502)의 동작의 추가 이해를 위해서, TGC 신호 V_G 뿐만 아니라 ADC 드라이버 회로(602) 및 보조 증폭기 회로(604)에 의해 사용된 다양한 클락 신호들을 포함하는 도 8의 파형 다이어그램들을 참조할 수 있다. 더 구체적으로, 클락 신호들은: clk_{off} 및 상보 신호 clk_{off_b} (오토-제로 오프셋 상쇄 기능을 제어하는 클락 로직(608)에의 입력); clk_{r2} (TGC 이득의 리셋을 제어하는 클락 로직(608)의 제1 출력); clk_{s2} 및 상보 신호 clk_{s2_b} (ADC 입력에 대한 샘플 및 홀드 기능을 제어하는 클락 로직(608)의 제2 출력); clk_{i2} 및 상보 신호

clk2_b(적분 시간 및 따라서 TGC 이득을 제어하고, 또한 오프셋 상쇄와 함께 작동하는 클락 로직(608)의 제3 출력); 및 clkg(궁극적으로 clki2를 생성하기 위한 보조 증폭기 회로(604)의 동작을 제어함)를 포함한다.

[0037] 도 8에 도시된 것처럼, 타이밍 시퀀스는 상대적으로 긴 오프셋 상쇄 (오토-제로) 동작으로 시작한다. 이는 증폭기 입력에 입력 차동 신호가 존재하지 않는 기간인 대략 $0.8 \mu s$ (예를 들어, 대략 $0.1 \mu s$ 으로부터 대략 $0.9 \mu s$ 로)의 지속시간에 대해 클락 신호 clkoff가 하이로 가는 것에 의해 반영된다. 오히려, 신호 체인 DC 오프셋만이 존재한다. 도 6의 클락 로직(608)에 의해 또한 도시되는 것처럼, clkr2 및 clks2는 오프셋 상쇄 시간 기간 동안 둘 다 로우로 홀드된다. 즉, 입력 클락 신호들 clkr 및 clks 둘 다가 clkoff의 상보 클락 신호(clkoff_b)에 의해 게이트 오프된다. 비교하여, 클락 로직(608)에 포함된 OR 로직은 clkoff가 하이일 때, 클락 신호 clki2가 하이로 홀드되도록 야기한다. 클락 신호 clkg는 또한 오프셋 기간 동안 오프된다.

[0038] ADC 드라이버 회로(602)의 관점에서, 오프셋 기간 동안 스위치들(S4 및 S5)은 닫혀있고, 이는 적분 증폭기(306)의 입력 및 출력들을 등화한다. 동시에, 스위치들(S2 및 S3)은 닫혀있고, 이는 V_{in} 을 커패시터들(C5 및 C6)에 결합한다. 임의의 오프셋 전압 존재(도 6의 V_{offset} 에 의해 표현됨)는 C5 및 C6 상의 전압 차이에 의해 포착될 것이고, 오프셋 리셋 단계 동안, 입력 차동 AC 신호 존재가 없다.

[0039] 오프셋 상쇄 단계는 초음파 수신 단계 이전에 한번만 수행되고, 오프셋 전압은 전체 초음파 수신 기간(일반적으로 대략 $50 \sim 200 \mu s$) 전체에서 커패시터들(C5 및 C6)에 샘플링되고 저장됨을 알 수 있다. 이 기간 동안 임의의 AC 신호의 샘플링을 막기 위해서(그렇지 않으면 오프셋 상쇄에서 오류에 기여할 수 있음), 임의의 AC 신호 입력 없이 오직 DC 오프셋이 샘플링되도록, 아날로그 체인으로부터 초음파 트랜스듀서들을 연결 해제하도록 전체 시스템 제어 시퀀스의 더 높은 레벨으로부터 제어들이 구현될 수 있다.

[0040] 오프셋 상쇄 기간의 끝에서, clkoff는 로우로 가고, 이는 입력 신호들의 샘플링이 시작되도록 허용하고, TGC를 통합한다. 도 8의 $3.0 \mu s$ 시간 스케일에 대해 상대적으로 높은 속도의 클락 신호들 때문에, 시간 세그먼트들(9, 10, 및 11)에 의해 라벨링된 전체 시퀀스의 특정 부분들이 후속 도면들에서 더 상세히 도시된다.

[0041] 도 9를 참조하면, 타이밍 다이어그램은 도 8의 시간 세그먼트(9)에 의해 표현되는 시퀀스의 부분을 도시한다. 대략 $1.0 \mu s$ 에서 clkg가 초기에 하이 펄스일때, 이 시간의 기간은 오프셋 상쇄 후 데이터 샘플링 및 리셋 기간의 시작을 커버한다. clkg 펄스의 지속시간(대략 $8 ns$)은 clkr2에 의한 리셋 클락 펄스(대략 $4 ns$)가 바로 뒤 따르는 clks2에 의한 샘플 클락 펄스(또한 대략 $4 ns$)와 일치한다. clkg가 하이인 한, 보조 증폭기 회로(604)의 커패시터(C2)는 방전되고, 연산 증폭기(308)의 출력 전압을 V_G 의 값 아래에 홀드한다. 결과로서, 비교기 출력 신호 cmpOUT은 로우로 홀드된다. 출력 클락 로직(606)이 clkg_b를 게이팅(gating) 신호로서 사용하기 때문에, clki(그리고 결과적으로 clki2)는 샘플링 및 리셋 동안 로우로 홀드된다. clkg가 꺼지고 나면, 비교기 출력 신호 cmpOUT은 clki에서 하이로 반전되어 출력 클락 로직(606)을 통해 전파되는 것이 허용된다.

[0042] 그러므로, 샘플 및 리셋 동작 직후에, S2 및 S3은 입력 신호 V_{in} 를 적분 증폭기(306)에 결합하도록 닫힌다. clkr2 및 clks2는 clkg가 로우로 갈 때 또한 오프이므로, 스위치들(S0 및 S1)은 전류가 C0 및 C1 상에 적분되는 것을 허용하도록 오픈되고, 스위치들(S7 및 S8)은 샘플 커패시터들(C3 및 C4)을 적분 증폭기(306)의 출력으로부터 분리하도록 열린다.

[0043] clkg를 오프하는 것의 다른 효과는 전류가 보조 증폭기 회로(604)의 커패시터(C2)의 충전을 시작하도록 허용하는 것이며, 이는 연산 증폭기(308)의 출력 전압이 증가하게 한다. 이 출력 전압이 V_G 에 의해 설정된 것으로서의 스톱시홀드 비교 값을 초과하고 나면, cmpOUT은 로우에서 하이 상태로 변화할 것이고, 다음으로 clki 및 clki2가 로우로 스위치되고 커패시터들(C0 및 C1) 상의 적분을 중단하도록 야기한다. 이 스톱시홀드 비교 값에 도달하는 데 걸린 시간은:

[0044]
$$T_{int} = V_G \cdot (R_2 C_2) / V_0$$

[0045] 에 따라서, V_G 의 크기에 다시 의존하고,

[0046] 입력 신호에 대한 출력 이득은

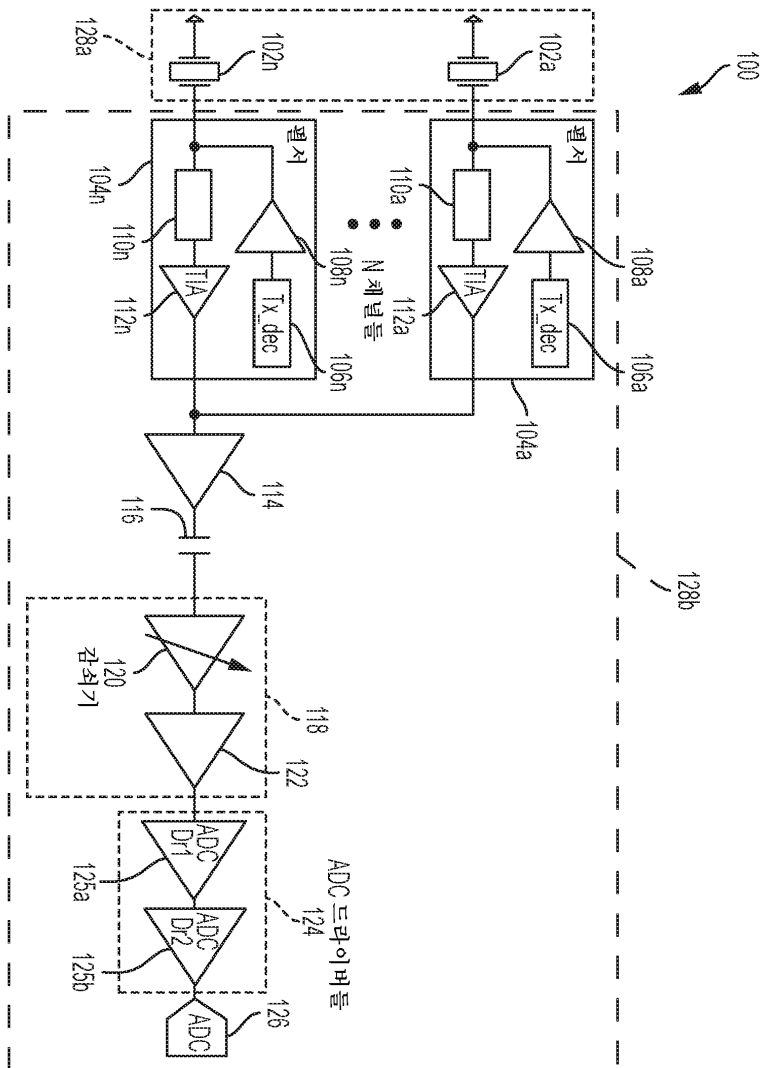
[0047]
$$V_{out} = V_{in} / (R_0 C_0) \cdot T_{int} = (V_{in} \cdot V_G) / V_0 \cdot (R_2 C_2) / (R_0 C_0)$$

[0048] 에 의해 주어진다.

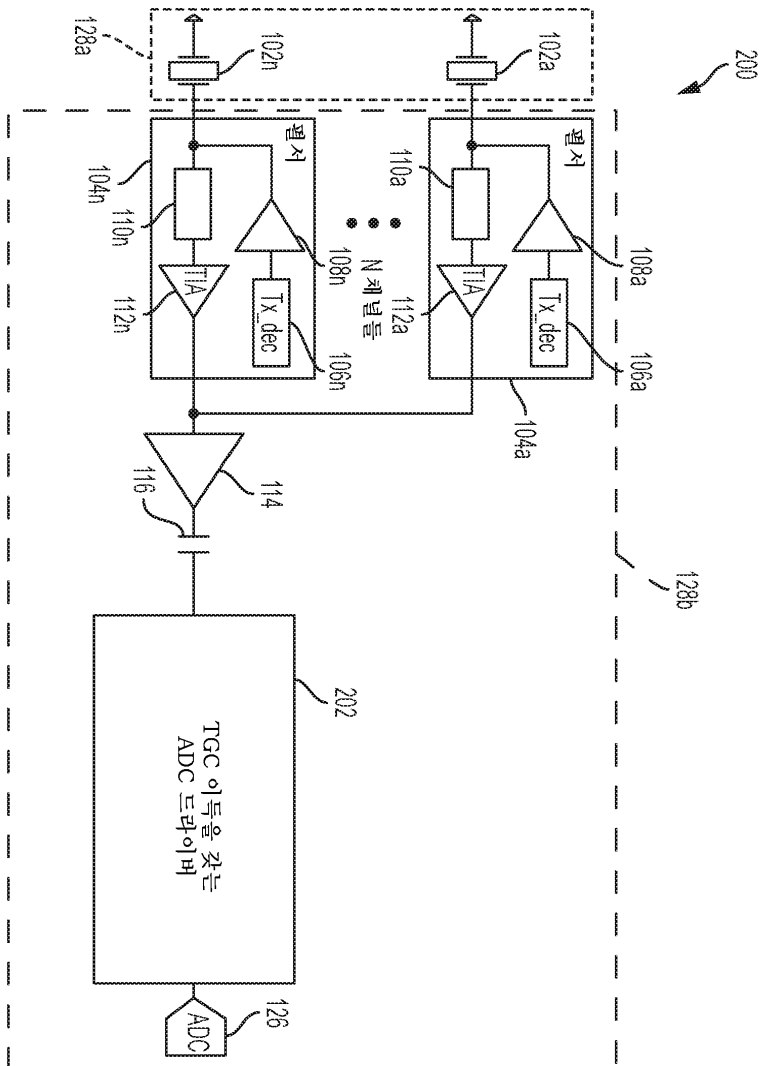
- [0049] 2개의 RC 시간 상수들 (R_2C_2)/(R_0C_0)의 비율은 희망 이득 범위를 달성하도록 원하는 대로 설정될 수 있다. 하나의 예시적인 실시예에서, (R_2C_2)/(R_0C_0)의 비율은 대략 5일 수 있으나; 다른 값들 또한 고려된다.
- [0050] 도 9에 도시된 특정 시간 세그먼트에서, V_G 의 값은 그것의 최대 및 최소 값들에 대한 대략 중간 지점에 있고, 감소하고 있다. 따라서, 이 세그먼트에서 clk_i2 의 온-타임(대략 8 ns)은 clk_g 의 오프 지속시간(예를 들어, 대략 16 ns)에 의해 허용되는 전체 적분 시간의 이용가능한 양의 대략 절반이다. clk_g 펄스들이 하이가 되고 나면, C2는 방전되고, clk_i2 는 적분 증폭기(306)로부터 입력 신호 V_{in} 을 격리하기 위해 꺼진다. $Clks2$ 는 다음으로 C3 및 C4 상의 출력을 포착하기 위해 펄스하고, 그에 후속하여 clk_r2 가 하일로 펄스하여 C0 및 C1을 방전함으로써 적분 증폭기(306)를 단위 이득으로 리셋한다.
- [0051] 이제 도 10을 참조하면, 타이밍 다이어그램은 대략 1.42 μs 로부터 대략 1.60 μs 에 발생하는 도 8의 시간 세그먼트(10)를 도시한다. 이 세그먼트는 V_G 가 최소값인 시간 기간에 대응한다. V_G 가 최소일 때, 적분 시간 T_{int} 는 또한 최소에 있고, 이는 clk_i2 가 최단 클락 펄스를 갖는다는 것을 의미한다. 도 10에 도시된 것처럼, clk_i2 는 ADC 드라이버 회로(602)에 의해 제공되는 최소 TGC 값에 대응하는 대략 2 ns의 펄스 지속시간을 갖는다.
- [0052] 비교에 의해, 도 11의 타이밍 다이어그램은 대략 2.40 μs 로부터 대략 2.58 μs 에 발생하는 도 8의 시간 세그먼트(11)를 도시한다. 이 세그먼트는 V_G 가 최대값에 있는 시간 기간에 대응한다. V_G 가 최대일 때, 적분 시간 T_{int} 는 또한 최대에 있고, 이는 clk_i2 가 최장 클락 펄스 지속시간을 갖는다는 것을 의미한다. 도 11에 도시된 것처럼, clk_i2 의 펄스 지속시간은 ADC 드라이버 회로(602)에 의해 제공되는 최대 TGC 값을 야기하는, clk_g 의 오프 지속시간의 전체 시간에 대응한다. 여기서, clk_g 가 하일로 가기 전에 $cmpOUT$ 의 상태가 플립되지 않도록 V_G 가 충분히 클 수 있다. 이 경우, 그것은 실제로는, clk_i2 를 게이트 오프하는, clk_g 가 하일로 가는 전이일 수 있다.
- [0053] 따라서 이해될 것처럼, 보조 증폭기로부터 생성된 제어 신호들에 따라서 입력 신호를 적분하고 증폭하는 TGC 증폭기의 실시예들이 개시된다. TGC 증폭기에의 입력 신호는 샘플링 클락에 기초해 작동되는 연속 아날로그 신호이다. 증폭기 출력들은 커패시터들에 저장된 이산 시간 아날로그 전압 샘플들이고, 여기서 아날로그 전압은 입력 신호 진폭의 증폭된 버전이며, TGC 제어 전압에 비례하는 이득을 갖는다. 각각의 샘플들을 생성하기 전에, TGC 증폭기는 그 자체 커패시터들에 저장된 이전 전하를 클리어하도록 리셋된다. TGC 증폭기는 다음으로 보조 증폭기가 스테지홀드를 초과할 때의 지점까지 커패시터들 상에 입력 신호를 적분하는 적분 증폭기로 구성된다. 적분 시간 T_{int} 는 이득 제어 입력 신호 V_G 에 비례하고, 결과로서 입력 신호는 V_G 에 비례하는 값에 의해 증폭된다.
- [0054] 커패시터들 상에 저장된 이산 시간 아날로그 전압 샘플들은 아날로그 전압 샘플들이 디지털 워드들로 전환되도록 ADC에 직접 결합될 수 있다. 이런 의미에서, TGC 증폭기는 동시에 ADC 드라이버로서의 역할을 할 수 있다. 게다가, 완전 차동 TGC 증폭기로부터의 오프셋뿐만 아니라 TGC 스테이지에 선행하는 아날로그 프런트-엔드 증폭기들로부터 오는 모든 업스트림 오프셋들을 상쇄하는 오프셋 상쇄 기능이 TGC 증폭기에 의해 구현될 수 있다.
- [0055] 적분 증폭기(306)가 설명된 실시예들에서 완전 차동 증폭기로서 설명되었지만, 또한 다른 실시예들에서 단일-엔드 증폭기로서 구현될 수 있다는 것이 이해되어야 한다. 반대로, 보조 증폭기 회로(304)의 연산 증폭기(308)가 단일-엔드 증폭기로서 설명되었지만, 또한 다른 실시예들에서 차동 증폭기로서 구현될 수 있다.
- [0056] 본 명세서에 설명된 기술들은 예시적인 것이고, 본 개시내용에 대해 임의의 구체적인 제한을 시사하는 것으로서 이해되지 않아야 한다. 본 개시내용으로부터 본 기술분야의 통상의 기술자에 의해 다양한 대안들, 조합들, 및 변형들이 고안될 수 있다는 것이 이해되어야 한다. 예를 들어, 본 명세서에 설명된 프로세스들에 관련된 단계들은 달리 명시되거나 단계들 자체에 의해 지시되지 않는 한 임의의 순서로 수행될 수 있다. 본 개시내용은 첨부된 청구항들의 범위 내에 드는 모든 그러한 대안들, 변형들, 및 차이들을 포함하는 것으로 의도된다.

도면

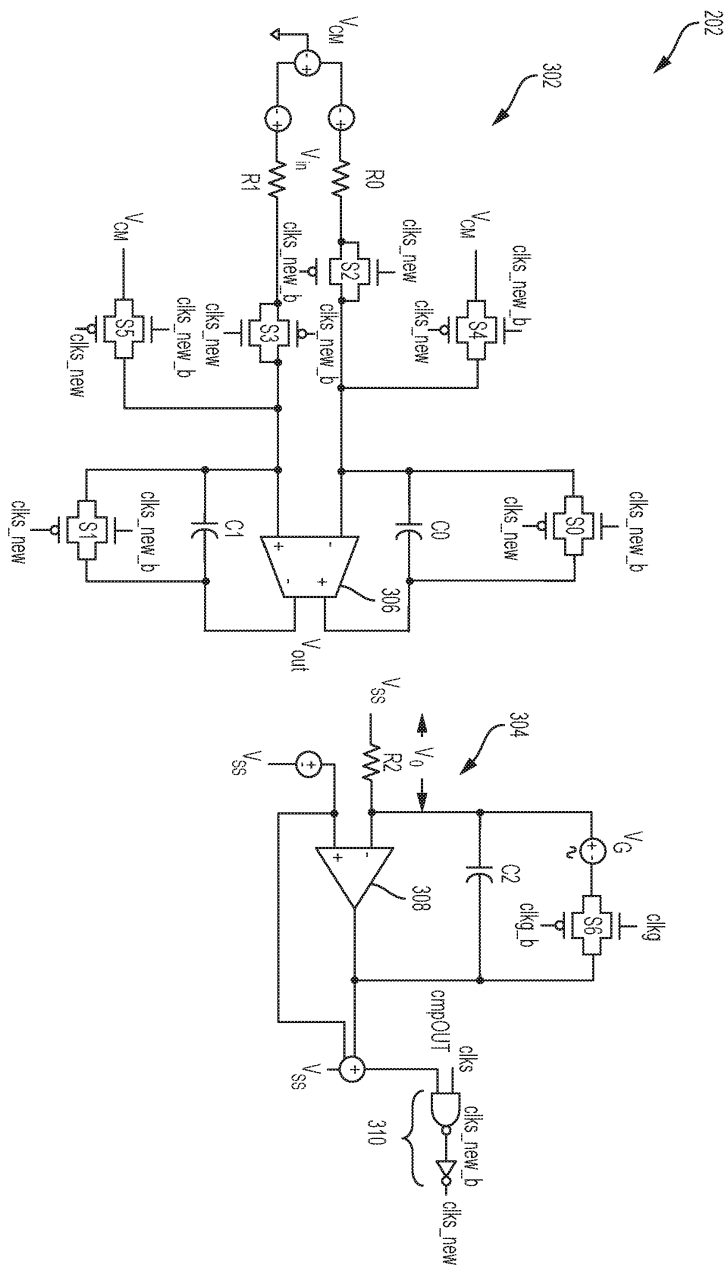
도면1



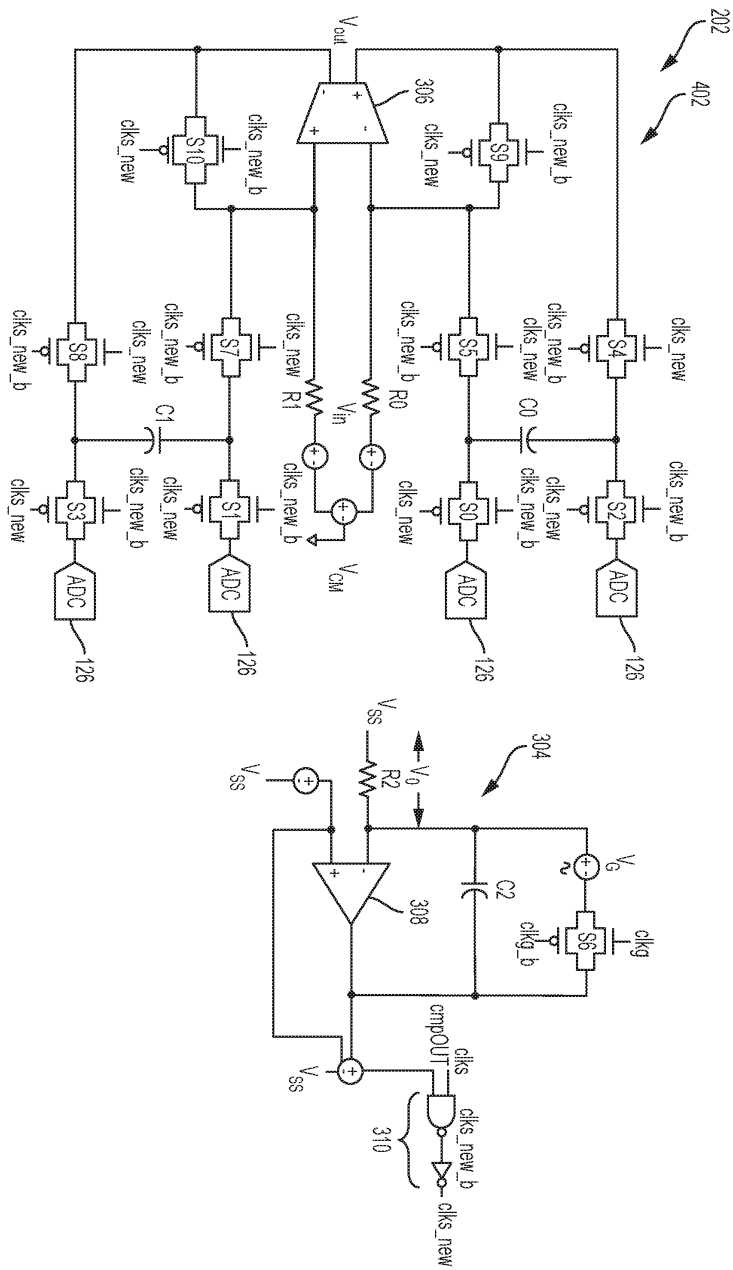
도면2



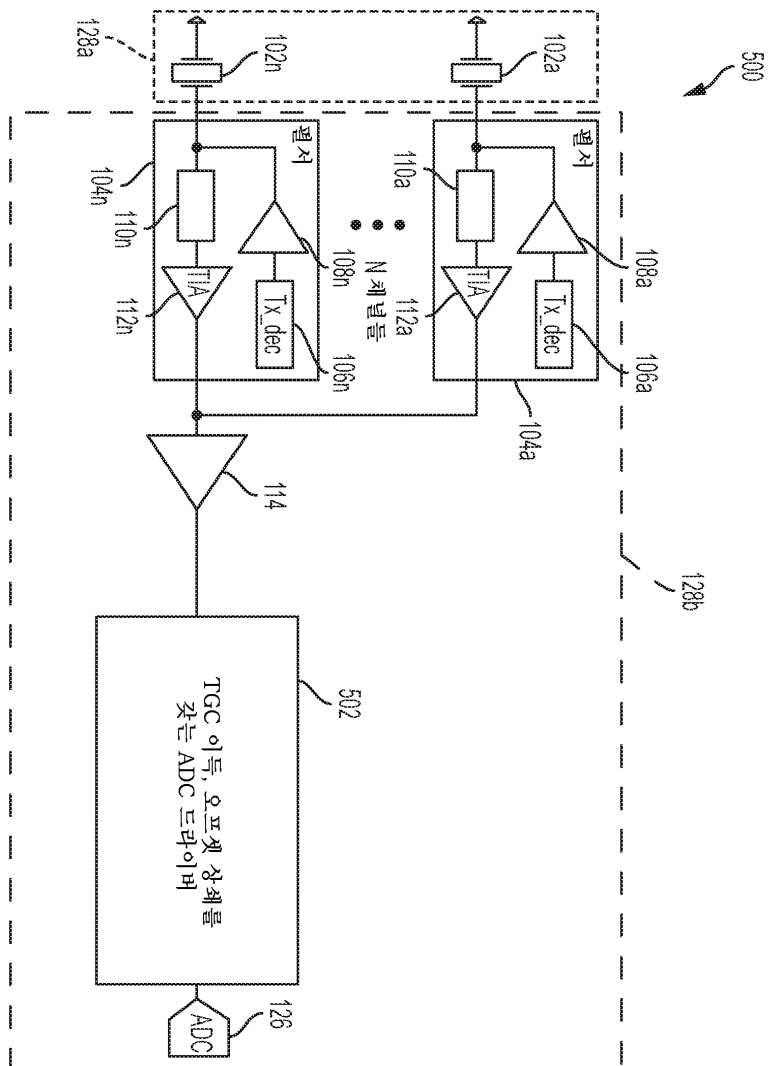
도면3



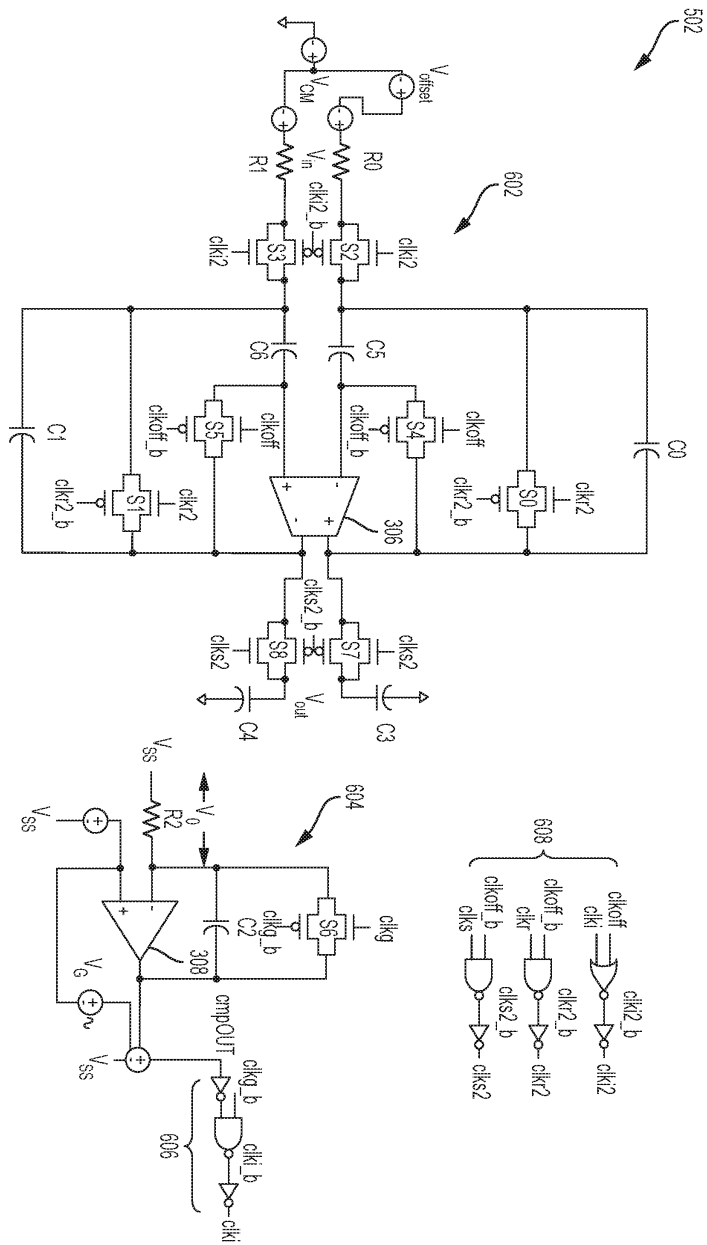
도면4



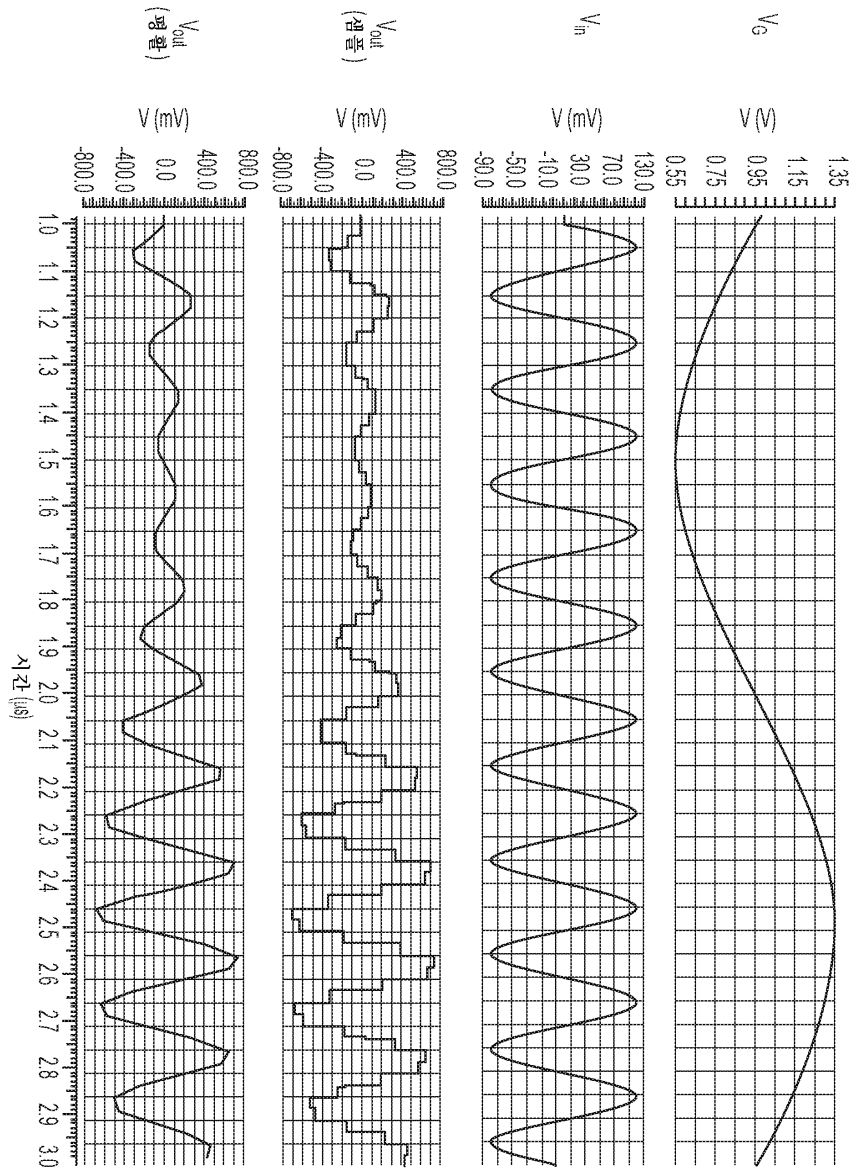
도면5



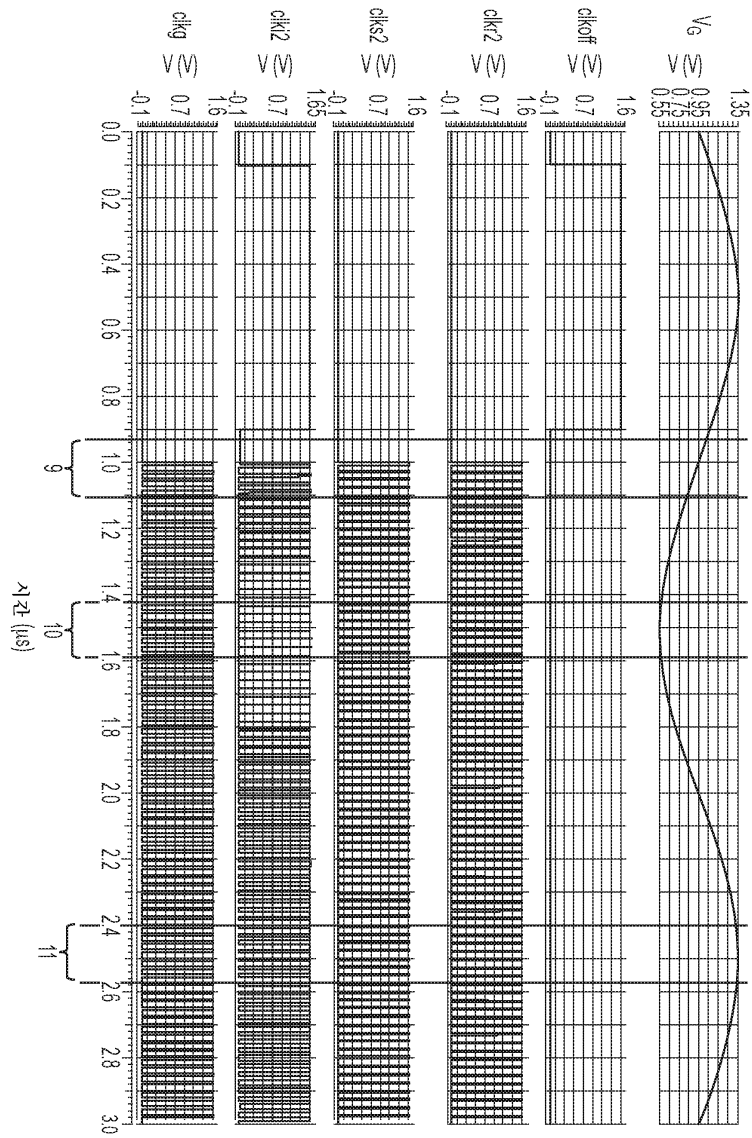
도면6



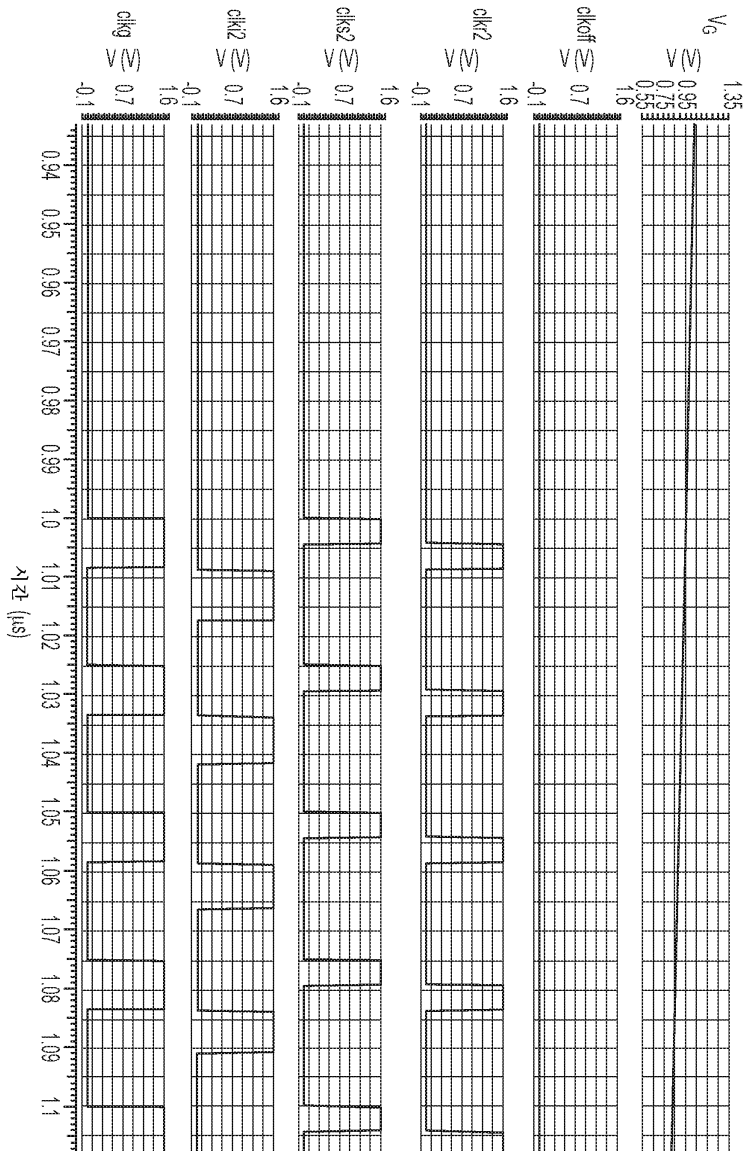
도면7



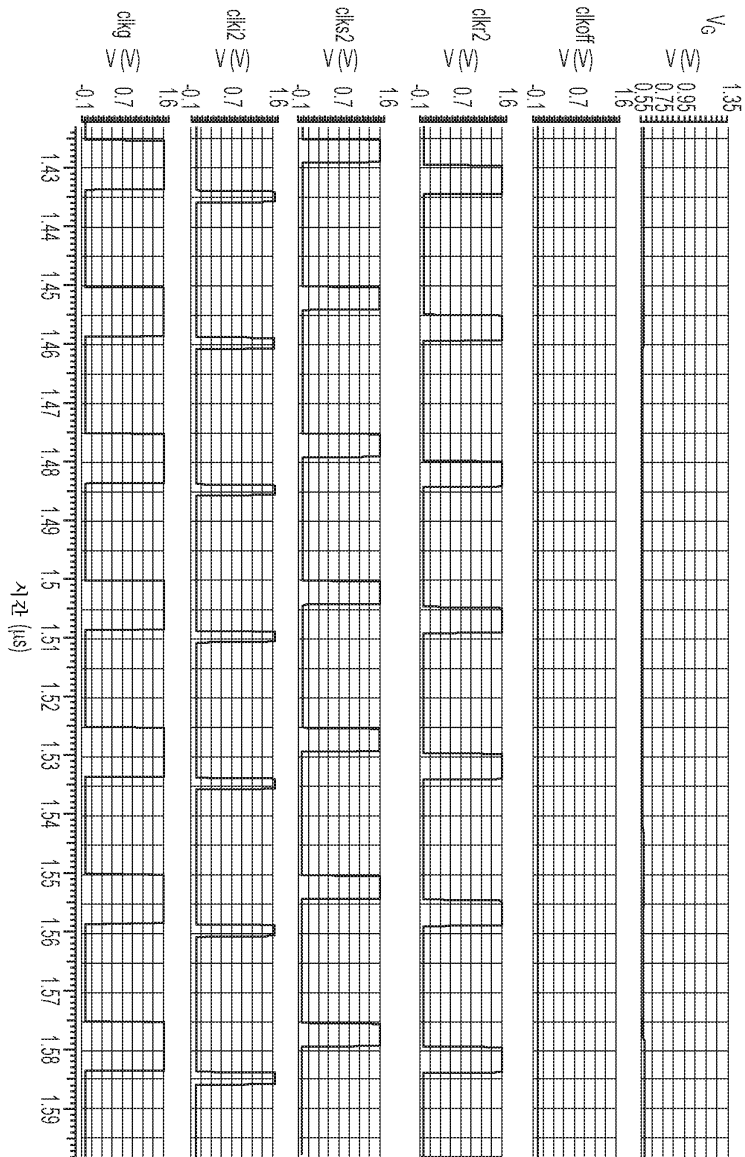
도면8



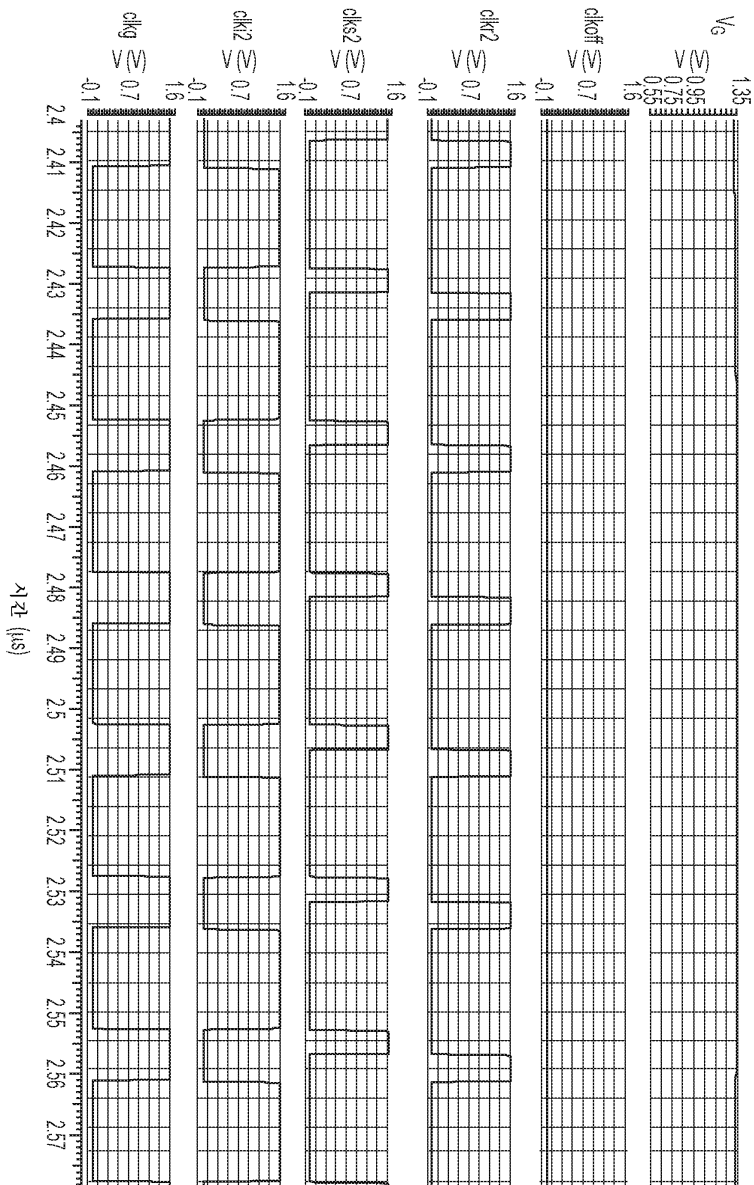
도면9



도면10



도면11



专利名称(译)	模拟 - 数字驱动电路，内置时间增益补偿，适用于超声波应用		
公开(公告)号	KR1020190047011A	公开(公告)日	2019-05-07
申请号	KR1020197010356	申请日	2017-08-29
[标]申请(专利权)人(译)	蝶形网络的大		
申请(专利权)人(译)	蝶形网络公司		
发明人	첸, 카이리앙 파이프, 키쓰, 지.		
IPC分类号	A61B8/00 A61B8/08 G01S7/52 H03M1/06 H03M1/12		
CPC分类号	A61B8/54 A61B8/5207 A61B8/56 G01S7/52033 H03M1/0617 H03M1/1245 H03M1/129		
代理人(译)	Yangyoungjun Gimyeonsong Baekmangi		
优先权	15/263939 2016-09-13 US		
外部链接	Espacenet		

摘要(译)

用于超声设备的时间增益补偿 (TGC) 电路包括：第一放大器，其具有积分电容器；以及控制电路，其被配置为生成TGC控制信号，该TGC控制信号控制积分电容器的积分时间以控制第一放大器的增益。积分时间是在输入信号与第一放大器隔离之前，输入信号耦合到第一放大器的时间。

