

FIG. 7

【特許請求の範囲】**【請求項 1】**

トランスデューサ素子のアレイと、
前記トランスデューサ素子に結合されたデジタルマイクロビーム形成器と
を備え、
前記トランスデューサ素子が、
前記アレイのトランスデューサ素子に結合された複数の送信器と、
前記アレイに結合され、かつ前記アレイのトランスデューサ素子からアナログエコー信号を受信する複数の増幅器と、
増幅された前記アナログエコー信号を受信し、かつ増幅された前記アナログエコー信号をデジタルエコー信号に変換する複数の低電力 A D C と、
前記低電力 A D C に結合され、かつデジタルビーム形成されたエコー信号を生成するデジタルビーム形成回路であって、F I R フィルタを備えるデジタル遅延回路を備える、当該デジタルビーム形成回路と
を備え、
前記 F I R フィルタが、乗算器を使用せずに、受信された前記デジタルエコー信号を重み付けすることにより前記デジタルエコー信号のサブサンプル遅延を生成する、
デジタルマイクロビーム形成のための超音波プローブ。

10

【請求項 2】

前記 F I R フィルタが、シフト及び加算重み付け回路を備える、
請求項 1 に記載の超音波プローブ。

20

【請求項 3】

前記 F I R フィルタが、複数の前記シフト及び加算重み付け回路を備える、
請求項 2 に記載の超音波プローブ。

【請求項 4】

前記 F I R フィルタが、前記シフト及び加算重み付け回路に結合された入力を含むマルチプレクサを備える、
請求項 3 に記載の超音波プローブ。

【請求項 5】

前記 F I R フィルタが、前記デジタルエコー信号を受信するように結合された入力と、出力とを含むレジスタを備える、
請求項 4 に記載の超音波プローブ。

30

【請求項 6】

前記レジスタの前記入力と前記出力とが、前記シフト及び加算重み付け回路に結合された、
請求項 5 に記載の超音波プローブ。

【請求項 7】

前記レジスタの前記入力と前記出力とが、前記超音波プローブの動作中に 1 つ又は複数の最上位ビットがゼロにされる前記シフト及び加算重み付け回路にさらに結合された、
請求項 6 に記載の超音波プローブ。

40

【請求項 8】

前記デジタルビーム形成回路が、選択可能に遅延された前記デジタルエコー信号を生成する前記デジタル遅延回路を備える、
請求項 1 に記載の超音波プローブ。

【請求項 9】

前記デジタル遅延回路が、ランダムアクセスメモリを備える、
請求項 8 に記載の超音波プローブ。

【請求項 10】

前記デジタル遅延回路が、前記ランダムアクセスメモリの入力に結合された書き込みアドレスカウンタを備え、

50

前記ランダムアクセスメモリが、前記低電力ＡＤＣのうちの１つの出力に結合された入力を備える、

請求項９に記載の超音波プローブ。

【請求項１１】

前記デジタル遅延回路が、

前記ランダムアクセスメモリの前記入力に結合された読み出しアドレスカウンタと、

前記読み出しアドレスカウンタに結合された焦点制御回路と

をさらに備える、

請求項１０に記載の超音波プローブ。

【請求項１２】

前記焦点制御回路が、前記ＦＩＲフィルタに結合された、

請求項１１に記載の超音波プローブ。

【請求項１３】

前記デジタルビーム形成回路が、複数のデジタル加算回路を備える、

請求項１に記載の超音波プローブ。

【請求項１４】

前記デジタルビーム形成回路が、前記低電力ＡＤＣのうちの１つの出力に結合された入力と、前記ＦＩＲフィルタの入力に結合された出力とを備える、

請求項１３に記載の超音波プローブ。

【請求項１５】

前記ＦＩＲフィルタが、前記デジタル加算回路のうちの１つに結合された出力を備える

、

請求項１４に記載の超音波プローブ。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、医療診断超音波システムに関し、特に、デジタルマイクロビーム形成器を含む超音波プローブに関する。

【背景技術】

【０００２】

超音波アレイトランスデューサは、ビーム形成器を使用して、トランスデューサアレイの素子から受信された超音波エコー信号を送信し、適切に遅延させ、かつ加算する。遅延は、ビーム形成器により形成されるビームの方向（操舵）及び焦点深度を考慮して選択される。各素子から受信された信号がビーム形成器のチャンネルにより適切に遅延された後、遅延された信号が組み合わされて、適切に操舵及び合焦されたコヒーレントエコー信号のビームが形成される。超音波ビーム送信中、個々の素子の作動の時点は、送信ビームを操舵し、合焦させる受信遅延の相補的部分である。遅延の選択は、アレイ素子のジオメトリ、及びビームにより検査される像フィールドのジオメトリから決定可能なことが知られている。

【０００３】

従来の超音波システムにおいて、アレイトランスデューサは、像形成中に患者の体に触れて配置されるプローブ内に位置し、調整素子、スイッチ、及び増幅デバイスなどのいくつかの電子コンポーネントを含む。遅延及び信号の組み合わせは、超音波システムメインフレームに含まれるビーム形成器により実行され、プローブはケーブルにより超音波システムメインフレームに接続される。

【０００４】

アレイトランスデューサ及びビーム形成器のための前述のシステムアーキテクチャは、大多数の一次元（１Ｄ）トランスデューサアレイに対してまさしく十分でありトランスデューサ素子の数及びビーム形成器チャンネルの数は概ね同じである。トランスデューサ素子の数がビーム形成器チャンネルの数より多いとき、一般的に多重化が使用され、トラン

10

20

30

40

50

スデューサの素子の総数の部分集合のみが、任意の時点でビーム形成器に接続され得る。1 Dアレイにおける素子の数は、100未満から数百に及ぶことがあり、一般的なビーム形成器は、128個のビーム形成器チャンネルを有する。このシステムアーキテクチャの解決策は、二次元及び三次元(3D)像形成のための二次元(2D)アレイトランスデューサの出現に伴って支持できなくなった。それは、2Dアレイトランスデューサがボリュメトリック領域にわたり方位角と仰角との両方においてビームを操舵及び合焦させるからである。このビーム形成に必要なトランスデューサ素子の数は、通常、数千である。従って、本問題の最も重要な点は、ビーム形成器が位置するシステムメインフレームにプローブを接続するケーブルとなる。たとえ最良の伝導フィラメントの数千の伝導体のケーブルであっても、厚くて扱い難くなるので、プローブの操作を不可能ではないとしても煩わしいものにする。

10

【0005】

この問題に対する解決策は、米国特許第5,229,933号(Larson, III)において説明されているように、プローブ自体におけるビーム形成のうちの少なくともいくつかを実行することである。この特許に示される超音波システムでは、ビーム形成は、プローブとシステムメインフレームとの間で仕切られる。素子のグループの初期ビーム形成は、部分的にビーム形成された加算結果が生成されるマイクロビーム形成器として知られるマイクロ回路によりプローブ内において行われる。トランスデューサ素子の数より少ない数のこれらの部分的にビーム形成された加算結果が、相応の寸法のケーブルを通してシステムメインフレームに結合され、システムメインフレームにおいてビーム形成処理が完了となり、最終的なビームが生成される。プローブ内における部分的ビーム形成は、アレイトランスデューサに装着されたマイクロ電子機器の形態のマイクロビーム形成器において、Larson, IIIがグループ内プロセッサと呼ぶものにより行われる。米国特許第5,997,479号(Savord)、米国特許第6,013,032号(Savord)、米国特許第6,126,602号(Savord)、及び米国特許第6,375,617号(Fraser)も参照されたい。トランスデューサアレイの何千もの素子とマイクロビーム形成器との間における何千もの接続が、小さな寸法のマイクロ回路及びアレイピッチにおいて実現されるとともに、マイクロビーム形成器とシステムメインフレームのビーム形成器との間における多くのより少ないケーブル接続が、前の従来のケーブル技術により実現される。米国特許第7,821,180号(Kunkel, III)及び米国特許第7,927,280号(Davidson)に示される湾曲したアレイなどの、様々な平面のアレイ形式や湾曲したアレイ形式がマイクロビーム形成器とともに使用され得る。マイクロビーム形成器は、また、一次元アレイとともに、及び一次元アレイとして動作するようにされた2Dアレイとともに使用され得る。例えば米国特許第7,037,264号(Poland)を参照されたい。

20

30

【0006】

現在、長年にわたって超音波システムにおけるビーム形成がデジタルで行われている。受信された信号は、クロックシフトレジスタにより、又はランダムアクセスメモリでの一時記憶の時間により遅延され、遅延された信号はデジタル加算装置により加算される。デジタルビーム形成は、FPGA(フィールドプログラム可能ゲートアレイ: field programmable gate array)などの回路において、又はマイクロプロセッサにおけるソフトウェア命令により実行され得る。しかし、デジタルでビーム形成を実行するためには、受信された信号は、まず、アナログ・デジタルコンバータによりデジタル化されなければならない。現在の市販のマイクロビーム形成器を含む超音波プローブでは、部分的加算信号は、マイクロビーム形成器において、受信されたエコー信号に対してそれらの本来のアナログ領域で演算することにより形成される。アナログ部分的加算信号はプローブケーブルを通してシステムメインフレームに結合され、システムメインフレームにおいて、アナログ部分的加算信号がデジタル化され、ビーム形成がデジタルドメインにおいて完了となる。最近、ビーム形成技術は、Philips HealthcareのLumify(商標)超音波製品のL12-4リニア及びC5-2湾曲アレイ

40

50

プローブにおいてさらに統合されている。デジタル化及びデジタルビーム形成は、信号検出及びスキャン変換による像形成と同様に、プローブのハンドル内に位置するマイクロ回路により実行される。しかし、これらのプローブは、3D像形成のための2Dアレイプローブのトランスデューサ素子よりはるかに少ないトランスデューサ素子を含む1D（一次元）アレイトランスデューサを使用する。1Dアレイ（二次元像形成）プローブ及び2Dアレイ（三次元像形成）プローブのいずれの場合にも、ビーム形成回路全体がプローブ内に位置することが望ましい。

【発明の概要】

【発明が解決しようとする課題】

【0007】

10

ビーム形成回路のすべてをプローブ内に統合するときに解決されなければならない問題は、マイクロ回路による電力消費に起因する。この問題は、回路からの熱放散である。スキャン中、プローブは超音波検査技師の手によって保持されるので、プローブの内部回路により生成された熱のすべてが、プローブに触れると温かく感じさせることになる。場合によっては、プローブハンドルは、触れると不快なほど熱く感じることもあり、これは防止されなければならない問題である。米国特許出願公開第2014/0058270号（Davidsonら）及び米国特許出願公開第2015/0099978号（Davidsonら）において説明されているものなど、プローブから熱を伝導・除去し、結果的に熱がユーザから消散する能動的なシステムに加えて、受動的なプローブ冷却装置が考案された。しかし、このような装置は、コストを大幅に上げ、プローブ及びプローブのケーブルの複雑さを増大させる。マイクロ回路による電力消費がより少ないはるかに簡単な手法により、このような装置を避けることが望ましい。

20

【課題を解決するための手段】

【0008】

本発明の原理により、超音波プローブにおいてデジタルビーム形成を実行するマイクロビーム形成器回路が説明される。エコーデータサンプリングレートより高い分解能におけるサブサンプル遅延が、デジタル有限インパルス応答（FIR：finite impulse response）フィルタにより提供される。低電力性能及び回路パッケージング効率は、フィルタにおけるデジタル乗算器を不要とするシフト及び加算技術により、FIRにおいて信号を重み付けすることにより実現される。これは、マイクロビーム形成器が3ワット以下の最大供給電力量内で動作することを可能にし、これにより、プローブ内における過剰な発熱を防ぐことができる。

30

【図面の簡単な説明】

【0009】

【図1】本発明の原理により構築された超音波像形成システムをブロック図の形態で示す図である。

【図2】ディスプレイデバイスとしてのポータブルコンピュータに結合された本発明の超音波プローブのマイクロビーム形成回路及びトランスデューサアレイをブロック図の形態で示す図である。

【図3】図2におけるマイクロビーム形成器のアナログASICのコンポーネントをブロック図の形態で示す図である。

40

【図4】図3におけるアナログASICのアナログ受信遅延の回路図である。

【図5】図3におけるデジタルADC及びビーム形成ASICのコンポーネントをブロック図の形態で示す図である。

【図5a】図5のデジタルASICにおける使用に適した逐次近似アナログ・デジタルコンバータをブロック図の形態で示す図である。

【図6】図5におけるデジタルASICの1つのチャンネルのデジタル遅延、遅延制御、及び加算回路を示す図である。

【図7】図5に示すデジタルASICにおけるサブサンプル遅延のために使用されるデジタルFIR（有限インパルス応答）フィルタを示す図である。

50

【図 8】図 7 に示すサブサンプル遅延 F I R により生成された異なる遅延を伴うエコー信号波形を示す図である。

【発明を実施するための形態】

【0010】

まず図 1 を参照すると、本発明の原理により構築された超音波システムがブロック図の形態で示される。プローブ 10 は、平面であるか、又はこの例において示されるように湾曲したものである二次元アレイトランスデューサ 12 を含む。トランスデューサは、C M U T (マイクロマシニング加工された静電容量型超音波トランスデューサ: c a p a c i t i v e m i c r o - m a c h i n e d u l t r a s o n i c t r a n s d u c e r) 又は P V D F などの M U T デバイスから形成されるが、好ましくは、P Z T などの圧電セラミック材料から形成される。アレイの素子は、トランスデューサアレイの後方においてプローブ内に位置するデジタルマイクロビーム形成器 14 に結合される。マイクロビーム形成器は、2 D アレイトランスデューサ 12 の素子に結合されたビーム形成チャンネルを含むプローブ内に位置する集積回路である。マイクロビーム形成器は、アレイの素子の各グループ (パッチ) の素子にタイミング制御された送信パルスを印加して、所望の方向に、またアレイの前における像フィールド内の所望の焦点にビームを送信する。仰角の次元における送信ビームのプロファイルは、点焦点、平面波、又は任意の中間のビームプロファイルを示し得る。送信されたビームから細胞及び組織により返されたエコーは、アレイ素子により受信され、マイクロビーム形成器 14 のチャンネルに結合され、マイクロビーム形成器 14 においてアナログエコー信号が個々に遅延させられる。トランスデューサ素子の隣接したパッチからの遅延された信号は、組み合わせられてパッチに対する部分的加算信号を形成する。以下でより完全に説明されるマイクロビーム形成器のアナログセクションでは、組み合わせることが、パッチの素子からの遅延された信号を共通バスに結合することにより行われ、加算回路を不要とする。次に、アナログエコー信号がデジタル化され、デジタル A S I C (特定用途向け集積回路: a p p l i c a t i o n s p e c i f i c i n t e g r a t e d c i r c u i t) によりデジタル形式でさらにビーム形成される。各パッチのビーム形成されたデジタル信号は、ケーブル 16 により超音波システムにおけるシステムビーム形成器 22 に結合され、システムビーム形成器 22 においてビーム形成処理が完了となる。代替的に、好ましい実施態様において、ビーム形成のすべてがプローブ内のマイクロビーム形成器により実行され、完全にビーム形成されたデジタル信号がシステムメインフレームに結合される。ビーム形成されたデジタル信号は、ベースバンド検出、高調波分離、フィルタ処理、ドップラー処理、及び像形成のためのスキャン変換などの動作を実行する信号及び像プロセッサ 24 により、像を形成するために使用される。信号及び像プロセッサ 24 は、像ディスプレイ 30 における表示のために 2 D 又は 3 D 像を生成する。信号及び像プロセッサは、電子ハードウェアコンポーネント、ソフトウェアにより制御されるハードウェア、又は像処理アルゴリズムを実行するマイクロプロセッサを備える。信号及び像プロセッサは、通常、スキャンコンバータなど、受信されたエコーデータを所望の表示形式の像のための像データへと処理する特殊なハードウェア又はソフトウェアをさらに含む。

【0011】

プローブ選択、ビーム操舵及び合焦、並びに信号及び像処理などの超音波システムパラメータの制御は、以下でより完全に説明されるように、システムの様々なモジュール及びプローブ 10 内のマイクロビーム形成器に結合されたシステム制御装置 26 の制御下で行われる。システム制御装置は、A S I C 回路又はマイクロプロセッサ回路、及び、R A M、R O M、又はディスクドライブなどのソフトウェアデータ記憶デバイスにより形成される。プローブ 10 の場合、この制御情報のうちのいくつかは、ケーブル 16 のデータ線を通してシステムメインフレームからマイクロビーム形成器に提供され、特定のスキャン手順のために必要とされる通り、トランスデューサアレイの動作のためにマイクロビーム形成器を調整する。ユーザは、制御パネル 20 によりこれらの動作パラメータを制御する。

10

20

30

40

50

【 0 0 1 2 】

図 2 は、 8×8 パッチとして構成された 64 個の素子の 128 個のグループにおいて動作するようにされた 8192 個のトランスデューサ素子を含む 2D (二次元) マトリックスアレイトランスデューサ 101 を動作させる超音波プローブ 106 におけるデジタルマイクロビーム形成器を示す。図示された実施形態におけるマイクロビーム形成器は、2つのアナログ ASIC 102 を備え、各々が、マトリックスアレイ 101 の素子の半分に結合される。アナログ ASIC は、以下でより完全に説明される通り、送信回路、送信 / 受信 (T/R) スイッチ、前置増幅用増幅器、及びアナログ遅延を含む。アナログ ASIC 102 は、低電力アナログ・デジタルコンバータ及びデジタルビーム形成回路を含むマイクロビーム形成器の 4 つのデジタル ASIC 103 に結合される。FPGA 104 は、本例においてラップトップコンピュータ 108 として示される制御及びディスプレイデバイスを動作させるユーザから制御データを受信する。制御及びディスプレイデバイスは、代替的に、カート搭載型超音波システム、タブレットコンピュータ、PDA、スマートフォン、又はディスプレイ及びユーザインターフェースを含む同様のデジタルデバイスであり得る。FPGA は、マイクロビーム形成器 ASIC に結合されて、超音波送信及び受信ビーム形成のための制御情報を提供し、さらに、RAM (ランダムアクセスメモリ: random access memory) 110 にデータを記憶し、USB 制御装置 105 及びスイッチング電源 109 を管理する。RAM 110 は、プローブの予測されるスキャンモードの各々に必要な制御データのすべてを記憶する。例えば、RAM 110 は、RAM にデジタルエコー信号を書き込む書き込みアドレス制御装置に結合されるとともに、複数の読み出しアドレス制御装置に結合され、各々が、異なるデジタルマルチラインエコー信号に対する遅延されたデジタルエコー信号の読み出しを制御するように適用される。これらの回路のすべてが、熱くない手持ち式プローブを維持するために、この例においては 3.0 ワットである選択された最大供給電力量に従って動作しなければならない。図 2 に示されるマイクロビーム形成器回路の例示的な最大供給電力量が、次の表 1 に示される。

【 表 1 】

表 1: 表示された状態に対する図 2 の回路の消費電力		
コンポーネント	動作	電力
アナログ ASIC の送信機能	4096 個の素子を使用した送信	0.75W
アナログ ASIC の前置増幅器及び遅延回路	8192 個の素子を使用した受信、128 個の部分的加算信号へのビーム形成	0.5W
USB 3.0 制御装置	3Gb/s データ転送	0.7W
制御 FPGA	データ管理	0.25W
電源	90% の効率と仮定	0.3W
デジタル ASIC	20Mhz における 128 個の ADC サンプルング、及び 8x マルチライン出力を使用したデジタルビーム形成	0.5W
合計		3.0W

【 0 0 1 3 】

この最大供給電力量は、マイクロビーム形成器回路全体、マイクロビーム形成器回路の制御 FPGA、電源、及び USB 制御装置が、3.0 ワットの電力割り当て量内で動作することにより、プローブにおいて非常に少量の熱しか生成しないことを示す。アナログ ASIC 102 は、デジタル ASIC における 128 個の ADC に対する 128 個の入力信号である、各 64 個の素子の 128 個のパッチから 128 個の部分的加算アナログ信号を

生成する。従って、マイクロビーム形成器は、128チャンネルデジタルビーム形成器とみなされる。チャンネル数により電力割り当て量を除算することは、マイクロビーム形成器がチャンネル当たり約23ミリワットしか消費しないことを示す。さらに、好ましい実施形態における各デジタルチャンネルは、高フレームレートデジタル像形成のために8個のマルチラインを生成し、これはマルチラインスキャンライン当たりわずか約3ミリワットの電力消費である。

【0014】

従って、本発明の超音波プローブは、複数のデジタルチャンネルを提供し、単一のマルチラインスキャンライン当たりの電力消費は、3ミリワットという低いものとなり得る。各デジタルチャンネルが4つのマルチラインを生成する別の一実施形態では、電力消費はマルチラインスキャンライン当たり約6ミリワット以下である。

10

【0015】

図2で示される実施形態において、マトリックスアレイトランスデューサ101の音響素子は、フリップチップ型相互接続体におけるアナログASIC102の素子パッドに直接接続される。制御及びグループ出力信号は、アナログASICとマイクロビーム形成器の他方のコンポーネントとの間において、可撓性の相互接続体（例えば可撓性回路）を通して他のプローブ回路を含むプリント回路基板まで接続される。積層されたシリコンダイ、セラミックス回路、又はマルチチップモジュールなどの他の相互接続技術も使用される。各アナログASICは、デジタルASICのうちの2つのデジタルASICのチャンネル入力(CH)に素子の64個のパッチの部分的にビーム形成されたアナログ信号を伝える64個のチャンネルライン出力(CHANNEL)を含む。従って、各デジタルASICは、部分的加算信号の32個のチャンネルを処理する。FPGA104は、アナログASICに対して、そのµBF ASIC制御バスから、アナログASIC102の制御インターフェース入力に制御データを供給する。FPGAは、クロック(CLK)信号に加えて、アドレス及びデータバスを通して、それぞれデジタルASIC103にデジタルアドレスデータ及び制御データを供給する。デジタルビーム形成された出力信号は、完全に加算されたデジタルエコー信号が最後のASICからFPGAの受信ビームデータ入力に印加されるまで、ASICからASICへと接続されたBEAM_IN及びBEAM_OUTバスを使用して、1つのデジタルASICから次へと伝搬及び加算される。FPGAは、USB制御装置105に完全にビーム形成された出力信号を印加し、次に、USB制御装置105が、USBケーブル107を通してユーザ制御及びディスプレイシステム108に対し、デジタルエコー信号をシリアルデータとして送信する。HDMI（登録商標）又はEthernet（登録商標）などの他の高速デジタルインターフェースも使用され得る。適切なUSB制御装置は、San Jose、CaliforniaのCypress Semiconductorから入手可能なFX3.0s制御装置である。マイクロビーム形成器のすべてのICの電力入力に対し必要な電力を印加するスイッチング電源109が示される。

20

30

【0016】

図3は、アナログASIC102の1つのチャンネル300のコンポーネントを示す。図示されている実施形態において、各アナログASICは、マトリックスアレイ101の4096個の素子に接続された4096個のアナログチャンネルのためのコンポーネントを含む。送信データ(Tx Data)は、FPGA104から送信パルス生成器302により受信される。FPGAは、システム制御装置26から以前に受信されたコマンドに回答して、所望の送信/受信シーケンスのためにRAMメモリ110からこのデータにアクセスし、システム制御装置26自体は、ユーザインターフェース20においてユーザにより入力された像形成選択に回答して作動する。Tx Dataは、パルス幅、時間マーカーに対する送信遅延、及びパルスカウントなどの送信パルスのパラメータを制御する。Tx Dataは、送信パルス事象の所望のシーケンスを実現することにより応答する送信パルス生成器302にクロックに基づいて入力される。送信パルスシーケンスは、送信イネーブル信号(Tx Enable)のタイミングで高電圧送信器304の入力に印加

40

50

される。送信／受信（T／R）スイッチ306が、図面に示されているように送信器をトランスデューサ素子に結合するように設定されたとき、高電圧送信器304が高電圧送信波形を使用してマトリックスアレイの素子101nを駆動する。対象者内への波形の送信後、受信された音響エコーに応答して変換された電気信号が前置増幅器68（前置増幅増幅器とも呼ばれる）の入力に結合されるように、T／Rスイッチ306が他方の位置に設定される。受信イネーブル信号（Rx Enable）は、エコー信号受信の期間中、前置増幅器を有効化する。前置増幅器68の利得は、エコー受信の期間中、高められ、対象者の次第に大きくなる深さから受信された信号にTGC利得特性を提供する。利得は、複数のスイッチング可能な並列インピーダンスとして集積回路形態で実現された制御可能なフィードバックインピーダンス310によりデジタルで調節される。並列インピーダンスのデジタル制御された、より多くのスイッチが閉じるにつれて、より多くのインピーダンスが並列に結合され、前置増幅器のフィードバックインピーダンス310が減少する。例えば、米国特許出願された出願人整理番号2016PF00604（Freemanら）を参照されたい。増幅されたアナログエコー信号はアナログ受信遅延回路320に結合され、アナログ受信遅延回路320は、アナログビーム形成のためのパッチの他の素子のチャンネルにより他のエコー信号に適用された遅延との関連で、受信されたエコー信号を遅延させる。適用された遅延は、FPGA104から受信された遅延データ（Delay Data）により制御される。遅延されたエコー信号は、図にChannel Outとして示されるように、パッチの他のアナログ信号とともに加算ノードに印加され、加算ノードにおいて、エコー信号がパッチ加算アナログ信号の形態で加算される。2Dアレイに対する好ましい実施形態では、各64個の素子の128個のパッチから部分的加算信号を生成する128個の加算ノードが存在する。これらの128個の部分的加算信号は、マルチラインデジタルビーム形成を実行するデジタルASIC103のための入力信号である。

10

20

30

40

【0017】

図4は、アナログ受信遅延回路320の集積回路の実施形態を示す。回路320は、容量性回路であり、スイッチ65の閉鎖によりトランスデューサ素子101nによって生成された信号をサンプリングし、回路のコンデンサ62にサンプルを記憶させ、次に、意図される遅延を規定する後の時点で、スイッチ62の閉鎖によりサンプル結果がコンデンサから読み出される。この手法により遅延された信号は、次に、出力バッファ74によりパッチ加算ノードに結合され、パッチ加算ノードにおいて、遅延された信号がパッチの他の63個の素子からのアナログ信号と加算される。信号がコンデンサ62₁、62₂、... 62_Mに記憶される時点は、書き込み制御装置64及び読み出し制御装置66の動作により決定される。書き込み制御装置は、スイッチ65₁、65₂、... 65_Mのうちの1つの閉鎖を決定するポインター回路であり、スイッチ65₁、65₂、... 65_Mのうちの1つの一時的な閉鎖が、前置増幅器68の出力においてトランスデューサ101nの信号をサンプリングし、コンデンサにサンプルを記憶させる。スイッチがコンデンサに1つのサンプルを「書き込んだ」後、書き込み制御装置が、別のスイッチ65を閉じて、別のコンデンサ62に信号の別のサンプルを記憶させる。従って、書き込み制御装置は、エコー受信の期間中、トランスデューサ素子101nにより受信された信号の複数のサンプルを迅速に連続して記憶させる。サンプルが獲得される周波数は、受信周波数帯に対するナイキストレートを上回り、通常、このレートを十分に上回る。読み出し制御装置66は、所望の遅延期間にわたって信号サンプルがコンデンサに記憶された後に、記憶された信号サンプルを読み出すことと同様の手法で動作するポインター回路である。読み出し制御装置は、スイッチ67のうちの1つを閉じ、記憶された信号サンプルを出力バッファ74に結合し、出力バッファ74から信号サンプルがさらなる処理のために利用可能となる。迅速な連続動作において、サンプリングされた信号のシーケンスがコンデンサ62から読み出され、この時点の遅延されたサンプルがパッチ加算ノードにおける加算のために転送される。

【0018】

アナログASIC102のコンポーネントが、デジタル制御されるアナログコンポーネ

50

ントとみなされ、送信器 304 及び T/R スイッチ 306 は、トランスデューサ素子を駆動するために必要な高電圧で動作することが可能でなければならない。好ましい実施形態において、アナログ ASIC は、高電圧に適した集積回路プロセスにより製造され、0.18 μ m などの比較的大きな形状寸法をもつ。

【0019】

4 つのデジタル ASIC 103 の回路が図 5 に示される。図示される実施形態において、各デジタル ASIC は、トランスデューサ素子の 32 個のパッチから加算されたアナログ信号を処理する 32 個のデジタルチャンネル 601 を含む。各デジタルチャンネルは、アナログパッチ信号をデジタル化し、デジタルエコー信号の各シーケンスである 8 個の受信ビームが同時に形成されるように、8 個のデジタルマルチライン出力信号を形成する。8 個のマルチライン出力信号は、図面において各チャンネルに対して ML0 から ML7 として示されている。マルチラインの程度は、回路設計者により決定される通り、4x であるか、図 5 に示されるように 8x であるか、16x であるか、又は任意のより多数のマルチラインである。動作時、アナログパッチ信号は、逐次近似型 ADC 又はデルタシグマ ADC などの好ましくは 10 ミリワット以下を消費するものである低電力 ADC 603 により、デジタルエコーサンプルのシーケンスに変換される。各デジタルエコーサンプルは、デジタル遅延回路 604 により 8 個の選択可能な遅延インクリメントだけ遅延され、8 個のマルチラインに対して遅延されたエコー信号を生成する。8 個のマルチラインサンプル ML0 ~ ML7 は、8 個のデジタル加算装置又は加算器（加算回路）605 に結合され、8 個のデジタル加算装置又は加算器（加算回路）605 において、サンプルが他のチャンネルにより生成されたデジタルエコーサンプルと加算される。前のデジタル ASIC からの 8 個のマルチラインのデジタルエコーサンプルは、デシリアライザ（非直列化器）602 により高レートシリアルデータストリームとして受信され、デシリアライザ 602 が、データストリームのサンプルを 8 個のマルチラインに対する 8 個の並列ラインにソートする。次に、ASIC の 32 チャンネルが、それらの部分的加算マルチライン信号を、これらの 8 個の並列ラインのデータにシリアルデータストリームの高レートより低いデータレートで加算する。例えば、シリアルデータストリームが 160 MHz において動作するのに対し、デジタル ASIC における他の回路は 20 MHz でクロックに基づいて動作する。ASIC の出力（図中の右下）において、8 個の並列ラインのデータがシリアライザ 607 により高レートシリアルデータストリームに再構成され、シリアライザ 607 は、他のチャンネルからのデジタル部分的加算信号との加算のために次のデジタル ASIC に結合される。デシリアライザ 602 と同様に、シリアライザ 607 は、より高いデータレートで動作する。チェーンにおける最後のデジタル ASIC の出力において、完全にビーム形成されたシリアルデータ（受信ビームデータ）が FPG A 104 に結合され、FPG A 104 は受信されたビームデータを、像ディスプレイデバイス 108 への通信のために USB 制御装置 105 に印加する。各デジタル ASIC は、FPG A から制御データを受信し、サンプリング時間及びデジタル遅延回路 604 のための遅延値などの、デジタル変換及びビーム形成プロセスのパラメータを設定する制御レジスタ 606 をさらに含む。

【0020】

図 5 に示されるデジタル ASIC において、使用される集積回路プロセスは、好ましくは、高電圧で動作しなければならないアナログ ASIC の形状寸法より小さな形状寸法に使用するプロセスである。デジタル ASIC のための適切な形状寸法は 65 nm 以下であり、このことが、電力をそのままに維持しながら、アナログ ASIC の回路密度より高い回路密度を可能にする。集積回路プロセスが可能にするクロックレートより低いクロックレートでデジタル ASIC の大部分を動作させることにより、電力消費の低減がさらに促進される。上述のように、シリアライザ及びデシリアライザは、160 MHz などの高周波で動作するので、選択された集積回路プロセスは、そのクロック周波数で動作することが可能でなければならない。しかし、デジタル ASIC コア、特にデジタル遅延及び加算器は、20 MHz でクロックに基づいて動作する。電力消費はクロック周波数に比例するので、回路が設計されるときに目的とする周波数よりはるかに低いこの低い動作周波数が

10

20

30

40

50

、デジタル A S I C 1 0 3 により要求される電力をさらに小さくする。さらに、データのより低いクロックレートが、回路間における再同期レジスタの必要性を小さくし、電力消費をさらに低減する。さらに、より低いクロック周波数でデジタル A S I C を動作させることにより、そうでない場合においてより高いクロック周波数で所望の精度を維持するために必要とされる電源電圧よりも低い電源電圧を使用することができる。電力消費は電圧に依存するので、より低い電圧における動作も電力を削減する。好ましい実施形態において、A D C 並びにデジタル A S I C のシリアルライザ及びデシリアルライザは、より高い電圧で動作するようにされ、A S I C コアは、より低い電圧で動作するようにされる。

【 0 0 2 1 】

図 5 a は、低電力逐次近似 A D C 6 0 3 のアーキテクチャを示す。変換されるアナログエコー信号、すなわち図の V_{IN} は、サンプル・ホールド回路 6 2 4 によりサンプリング及びホールドされる。逐次近似レジスタ (S A R : s u c c e s s i v e a p p r o x i m a t i o n r e g i s t e r) 6 2 0 は、その最上位出力ビット D_n が値 1 に設定されるように初期化される。デジタル・アナログコンバータ (D A C : d i g i t a l - t o - a n a l o g c o n v e r t e r) 6 2 2 は、デジタルワードの最上位ビット (D_n) が 1 に設定された状態の $n + 1$ ビットデジタルワードにアナログとして等価な、電圧 V_{REF} を基準とした比較電圧を生成する。比較器 6 2 6 が、アナログエコー信号を比較電圧と比較して、比較電圧がアナログエコー信号より大きい場合、比較器の出力は、S A R が最上位ビットをゼロに設定することをもたらし、そうでない場合、最上位ビットは値 1 に維持される。S A R の最上位の次のビット D_{n-1} が 1 に設定され、 D_{n-1} ビットの正しい設定を決定するために別の比較が実行される。S A R の出力ビットのすべてが正しく設定されるまで本プロセスが履行され、その結果、出力ビットがアナログエコー信号のデジタル値となる。変換終了信号 E O C が変換のこの完了をデジタル遅延回路 6 0 4 に通知し、次に、デジタル遅延回路 6 0 4 が、S A R のデジタル値をその次のデジタル信号サンプルとして容認する。次に、サンプル・ホールド回路 6 2 4 が新しいエコー信号サンプルを獲得し、S A R 6 2 0 が初期化され、本プロセスが続く。

【 0 0 2 2 】

図 6 において、図 5 に示すデジタル遅延回路、遅延制御、及びデジタル A S I C の 1 つのチャンネルの加算回路がさらに詳細に示される。低電力 A D C 6 0 3 がバッチから連続したデジタルエコー信号サンプルを生成するとき、サンプルが書き込みアドレスカウンタ (W A C : w r i t e a d d r e s s c o u n t e r) 6 4 2 のインデックス処理によりマルチポート R A M 6 4 0 に記憶される。遅延されたエコー信号は、8 個のマルチラインに対する 8 個の読み出しアドレスカウンタ (R A C : r e a d a d d r e s s c o u n t e r) 6 4 4₀ から 6 4 4₇ により、R A M 6 4 0 の 8 個の出力ポート $Q_0 \sim Q_7$ から読み出され、8 個の読み出しアドレスカウンタ (R A C) 6 4 4₀ から 6 4 4₇ のうちの 1 つの回路が図に示される。8 個を上回るマルチラインが生成される場合、追加的な読み出しアドレスカウンタが追加され得る。各 R A C 6 4 4 は、その読み出しアドレスを、R A M の 8 個のアドレスポート A d - r 0 から A d - r 7 のうちの 1 つに送る。読み出されるサンプルのアドレスとそのタイミングとが、デジタルエコー信号の遅延を決定する。マルチラインのために R A M に送られたアドレスは、F P G A 1 0 4 により提供される焦点データに応答して、焦点制御回路 6 4 6₀ により設定され、出力アドレスが R A C 6 4 4₀ にクロックに基づいて入力され、動的な焦点処理のために定期的に調節される。R A M 6 4 0 の Q 出力において生成された遅延されたデジタルエコー信号は、サブサンプル遅延 F I R 6 4 8₀ により、より細かい遅延にさらに分解され得、サブサンプル遅延 F I R 6 4 8₀ は、焦点制御回路から要求される通りにデータをさらに受信する。図において C H 0 として示される、マルチラインのための最終的な遅延されたデジタルエコー信号は、加算器 6 0 5₀ により他のデジタルチャンネルからのそのマルチラインに対する他のサンプルに加算される。その点まで加算されたサンプルは、D 型フリップフロップ 6 5 0₀ にクロックに基づいて入ることにより再同期され、次のチャンネルの加算器に送られる。従って、各チャンネルは、同時に 8 個のマルチライン ($Q_0 \sim Q_7$) に対する適切に遅

10

20

30

40

50

延されたデジタルパッチ信号サンプルを生成する。

【0023】

好ましいサブサンプル遅延有限インパルス応答 (FIR: finite impulse response) フィルタが図7に示される。この好ましいFIRフィルタは、従来のFIRフィルタと異なり、乗算器を使用しないことにより、電力をそのままに維持する。RAM 640からの連続したエコー信号サンプルは、クロックに基づいてレジスタ702に入力され、従って、現在のサンプル Q_n をその入力にもち、前のサンプル Q_{n+1} をその出力にもつ。2つのサンプルの重み付けされた分画が形成されて、より細かく分解された遅延されたサンプル値を生成する。乗算器を使用して重み付けを行う代わりに、使用される重み付け係数は、2の累乗であり、サンプル値の最上位ビットのうちの1つ又は複数の強制ゼロ充填により形成される。従って、加算器704は、2回重み付けされた Q_n サンプルを受信するように結合され、一回目にその最上位ビットがゼロにされ(0, Q_n)、さらに、その2個の最上位ビットがゼロにされる(0, 0, Q_n)。同様に、加算器704は、さらに、2回重み付けされた形態で Q_{n+1} サンプルを受信するように結合され、一回目に2個の最上位ビットがゼロにされ、さらに、3個の最上位ビットがゼロにされる。従って、加算器704は、 $.75Q_n + .125Q_{n+1}$ の形態の重み付けされたエコー信号を生成する。同様の手法で、加算器706が、 $.125Q_n + .75Q_{n+1}$ の形態の重み付けされたエコー信号を生成するように結合される。 Q_n サンプル及びこれらの2回重み付けされたサンプル値が、マルチプレクサ708の3個の入力に送られ、送られた値のうちの1つが、焦点制御回路646により提供されるSSD選択信号によりマルチプレクサ出力値として選択される。選択された細かく遅延された値が、再同期のためにレジスタ710にクロックに基づいて入力され、そのマルチラインに対する加算器605に送られる。図8は、図7に示すサブサンプル遅延FIRフィルタにより生成され得る典型的な超音波エコー信号の3個の位相シフトを示す。見てわかるように、基本サンプリングクロック周波数の0、1/3、及び2/3の遅延値が、この回路を使用して達成され得る。

【0024】

電力消費の低減のための図5に示すデジタルASICの重要な特徴は、ADC 603及び後述のデジタルビーム形成(デジタル遅延604及び加算器605)が同じ集積回路パッケージ内に位置することである。これは、介入するICピン、PCBトレース、及び接続パッドを通して1つのパッケージから別のパッケージに信号を駆動するために、より多くの電力を必要とする、1つのパッケージ内のADCから別のパッケージ内のデジタルビーム形成器にデータを伝達する必要性を無くす。パッケージ内相互接続のこの用法により電力が削減される。デジタルASICパッケージは、積層されたダイ又はマルチチップモジュールを使用し得るが、ADCはデジタルビーム形成器回路と同じシリコンダイにあることが好ましい。

【0025】

上述の、及び図1及び図2の例示的な超音波システムにより示される様々な実施形態は、ハードウェア、ソフトウェア、又はハードウェアとソフトウェアとの組み合わせにより実施されてよいことが留意されなければならない。超音波システムの様々な実施形態及び/又はコンポーネント、例えば、モジュール、又はモジュール内のコンポーネント及び制御装置もまた、1つ又は複数のコンピュータ又はマイクロプロセッサの一部として実施されてよい。コンピュータ又はプロセッサは、コンピューティングデバイス、入力デバイス、ディスプレイユニット、及びインターフェース、例えば、インターネットにアクセスするためのインターフェースを含んでよい。コンピュータ又はプロセッサは、マイクロプロセッサを含んでよい。マイクロプロセッサは、通信バスに接続されて、例えば、PACSシステムにアクセスしてよい。コンピュータ又はプロセッサは、メモリをさらに含んでよい。上述のメモリデバイスは、ランダムアクセスメモリ(RAM)、及び読み出し専用メモリ(ROM: Read Only Memory)を含んでよい。コンピュータ又はプロセッサは、ハードディスクドライブ又はリムーバブル記憶ドライブ、例えばフロッピー

ディスクドライブ、光ディスクドライブ、ソリッドステートサムドライブなどの記憶デバイスをさらに含んでよい。記憶デバイスは、コンピュータ又はプロセッサにコンピュータプログラム又は他の命令をロードするための他の同様の手段であってもよい。

【0026】

本明細書において使用される場合、「コンピュータ (computer)」又は「モジュール (module)」又は「プロセッサ (processor)」という用語は、マイクロ制御装置、縮小命令セットコンピュータ (RISC: reduced instruction set computer)、ASIC、論理回路、及び、本明細書において説明される機能を実行することが可能な任意の他の回路又はプロセッサを使用したシステムを含む、任意のプロセッサベースの、又はマイクロプロセッサベースのシステムを含んでよい。上述の例は例示に過ぎず、従って、いかなる形でもこれらの用語の定義及び/又は意味を限定することは意図されない。

10

【0027】

コンピュータ又はプロセッサは、入力データを処理するために、1つ又は複数の記憶素子に記憶された命令のセットを実行する。記憶素子は、所望により、又は必要に応じてデータ又は他の情報も記憶する。記憶素子は、情報源又は処理マシン内の物理的なメモリ素子の形態であってよい。

【0028】

マイクロビーム形成器を含む超音波システムの命令のセットは、コンピュータ又はプロセッサに対し、処理マシンとして本発明の様々な実施形態の方法及びプロセスなどの具体的な処理を実行するよう命令する様々なコマンドを含む。命令のセットは、ソフトウェアプログラムの形態であってよい。ソフトウェアは、システムソフトウェア又はアプリケーションソフトウェアなどの、有形かつ非一時的なコンピュータ可読媒体として具現化されている様々な形態であってよい。さらに、ソフトウェアは、独立したプログラム又はモジュールの集合体、より大きなプログラム内のプログラムモジュール、又は、プログラムモジュールの一部分の形態であってよい。ソフトウェアは、オブジェクト指向プログラムの形態のモジュール式プログラムをさらに含んでよい。処理マシンによる入力データの処理は、操作者のコマンドに応答して、若しくは以前の処理の結果に応答して、又は別の処理マシンによりなされた要求に応答して行われる。図2に示す超音波システムでは、例えば、ソフトウェア命令は、メインフレーム超音波システムから、マイクロビーム形成器のFPGA 104により受信される。次に、FPGAが、アナログASIC 102及びデジタルASIC 103にソフトウェア命令を送り、ソフトウェア命令によりマイクロビーム形成器の構造上のコンポーネントの動作を制御する。

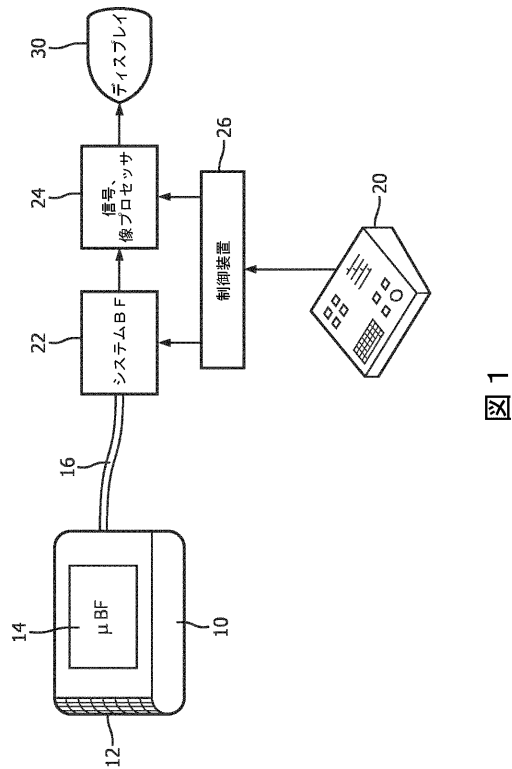
20

30

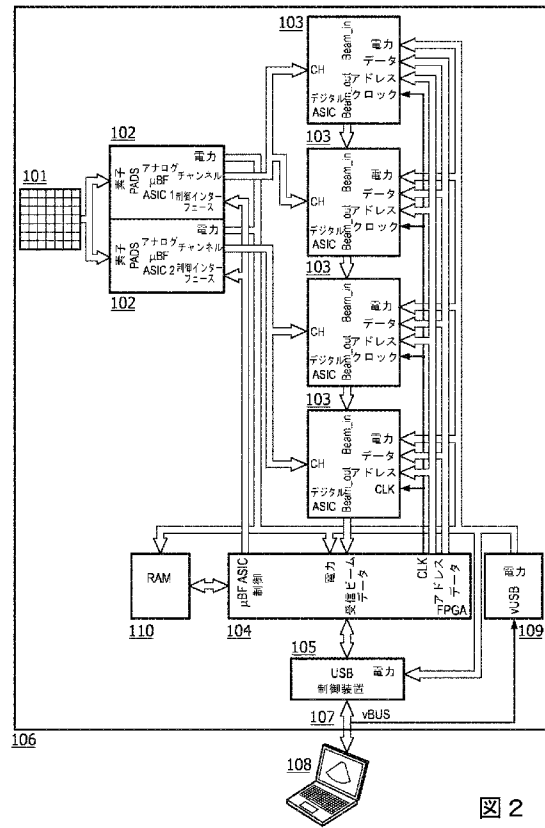
【0029】

さらに、下記の請求項の限定はミーンズプラスファンクション形式で記載されておらず、そのような請求項の限定が、明示的に「のための手段」という語句を使用し、続いてさらなる構成を欠いた機能の記述がなされない限り、又はそれがなされるまでは、米国特許法第112条第6項に基づいて解釈されることは意図されない。

【 図 1 】



【 図 2 】



【 図 3 】

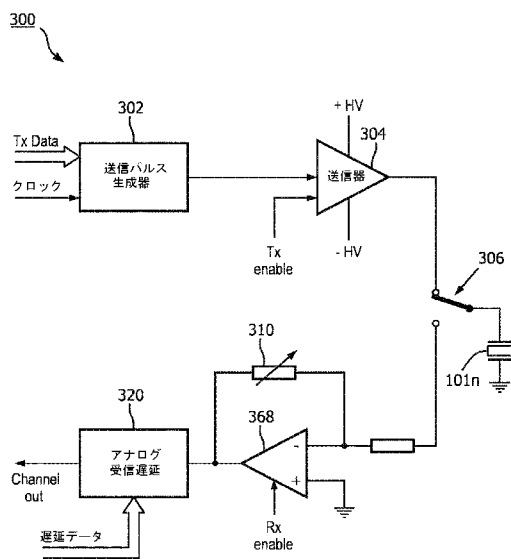


图 3

【 図 4 】

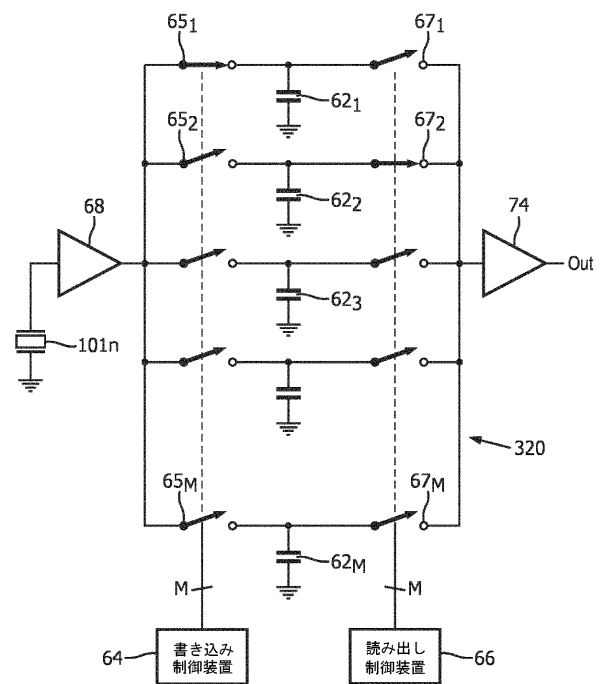


図 4

【 図 5 】

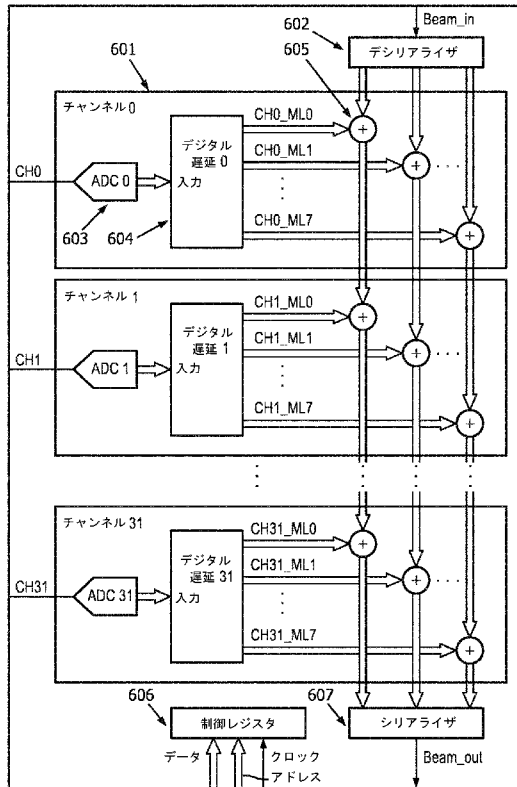


图 5

【 図 5 a 】

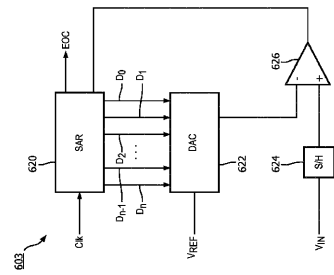
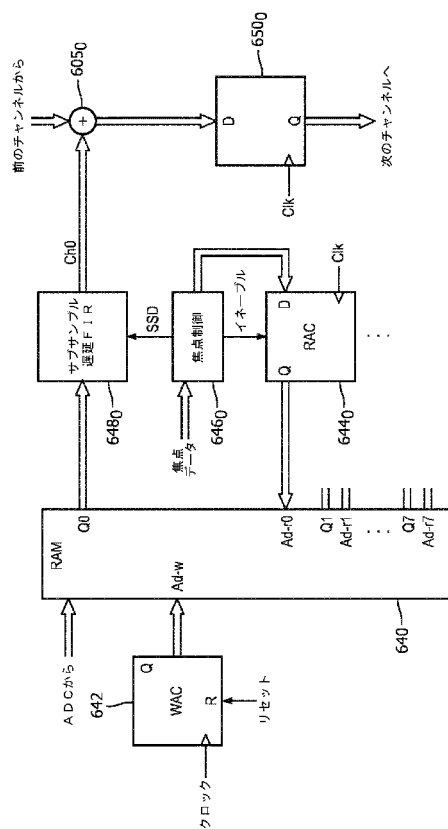


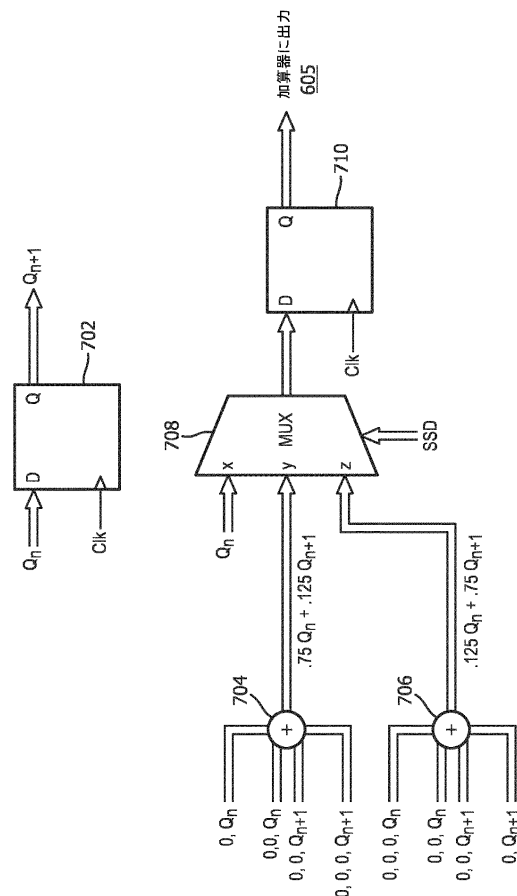
FIG. 5a

【 図 6 】



6
X

【 図 7 】



7. ☒ 8. ☐

【図 8】

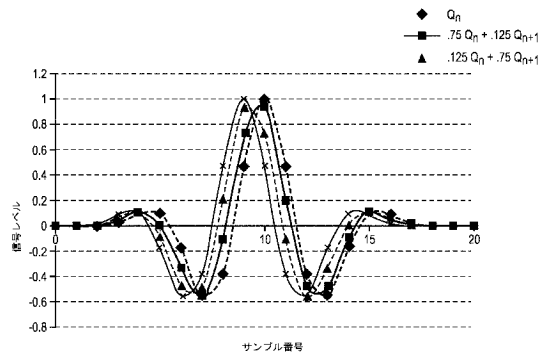


図 8

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/070890

A. CLASSIFICATION OF SUBJECT MATTER

INV. G01S7/52 G01S15/89 G10K11/34
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01S G10K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 345 426 A (LIPSCHUTZ DAVID [US]) 6 September 1994 (1994-09-06) abstract; figures 1, 3 column 3, line 46 - line 66 column 4, lines 15 - 20, 35 - 62 column 5, line 5 - line 9 column 6, line 27 - column 8, line 2 -----	1-15
X	US 5 469 851 A (LIPSCHUTZ DAVID [US]) 28 November 1995 (1995-11-28) abstract; figures 1, 3 - 5, 9, 10 column 4, line 49 - line 67 column 5, line 23 - line 43 column 6, line 64 - column 7, line 15 column 8, line 59 - column 10, line 20 column 13, line 62 - column 14, line 11 column 15, line 7 - line 51 ----- -/--	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

13 November 2017

Date of mailing of the international search report

22/11/2017

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Knoll, Bernhard

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/070890

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/016023 A1 (PHELPS ROBERT N [US] ET AL) 18 January 2007 (2007-01-18) abstract; figure 1 paragraphs [0019], [0020], [0022] paragraphs [0023], [0025], [0026] paragraphs [0030], [0043] -----	1-15
A	US 2009/069686 A1 (DAFT CHRISTOPHER M W [US] ET AL) 12 March 2009 (2009-03-12) abstract; figures 2, 3 paragraphs [0035], [0045] - [0048] paragraph [0050] - paragraph [0053] paragraph [0066] -----	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/070890

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5345426	A	06-09-1994	DE 4402098 A1	17-11-1994
			JP 3442471 B2	02-09-2003
			JP H0751266 A	28-02-1995
			US 5345426 A	06-09-1994

US 5469851	A	28-11-1995	EP 0696792 A2	14-02-1996
			JP 3759769 B2	29-03-2006
			JP H0856944 A	05-03-1996
			US 5469851 A	28-11-1995

US 2007016023	A1	18-01-2007	US 2007016023 A1	18-01-2007
			US 2009007414 A1	08-01-2009

US 2009069686	A1	12-03-2009	NONE	

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 セイヴォルド ペルナルド ヨセフ

オランダ国 5 6 5 6 アーエー アインドーフェン ハイ テック キャンパス 5

Fターム(参考) 4C601 EE15 GB06 GB44 GB45 JB05 JB06 JB08 JB09 JB32

专利名称(译)	带有数字微波束形成器的超声波探头，使用不带乘法器的FIR滤波器		
公开(公告)号	JP2019526352A	公开(公告)日	2019-09-19
申请号	JP2019511735	申请日	2017-08-17
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦NV哥德堡		
[标]发明人	セイヴォルドベルナルドヨセフ		
发明人	セイヴォルド ベルナルド ヨセフ		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE15 4C601/GB06 4C601/GB44 4C601/GB45 4C601/JB05 4C601/JB06 4C601/JB08 4C601/JB09 4C601/JB32		
优先权	62/382867 2016-09-02 US		
外部链接	Espacenet		

摘要(译)

超声探头包括耦合至数字微波束形成器的阵列换能器。数字微波束形成器可以产生延迟了接收到的数字回波信号的时钟周期的因子的回波信号。逐因子延迟由FIR滤波器产生，该滤波器通过加权数字回波信号而不使用数字乘法器来保持功率不变。

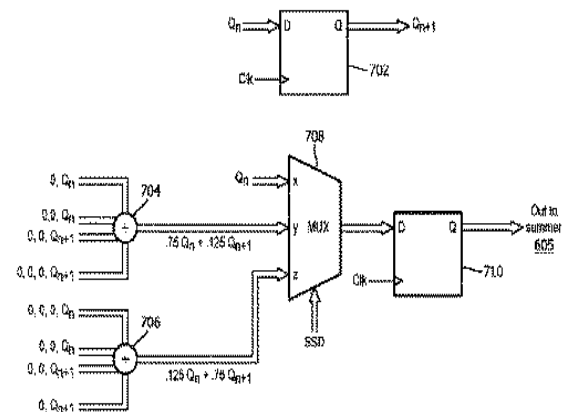


FIG. 7