

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4960615号
(P4960615)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年3月30日(2012.3.30)

(51) Int.Cl.		F I			
HO4R	3/00	(2006.01)	HO4R	3/00	330
HO4R	19/00	(2006.01)	HO4R	19/00	330
GO1S	7/521	(2006.01)	GO1S	7/52	A
GO1S	7/52	(2006.01)	GO1S	7/52	S

請求項の数 10 (全 26 頁)

(21) 出願番号	特願2005-243677 (P2005-243677)	(73) 特許権者	390041542
(22) 出願日	平成17年8月25日(2005.8.25)		ゼネラル・エレクトリック・カンパニー
(65) 公開番号	特開2006-129451 (P2006-129451A)		アメリカ合衆国、ニューヨーク州、スケネ
(43) 公開日	平成18年5月18日(2006.5.18)		クタデイ、リバーロード、1番
審査請求日	平成20年8月21日(2008.8.21)	(74) 代理人	100137545
(31) 優先権主張番号	10/977, 930		弁理士 荒川 聡志
(32) 優先日	平成16年10月29日(2004.10.29)	(74) 代理人	100105588
(33) 優先権主張国	米国 (US)		弁理士 小倉 博
		(74) 代理人	100106541
			弁理士 伊藤 信和
		(74) 代理人	100129779
			弁理士 黒川 俊久

最終頁に続く

(54) 【発明の名称】 再構成可能なセンサ・アレイのための一体型インタフェース電子回路

(57) 【特許請求の範囲】

【請求項1】

第1のサブストレート内またはこの上に組み込まれた多数のセンサ素子(32)と、前記第1のサブストレートに隣接すると共にこれに対面して配置された第2のサブストレートに構築された多数の単位電子回路セル(50)と、前記第2のサブストレートによって支持された多数のバスライン(74)と、その各々が、前記単位電子回路セルのうちのそれぞれ1つを前記センサ素子のうちのそれぞれ1つに電気的に接続している前記第1と第2のサブストレート間に配置された多数の電気的接続(56)と、を備えるデバイスであって、前記単位電子回路セルの各々は、関連するセンサ素子の下に配置され、オンに切り替わったときに前記関連するセンサ素子をバスラインのうちの1つと接続する1つのアクセス・スイッチ(30)と、該アクセス・スイッチの切り替え状態を制御するための制御回路(52)と、を備えている、デバイス。

【請求項2】

第1のサブストレート内またはこの上に組み込まれた多数のセンサ素子(32)と、前記第1のサブストレートに隣接すると共にこれに対面して配置された第2のサブストレートに構築された多数の単位電子回路セル(50)と、前記第2のサブストレートによって支持された多数のバスライン(74)と、その各々が、前記単位電子回路セルのうちのそれぞれ1つを前記センサ素子のうちのそれ

ぞれ1つに電氣的に接続している前記第1と第2のサブストレート間に配置された多数の電氣的接続(56)と、を備えるデバイスであって、
 前記単位電子回路セルの各々は、
 複数のスイッチと、
 該複数のスイッチの切り替え状態を制御するための制御回路(52)とを備えており、
 前記複数のスイッチの各々は、
 関連するセンサ素子の下に配置され、オンに切り替わったときに前記関連するセンサ素子をバスラインのうちの1つと接続する1つのアクセス・スイッチ(30)と、
 隣接する単位電子回路セルと関連付けされたセンサ素子を該1つのバスラインとアクセス・スイッチを介して接続している1つのマトリックス・スイッチであって、前記単位電子回路セルのアクセス・スイッチ及び該マトリックス・スイッチがオンに切り替わったときにこの接続を実施している1つのマトリックス・スイッチと、
 を備えている、デバイス。

10

【請求項3】

前記電氣的接続の各々は、導電性材料、異方性導電ペースト(ACP)、異方性導電フィルム(ACF)、導電性ポリマー、金属化バンプ、垂直相互接続システム(すなわち、z軸介在子)、フレキシブル・プリント回路、あるいは金属化ビアから製作されたそれぞれのバンプを備えている、請求項1または2に記載のデバイス。

【請求項4】

前記第1と第2のサブストレートの間に配置された材料層であって、前記電氣的接続のそれぞれが該材料層内にそれぞれ1つの金属化ビアを備えている材料層をさらに備える請求項1または2に記載のデバイス。

20

【請求項5】

前記センサ素子の各々はそれぞれ1つの超音波トランスジューサ下位素子を備えており、複数の前記超音波トランスジューサ下位素子が複数の横列を形成し、
 前記超音波トランスジューサ下位素子の各横列が単一のバスラインのみに接続し、
 該バスラインのうちの任意のラインに接続すべきシステム・チャンネル(38)の任意のチャンネルを随意に選択するマルチプレクサ(70)をさらに含み、
 前記超音波トランスジューサ下位素子は、前記アクセス・スイッチの内の対応するアクセス・スイッチによって各超音波トランスジューサ下位素子の下に配置された前記バスラインに接続される、請求項1または2に記載のデバイス。

30

【請求項6】

前記超音波トランスジューサ下位素子の各々は、互いに相互接続されておりかつ互いから切り替え可能に切断可能でないようなそれぞれ多数のマイクロマシン加工の容量性超音波トランスジューサ・セル(2)を備えている、請求項5に記載のデバイス。

【請求項7】

前記単位電子回路セルの各々は、前記スイッチの将来の切り替え状態を保存するためにそれぞれ複数のメモリ・デバイス(88)を備えている、請求項1または2に記載のデバイス。

【請求項8】

前記多数のセンサ素子及び前記多数の単位電子回路セルは同じサブストレート上に共一体化されており、
 前記多数のセンサ素子は第1のサブストレート内または第1のサブストレート上にマイクロマシン加工されており、かつ前記多数の単位電子回路セルは第2のサブストレート上に一体化されており、該第1及び第2のサブストレートは1つのスタックを形成するように配列されている、請求項1乃至7のいずれかに記載のデバイス。

40

【請求項9】

前記センサ素子は六角形グリッドの形に配列されており、かつ前記単位電子回路セルの各々は各単位電子回路セルを隣接する3つの単位電子回路セルに接続するための3つのマトリックス・スイッチ(36)を備えている、請求項1乃至8のいずれかに記載のデバイス

50

。

【請求項10】

前記センサ素子は六角形グリッドの形に配列されており、かつ前記単位電子回路セルの各々は、その各々が前記電氣的接続のうちのそれぞれ1つと電氣的に接続されている導電性材料から製作されたそれぞれ1つのパッド(56)であって、これらが矩形のアレイの形に配列されているそれぞれ1つのパッド(56)を備えている、請求項1乃至8のいずれかに記載のデバイス。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、全般的にはセンサ(例えば、光学センサ、温度センサ、圧力センサ、超音波センサ)からなる再構成可能なアレイに関する。詳細には、本発明は、マイクロマシン加工された再構成可能な超音波トランスジューサ(MUT)アレイに関する。MUTに関する具体的な用途の1つは医学診断用超音波イメージング・システムにある。別の具体例は、鑄造、鍛造またはパイプラインなどの材料に対する非破壊検査(non-destructive evaluation: NDE)向けである。

【背景技術】

【0002】

20

従来の超音波イメージング・システムは、超音波ビームを送信し次いで検査対象から反射したビームを受信するために使用される超音波トランスジューサからなるアレイを備えている。こうした走査は一連の計測からなり、この計測では、集束させた超音波が送信され、システムがある短い時間間隔の後に受信モードに切り替わり、さらに反射された超音波が受信されビーム形成されかつ表示のために処理されている。典型的には、各計測中において、音響ビームすなわち走査線に沿った一連の点からデータが収集されるように送信及び受信が同じ方向に集束されている。受信器は、反射された超音波を受信するのに連れて、走査線に沿って連続して再集束されている。

【0003】

超音波イメージングでは、そのアレイは、1つまたは複数の横列の形に配列されかつ送信時に別々の電圧によって駆動を受ける多数のトランスジューサを有するのが一般的である。印加する電圧の時間遅延(または、位相)及び振幅を選択することにより、所与の横列内にある個々のトランスジューサを制御して超音波を発生させ、これを合成して好ましいベクトル方向に沿って伝播しかつそのビームに沿って選択したゾーンに集束させた正味の超音波を形成することができる。

30

【0004】

同じ原理は、受信モードにおいてトランスジューサ探触子を利用して反射音波を受信する場合にも適用される。受信しているトランスジューサの位置に発生した電圧は、その正味の信号が対象内の単一の焦点ゾーンから反射された超音波を示すように足し合わされる。送信モードの場合と同様に、超音波エネルギーに関するこの集束させた受信も、受信している各トランスジューサからの信号に対して別々の時間遅延(及び/または、位相シフト)及び利得を与えることによって達成される。この時間遅延は、受信時に動的な集束が提供されるように、戻される信号の深度を増加させることによって調整される。

40

【0005】

形成させた画像の品質または分解能は、その一端において、トランスジューサ・アレイの送信及び受信開口のそれぞれを成しているトランスジューサの数の関数である。したがって、高画質を達成するには、2次元撮像と3次元撮像のいずれの用途に関してもトランスジューサの数が多いたことが望ましい。超音波トランスジューサは、トランスジューサ信号を処理しかつ超音波画像を作成している電子回路ユニットに柔軟なケーブルによって接続されたハンドヘルド型トランスジューサ探触子内に配置されるのが一般的である。この

50

トランスジューサ探触子は、超音波送信回路と超音波受信回路の両方を備えることがある。

【 0 0 0 6 】

再構成可能型超音波アレイは、下位素子からなるグループを互いに動的に接続し、得られる素子の形状を波面の形状と一致するように作成することができるアレイである。これによって、動作性能を改善させかつ/またはチャンネル・カウントを減少させることができる。再構成可能化はスイッチング・ネットワークを用いて実現することができる。

【 0 0 0 7 】

最近では、マイクロマシン加工した超音波トランスジューサ (MUT) として知られるタイプ (容量性の場合 (MUT) や圧電性の場合 (pMUT) がある) の超音波トランスジューサを製造するために、半導体処理法が使用されている。MUT は、受信した超音波信号の音波振動を変調されたキャパシタンスに変換する電極を備えた微小な隔壁様のデバイスである。送信に関しては、デバイスの隔壁を振動させこれによって音波を送信するようにコンデンサ電荷が変調を受けている。MUT の利点の 1 つは、これらが「マイクロマシン加工 (micromachining)」の項目に分類される微細製作処理法などの半導体製作処理法を用いて製作可能なことである。こうしたマイクロマシン加工処理過程から得られるシステムのことは、典型的には「マイクロマシン加工電子機械システム (micromachined electro-mechanical system: MEMS)」と呼ばれる。米国特許第 6, 359, 367 号では以下のように説明されている。

【 0 0 0 8 】

『マイクロマシン加工とは、(A) パターン形成ツール (一般的には、投影アライナやウェハ・ステッパなどのリソグラフィ) と、(B) PVD (物理気相成長法)、CVD (化学気相成長法)、LPCVD (減圧化学気相成長法)、PECVD (プラズマ化学気相成長法) などの被着ツールと、(C) 湿式化学エッチング、プラズマ・エッチング、イオン・ミリング、スパッタ・エッチングまたはレーザ・エッチングなどのエッチング・ツールと、からなる組み合わせまたは部分組を用いた微視的構造の形成である。マイクロマシン加工は、典型的には、シリコン、ガラス、サファイアまたはセラミックから製作されたサブストレートまたはウェハ上で実施される。こうしたサブストレートやウェハは、全般的に非常に平坦かつ平滑であると共に、インチ単位の横方向寸法を有している。これらは通常、各処理ツール間を移動させる際にカセットに入れたグループとして処理される。各サブストレートはその生成物の複製を多数組み込むことができると (必須ではないが) 有利である。マイクロマシン加工には大まかに 2 つのタイプがあり、1) ウェハまたはサブストレートがその厚さの大部分で塑造を受けるバルク式マイクロマシン加工と、2) その塑造が概してその表面、特にその表面上に薄く被着させたフィルムに限定されている表面マイクロマシン加工と、...。この明細書で使用するマイクロマシン加工の定義には、シリコン、サファイア、すべてのタイプのガラス材料、ポリマー (ポリイミドなど)、ポリシリコン、窒化シリコン、シリコンの酸窒化物、アルミニウム合金、銅合金及びタンゲステンなどの薄膜金属、スピン・オン・ガラス (SOG)、シリコンの酸化物や窒化物など植え込み可能または拡散させたドーパント及び成長させた薄膜、を含めた従来のまたは周知のマイクロマシン加工可能材料の使用を含む。』

本明細書でも、マイクロマシン加工に関して同じ定義を採用することにする。

【 0 0 0 9 】

cMUT は、六角形状の構造であってこれらの間に拡がった膜 (membrane) を有する構造であるのが通常である。この膜は、バイアス電圧を印加することによってサブストレートの表面の近傍に保持されている。すでにバイアスがかけられた cMUT に振動性信号を加えることによって、膜を振動させることができ、これにより膜によって音響エネルギーを放射することが可能となる。同様に、この膜の上に音響波動が入射すると、得られた振動を cMUT 上の電圧変化として検出することができる。cMUT セルとは、これら六角形の「ドラム」構造のうちの 1 つの単一構造体に関して記述するために使用され

10

20

30

40

50

る用語である。c M U Tセルは非常に微細な構造とすることができる。典型的なセル寸法はその六角形の平坦辺から平坦辺までにおいて25～50マイクロメートルである。セルの寸法は、設計音響応答に従って様々な方式で指示される。望ましい周波数応答及び感度に関して依然として十分な動作性能を示したままで大型のセルを生成することは可能でないことがある。

【0010】

しかしながら、こうした小型のセルに対する個別の制御を可能とさせる電子回路を製作することは困難である。アレイ全体としての音響動作性能に関しては、セルサイズが小さいことは優れており柔軟性が高くなるが、より大きな構造に制御が限定される。複数のセルを一緒にグループ分けしてこれらを電氣的に接続することによれば、より大きな下位素子を生成することが可能となり、所望の音響応答を維持しながら個々の制御を得ることができる。したがって、1つの下位素子は、再構成が不可能なセルを電氣的に接続してなる1つのグループとなる。この開示の目的のものは、この下位素子が独立に制御される最小の音響単位となる。スイッチング・ネットワークを用いて下位素子を一緒に接続することによってリングまたは素子を形成することができる。これらの素子は、スイッチング・ネットワークの状態の変更によって再構成することができる。しかし、下位素子は、切り替え可能に切断可能でない、したがって再構成不可能であるようなセルの接続を成している。以下の解析のすべては、そのアレイがP Z T、あるいは何か別の一般的なトランスジューサ・テクノロジーや将来的なトランスジューサ・テクノロジーによって製作されている場合にも有効である。

【0011】

シリコンベースの超音波トランスジューサ下位素子を使用する再構成可能化については米国特許出願第10/383,990号に記載されている。再構成可能化の形態の1つは、当該特許出願にも記載されているモザイク式環状アレイである。このモザイク式環状アレイの考え方には、再構成可能な電子スイッチング・ネットワークを用いて下位素子を一緒にグループ分けすることによって環状の素子を構築することが不可欠である。この目的は、画質を維持しスライス厚を改善しながらビーム形成チャンネルの数を減らすことにある。システム・チャンネルを低減するために、このモザイク式環状アレイはビームをステアリングしない場合、下に位置する2次元トランスジューサ・アレイの表面上の遅延輪郭が円形になるという事実を利用している。換言すると、同遅延(iso-delay)カーブはビームの中心の周りで環を成している。この遅延の円形対称性によって、共通の遅延によるこれらの下位素子の明瞭なグループ分けが得られ、また環状アレイの考え方が生じる。この再構成可能化を使用すると、走査または画像を形成するために下に位置するこれより大きな2次元トランスジューサ・アレイに沿ってビームをステップ移動させることができる。この再構成可能化はさらに、近距離音場のより小さな有効開口に対してより多くのチャンネルを割り当てることによって複数の送信用途に関する動作性能を改善するためにも利用することが可能である。再構成可能化が有用であると認められる可能性があるような別の多くの用途も存在する。

【0012】

モザイク式環状トランスジューサ・アレイや別のモザイク式トランスジューサ・アレイでは、分散式スイッチ・マトリックスを用いて多くの数の超音波トランスジューサ下位素子を互いに接続しなければならない。これらの下位素子によって、超音波信号の送信及び受信に使用されるより大きな素子が構築される。この素子、またしたがって下位素子の構成は、新たなデータライン、すなわち「ビュー」が収集されるごとに変更される。構成が変更されるごとに、スイッチング・マトリックス内のすべてのスイッチの状態(オン/オフ)は、素子及び下位素子に関する新たな状態を構築するのに必要な相互接続が生成されるように更新される必要がある。

【0013】

再構成可能なセンサ・アレイでは、多くの数のセンサ下位素子がシステム電子回路によってアクセスを受けなければならない。これによって関連するシステム処理電子回路まで

10

20

30

40

50

の信号ライン及び制御ラインのルート設定に関して重大な隘路が生じる。

【 0 0 1 4 】

目下の高チャンネル・カウントのシステムでは、個々のセンサ素子への接続は、フレキシブルな個別の配線を用い必要な走査用電子回路を収容する外部プリント回路基板まで引き回すことによって実施されている。この配線及びプリント回路基板は場所をとると共に、モザイク式トランスジューサ・アレイにおけるような非常に多数のトランスジューサ下位素子には目下のところ適用することができない。

【特許文献1】米国特許第6,359,367号

【発明の開示】

【発明が解決しようとする課題】

10

【 0 0 1 5 】

再構成可能な超音波アレイでは、現在利用可能な電子回路を用いては実現が困難または不可能であるような複雑なスイッチング・ネットワークが必要となる。超音波トランスジューサ下位素子のアレイ、並びに別のタイプのセンサ（例えば、光学センサ、温度センサ、圧力センサ）のアレイに適用できる簡略なスイッチング・ネットワークが必要とされている。さらに、センサ・アレイを迅速に再構成させるためにセンサ・アレイの下に配置した一体型の切り替え用電子回路を備える構成が必要とされている。

【課題を解決するための手段】

【 0 0 1 6 】

本発明は、モザイク式センサ・アレイの下位素子を再構成するための一体型スイッチ・マトリックスを目的としている。このスイッチ・マトリックスの構成は、完全にプログラム可能である。このスイッチ・マトリックスは、下位素子をバスラインに接続するアクセス・スイッチと、下位素子を下位素子に接続するマトリックス・スイッチと、を含んでいる。各下位素子は、これと関連付けされた1つの単位スイッチセルを有している。一実施形態では、各単位スイッチセルは、少なくとも1つのアクセス・スイッチと、少なくとも1つのマトリックス・スイッチと、各スイッチの将来の状態を保存するためのそれぞれのラッチ対と、各スイッチ用のそれぞれの制御回路と、を備えている。このアクセス・スイッチとマトリックス・スイッチは、スイッチの現在の切り替え状態を表す制御データを記憶する能力を有する同じタイプのものであり、この制御データには制御回路内に組み込まれたオン/オフ切り替え及びオフ切り替え回路に対して入力される1データビットが含まれる。これらのセンサは、光学式、温度式または圧力式のセンサあるいは超音波トランスジューサとすることがある。このセンサ・アレイ及びスイッチング・マトリックスは、共一体化構造の異なるストレータムに構築されることがあり、またこれらは電氣的に接続された別々のウェハ上に構築されることがある。これらのセンサは電子回路と同じストレータム内に構築することも可能であるが、こうすると電子回路に利用可能な面積が減少することになり望ましくない。これらのセンサを六角形グリッド上に配列させる場合、その単位スイッチセルは六角形グリッドまたは矩形グリッドのうちの一方の上に配列させることがある。

20

30

【 0 0 1 7 】

本明細書に開示した実施形態は、下に位置するグリッドとしてマイクロマシン加工された容量性超音波トランスジューサ（cMUT）からなる2次元アレイを使用しており、これからより大きな素子が構成される。しかし本発明はcMUT構造に限定されるものではなく、従来または将来の別のトランスジューサ・テクノロジーにも等しく適用することができる。

40

【 0 0 1 8 】

本発明の態様の1つは、第1のストレータム内で第1組の実質的に平行な線に沿って配列された多数のセンサと；第2のストレータム内で第2組の実質的に平行な線に沿って配列された多数の単位電子回路セルであって、該第1及び第2組のラインは実質的に相互に平行でありかつ互いに整列している多数の単位電子回路セルと；その各々が単位電子回路セルのうちのそれぞれ1つをセンサのうちのそれぞれ1つに電氣的に接続している多数の

50

電氣的接続と；を備えるデバイスであって、該単位電子回路セルの各々は、それぞれのセンサと電氣的に接続されると共に該それぞれのセンサから切り替え可能に切断可能でないようなそれぞれの接続点へのそれぞれの経路を閉じるためのそれぞれ複数のスイッチと、このスイッチの切り替え状態を制御するためのそれぞれの制御回路と、を備えている、デバイスである。

【0019】

本発明の別の態様は、第1のサブストレート内またはこの上に組み込まれた多数のセンサと；この第1のサブストレートに隣接すると共にこれに對面して配置された第2のサブストレート内に構築された多数の単位電子回路セルと；この第2のサブストレートによって支持された多数のバスラインと；その各々が単位電子回路セルのうちのそれぞれ1つをセンサのうちのそれぞれ1つに電氣的に接続している第1と第2のサブストレート間に配置された多数の電氣的接続と、を備えたデバイスであって、単位電子回路セルの各々はそれぞれの複数のスイッチと該スイッチの切り替え状態を制御するためのそれぞれの制御回路とを備えており、複数のスイッチの各々は、アクセス・スイッチがオンに切り替わったときに関連するセンサをバスラインのうちの1つと接続する1つのアクセス・スイッチと、隣接する単位電子回路セルと関連付けされたセンサを該1つのバスラインとアクセス・スイッチを介して接続している1つのマトリックス・スイッチであって単位電子回路セルのアクセス・スイッチ及び該マトリックス・スイッチがオンに切り替わったときにこの接続を実施している1つのマトリックス・スイッチと、を含んでいる、デバイスである。

【0020】

本発明のまた別の態様は、第1のストレータム内に配列されている多数の超音波トランスジューサ下位素子であって、その各々が互いに電氣的に相互接続されると共に互いから切り替え可能に切断可能でないようなそれぞれ複数のcMUTセルを備えている多数の超音波トランスジューサ下位素子と；第1のストレータムの下側にある第2のストレータムに沿って配列された多数の単位CMOS電子回路セルと；多数のバスラインと；その各々が単位CMOS電子回路セルのうちのそれぞれ1つを超音波トランスジューサ下位素子のうちのそれぞれ1つに電氣的に接続している多数の電氣的接続と、を備えたデバイスであって、単位CMOS電子回路セルの各々は、それぞれの複数のスイッチと該スイッチの切り替え状態を制御するためのそれぞれの制御回路とを備えており、複数のスイッチの各々はアクセス・スイッチがオンに切り替わったときに関連する超音波トランスジューサ下位素子をバスラインのうちの1つと接続する1つのアクセス・スイッチと、隣接する単位CMOS電子回路セルと関連付けされた超音波トランスジューサ下位素子を該1つのバスラインとアクセス・スイッチを介して接続している1つのマトリックス・スイッチであって単位CMOS電子回路セルのアクセス・スイッチ及び該マトリックス・スイッチがオンに切り替わったときにこの接続を実施している1つのマトリックス・スイッチと、を含んでいる、デバイスである。

【0021】

本発明の別の態様について以下で開示し特許請求している。

【発明を実施するための最良の形態】

【0022】

ここで、異なる図面においても同じ要素には同じ参照番号を付している図面を参照することにする。

【0023】

本発明は、一体型スイッチング・マトリックスを有する再構成可能なセンサ・アレイを目的としている。例示の目的により、この再構成可能なアレイについてマイクロマシン加工した容量性の超音波トランスジューサ(cMUT)に言及しながら記載することにする。しかし、本明細書に開示した本発明の態様はcMUTを利用する探触子への適用に限定されるものではなく、pMUTや、さらには方形切断された下位素子のそれぞれが下に位置するスイッチング層に相互接続手段によって接続されているような方形切断の圧電セラミック・アレイを利用した探触子にも適用することができる。本発明の同じ態様はさらに

、光学センサ、温度センサまたは圧力センサからなる再構成可能なアレイにも適用することができる。

【0024】

図1を参照すると、典型的なcMUTトランスジューサ・セル2を断面図で表している。こうしたcMUTトランスジューサ・セルからなるアレイは、典型的には多量ドーピングしたシリコンの(したがって、半導電性の)ウェハなどのサブストレータ4上に製作される。各cMUTトランスジューサ・セルでは、このサブストレータ4の上側には、窒化ケイ素から製作されることがある薄い膜すなわち隔膜8が吊着されている。この膜8はその周囲によって、酸化ケイ素または窒化ケイ素から製作されることがある絶縁性支持体6により支持されている。膜8とサブストレータ4の間の空洞14は、空気または気体を充填することや、完全にまたは不完全に排気させることがある。典型的には、cMUTはその処理の許容する程度に完全に排気させている。膜8上には、アルミニウム合金や別の適当な導体材料などの導体材料からなる薄膜または層によって電極12を形成させており、またサブストレータ4上には、導体材料からなる別の薄膜または層によって電極10を形成させている。別法として、底部電極は半導電性サブストレータ4の適当なドーピングによって形成させることができる。

10

【0025】

空洞14によって分離された2つの電極10及び12は1つのキャパシタンスを形成している。入射する音響信号によって膜8が振動すると、このキャパシタンスの変動に関連する電子回路(図1では図示せず)を用いて検出し、これにより音響信号を電気信号に変換することができる。逆に、これらの電極のうちの1つに加えられるAC信号は該電極上の電荷を変調させ、一方この変調がこれら電極間の容量性の力を変調させ、この後者の変調が隔膜を動かすことによって音響信号が送出される。

20

【0026】

個々のセルは、丸形、矩形、六角形、あるいは別の周辺形状を有することができる。六角形状では、トランスジューサ下位素子のcMUTセルを高密度に実装することができる。これらのcMUTセルは異なる寸法を有し、これによりトランスジューサ下位素子にこの異なるセルサイズからの合成特性を有させることができ、これによればトランスジューサに広帯域特性が与えられる。

【0027】

しかしながら、こうした小型のセルに対する個別の制御を可能とさせる電子回路を製作することは困難である。アレイ全体としての音響動作性能に関しては、セルサイズが小さいことは優れており柔軟性が高くなるが、制御はより大きな構造に限定される。複数のセルを一緒にグループ分けしてこれらを電氣的に接続することによれば、より大きな下位素子を生成することが可能となり、所望の音響応答を維持しながら個々の制御を得ることができる。スイッチング・ネットワークを用いて下位素子を一緒に接続することによってリングまたは素子を形成することができる。これらの素子は、スイッチング・ネットワークの状態の変更によって再構成することができる。しかし、個々の下位素子は異なる下位素子を形成させるように再構成することができない。

30

【0028】

MUTセルはマイクロマシン加工処理において一緒に(すなわち、スイッチを介在させることなく)接続して下位素子を形成させることができる。こうした一団を記述するために以下では「音響下位素子(acoustical subelement)」という用語を使用することにする。これらの音響下位素子は超小型電子技術スイッチによって相互接続し、こうしたスイッチをトランスジューサ・アレイに直ぐ隣り合って配置したシリコン層の内部または別のサブストレータ上に位置させることによってより大きな素子を形成させている。この構成は大きな体積において低コストで実施することが可能な半導体処理に基づいている。

40

【0029】

本明細書で使用する場合、この「音響下位素子」という用語は、単一のセル(すなわち

50

再構成が不可能な電気接続したセルからなる1つのグループ)であり、すなわち下位素子は独立に制御される最小の音響単位である。「下位素子(subelement)」という用語は、1つの音響下位素子と、これに関連付けされた一体型電子回路と、を意味している。スイッチング・ネットワークを用いて下位素子を互いに接続することによって1つの「素子(element)」が形成される。これらの素子は、スイッチング・ネットワークの状態を変更することによって再構成することができる。このスイッチング・ネットワーク内に含まれるスイッチのうちの少なくとも幾つかが、この「関連付けされた一体型電子回路」のうちの一部となる(これについては、以下でさらに詳細に説明することにする)。

【0030】

例示を目的として、図2は、中央のセルがリング状の6つのセルによって取り囲まれているような7つの六角形のcMUTセル2からなる「デージー(daisy)」トランスジューサ下位素子16を表しており、リング状になった各セルは中央セル及びこのリング内の隣り合ったセルのそれぞれの側面と接している。各cMUTセル2の上部電極12は、切り替え可能に切断可能でないような接続によって互いに電氣的に結合されている。六角アレイのケースでは、6つの導体が上部電極12から外方に放射状に拡がると共に、隣接するcMUTセルの上部電極にそれぞれ接続されている(ただし、周辺にあるセルの場合、接続される相手は6つのセルではなく3つの別のセルとなる)。同様に、各セル2の底部電極10は、切り替え可能に切断可能でないような接続によって互いに電氣的に結合されており、これにより7倍大きな容量性トランスジューサ下位素子16が形成される。

【0031】

図2に見られるタイプの下位素子は、半導電性(例えば、シリコン)サブストレート上に2次元アレイを形成するように配列させることができる。これらの下位素子は、スイッチング・ネットワークを用いることによって環状リングなどの素子が形成されるように再構成することができる。シリコンベースの超音波トランスジューサ下位素子を使用した再構成可能化については米国特許出願第10/383,990号に記載されている。再構成可能化の形態の1つは、当該特許出願にも記載されているモザイク式環状アレイである。このモザイク式環状アレイの考え方には、再構成可能な電子スイッチング・ネットワークを用いて下位素子を一緒にグループ分けすることによって環状の素子を構築することが不可欠である。この目的は、画質を維持しスライス厚を改善しながらビーム形成チャンネルの数を減らすことにある。システム・チャンネルを低減するために、このモザイク式環状アレイは、ビームがステアリングされていない場合に、下に位置する2次元トランスジューサ・アレイの表面上の遅延輪郭は円形になるという事実を利用している。換言すると、同遅延カーブはビームの中心の周りで環を成している。この遅延の円形対称性によって、共通の遅延によるこれらの下位素子の明瞭なグループ分けが生じる。この再構成可能化を使用すると、走査または画像を形成するためにこのより大きな下に位置する2次元トランスジューサ・アレイに沿ってビームをステップ移動させることができる。

【0032】

MUTセル及び音響下位素子を使用してトランスジューサ・アレイの形成を可能にさせるには多くの方法が存在する。図3は、モザイク式アレイを形成している音響下位素子のタイル配列(tessellation)の一例を表している。図3に示した実施形態では、その各々がタイル配列した「デージー」音響下位素子(下位素子1つあたり7つのMUTセルが互いに接続されている)を備えた4つの概ね環状の素子(それぞれ参照番号18A~Dで示す)を、各素子ごとに概ね等しい面積を有するように構成させている。各ケースにおけるタイル配列は複数の下位素子タイプから製作することができる。アレイ・パターンは必ずしもタイル配列である必要はないが、音響下位素子を備えないエリアを有することが可能である。例えば、音響下位素子またはセルの上部電極接続をアレイの下に渡すためのピアを存在させることも可能である。

【0033】

本発明の構成は、ビーム幅、サイドローブ・レベルまたは焦点深度などの様々な音響パ

10

20

30

40

50

ラメータが最適化されるように変更することができる。別法として、その音響下位素子は、送信動作向けの開口を形成するようにグループ分けされ、かつこれが直ちに受信部分向けの別の開口に切り替えられることがあり得る。図3は概ね環状の素子のそれぞれの部分を図示しているが、例えば、非連続のリング、8角(octal)リング、または弓形などの別の構成を実現することもできる。パターンを選択は用途別のニーズに依存することになる。

【0034】

開口の大部分はグループ分けされた隣り合った下位素子を図3に示す環状素子などより大きな単一素子を形成するように相互接続させて構成させている。このケースでは、必ずしも下位素子をすべてそのそれぞれのバスラインに直接接続する必要はない。所与のグループ内の限定された数の下位素子を接続し、次いで残りの下位素子を互いに接続することで十分である。この方法では、その送信信号は、システムからバスラインに沿って伝播し限定された数のアクセス・ポイントに沿った素子内に入る。ここから、局所接続を介してこの信号が素子の内部に伝わる。

【0035】

ある具体的な幾何学構成が与えられると、再構成可能なアレイは音響下位素子をシステム・チャンネルにマッピングする。このマッピングは動作性能が改善されるように設計される。このマッピングはスイッチング・ネットワークを介して実施されており、このスイッチング・ネットワークは、cMUTセルがその上に作成されているサブストレート内に直接配置させるのが理想的であるが、トランスジューサ・サブストレートに隣り合うように一体化された異なるサブストレート内に存在させることも可能である。cMUTアレイはシリコン・サブストレートの最上部に直接構築されているため、切り替え用電子回路をこのサブストレート内に組み込むことができる。PZTやさらに従来式の実現形態であれば、そのスイッチ・ネットワークは単に別のシリコン・サブストレート内に製作されてPZTアレイに取り付けられることになる。

【0036】

共一体化したcMUTとASICのアレイの断面図を、ASICからcMUTまでの接続の様子を表している図4に示している。図示のように、各cMUT下位素子32をその相手方のCMOS下位素子(または、「セル」)50と接続するために単一のビア56を使用している。このビア56は、信号電極のパッド65をスイッチASIC上に形成されたそれぞれの導電性パッド66に接続しており、音響裏あて層62や適当な別の絶縁材料内に埋め込まれることがある。

【0037】

図21は、パシベーション層92によってcMUT下位素子32から分離されているサブストレート90内に形成させた電子回路セルの一部分50A及び50Bを表している。下位素子32の1つのcMUTセル2だけを図示しているが、各下位素子は切り替え可能に切断可能でないような方式で互いに接続された複数のcMUTセルを備えることを理解すべきである。図21に示すように、下位素子1つあたり複数の信号を有することが望ましい。詳細には、上部電極12と底部電極10の両方を例えばパシベーション層92を通過する金属化ビアによって電子回路セルまで至らせることができる。これによって、アレイ内のすべてのcMUT下位素子を異なるバイアス電圧に独立にバイアスするために使用することが可能であるようなcMUT下位素子の両面に対する独立した制御が提供される。この特徴は例えば、送信パルスの極性を逆転させるため、あるいは各下位素子間のcMUT感度の若干の変動を調整するために使用することが可能である。

【0038】

cMUTは別のサブストレート(例えば、ウェハ)上に構築し、これらを図5に示すようにASICスイッチ・マトリックスに個別に接続することも可能である。本図では例えば、導電性バンプ64及び導電性パッド65、66を使用して個々のcMUT下位素子32をその相手方のスイッチ電子回路50と接続している。異方性導電ペースト(ACP)、異方性導電フィルム(ACF)、導電性ポリマー、金属化バンプ、垂直相互接続システ

10

20

30

40

50

ム（例えば、z軸介在子：z-axis interposer）、フレキシブル・プリント回路その他、あるいは金属化ビアなどの別の相互接続技法も使用することが可能である。

【0039】

最適実装密度では、CMUT下位素子32及びこれに関連する電子回路を、ASICスイッチ・マトリックスの上面図を表している図6に示すように六角形グリッド上にタイル配列させることが有用である。本図では、CMOS単位スイッチセル50は、1つおきの縦列がセル高さの半分だけずらされるようにして配置されている。セル寸法を適正に選択すると、これによって図示のようなパッド66の完全な六角アレイが得られることになる。次いでビア56（同様に六角アレイで配列させている）は、上側のトランスジューサ層への接続の基礎を形成しているそれぞれのパッド（図4では図示せず）につながり、下位素子の六角アレイを成している。ASICのより単純明快な実現形態を図7に表している。本図では、CMOS単位スイッチセル50を水平の横列と垂直の縦列の形に配列させて1つの矩形グリッドを形成しており、一方これらの上にある六角形の下位素子32は1つの六角形グリッドを形成している。図7に示すように、矩形アレイを形成するように横列及び縦列の形で配列させた単位スイッチセル・パッド66は、単位スイッチセル50がそれぞれの六角形の下位素子32と電気的に接続されるような接続を生成するためにすでに正しく整列している。いずれのケースでも、下位素子の六角形グリッド・パターンによってモザイク式環状アレイの図3に示すようなビーム・パターンの実現が可能となる。

【0040】

典型的な動作では、再構成可能なアレイは図3に示したのと同様の初期開口パターンを有するようにプログラムされている。このパターンによってビーム形成器はアレイの前方にビームを生成することが可能となる。撮像中にこの開口は、リングが $t = 1$ 時点のリング1から $t = 2$ 時点のリング2まで、さらに最終的に $t = N$ 時点のリングN（ここで、 t は時間であり、またNは2を超えるある正の整数である）まで進んでいる図8に示すように、アレイ60を横切るように走査を受ける。この方法では、このビームはアレイの前方の空間で掃引されており、かつビーム形成されたエコーを用いて画像の連続するラインが構築される。再構成可能なアレイの目的は、複雑な随意のアレイ・パターンについて図8に図示した撮像動作を電子的に実現することを可能とすることにある。以前の超音波スキャナも電子的走査を実現することが可能であるが、センサ下位素子の上下方向の分布が細かくないことや幾何学構成が固定であることのために開口の複雑性に関する制約を受ける。

【0041】

図8に示すような完全に再構成可能なアレイでは、実現の際に多くの重大な問題が生じる。センサ・アレイは数万個の下位素子に細分割されている。ビーム・パターンは、システムの有限個の送信/受信チャンネル及びビーム形成チャンネルに対する接続について下位素子をグループ分けすることによって構築されている。モザイク式環状アレイの考え方を実現するために使用する場合、再構成可能なアレイによってアレイ全体にわたって電子的に並進を受ける複数のリングを形成させることになる。この並進の新たな各ステップ移動ごとに、アレイが新たな構成を生成するようにリング・パターン全体をプログラムし直している。さらに、形成される際のビームの歪みを低減するために、送信と受信の間並びに受信中の複数の間隔においてリング・パターンを更新する能力を提供し、画質をさらに改善できることも可能である。

【0042】

典型的なシステムでは、128個以上のビーム形成チャンネルが使用される。現在の超音波システムは、この128個のシステム・チャンネルを一定数のトランスジューサ素子に対してルート設定することが可能なマルチプレクサ式アーキテクチャを利用している。これらのマルチプレクサ・ネットワークを慎重に設計して使用すれば、限られた量の電子回路によって標準的な走査パターンを生成することが可能となる。しかし大部分のケースでは、その走査パターンは固定されており、かつネットワークに関する制約のために再構成が可能でない。完全に再構成可能なアレイはこうした制約を受けることがない、ただし

これを実現するには非常に高密度のスイッチング・マトリックスが必要である。

【 0 0 4 3 】

図 8 に示したように、再構成可能アレイの基本的な性質上、いずれの下位素子もいずれのシステム・チャンネルに随意に接続できる必要がある。例えば、開口を最初の箇所から次の箇所まで走査する際に、下位素子 S 2 は、先ず内部リング（図示せず）の一部となる必要があり、次いでリング 2 の一部となる必要がある。このことは、第 1 のシステム・チャンネルへの接続状態から別のシステム・チャンネルへの接続状態まで短時間に切り替えなければならないことを意味する。このことは一般に、走査動作中にそのアレイ内にある多数の下位素子について言えることである。

【 0 0 4 4 】

この要件を満たすための最も簡単な方法は、そのアレイ全体にわたってすべてのシステム・チャンネルを分布させ、各下位素子があらゆるシステム・チャンネルにアクセスできるようにすることとなる。このアーキテクチャを図 9 に表している。本図では例示のために、システム・チャンネルを 5 つのみ表している。各システム・チャンネルは、どのシステム・チャンネルがどの下位素子により捕捉されるのかを選択するために使用する局所スイッチによって、あらゆる下位素子を通るようにバス設定されている。

【 0 0 4 5 】

そのマトリックス電子回路がトランスジューサ・アレイの直ぐ後ろ側に位置しているようなシステムでは、各下位素子の切り替え用電子回路のためのスペースはその下位素子のサイズに合わせて狭くなる。典型的な超音波システムでは、このサイズは概ね数百マイクロメートルであるが、これより小さくなることもあり得る。スイッチのサイズはそのオン抵抗に逆比例して変化するため、オン抵抗が大きいスイッチをより多数とするか、オン抵抗が小さいスイッチをより少数とするかというトレードオフに直面することになる。しかし、そのスイッチをできる限り小さくしているような極端なケースを取り上げたとしても、現在の半導体テクノロジーを用いたのでは、16 個をかなり超える数のスイッチを割り当てスペース内に容易にはめ込むことは困難であることは直ぐに明らかとなろう。実際のアレイでは図 9 の完全充足型のアーキテクチャはさらに多数のスイッチを包含することになるため、現在の最新技術であっても手に負えないように思われる。

【 0 0 4 6 】

将来のテクノロジーによって同じスペース内へのさらに多数のスイッチの組み込みが十分に実現可能となることもあり得るが、その割り当てられるセル・サイズはイメージャの波長に関連しており画質の改善のためには縮小しなければならないため超音波の発展によってセル・サイズが小さくなる傾向にある。さらに、デジタル制御回路や送信 / 受信回路などさらに多くの構成要素がこの同じ限られたエリア内に入ってくることになる。したがって、この完全充足型のアーキテクチャは簡略であるという魅力はあるが、これを直ちに支持したり実現したりすることはできない。

【 0 0 4 7 】

上述した相互接続の問題に対するより妥当な解決法の 1 つは、各下位素子内のスイッチ数を制限しながら、同時に再構成可能なアレイで必要となる柔軟性を提供することである。このことは、図 10 に示したように限定された数のバスラインを使用すると共に、これらを再構成可能にすることによって実施することができる。本図では、下位素子 3 2 の各横列が単一のバスラインのみによって処理されるようにしてバスライン 7 4 のうちの任意のラインに接続すべきシステム・チャンネル 3 8 (C H . 1 から C H . N まで) の任意のチャンネルを随意に選択するためにマルチプレクサ 7 0 が使用されている。各下位素子の c M U T セル 2 (各下位素子ごとに c M U T セルを 1 つのみ表している) は、それぞれのアクセス・スイッチ 3 0 によってバスラインに接続されている。このアーキテクチャの主要な特徴は、スイッチのうちの多くがアレイの外部に位置しており、したがってトランスジューサの幾何学構成によって制約されないことである。下位素子のどの横列がどのシステム・チャンネルに接続されるのかを連続的に選択することによってこのアーキテクチャを用いてアレイ全体にわたる 1 次元のパターンの走査が可能となる。このアーキテクチャ

10

20

30

40

50

に対する別の改良について図 1 1 に表している。本図では、複数のバスライン 7 4、7 6 が下位素子 3 2 の各横列に沿ってルート設定されている。各下位素子 3 2 の c M U T セル 2 は、アクセス・スイッチ 3 0 ' を介してバスライン 7 4 に、あるいはアクセス・スイッチ 3 0 を介してバスライン 7 6 に接続することができる。ここで同じ横列内部の異なるシステム・チャンネル上にある下位素子をグループ分けすることが可能であるため、このアーキテクチャによって水平方向の柔軟性を提供することができる。

【 0 0 4 8 】

上述のアーキテクチャに対するさらに別の改良は、大部分の開口がより大きな単一素子を形成するようにグループ分けされた隣り合った下位素子を相互接続することからなることを理解することによって実現することができる。このケースでは、あらゆる下位素子が必ずしもそのそれぞれのバスラインに直接接続される必要はない。所与のグループ内の限定された数の下位素子を接続し、さらに残りの下位素子は互いに接続することで十分である。この方法では、その送信信号は、バスラインに沿ったシステムから伝播されて限定された数のアクセス・ポイントに沿った素子内に至る。ここから、局所接続を通して信号が素子内部に広がる。このアーキテクチャを図 1 2 に表している。本図では、個々の下位素子 3 2 は、アクセス・スイッチ 3 0 によってその横列と関連付けされたバスラインに接続することが可能であり、かつマトリックス・スイッチ 3 6 によって隣の横列と関連付けされたバスラインに接続することが可能であり、これによりある下位素子が隣の素子に接続される。

【 0 0 4 9 】

本発明の一実施形態を、上述の改良をすべて一緒に組み込んだ図 1 3 に表している。本図では、所与の下位素子 3 2 をバス 3 4 の横列バスラインに接続するためにアクセス・スイッチ 3 0 が使用される。このアーキテクチャは、モザイク式環状アレイに対して直接適用可能である。こうしたデバイスでは、本アーキテクチャを用いることによって、単一のシステム・チャンネルに 1 つまたは複数のアクセス・スイッチを用いてその各々が接続された複数のリングを形成することができ、このアクセス・スイッチの各々は 1 つのバスラインに接続されており、一方このバスラインはシステム・チャンネルに接続されている。

【 0 0 5 0 】

アクセス・スイッチは、所与の数のバスラインに関して必要な数を少なくするために図 1 3 に示すように千鳥配置させている（これについては以下でさらに検討することにする）。バスラインに対するアクセス・スイッチのランダムな順序設定（図示せず）を利用するとさらに、反復するパターンのためのアーチファクトを低減することができる。各下位素子内で複数のアクセス・スイッチを使用するとアレイの柔軟性を改善することができる。こうしたアーキテクチャでは、柔軟性と下位素子 1 つあたりのアクセス・スイッチ数との間において、この数が依然としてバスライン及びシステム・チャンネルの数と比べてかなり少ない場合にトレードオフが生じることになる。さらに、各素子内の 1 つのバスラインあたり複数のアクセス・スイッチを使用することも可能である。これによれば、非機能のアクセス・スイッチを冗長なアクセス・スイッチを用いてバイパスさせることが可能であるため、デバイスの歩留まりが改善される。

【 0 0 5 1 】

横列バスラインは、図 1 3 に示すようにクロスポイント・スイッチング・マトリックスを用いてシステム・チャンネルに接続されている。必要となるマルチプレクサ・スイッチの数をより少なくした希薄型クロスポイント・スイッチも同様に利用可能である。こうしたアーキテクチャではスペースの利用がより高効率となるが、バスラインのすべてが確実に適正に接続可能となるようにスイッチ構成に関して慎重な選択が必要となる。図 1 2 に示すように、横列 1 つあたり複数のバスラインを使用することができる。バスラインの数が多ければ、より多くのマルチプレクサ・スイッチやアレイ内部のより大きなルート設定エリアと引き替えに、アレイの柔軟性が改善される。横列をスキップすることや、様々な横列について異なる数のバスラインを使用することが可能である。例えば面積を節約する

10

20

30

40

50

ためには、下位素子の隣接横列の各対間でバスラインからなるグループを共有することが有利となり得る。

【0052】

ここまでは水平のバスラインについてのみ検討してきたが、アレイの内部に垂直走行のバスラインと水平走行のバスラインの両方を配置することも可能である。バスラインは図14に示すように垂直に配置させることが可能である（バスライン72、74、76参照）。図15を参照すると、1組のバスライン82を水平方向に配置することができ、また別の組（1つのバスライン84だけを図示）を垂直方向に配置することができる。このケースでは、各下位素子または下位素子からなるグループは1つのアクセス・スイッチを介して1つの垂直バスラインに接続可能となり、さらに別のアクセス・スイッチを介して1つの水平バスラインに接続可能となる。しかし、バスラインがこの両方向に走行しているケースでは、バスラインのために利用可能な現実の電子資産が少なくなりかつより多くのバスラインが必要になるが、下位素子内には依然として単一のアクセス・スイッチが1つしか存在しないため、各下位素子のアクセス・スイッチは水平バスラインと垂直バスラインのいずれかに接続されるか、どちらにも接続されない可能性がある。最後に、バスラインはさらに、図16に示すように斜めに配置させることもできる。これらのライン76、80はそれぞれ、六角アレイの固有軸のうちの2つの軸の方向に延びており、またこれにより下位素子のアドレス指定が簡略化される。

【0053】

アクセス・スイッチ及び横列バスラインの数は、サイズの制約及びその用途によって決定される。例示的な非限定の一実現形態（図13参照）を開示することを目的として、各下位素子32ごとに単一のアクセス・スイッチ30、並びにアレイの各横列ごとに4つの横列バスライン34a~34dを仮定することにする。第2のタイプのスイッチは、ある下位素子の接続点42（図17参照）を隣接する下位素子の接続点に接続するために使用されるマトリックス・スイッチ36である。これによれば、音響下位素子32を、その隣接する音響下位素子と関連付けされた一体型電子回路を介してシステム・チャンネルに接続することが可能となる。このことはさらに、アクセス・スイッチを介して直接接続されていない場合であっても、音響下位素子がシステム・チャンネルに接続されることがあることを意味している。図13では下位素子1つあたり3つのマトリックス・スイッチ36を表しているが、面積を節約するためにこれを2つ以下とすることや、オン抵抗をより低くしこれにより面積をより大きくするようなスイッチに対応することも可能である。さらに、マトリックス・スイッチを使用すると、所与のアレイに関して既知の不良な下位素子を迂回するようにルート設定することができる。最後に、六角形の下位素子を図示しているが、矩形の下位素子も可能であり、またこれらによれば必要なスイッチがより少なくなることがある。

【0054】

図17を参照すると、下位素子の各々は、音響下位素子32に関連付けされた電子回路内に1つの共通接続点42を備えている。この共通接続点42は、各下位素子内で8つの構成要素を電氣的に接続している。共通接続点42は、音響下位素子すなわちトランスジューサ32を、当該下位素子に対するアクセス・スイッチ30に対して、当該下位素子に関連付けされた3つのマトリックス・スイッチ36に対して、かつ接続46を介して3つの隣接する下位素子に関連付けされた3つのマトリックス・スイッチに対して接続している。マトリックス・スイッチを通過する信号は、隣接する下位素子の共通接続点に接続されている。

【0055】

図13は、ある具体的な下位素子についてスイッチング・ネットワークがどのように機能するのかを表している。これは単に例示的な一配列に過ぎない。4つの横列バスライン34aから34dを含んだバス34が、下位素子32の横列に沿って走っている。図13ではこの横列内に3つの下位素子のみを表しているが、この横列内の別の下位素子は図示していないことを理解すべきである。バス34の横列バスラインは、クロスポイント・ス

10

20

30

40

50

イッチング・マトリックスを形成するマルチプレクサ式スイッチ40によって横列の端部の位置でシステム・チャンネル・バス38のシステム・チャンネル・バスラインに多重化されている。図13で分かるように、各横列バスライン34a~34dは、適当なマルチプレクサ式スイッチ40をオンに切り替えかつ当該の横列バスラインを別のシステム・チャンネル・バスラインに接続するマルチプレクサ式スイッチをオフに切り替えることによって、バス38のシステム・チャンネル・バスラインのうちの任意の1つに接続することができる。これらのマルチプレクサ電子回路は側面に寄せることが可能であり、これによりサイズによる制約を受けることがない。図13は、完全充足型のクロスポイント・スイッチを表している。しかし、必ずしもあらゆるバスラインをあらゆるシステム・チャンネルに接続することが可能なスイッチを有する必要がないケースでは、システム・チャンネルのうちのある小さい部分集合のみを所与のバスラインに接続できるような希薄型のクロスポイント・スイッチを使用することができ、このケースでは、図13に示したスイッチ40のうち存在させるのは幾つかだけとなる。

【0056】

アクセス・スイッチは下位素子に対してバスラインへの直接アクセスを提供するため、アクセス・スイッチという名称となっている。図13に示した例示的な実現形態では、各下位素子ごとに6つの別のスイッチ接続が存在している。これらの接続はマトリックス・スイッチ36の形態を取っている。1つのマトリックス・スイッチによって、1つの下位素子を隣接する1つの下位素子に接続させることが可能となる。この六角形パターンの各下位素子ごとに隣接する下位素子に対する6つの接続が存在しているが、このうちの3つのスイッチのみが各下位素子内にあり、一方これ以外の3つの接続は隣接する下位素子内のスイッチによって制御されている。したがって、各下位素子内に存在するのは、全部で4つのスイッチと、関連するデジタル式アドレス指定及び制御ロジック（図示せず）と、である。これは、単に例示的な一実現形態に過ぎない。バスラインの本数、アクセス・スイッチの個数、並びにマトリックス・スイッチの個数及びビットポロジはすべて異ならせることも可能であるが、全般的な考え方は維持されることになる。

【0057】

図18は、音響下位素子（図示せず）の下に構築されかつこれと電気的に接続させた（接続点42を介する）代表的な単位スイッチセルの構成要素のうちの幾つかを表している。この単位スイッチセルは、図4に示したタイプの金属パッド66を介して音響下位素子と電気的に結合させることがある。この単位スイッチセルは、接続点42をバスライン34に接続しているアクセス・スイッチ30と、3つのマトリックス・スイッチ36と、を備えている。これらのスイッチは、現在の切り替え状態を記憶するための切り替え状態メモリを有するタイプのスイッチである。この単位スイッチセルはさらに、アクセス・スイッチ30及び3つのマトリックス・スイッチ36の将来の切り替え状態を表すデータを記憶するためのラッチ88（このうちの1つだけを図示）を備えている。これらのラッチは、標準のCMOSメモリ素子であるが、EPROM、EEPROM、MRAMまたはMEMSなどの別のメモリ素子を使用することも可能である。この将来切り替え状態データは、複数のバスライン（図18には1つのバスラインだけを図示）を含むデジタル式データバス45を介して受け取られる。複数のバスライン（ここでも、1つのバスラインだけを図示）を含む制御バス44を介して受け取った書き込み信号にตอบสนองして、データバス45上にある将来切り替え状態データがラッチ88内に書き込まれる。後続のサイクル中に制御バス44を介して受け取った読み取り信号にตอบสนองして、ラッチから切り替え状態データが読み出され（図示していないロジックによって）制御信号に変換され、これに従ってスイッチの状態が変化することになる。これらの新たな切り替え状態は、スイッチの切り替え状態メモリ内に記憶される。このラッチ88並びにスイッチ30及び36はパワーライン90を介して電圧供給を受けている。

【0058】

アクセス・スイッチ及びマトリックス・スイッチは、個別のパッケージとした構成要素とすることができるが、これらのスイッチは、MUTアレイをその上に製作させる同じ半

10

20

30

40

50

導体サブストレートの内部に製作することも可能である。アクセス・スイッチ及びマトリックス・スイッチは、「Integrated High-Voltage Switching Circuit for Ultrasound Transducer Array」と題する米国特許出願第10/248,968号に開示されたタイプの高電圧切り替え回路を備えることがある。図19で分かるように、各スイッチ(例えば、アクセス・スイッチ30)は、バイポーラ動作を可能にするためにバックツューバックで(ソースノードを互いにショートさせた状態として)接続した2つのDMOS FETを備えている。この2つのFETの両者がオンに切り替わると同時にスイッチ端子を通して電流が流れる。これらのスイッチの状態は、それぞれのスイッチ制御回路52によって制御されている。一方、このスイッチ制御回路の状態は、所望のスイッチング構成に従ってスイッチ制御回路をプログラミングするプログラミング回路54からの出力によって指示されている。このプログラミング回路は、本明細書と同時に提出された「Method and Apparatus for Controlling Scanning of Mosaic Transducer Array」と題する米国特許出願第10/,978012号に開示されたタイプのビュー生成回路及びアドレス/データ生成回路を用いて実現されることがある。このスイッチ制御回路はさらに、後者の特許出願で開示された実施形態のうちの1つに従って実現されることがある。これらのスイッチは、CMOS、DMOS、BiCMOS、BCDMOS、MEMSとすることや、目下のところ利用可能あるいは将来に利用可能となるような高集積性の別の任意のスイッチング・テクノロジーのものとすることが可能である。

10

20

【0059】

図19は、共通接続点42を介してアクセス・スイッチ30に接続されている音響下位素子32を表している。接続点42につながっている6つの別のラインは図示していない。この例では、アクセス・スイッチ30はバックツューバックとした上述の1対のDMOS FETを備えている。制御回路52は、プログラミング回路54によって送られた切り替え状態データ信号の関数としてスイッチ30をオンやオフに切り替えている。アクセス・スイッチ30がオンに切り替わると、音響下位素子32(例えば、相互接続されたcMUTセルの部分アレイ)は横列バスライン34aに接続される。この構成では、各音響下位素子(すなわち、「単位スイッチセル」と関連付けされた電子回路は1つのアクセス・スイッチと、3つのマトリックス・スイッチと、これら4つのスイッチのそれぞれに対するそれぞれの制御回路と、共通接続点を3つの隣接する下位素子(図示せず)のマトリックス・スイッチに接続しているそれぞれの導体と、を備えることになる。任意選択では、各単位スイッチセルはさらに、当該単位スイッチセル内にスイッチの将来の切り替え状態を記憶するために、本明細書と同時に提出された米国特許出願第10/978,196号に開示されているラッチを備えている。ラッチの形態をしたデジタル式メモリの追加は、連続する送信動作と受信動作の間で開口パターンを高速で遷移させるという要件を実現する際に有用である。

30

【0060】

さらに図19を参照すると、音響下位素子32から横列バスライン34aに伝達される信号は、電気的な受信信号である。本図では、この受信信号は、音圧波動がトランスジューサと相互作用したときに音響下位素子32が発生させる電気応答である。電気的パルスを超音波システムによって発生させている送信信号は、横列バスライン34aから音響下位素子32まで伝達される。所与のチャンネルにおいて、この電気的励起パルスはシステム・チャンネル・バスラインを介してこの横列バスラインまで伝達される。この信号はアクセス・スイッチ30を介して横列バスラインから音響下位素子まで伝達され、またさらにマトリックス・スイッチ(図19では図示せず)を介して別の下位素子に伝達される。

40

【0061】

音響下位素子の後ろに組み込むスイッチの数は限定される。このスイッチのサイズによってスイッチのオン抵抗が決定されており、またスイッチが小さいほどオン抵抗が大きくなる。スイッチのオン抵抗が増大すると、切り替えによって生じる遅延及び歪みが増

50

大する。このことは、音響下位素子の後ろ側のスイッチ数とこれらスイッチにより導入される遅延との間にトレードオフが存在することを意味する。このトレードオフに対する解決法の1つでは、できる限り大きな柔軟性を保持しながらスイッチの数をある小さい数まで減少させることが必要である。この減少は、マトリックス・スイッチを使用して別の下位素子を介した音響下位素子のシステム・チャンネルへの結合を可能にすること、並びにアクセス・スイッチの個数をある小さい数に制限すること、によって達成される。

【0062】

アクセス・スイッチをシステム・チャンネルに接続するバスラインも、電子回路層内のスペースを占有するため、バスラインの本数を最小限にすることも同じく有利となる。同じ横列内で音響下位素子に直接接続することが可能な一意のチャンネルの数は、バスラインの本数によって決定される。しかし、マトリックス・スイッチによって1つの横列内の下位素子を別の横列の下位素子に接続することを可能としているため、横列内のチャンネルの数がマトリックス・スイッチの分だけ増加する。これによって、バスラインの本数を少なく保ちながら、依然として多数のチャンネルを提供することができる。もちろん、有するバスラインをより多くすると柔軟性は増大するが、より大きなスペースが必要となる。

【0063】

マトリックス・スイッチを使用することは、各下位素子の後ろにあるアクセス・スイッチの個数を低減できることを意味している。極端なケースでは、各下位素子あたり存在させるアクセス・スイッチの個数が1つだけとなる。しかし、複数のバスラインが存在する場合は、各アクセス・スイッチをどのバスラインに接続すべきかに関する判定をしなければならない。この解決法の1つは、接続されるバスラインが横列内の下位素子N個ごと（ここでNは、以下で検討するような最小信号歪みの要件によって決定される数）に反復するように接続を千鳥配置させることである。図13に戻ると、横列内の各下位素子32は、それぞれのアクセス・スイッチ30を介して横列バス34内の横列バスラインのうちの1つに接続される。この千鳥接続のパターンは、下位素子4つごとに反復されている。千鳥配置によって、より少ないアクセス・スイッチを伴いつつマトリックス・スイッチと組み合わせたより多くのバスラインが可能となり、さらに各下位素子にどのシステム・チャンネルを接続できるかに関する柔軟性を増大させることができる。もちろん、セル1つあたり複数のアクセス・スイッチを備えさせると接続の柔軟性は増大するが、より高いオン抵抗をもつより小型のスイッチが要求される。

【0064】

一般に、横列ごとにパターン反復させる横列数Nは、信号の完全性を適正に保ちながら互いに数珠つなぎにできるマトリックス・スイッチの最大数によって決定される。この数は、マトリックス・スイッチの抵抗値とCMUTのキャパシタンスとが一緒になってある遅延時定数を有するRC遅延線を形成し、これが連続するタップの数Nに伴って指数関数的に変化するという認識から出てくる。複数の横列バスライン上でアクセス・スイッチを千鳥配置させることによって、遅延線の制約がある場合にも対応できる要素の数を増加させることができる。図20に示すように、この設計の最悪のケースは、下位素子幅が単一のリング（その一部分を弓形の破線で示す）が互いに密に実装されている場合に生じる。この設計ではバスライン74、76が水平に走っているため、このリングの垂直セクションが最悪のケースをもたらす。このリングの水平セクションでは、バスラインがリングと平行に走る際に下位素子がすべて同じ位置となるため、各下位素子の位置ごとに単一のアクセス・スイッチを使用するだけとすることができる。しかし、垂直セクションでは、下位素子32のすべての各横列が異なるシステム・チャンネルに接続された異なるバスラインに関連付けされている。したがって、このエリア内で垂直に離間させた下位素子はダッシュ記号で示したマトリックス・スイッチ36を用いてサポートされるだけである。図20では、横列1つあたりバスラインが2本存在しており、アクセス・スイッチ30（黒点で示す）のパターンは横列下位素子の各4つごとに反復している。各横列の位置で、2つのアクセス・スイッチと、これと関連付けされたマトリックス・スイッチによってグルー

10

20

30

40

50

ブ分けされた下位素子からなる列と、によって2つのリングがサポートを受けている。このパターンは4つの横列ごとに反復しているため、具体的なこのアーキテクチャは最大で $2 \times 4 = 8$ 個のリングに対応することになる。一般に、各横列上にM本のバスラインをもちかつ各下位素子列ごとにN個のタップをもつアレイでは、最大K個（ここで、 $K = M \times N$ ）のシステム・チャンネルに対応することが可能である。もちろん、リングのうちの大
 10 部分のセクションは完全には水平でなくかつ完全には垂直でないことになる。したがって、システム設計者のすべきことは、このアーキテクチャの制約の下で開口内のすべての点においてアレイ構成を最適化することになる。こうした切り替え構成を最適化するための
 10 様々な方法は、本明細書と同時に提出された「Optimized Switching Configurations for Reconfigurable Transducer Arrays」と題する米国特許出願第10/978,175号に開示されている。

【0065】

本発明のまた別の態様では、センサと電子回路面の間の金属ルートには、図22で分かるようにセンサ・アレイの面積と比べてより大きな面積を有する1つまたは複数の電子回路チップの使用を可能にするようなルート変更を含む。図22は、サブストレート94上に構築した複数のトランスジューサ下位素子32であって、1対の電子回路チップ90A及び90Bがサブストレート94の底部に積層されており、各チップはそれぞれの複数の
 20 単位スイッチセル50を備えるような複数のトランスジューサ下位素子32を表している。金属ルート96は、センサ面への接続が電子回路チップ90A及び90Bの面積と比べてより小さい面積に制限されるようにして発散させている。

【0066】

本発明について好ましい実施形態を参照しながら記載してきたが、当業者であれば、本発明の範囲を逸脱することなく様々な変更が実施されることがあること並びにその要素が等価物によって代用されることがあることを理解されよう。さらに、本発明の本質的な範囲を逸脱することなく、具体的な状況を本発明の教示に適合させるように多くの修正を実施することができる。したがって、本発明を実施するように企図された最適モードとして開示したこれら具体的な実施形態に本発明を限定しようと意図しておらず、むしろ本発明は、添付の特許請求の範囲の趣旨域内に属するすべての実施形態を含むように意図している。また、図面の符号に対応する特許請求の範囲中の符号は、単に本願発明の理解をより
 30 容易にするために用いられているものであり、本願発明の範囲を狭める意図で用いられたものではない。そして、本願の特許請求の範囲に記載した事項は、明細書に組み込まれ、明細書の記載事項の一部となる。

【図面の簡単な説明】

【0067】

【図1】典型的なcMUTセルの断面図である。

【図2】スイッチを介在させることなくその上部電極と底部電極のそれぞれを一緒に接続した7個の六角形MUTセルから形成した「デージー」下位素子を表した図である。

【図3】1つの素子あたり概ね等しい面積を有するように構成したタイル配列をした「デージー」下位素子からその各々がなるような4つの環状素子を備えたモザイク式アレイを扇形に切り出して表した図である。
 40

【図4】共一体化させたcMUT及び特定用途向け集積回路(AASIC)のアレイの断面図である。

【図5】cMUTデバイス・サブストレートのAASICスイッチ・マトリックスへの接続を表した断面図である。

【図6】六角配列をした対応する単位スイッチセルの上にある六角配列をしたcMUT下位素子の上面図である。

【図7】矩形配列をした対応する単位スイッチセルの上にある六角配列をしたcMUT下位素子の上面図である。

【図8】環状のトランスジューサ素子のアレイを横断する並進を表した図である。
 50

【図9】各トランスジューサ下位素子があらゆるシステム・チャンネルにアクセスできるように、すべてのシステム・チャンネルをそのアレイ全体にわたって分布させるアーキテクチャを表した図である。

【図10】下位素子の1つの横列あたり、マルチプレクサを介してシステム・チャンネルに接続された1つのバスラインを有するようにして各下位素子内のスイッチ数を制限しているアーキテクチャを表した図である。

【図11】下位素子の1つの横列あたり複数のバスラインを有することにより、同じ横列内部の異なるシステム・チャンネル上の下位素子のグループ分けを可能にしているアーキテクチャを表した図である。

【図12】第1の横列内のある下位素子の第2の横列の下位素子のバスラインへの接続を、第1の横列内のこの下位素子のマトリックス・スイッチを介して第2の横列内の隣接する下位素子のアクセス・スイッチに接続することによって接続可能にしている本発明の一実施形態によるアーキテクチャを表した図である。

10

【図13】cMUTアレイのある具体的な横列内のある具体的な下位素子を多数のシステム・チャンネル・バスラインのうちの任意の1つに接続することを可能にしている本発明の別の実施形態によるアーキテクチャを表した図である。

【図14】バスラインがアクセス・スイッチ（黒点で示す）を介して下位素子のそれぞれの縦列に接続されている下位素子の6角アレイを表した図である。

【図15】下位素子の幾つかがそれぞれのアクセス・スイッチ（黒点で示す）を介して垂直及び水平のバスラインに接続されている下位素子の6角アレイを表した図である。

20

【図16】6角アレイの固有軸に沿ってバスラインが斜めに配置されている下位素子の6角アレイを表した図（アクセス・スイッチを黒点で示す）である。

【図17】ある具体的な音響下位素子に関連付けされた電子回路内の共通接続点に対する図13に示した実施形態に従った接続を表した図である。

【図18】音響下位素子（図示せず）の下に構築されかつこれに電気的に接続された代表的な単位スイッチセルの各構成要素を表した図である。

【図19】米国特許出願第10/248,968号にすでに開示されているような、アクセス・スイッチと、該アクセス・スイッチの状態を制御するための回路と、を表した図である。

【図20】下位素子幅を単一とした互いに密に実装されているリング（その一部分を弓形の破線で示す）を用いるための、アクセス・スイッチ及びマトリックス・スイッチ（アクセス・スイッチは黒点で示し、マトリックス・スイッチはダッシュ記号で示す）からなるアレイを表した図である。

30

【図21】上部電極と底部電極を金属化ビアによって電子回路層に接続した代表的なcMUTセルを表した図である。

【図22】センサと電子回路面の間金属ルート設定がセンサ・アレイと比べてより大きな電子回路チップの使用を可能にさせるルート変更を含むような本発明の一実施形態を表した図である。

【符号の説明】

【0068】

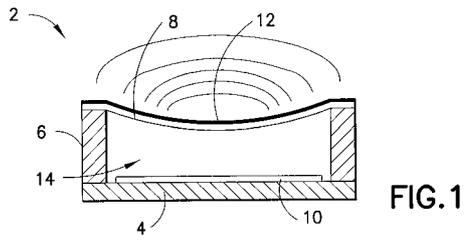
40

- 2 cMUTトランスジューサ・セル
- 4 サブストレート
- 6 絶縁支持体
- 8 隔膜
- 10 底部電極
- 12 上部電極
- 14 空洞
- 16 トランスジューサ下位素子
- 18 環状素子
- 30 アクセス・スイッチ

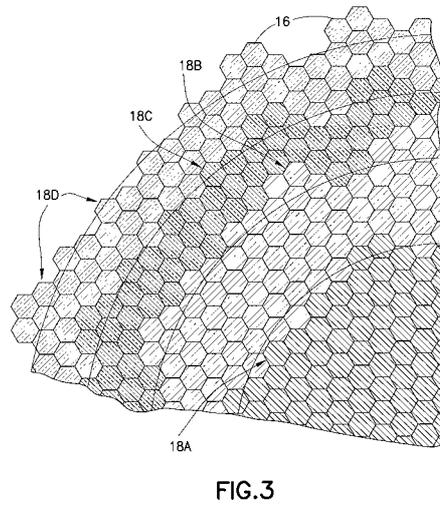
50

3 0	アクセス・スイッチ	
3 2	下位素子	
3 4	バス	
3 4 a	横列バスライン	
3 4 b	横列バスライン	
3 4 c	横列バスライン	
3 4 d	横列バスライン	
3 6	マトリックス・スイッチ	
3 8	システム・チャンネル	
4 0	マルチプレクサ式スイッチ	10
4 2	共通接続点	
4 4	制御バス	
4 5	データバス	
4 6	接続	
5 0	C M O S 下位素子	
5 0 A	電子回路セルの一部	
5 0 B	電子回路セルの一部	
5 2	制御回路	
5 4	プログラミング回路	
5 6	ビア	20
6 2	音響裏あて層	
6 4	導電性バンブ	
6 5	導電性パッド	
6 6	導電性パッド	
7 0	マルチプレクサ	
7 2	バスライン	
7 4	バスライン	
7 6	バスライン	
8 0	ライン	
8 2	バスライン	30
8 4	バスライン	
8 8	記憶用ラッチ	
9 0	パワーライン (図 1 8)	
9 0	サブストレート (図 2 1)	
9 0 A	電子回路チップ	
9 0 B	電子回路チップ	
9 2	パシベーション層	
9 4	サブストレート	
9 6	金属ルート	

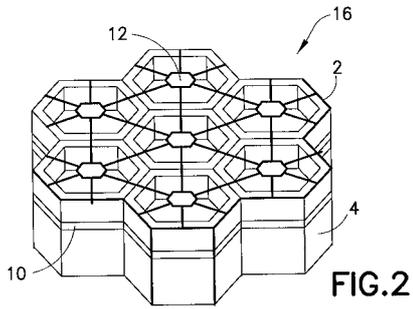
【 図 1 】



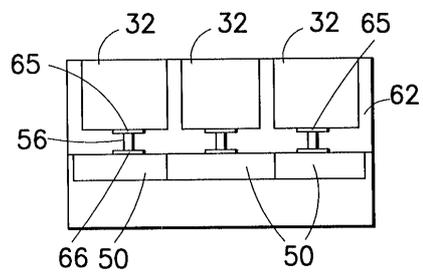
【 図 3 】



【 図 2 】



【 図 4 】



【 図 6 】

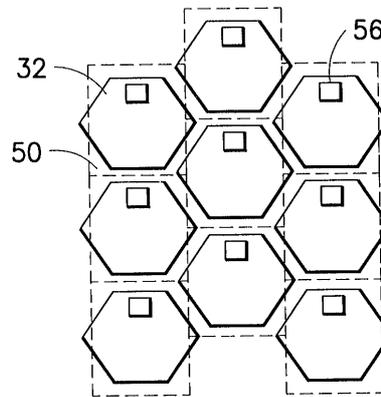


FIG. 4

FIG. 6

【 図 5 】

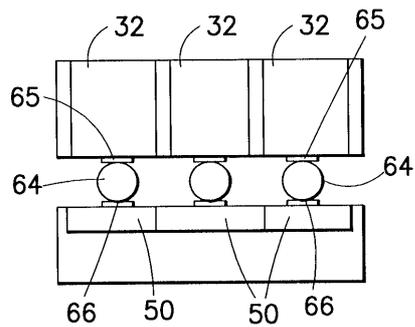


FIG. 5

【図7】

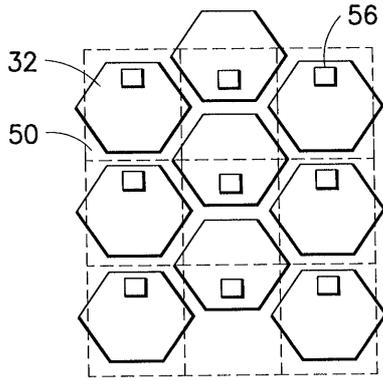


FIG.7

【図8】

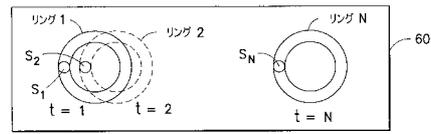


FIG.8

【図9】

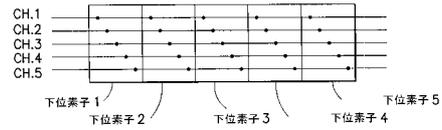


FIG.9

【図10】

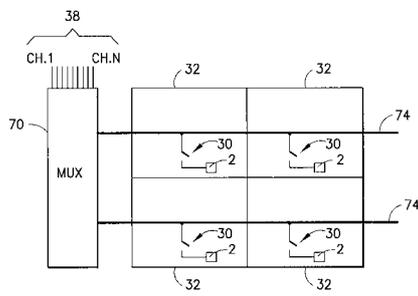


FIG.10

【図12】

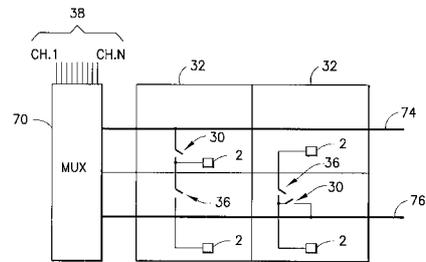


FIG.12

【図11】

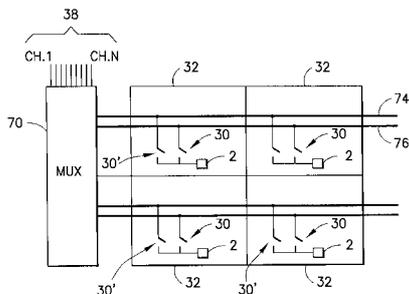


FIG.11

【 図 1 3 】

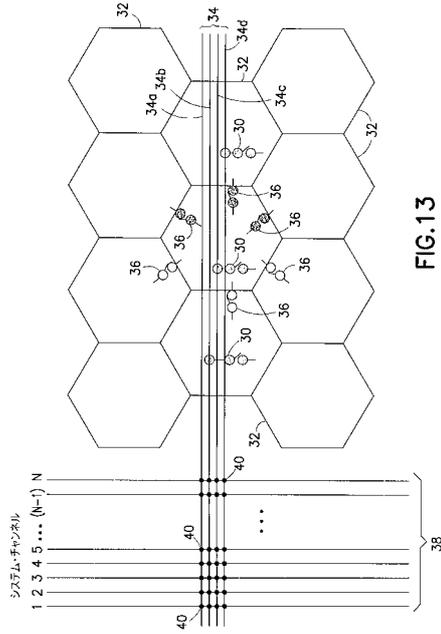


FIG.13

【 図 1 4 】

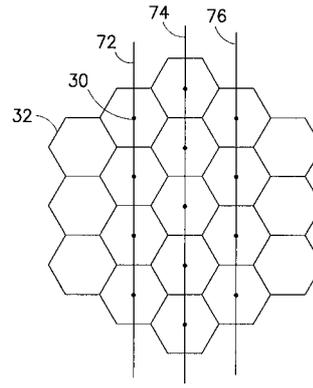


FIG.14

【 図 1 5 】

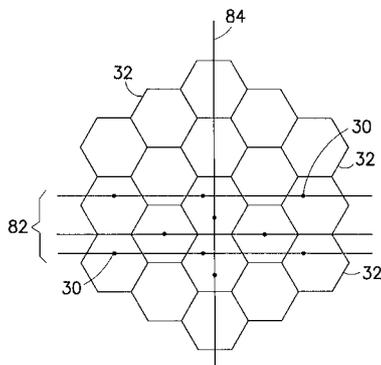


FIG.15

【 図 1 6 】

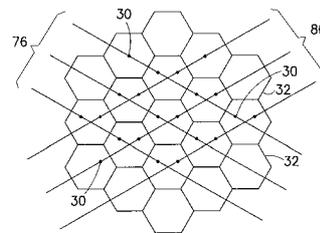


FIG.16

【図17】

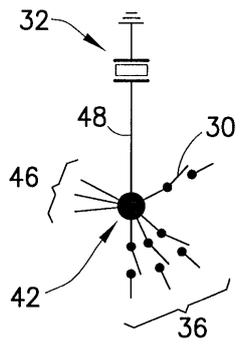


FIG.17

【図18】

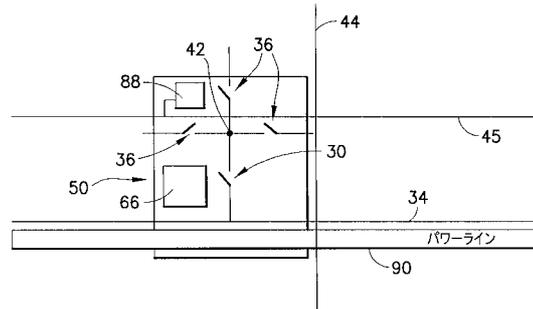


FIG.18

【図19】

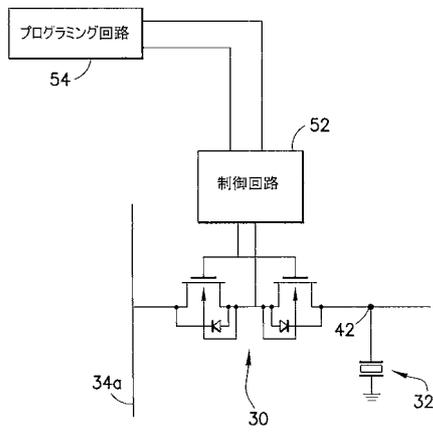


FIG.19

【図20】

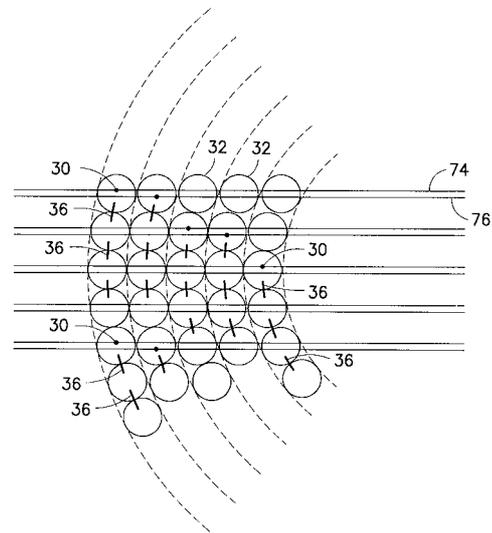


FIG.20

【 2 1 】

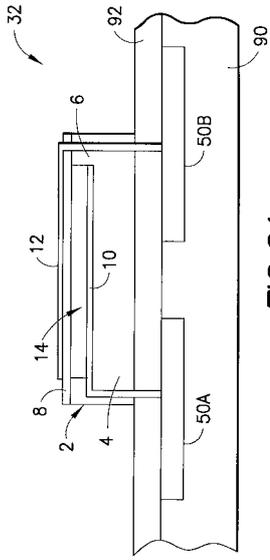


FIG.21

【 2 2 】

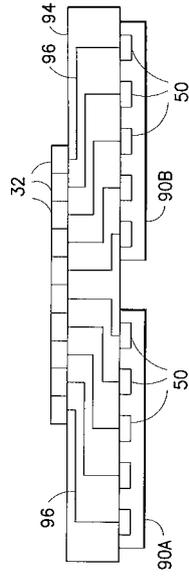


FIG.22

フロントページの続き

- (72)発明者 カイ・イー・トーマニアス
アメリカ合衆国、ニューヨーク州、クリフトン・パーク、ヴァン・ヴランケン・ロード、74番
- (72)発明者 レイエット・アン・フィッシャー
アメリカ合衆国、ニューヨーク州、ニスカユナ、パークリー・アベニュー、2305番
- (72)発明者 ロバート・ギデオンのウッドニッキ
アメリカ合衆国、ニューヨーク州、ニスカユナ、ドアウォルツ・ブルーヴァード、1509番
- (72)発明者 ウィリアム・エドワード・パーディック、ジュニア
アメリカ合衆国、ニューヨーク州、ニスカユナ、プロビデンス・アベニュー、1921番

審査官 境 周一

- (56)参考文献 特表2002-509752(JP,A)
特開2004-274756(JP,A)
特表平10-510264(JP,A)
特表2005-510264(JP,A)
特表2003-503932(JP,A)
特表2005-507580(JP,A)
特開2004-180301(JP,A)
特開平05-073212(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04R 1/00-31/00

专利名称(译)	用于可重构传感器阵列的集成接口电子电路		
公开(公告)号	JP4960615B2	公开(公告)日	2012-06-27
申请号	JP2005243677	申请日	2005-08-25
[标]申请(专利权)人(译)	通用电气公司		
申请(专利权)人(译)	通用电气公司		
当前申请(专利权)人(译)	通用电气公司		
[标]发明人	カイイトーメニアス レイエットアンフィッシャー ロバートギデオンウッドニッキ ウィリアムエドワードバーディックジュニア		
发明人	カイ・イー・トーメニアス レイエット・アン・フィッシャー ロバート・ギデオン・ウッドニッキ ウィリアム・エドワード・バーディック,ジュニア		
IPC分类号	H04R3/00 H04R19/00 G01S7/521 G01S7/52 A61B8/00 B06B1/02 B06B1/06 H04R17/00		
CPC分类号	B06B1/0292 G01N29/06 G01N29/262 G01N2291/106 H01L2924/0002		
FI分类号	H04R3/00.330 H04R19/00.330 G01S7/52.A G01S7/52.S G01S7/521.A G01S7/524.S H04R17/00.330.G		
F-TERM分类号	5D019/DD01 5D019/EE01 5D019/FF05 5J083/AA02 5J083/AB17 5J083/AC31 5J083/CA12		
代理人(译)	小仓 博 伊藤亲		
优先权	10/977930 2004-10-29 US		
其他公开文献	JP2006129451A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供可重新配置的超声换能器阵列。解决方案：开关矩阵包括将子元件连接到总线（34）的接入开关（30）和将子元件连接到子元件的矩阵开关（36）。每个子元件具有单元电子单元（50），其包括接入开关，矩阵开关，用于存储每个开关的未来状态的存储元件（88），以及控制电路（52）。访问和矩阵开关是具有记忆表示开关的当前开关状态的控制数据的能力的类型，该控制数据包括输入到包含在控制电路中的开启/关闭电路的数据位。Z

