

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4774205号
(P4774205)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.	F I
A 6 1 B 8/00 (2006.01)	A 6 1 B 8/00
G O 1 N 29/24 (2006.01)	G O 1 N 29/24 5 O 2

請求項の数 8 外国語出願 (全 31 頁)

(21) 出願番号 特願2004-336211 (P2004-336211)
(22) 出願日 平成16年11月19日(2004.11.19)
(65) 公開番号 特開2005-152630 (P2005-152630A)
(43) 公開日 平成17年6月16日(2005.6.16)
審査請求日 平成19年11月16日(2007.11.16)
(31) 優先権主張番号 10/719, 431
(32) 優先日 平成15年11月21日(2003.11.21)
(33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 390041542
ゼネラル・エレクトリック・カンパニイ
アメリカ合衆国、ニューヨーク州、スケネ
クタディ、リバーロード、1 番
(74) 代理人 100137545
弁理士 荒川 聡志
(74) 代理人 100105588
弁理士 小倉 博
(74) 代理人 100129779
弁理士 黒川 俊久
(72) 発明者 ケル・クリストファーセン
ノルウェー、0379・オスロ、モンテベ
ロヴェイエン・7 番

最終頁に続く

(54) 【発明の名称】 超音波プローブの送受信器回路

(57) 【特許請求の範囲】

【請求項 1】

超音波プローブ(100)であって、複数の信号プロセッサ(110)と、アレイ状の超音波トランスデューサ素子を含むトランスデューサアレイ(102)と、信号受信と信号送信間を多重化する受動型送受信器回路(700)と、を具備し、前記受動型送受信器回路(700)が、直列に接続された前記複数の信号処理プロセッサ
(110)を前記超音波トランスデューサ素子(E)に結合し、前記受動型送受信器回路(700)が、(a) 夫々の信号処理プロセッサ(110)に結合させる複数の送信部(702)であっ
て、各々の送信部(702)が、(a1) 送信部入力(704)と、(a2) 送信部出力(706)と、(a3) 該送信部入力(704)と前記送信部出力(706)との間に結合された受信
信号ブロック回路(718)とを含む、ところの前記複数の送信部(702)と、(b) 前記トランスデューサ素子から得た受信信号を、結合コンデンサ(Ccoupl)
を介して夫々の信号プロセッサ(110)に伝達する受信部入力(712)と、(c) 夫々の信号プロセッサ(110)に結合させる受信部(708)であって、(c1) 受信方向において前記夫々の信号プロセッサ(110)により駆動されている

10

20

ときに、受信サブアパーチャとして動作する受信部出力（ 7 1 0 ）と、

（ c 2 ）前記夫々の信号プロセッサ（ 1 1 0 ）と前記受信部出力（ 7 1 0 ）との間に結合され、前記夫々の信号プロセッサ（ 1 1 0 ）の出力に現れる送信波形を除去し、入力と出力を保護するための送信信号ブロック回路と、を含む受信部（ 7 0 8 ）と備え、

前記超音波トランスデューサ素子（ E ）は複数グループのサブアパーチャに配列され、

前記複数の信号プロセッサの各々の受信信号プロセッサ（ 1 1 0 ）は、複数の前記トランスデューサ素子から得た受信信号同士を加算するように複数の受信サブアパーチャをハンドルし、各々の受信サブアパーチャ上でビームフォーミングを実行するように構成され、

前記信号プロセッサ（ 1 1 0 ）には夫々の処理基板（ 1 0 6 ）が設けられ、前記サブアパーチャは2つ以上の前記処理基板（ 1 0 6 ）の分割境界線と交差しないように、前記サブアパーチャは設けられていることを特徴とする超音波プローブ（ 1 0 0 ）。

10

【請求項 2】

前記送信部分出力（ 7 0 6 ）が前記受信部分入力（ 7 1 2 ）に結合されていることを特徴とする請求項 1 に記載の超音波プローブ（ 1 0 0 ）。

【請求項 3】

前記送信部分入力（ 7 0 4 ）が前記受信部分出力（ 7 1 0 ）に結合されていることを特徴とする請求項 1 に記載の超音波プローブ（ 1 0 0 ）。

【請求項 4】

前記送信信号ブロック回路が複数のクランプダイオードを含むことを特徴とする請求項 1 に記載の超音波プローブ（ 1 0 0 ）。

20

【請求項 5】

前記受信信号ブロック回路（ 7 1 8 ）が複数のトランスデューサ素子間に結合された逆並列接続ダイオードを備え、該逆並列接続ダイオードが送信中に前記複数のトランスデューサ素子間で短絡を形成することを特徴とする請求項 1 に記載の超音波プローブ（ 1 0 0 ）。

【請求項 6】

前記受信信号ブロック回路（ 7 1 8 ）が複数のトランスデューサ素子間に結合された逆並列接続ダイオードを備え、該逆並列接続ダイオードが受信中に前記複数のトランスデューサ素子間で開回路を形成することを特徴とする請求項 1 に記載の超音波プローブ（ 1 0 0 ）。

30

【請求項 7】

前記送信信号ブロック回路が、前記受信部分入力（ 7 1 2 ）に結合されたクランプダイオードと、前記受信部分出力（ 7 1 0 ）に結合されたクランプダイオードとを含むことを特徴とする請求項 1 に記載の超音波プローブ（ 1 0 0 ）。

【請求項 8】

前記送信部分入力（ 7 0 4 ）と前記送信部分出力（ 7 0 6 ）との間に結合された電圧設定回路を更に備えることを特徴とする請求項 1 に記載の超音波プローブ（ 1 0 0 ）。

【発明の詳細な説明】

【技術分野】

40

【 0 0 0 1 】

本発明は、一般的に、超音波医療用イメージング・システムに関する。より具体的には、本発明は、複数の素子トランスデューサ・プローブのサブアパーチャの処理に関する。

【背景技術】

【 0 0 0 2 】

医師及び技術者は、通常、診断用途で表示を得て画像を検査するために医療用イメージング・システムを用いる。例えば超音波イメージング・システムにおいて、医師は、心臓が正常に機能しているかどうかを知ろうとして、患者の心臓の画像を取得することができる。時の経過と共に、これらのイメージング・システムは、画像だけでなく、ECGトレース、心拍数などといった付加的な関連診断情報の取得にも次第に精通するようになって

50

いる。

【 0 0 0 3 】

超音波システムの2つの主要構成要素は、超音波プローブとビームフォーマである。ビームフォーマは、表示される解剖学的内容物の画像生成の1つの段階として、プローブによって送受信される超音波エネルギーを集束し方向付ける。

【 0 0 0 4 】

3D超音波の開発は、多数の音響素子を具備する超音波プローブに向かって進んでいる。最新技術の発展は、アパーチャ素子のサブグループ化及び各グループをシステムへ転送される1つの信号に前処理することにより多数のチャンネルが低減されることを示唆している。送信は、プローブ内の送信器のみによって、又はアパーチャのサブグループの送信によって同様に処理することができる。

10

【 0 0 0 5 】

勿論、高画質画像は、医師が検査している生理機能を臨床的に評価するのに非常に重要なものである。高画質画像には、例えば、アパーチャの素子のほとんどを送受信双方に用いることが必要な、疎でないアパーチャを使用する必要がある。最新のシステムは、システムの送受信回路間を多重化することによりこれを達成する。従って、プローブの各チャンネルは、1本のケーブルでシステムに接続され、送信及び受信の双方に用いることができる。

【 0 0 0 6 】

送受信のためのアパーチャのサブグループ化の配置及び実施は、画質にとって非常に重要である。プローブ内に回路を導入することにより、解決しなければならない技術的課題が提起される。また、プローブの受信及び/又は送信回路を用いると、システムの送信/受信スイッチに関する最近の方法では、送受信双方のプローブの全音響チャンネルをオフにして用いることはできない。

20

【特許文献1】米国特許第6548837号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

従って、上述の問題及びこれまで経験されてきた他の問題を克服する必要性が存在する。

30

【課題を解決するための手段】

【 0 0 0 8 】

1つの実施形態において、プローブが位置付けられる超音波トランスデューサ素子用送受信器回路は、送信部分と受信部分を含む。送信部分は、送信部分入力と、送信部分出力と、送信部分入力及び送信部分出力間に結合される受信信号ブロック回路とを含む。受信部分は、受信部分入力と、受信部分出力と、受信部分入力及び受信部分出力間に結合される送信信号ブロック回路とを含む。送信部分入力は、受信部分出力に結合される。別の実施形態において、送信部分入力は、受信部分出力に結合されない。

【 0 0 0 9 】

本発明の他のシステム、方法、特徴、及び利点は、以下の図及び詳細な説明を検討することにより当業者には明らかになるであろう。こうした追加のシステム、方法、特徴、及び利点は、本明細書の説明に含まれており、本発明の範囲内にあり、添付の請求項によって保護されるべきであることが意図される。

40

【発明を実施するための最良の形態】

【 0 0 1 0 】

図面の構成要素は、必ずしも縮尺通りではなく、符号付のシステム及び方法の原理を示すことに重点が置かれる。図中、同じ参照符号は別の図面全体にわたり対応する部分を示している。

【 0 0 1 1 】

図1は、超音波プローブ100のブロック図を示す。プローブ100は、トランスデュ

50

ーサ・アレイ及びバッキングスタック102(「トランスデューサ・アレイ102」)と、トランスデューサ・ケーブル104と、処理電子機器に対応する複数の処理基板106とを含む。各処理基板106は、メモリ108(以下に述べるように幾何形状RAM、エンコードRAM、位置レジスタ、及び制御レジスタを含むことができる)及び信号プロセッサ110を含む。また、位置キャッシュメモリ及びコントローラ112(例えば汎用CPU、マイクロコントローラ、PLDなど)も存在し、通信インターフェース114を含む。メモリ108は別個のものとするか、又は信号プロセッサ110の一部として含むことができる。

【0012】

通信インターフェース114は、デジタル信号線118を介して、及び信号ケーブル120を通じてホストシステム116とのデータ交換を確立する。更に、信号ケーブル120は、処理基板106に接続される同軸ケーブル122を含み、送信パルス波形をトランスデューサ・アレイ102に伝送し、ビームフォーミング後に受信信号をホストシステム116に返信する。別の実施形態において、同軸ケーブル122は、受信信号のみを伝送する。プローブ100は、コネクタ124を含むことができ、該コネクタを通じてプローブ100がホストシステム116に取り付けられる。

【0013】

相互接続126は、トランスデューサ可撓性ケーブル104を処理基板106に接続するために備えることができる。相互接続126はこれによって、トランスデューサ可撓性ケーブル104と処理基板106間に電氣的接続を確立する。相互接続126はコネクタ

【0014】

トランスデューサ・アレイ102は、図2に関して以下により詳細に説明されるようにバッキングスタック上に結合される。トランスデューサ可撓性ケーブル104は、バッキングスタックを通じて電気信号が接続される。1つの実施形態においては、48のトランスデューサ可撓性ケーブル104があり、各々が55の信号接続を具備する。従って、トランスデューサ可撓性ケーブル104は、トランスデューサ・アレイ102内の2640ものトランスデューサ素子の送受信信号接続に対応するが、以下で説明する実施形態ではより少ない数が使用されている。

【0015】

相互接続126は、トランスデューサ可撓性ケーブル104を処理基板106に接続する。1つの実施形態において、各処理基板106は、トランスデューサ可撓性ケーブル104の6つの面に結合されることにより、330のトランスデューサ素子の信号接続を含む。

【0016】

処理基板106は、可撓性ケーブル104と同様に可撓性材料から形成することができる。処理基板106は、トランスデューサ・アレイ102内の受信サブアパーチャ上でビームフォーミングを実行する信号プロセッサ110を含む、トランスデューサ・アレイ102の処理電子機器を保持する。処理基板106はまた、送受信間の選択された音響トランスデューサ素子を多重化すると共に、音響トランスデューサ素子に接続される信号プロセッサ110を保護する送受信器回路を保持する。

【0017】

以下でより詳細に説明するように、各信号プロセッサ110は、トランスデューサ・アレイ102上の選択された空間位置に画定された、例えば4つの複数の受信サブアパーチャを処理することができる。受信サブアパーチャは、三角形のサブアパーチャとすることができ、これは、例えば、1素子の列の上に2素子の列、その上に3素子の列、その上に4素子の列、その上に5素子の列が配置された15の音響トランスデューサ素子を含む。更に、各処理基板106は、6つの信号プロセッサを含むことができる。従って、受信方向において、各処理基板106は、各々が15の音響トランスデューサ素子を含む、最大24の受信サブアパーチャを処理することができる。

【 0 0 1 8 】

全ての超音波ビームにおいて、キャッシュメモリ及びコントローラ 1 1 2 は、デジタル信号線 1 3 2 (例えば別個の可撓性ケーブルにより伝送される)を介して、各処理基板 1 0 6 上の各信号プロセッサコントローラ 1 0 8 に接続される。信号プロセッサコントローラ 1 0 8 は、処理基板 1 0 6 上に「メモリ」とラベル付けされた別個のブロックとして示されているが、信号プロセッサ 1 1 0 の一部として含むこともできる。キャッシュメモリ及びコントローラ 1 1 2 は、静的及び動的プローブ設定情報を、信号プロセッサ 1 1 0 へ転送する。静的設定情報は典型的には、空間的な素子の位置、電力設定、及び遅延設定マッピングテーブルである。動的情報は典型的には、ビーム毎に変わるサブアパーチャの方向情報である。デジタル信号線は、例えば、各処理基板 1 0 6 のクロック・ライン、各処理基板 1 0 6 の直列コマンド・データ・ライン、各処理基板 1 0 6 に接続される 1 つ又はそれ以上のデータ・ライン、1 つ又はそれ以上の信号プロセッサ 1 1 0 の出力イネーブル、及びテスト信号を含むことができる。

10

【 0 0 1 9 】

キャッシュメモリ及びコントローラ 1 1 2 は、例えば、同期式シリアル・ポートの一部を形成することができるデジタル信号線 1 1 8 を介して、ホストシステム 1 1 6 と通信する。このために、通信インターフェース 1 1 4 及びデジタル信号線 1 1 8 は、接地シールド及び中心信号線を具備する同軸ケーブルを含む T I A / E I A - 6 4 4 及び I E E E 1 5 9 2 標準による、低電圧差信号インターフェース L V D S を実装することができる。キャッシュメモリ及びコントローラ 1 1 2 は、例えば、1 - 6 4 M バイトのスタティック・ランダムアクセスメモリ (S R A M) といった 1 ブロックのキャッシュメモリ 1 3 2 を含む。

20

【 0 0 2 0 】

キャッシュメモリ及びコントローラ 1 1 2 内のキャッシュメモリ 1 3 2 の主な目的は、ビームをサブアパーチャの設定情報に依存するように保持することである。1 つの実施形態において、これはサブアパーチャの方向設定情報とすることができる。これは通常、ページに分割され、各ページは、各ショットに関して必要とされる信号プロセッサ 1 1 0 設定情報を含む。キャッシュ・ページに 1 つのスキャンシーケンスの全ショットの情報を載せることにより、この情報はスキャン中にプローブ内で利用可能である。すなわち、スキャン中、各ショットに関するプローブ設定情報は、関連するキャッシュ・メモリ・ポイントをキャッシュメモリ及びコントローラ 1 1 2 に転送することにより、信号プロセッサが使用できるようにすることができる。

30

【 0 0 2 1 】

1 つの実施形態において、キャッシュメモリ及びコントローラ 1 3 2 内のキャッシュメモリは、5 1 2 k ワード × 1 6 ビット (8 M ビット) のものに編成され、1 2 8 ワードのページに分割される。キャッシュ・メモリ・ポイントを各ページの最初に設定することができる。キャッシュ・メモリ・ポイントは、例えば、合計 4 0 9 6 ページをアドレスすることができる 1 2 ビットのポイントとすることができる。キャッシュメモリ 1 3 2 が 4 M ビットのキャッシュのときには、キャッシュ・メモリ・ポイントは、2 0 4 8 ページにインデックスを付ける 1 1 ビットのポイントとすることができる。信号プロセッサ 1 1 0 の連鎖にデータを書き込み、又は該連鎖からデータを読み込むときに、キャッシュ・ページのワードが使用される。各処理基板上の信号プロセッサ 1 1 0 のデジタル・データ・ラインは、一連の複数の信号プロセッサ 1 1 0 にわたりシフト・レジスタを通じて連鎖化することができる。従って、信号プロセッサ 1 1 0 に転送されたデータは、信号プロセッサ 1 1 0 を通じて直列に伝播する。ページの最小アドレスを具備するワードからのビットは、データロード時の連鎖における最後の信号プロセッサ 1 1 0 へのシフト・レジスタの L S B ビットで終わる。更に、キャッシュメモリ 1 3 2 は、キャッシュメモリ及びコントローラ 1 1 2 内に示されるが、別の実施形態において、キャッシュメモリ 1 3 2 は、キャッシュメモリ及びコントローラ 1 1 2 から分離することができる。キャッシュメモリはまた、信号プロセッサ 1 1 0 の一部とすることができる。

40

50

【 0 0 2 2 】

プローブ 1 0 0 は、例えばホストシステム 1 1 6 からの 1 6 ビットのコマンドに応答する。コマンドの 1 つの例示的な設定が下記の表 1 に示される。コマンドの 4 ビットを用いてコマンドを定義することができると共に、該コマンドのパラメータとして 1 2 ビットを用いることができる。

【 0 0 2 3 】

【表 1】

名称	パラメータ ビット：11-0	説明	詳細
WR_CTRL_REG	制御レジストリ設定	制御／状態レジスタへの書き込み	キャッシュメモリ及びコントローラレジスタ
WR_CACHE_PTR	11/12ビットポインタ	キャッシュ・ページ・ポインタ設定	キャッシュ・ポインタは、キャッシュメモリから信号プロセッサ110へロードされる次ページの始まりを示す
WR_CACHE		ホストシステム116からキャッシュメモリ132へのページの書き込み	アドレス・ポインタは、書き込まれた各ワードに対して自動的にインクリメントすることができる
LD_SCAN_PAR		スキャン・パラメータ・ページを信号プロセッサ110連鎖に書き込む	各超音波ショットについて更新される
LD_CONFIG		メモリ又はレジスタを信号プロセッサ110にロード	静的コンフィギュレーション・データ
DELAY_TUNE	なし	遅延校正開始	各信号プロセッサ110は遅延を校正する内部回路を有する
SAP_RESET	リセットするもの		
RD_CTRL_REG	戻された制御レジスタ値	制御／状況レジスタからの読み込み	このレジスタはキャッシュメモリ及びコントローラ112の内部にある。
RD_CACHE_PTR	戻されたポインタ値	キャッシュ・ページ・ポインタ・レジスタの読み込み	検査及び確認に有効
RD_CACHE	なし	キャッシュメモリ132からページを読み込む。	アドレス・ポインタは読み込まれた各ページについて自動的にインクリメントすることができる
RD_CONFIG		信号プロセッサ110から設定を読み込む。	例えば連鎖の最後の信号プロセッサ110からループ・バックを通す
CMD_ENABLE	IDコード	コマンド実行を有効及び無効にする。	

【0024】

コマンドの目的は、プローブを制御するよう設定することである。コマンドは、キャッ

10

20

30

40

50

シュメモリ及びコントローラ 112 及び / 又は信号プロセッサ 110 を制御することができる。また、例えば、送信パルスからのノイズに起因する好ましくないコマンドの実行を避けるための保護機構を含むのが望ましい。

【0025】

書き込みキャッシュ・ポインタ (WR__CACHE__PTR) コマンドは、メモリ・キャッシュ・ポインタ・レジスタに書き込む。1つの実施形態において、パラメータは12ビットのキャッシュ・ポインタである。キャッシュメモリ132を読み込み/書き込みをする際に、特定のキャッシュ・ポインタが、コマンドのパラメータ領域で使用される。キャッシュ・ワードの読み込み/書き込み中に、キャッシュ・ポインタを自動的にインクリメントすることができる。全ページを転送後、次にポインタは次ページの始まりを示す。8Mビットを超えて使用される場合には、12ビットより長いキャッシュ・ポインタの転送を2つのコマンドとして実行することができる。

10

【0026】

キャッシュへの書き込み (WR__CACHE) コマンドは、キャッシュメモリ132へのデータをロードする。データは、キャッシュ・ポインタによって示されたキャッシュ・ページに書き込まれることになる。キャッシュ・ポインタは、各ワードがキャッシュに書き込まれると自動的にインクリメントされる。位置メモリコントローラ112は、このコマンドが受信されるときにコマンド・エコーを送信することができる。

【0027】

スキャン・パラメータのロード (LD__SCAN__PAR) コマンドは、スキャン・パラメータを信号プロセッサ110連鎖に書き込む。1つの実施形態において、パラメータは用いられない。このコマンドは、スキャン・パラメータ・ページを信号プロセッサ110へキャッシュ・アドレス・ポインタによって与えられたキャッシュ・ページから書き込む。このコマンドは、EOL信号によってトリガーすることができるが、同様にコマンドとして送信することもできる。

20

【0028】

データが転送されると、キャッシュメモリ及びコントローラ112は、信号プロセッサ110に計算コマンドを送信し、次の超音波ショットのビームフォーミング遅延の計算を開始する(設定時間を削減するために以前のロードされた設定値を用いる)。キャッシュメモリ132ポインタは、各ワードが信号プロセッサ110に書き込まれると自動的にインクリメントされる。スキャン・パラメータ・ページのサイズは、例えば、128ワードとすることができる。最小アドレスを具備するワードは、最終的には連鎖における最後の信号プロセッサ110のシフト・レジスタのLSBビットとなる。

30

【0029】

コンフィギュレーションロード (LD__CONFIG) コマンドは、静的設定情報を信号プロセッサ110へロードする。静的設定情報は通常、信号プロセッサ110内の空間的素子位置、電力設定、及び遅延設定マッピングテーブルである。コマンドが用いられる度に、1つのキャッシュ・ページが選択されたメモリに書き込まれる。1つよりも多いキャッシュ・ページを必要とするロードもある。

【0030】

信号プロセッサ内で空間的素子位置を保持する幾何形状RAMは、各々が12ビット長である64ワードとして実装することができる。遅延マッピングテーブルを保持するエンコーダRAMは、各々が5ビット長である1024ワードとして実装することができる。スタート・アドレスは、キャッシュメモリ132アドレス・ポインタから取り出される。各ページの後、アドレス・ポインタは次のキャッシュ・ページにインクリメントする。従って、アドレス・ポインタを更新することなく、後続のページをロードすることができる。ページ内で最小アドレスを有するワードは、信号プロセッサ110連鎖内に計時された最初のデータである。従って、最小アドレスのコンテンツは、最終的には特定の処理基板106上の信号プロセッサ110の連鎖における最後の信号プロセッサ110のシフト・レジスタのLSBビットとなる。

40

50

【 0 0 3 1 】

遅延チューニング開始 (D E L A Y _ T U N E) コマンドは、信号プロセッサ 1 1 0 の内部遅延を校正する処理を開始する。パラメータを用いる必要はない。結果は、信号プロセッサ 1 1 0 内に存在するアナログ多目的レジスタに書き込まれる。

【 0 0 3 2 】

S A P リセット (S A P _ R _ S E T) コマンドは、信号プロセッサ 1 1 0 内の内部機能、すなわちアドレス・カウンタを全てリセットする。パラメータは、信号プロセッサ 1 1 0 全体か又はサブ機能のみをリセットするかを選択するビット・パターンを指定することができる。

【 0 0 3 3 】

制御レジスタ読み込み (R D _ C O N T R O L _ R E G) コマンドは、位置メモリコントローラ 1 1 2 内の制御レジスタを読み込む。レジスタのコンテンツは、コマンドのパラメータ領域に戻すことができる。

【 0 0 3 4 】

キャッシュ・ポインタ読み込み (R D _ C A C H E _ P T R) コマンドは、キャッシュメモリ 1 3 2 ポインタ・レジスタを読み込む。コマンドがホストシステム 1 1 6 にエコーバックされる前に、キャッシュ・ポインタ・レジスタから読み込まれる値は、コマンドのパラメータ領域に戻すことができる。

【 0 0 3 5 】

キャッシュ読み込み (R D _ C A C H E) コマンドは、キャッシュメモリ 1 3 2 からホストシステム 1 1 6 へのデータを読み込む。コマンドが受信されると、位置メモリコントローラ 1 1 2 は、データワードをワードの連続シーケンスとして送ることができる。

【 0 0 3 6 】

S A P からのコンフィギュレーション読み込み (R D _ C O N F I G) コマンドは、パラメータ・ビットで指定される信号プロセッサ 1 1 0 からコンフィギュレーション・データを読み込む。コンフィギュレーション・データは、信号プロセッサ 1 1 0 から読み込まれ、キャッシュ・ポインタによって示されたキャッシュ・ページのキャッシュメモリ 1 3 2 に置かれる。キャッシュ・アドレスは、読み込まれた各ワードについてインクリメントする。第 1 のワードは、最小キャッシュ・アドレス内に置かれる。キャッシュ・アドレスは、終了すると次ページのスタートに調整される。

【 0 0 3 7 】

コマンド・イネーブル (C M D _ E N A B L E) コマンドは、コマンドの実行を有効又は無効にする。キャッシュメモリ 1 3 2 からのスキャン・パラメータのロード後、コマンドの実行は、コマンド終了後に無効とされる。それでも尚、無効の間に、位置メモリコントローラ 1 1 2 は、コマンド・イネーブルコマンド及び制御レジスタ読み込みコマンドに応答することができる。固有のビット・パターンがパラメータ領域に付加され、このコマンドがコマンド・ライン上に存在するノイズから発生する可能性を低減する。

【 0 0 3 8 】

概要として、以下の段階がスキャン中に起こる。最初に、E O L 信号 (前の超音波ショットからの受信データの最後) が、キャッシュメモリ及びコントローラ 1 1 2 をトリガーし、信号プロセッサ 1 1 0 へ計算コマンドを送信し、その後、キャッシュメモリ 1 3 2 から信号プロセッサ 1 1 0 へ新しいページを送信する。キャッシュメモリ及びコントローラ 1 1 2 内のページ・ポインタ・レジスタは、この新しいページのスタート・アドレスを保持する。各アップロードの前に、ホストシステム 1 1 6 は、次の超音波ショットのページ・ポインタを、デジタル信号線 1 1 8 を下ってキャッシュメモリ及びコントローラ 1 1 2 へ送信する。ページのロードが終了すると、肯定応答信号をホストシステム 1 1 6 へ返信することができる。ホストシステム 1 1 6 はその後、超音波ショットを発射し、超音波データの収集を継続する。最新ショットの収集が終了すると、位置メモリコントローラ 1 1 2 は、新しい E O L を受信し、処理が再び新たに開始される。

【 0 0 3 9 】

10

20

30

40

50

プローブ１００がホストシステム１１６に接続されると、ホストシステム１１６は、各アパーチャ及び各ビームの設定情報を位置メモリコントローラ１１２上のＳＲＡＭに送信する。受信ビームフォーミングは、ホストシステム１１６とプローブ１００間で分割される。ホストシステム１１６は、受信アパーチャ出力の信号プロセッサ１１０によって駆動されるシステム受信チャネルのビームフォーミング遅延、アパーチャ拡大、及び振幅アボダイゼーションに関与する。

【００４０】

信号プロセッサ１１０は、個々の受信サブアパーチャ上でビームフォーミングを行う。１つの実施形態において、三角形の受信サブアパーチャとして配列される１５のトランスデューサ素子のグループが、信号プロセッサ１１０に結合される。信号プロセッサ１１０は、トランスデューサ素子の各々から発生する受信信号の各々に遅延を適用する。信号プロセッサ１１０はまた、１５の受信信号を併せて加算し、受信アパーチャ出力及び同軸ケーブル１２２を介してホストシステム１１６にアパーチャ合計を送り返す。

10

【００４１】

位相遅延を用いる１つの実施形態において、各信号プロセッサ１１０は、各受信サブアパーチャに対して、１５の低ノイズ増幅器、１５の位相反転回路、１つのコンデンサ・スイッチング・ネットワーク、及び９０度の差動位相シフトに適用される２つの移相器を含む。この実施形態において、差動位相シフトは広帯域である。スイッチング・ネットワークは、移相器への加算のため、潜在的に反転された受信信号に、重み係数を付与する。別の実施形態において、信号プロセッサは遅延線連鎖に基づく。

20

【００４２】

動作中、各信号プロセッサ１１０は、各受信サブアパーチャのビームステアリングがホストシステム１１６によって選択された焦点に向かうように構成される。このため、信号プロセッサ１１０は、受信アパーチャ内のトランスデューサ素子位置、ステアリング方向、及び受信周波数に基づいてビームフォーミング位相シフトを求める。各受信サブアパーチャは、同じ焦点を用いる必要はなく、トランスデューサ・アレイ１０２の中心からより離れた位置にある受信サブアパーチャは、アパーチャ・サイズを動的に増大させることができるように後で作動可能である点に留意されたい。

【００４３】

信号プロセッサ１１０は、２つの段階で構成される。最初に、プローブ１００の初期化中、ホストシステム１１６は、静的信号プロセッサ設定情報をキャッシュメモリ及びコントローラ１１２を介して信号プロセッサ１１０へロードする。この静的情報は、幾何形状情報、すなわち各受信サブアパーチャのトランスデューサ素子の空間的（ x 、 y ）位置、及び周波数依存変換テーブルを含む。次に、スキャンの前に、動的設定情報が、キャッシュメモリ及びコントローラ１１２内のキャッシュメモリ１３２へ送信される。これらのキャッシュ・ページの各々は、１つのショットに関してプローブ内の全てのサブアパーチャのステアリング・パラメータを含む。別の実施形態において、１つよりも多いキャッシュ・ページを用いて、設定情報に関して必要とされるビームを送信することができる。

30

【００４４】

スキャン中、ホストシステム１１６は、キャッシュメモリ及びコントローラ１１２にビーム・インデックスを付加する。これに応答して、キャッシュメモリ及びコントローラ１１２は、適正なステアリング・パラメータを該キャッシュメモリから信号プロセッサ１１０へ送信する。次いで、信号プロセッサ１１０は、トランスデューサ素子位置、（方向パラメータによって表される）ステアリング方向に基づいてビームフォーミング遅延を求める。位相遅延を用いる実施形態において、遅延は、周波数依存変換テーブルを用いて位相設定に変換される。

40

【００４５】

次いで図２を参照すると、該図は、トランスデューサ・アレイ１０２の１つの実施形態を示す。トランスデューサ・アレイ１０２は、電子エネルギーから音響エネルギーへ、及び音響エネルギーから電子エネルギーへ変換する圧電セラミック２０２を含む。圧電セラミック２

50

02は、トランスデューサ・アレイ102の中心に位置付けられる。信号面では、圧電セラミック202は、z軸バッキング層204に、トランスデューサ可撓性ケーブル104により取り付けられる。

【0046】

トランスデューサ可撓性ケーブル104は、高密度信号接続を形成する。セラミック202、導電性の内部音響整合層210、及びバッキングブロック204の上面は、トランスデューサ可撓性ケーブル104内の可撓性回路トレース206の各々の上に集められる個別の音響素子212を形成する。従って、z軸バッキングブロック204上に信号面213が存在する。

【0047】

各回路トレース206は、トランスデューサ素子212の底面、すなわち信号面に接触する。このダイスカット状の整合層216は、各素子212の上部に取り付けられ、トランスデューサ・アレイ102の表面全体に接地接続を形成する。

【0048】

次に、図3及び図4について、図3は、図1に示される超音波プローブ内に組み込まれた音響トランスデューサ素子300のアレイ全体にわたって配置されている受信サブアパーチャを示す。同様に、図4は、音響トランスデューサ素子300のアレイ全体にわたり配置される特定の受信アパーチャと多重化された1行の送信サブアパーチャを示す。図示される他の行もまた送信素子を含む。1つの実施形態において、アレイは、横方向に55のトランスデューサ素子、縦方向に48の素子を含む。

【0049】

しかしながら、以下で述べる実施形態において、アレイの角は落とされ、これによってアレイ300は八角形となる。全てのトランスデューサ素子は、15の素子受信サブアパーチャにグループ化され、図3に示されるように受信方向で用いられる。全ての送信素子もまた、4つの素子送信サブアパーチャにグループ化され、図4に示されるように送信方向で用いられる。

【0050】

具体的に図3を参照すると、各信号プロセッサ110は、各受信サブアパーチャの15のトランスデューサ素子から生じる15の受信信号を、単一システム受信チャンネルに結合する。信号プロセッサ110は、上述のように、受信信号を加算する前に、各受信信号に遅延を適用する。15のトランスデューサ素子のグループは、図3に示されるように、三角形のアパーチャを形成する。従って、トランスデューサ受信アパーチャ全体では、 $160 \times 15 = 2400$ のトランスデューサ素子を含む160のサブアパーチャを含む。別の実施形態において、選択された受信サブアパーチャの数及び送信サブアパーチャの数は、送受信において利用可能なシステム・チャンネルの数、望ましいアパーチャのサイズ及び形、並びにトランスデューサ素子のサイズに応じて決まる。

【0051】

図3に示されるように、拡大した受信アパーチャ48に関して、各受信アパーチャは、 5×5 のグリッドのトランスデューサ素子上に形成される。受信アパーチャは、5つのトランスデューサ素子の第1の行(11-15とラベル付けされている)、4つのトランスデューサ素子の第2の行(7-10とラベル付けされている)、3つのトランスデューサ素子の第3の行(4-6とラベル付けされている)、2つのトランスデューサ素子の第4の行(2-3とラベル付けされている)、及び1つのトランスデューサ素子の第5の行(1とラベル付けされている)を含む。各トランスデューサ素子は、そのサブアパーチャ内に位置 x_n 、 y_n を有する。例えば、トランスデューサ素子14は、 $x_n = 3$ 、 $y_n = 0$ に位置付けられる。受信アパーチャは、2つの受信アパーチャの組み合わせが、横方向に5つのトランスデューサ素子と縦方向に6個のトランスデューサ素子の矩形パッチを形成するようにインターロックされる。

【0052】

図4に関しては、送信アパーチャの図示部分は、受信素子アレイ300の第5番目の行

10

20

30

40

50

に沿って、3 2 4 のトランスデューサ素子を含む。送信素子は、2 × 2 の素子送信サブアパーチャにグループ化され、送信サブアパーチャの各々は、同軸ケーブル 1 2 2 でホストシステム 1 1 6 に戻されるシステム送信チャンネルの 1 つに接続される。図 4 は、拡大された送信サブアパーチャ 1 6 8 を示し、2 つのトランスデューサ素子の第 1 の行（3 - 4 とラベル付けされている）及び 2 つのトランスデューサ素子の第 2 の行（1 - 2 とラベル付けされている）を含む。送信サブアパーチャは、送信グレーティング・ローブを低減するために横（水平）方向に千鳥配置にされる。

【 0 0 5 3 】

縦方向においては、3 つの 2 × 2 送信サブアパーチャが、6 つの受信トランスデューサ素子と整列される。縦（垂直方向）において、アレイ 3 0 0 全体は、各々が 6 行のトランスデューサ素子である 8 つのグループに分割される。送信及び受信サブアパーチャの配列は、電子機器分割を構成する。より具体的には、6 つの素子行の各グループ（例えば、図 3 及び図 4 で a - f とラベル付けされているもの）は、1 つの処理基板 1 0 6 に 6 つのトランスデューサ可撓性ケーブル 1 0 4 によって接続される。受信サブアパーチャ又は送信サブアパーチャは、分割境界線を（2 つ又はそれ以上の処理基板の上へ）超えないので、6 つの行の全てのトランスデューサ素子に関連する処理電子機器は、単一処理基板 1 0 6 内に全体が含まれる。1 つの有意な利点は、1 つの処理基板 1 0 6 から別の処理基板へアナログ信号を送る必要がないことである。

【 0 0 5 4 】

図 5 は、トランスデューサ・アレイ 1 0 2 のバッキングスタック 2 0 4 から生起する 4 8 のトランスデューサ可撓性ケーブル 1 0 4 の分布 5 0 0 を示す。6 つのトランスデューサ可撓性ケーブル 1 0 4 が、8 つの処理基板 1 0 6 の各々に接続される。トランスデューサ可撓性ケーブル 1 0 4 は、これによって、音響トランスデューサ素子のアレイ 3 0 0 を処理基板 1 0 6 上の信号プロセッサ（このうち 2 つは素子 1 1 0 として示される）に接続する。スペーサ 5 0 4 が処理基板 1 0 6 の間に置かれ所望の間隔が得られる。

【 0 0 5 5 】

各トランスデューサ可撓性ケーブルは、特定の処理基板に接続するように、5 5 のトランスデューサ素子の信号経路を備える接続を有する。このために、信号をトランスデューサ可撓性ケーブル 1 0 4 から処理基板 1 0 6 に接続するコネクタが設けられる。本明細書で説明される実施形態では、このような処理基板 1 0 6 が 8 つある。従って、8 つの処理基板 1 0 6 は、図 5 に示されるように、積み重ねられて、4 8 のトランスデューサ可撓性ケーブル 1 0 4 を処理基板 1 0 6 へ完全に分配する。

【 0 0 5 6 】

図 6 は、送受信間の選択された音響トランスデューサ素子を多重化すると共に、送受信用のプローブ電子機器を保護するプローブ回路を示す。実施形態 6 0 0 は、送受信双方のシステムに同軸ケーブル 6 0 6 を用いる。この実施形態において、プローブ受信処理回路 6 0 4 は、入力 6 0 3 - 6 0 4 接続及び出力 6 0 2 - 6 0 4 接続の双方に保護回路を有する必要がある。プローブ 6 0 1 の送信回路を具備する別の実施形態においては、受信回路入力 6 0 3 - 6 0 4 接続だけが保護されなければならない。この実施形態において、送信回路の必要性は、ライン 6 0 8 を介したシステムから、又はプローブのキャッシュメモリ及びコントローラ 1 1 2 から制御される。

【 0 0 5 7 】

多重回路 6 0 2 及び 6 0 3 は、スイッチ又は受動回路を用いて実装することができる。能動スイッチを具備する実施形態では、制御回路は、信号の流れに対して計時する必要がある。受動回路を用いる実施形態では、図 7 に示されるように、信号レベルのみに基づいてプローブ回路を保護している。全ての実施形態では、使用されるマルチプレクサ又はスイッチは、通常、圧電トランスデューサ素子のピーク間で 1 0 から 4 0 0 ボルトの範囲にある高電圧送信電圧に耐えなければならない。他のタイプのトランスデューサ素子は、異なる電圧範囲を用いることができる。

【 0 0 5 8 】

10

20

30

40

50

図7は、送受信器回路700の受動型の実施形態を示すが、これは送受信間の選択された音響トランスデューサ素子を多重化すると共に、音響トランスデューサ素子に接続された信号プロセッサを保護するものである。送受信器回路700は、複数の送信部分を含むが、このうちの1つの702とラベル付けされたものは、送信部分入力704と、送信部分出力706と、送信部分入力704及び送信部分出力706間に配置された2セットの受信信号ブロック回路とを組み込む。図7に示されるように、受信信号ブロック回路は、逆並列接続ダイオードD1、及びコンデンサCshuntに接続された逆並列接続ダイオードD3を含む。

【0059】

また、送受信器回路700は、複数の受信部分を含み、そのうちの1つの708とラベル付けされたものは、受信部分出力710と、受信部分入力712と、受信部分入力712及び受信部分出力710間に配置された2セットの送信信号ブロック回路とを組み込む。送信信号ブロック回路は、ダイオードD2に接続されたコンデンサCcouple、及びコンデンサC2に接続される逆並列接続ダイオードD4を含む。受信部分入力712は、トランスデューサ素子から得た受信信号を信号プロセッサ110へ転送する受信信号接続である。

【0060】

音響トランスデューサ素子は、送信部分出力706及び受信部分入力712に結合される。送信部分出力706及び受信部分入力712は、トランスデューサ素子で共に接続され、そのうちの1つが図7でEとラベル付けされる。同様に、送信部分入力704及び受信部分出力710は、共に接続される。受信部分出力710は、信号プロセッサ110によって受信方向に駆動される受信サブアパーチャ出力として機能する。従って、受信サブアパーチャ出力は、受信サブアパーチャを介して得られた信号、例えば、三角形の受信サブアパーチャの15のトランスデューサ素子から得られた受信信号から形成されるビームフォーミングされた受信信号を伝送する。

【0061】

各送信部分702は、4つのダイオードD1を通じて4つのトランスデューサ素子Eに結合される点に留意されたい。4つのトランスデューサ素子は、上述の2×2の送信サブアパーチャを形成する。同様に、15のトランスデューサ素子Eは、1つの受信サブアパーチャ出力チャネルに組み合わせられて加算される。所与の受信サブアパーチャの15の受信部分入力712の各々は、コンデンサCcouple及びダイオードペアD2を含む。出力側において、受信サブアパーチャを介して得られる組み合わせ信号の受信部分出力710の各々は、ダイオードペアD4及びコンデンサC2を含む。

【0062】

送受信器回路700によって、トランスデューサ素子Eは、信号受信と信号送信間で多重化が可能であると共に、信号プロセッサ110の入力と出力を保護することができる。すなわち、任意の所与のトランスデューサ素子Eは、送信音響エネルギー及び受信音響エネルギーの双方に用いることができる。

【0063】

しかしながら、全てのトランスデューサ素子Eを多重化することは、望ましいものではない。アレイ300のトランスデューサ素子の一部が、受信だけに使用される場合には、トランスデューサ素子Eは、これに結合される送信部分702を有する必要はない。これは図7に示され、受信のみの素子は714及び716でラベル付けされる。更に、送信信号ブロック回路は、受信専用トランスデューサ素子に対して除外することができる。同様に、送信方向のみに使用されるトランスデューサ素子Eは、これに結合される受信部分708を有する必要はなく、受信信号ブロック回路を含む必要もない。従って、例えば、718とラベル付けされる受信信号ブロック回路（並びにCcouple及びD2）は、送信専用チャネルに対して除外することができる。

【0064】

動作中、ホストシステム116から来る送信信号（例えば100ボルトのパルス）は、

10

20

30

40

50

ダイオードD 3、同調インダクタ L_{tuning} 、及びダイオードD 1を通過して、トランスデューサ素子Eを駆動する。同調インダクタの後、送信信号は4つの信号に分かれ、D 1ダイオードの4セットを通過し、 2×2 の送信サブアパーチャを形成する4つのトランスデューサ素子に伝わる。

【0065】

図7に示されるように、ダイオードD 1、D 2、D 3、D 4は、逆並列ペアのようになる。ダイオードの電圧降下は、送信電圧に比べて小さく、送信中、送信信号に対して有意な影響はない。同調インダクタは、トランスデューサ素子Eへの電圧設定を与えるように選択される。この回路の共振周波数（つまり、同調インダクタ及び有効静電容量）は、望ましい送信周波数に整合するように調整される。有効静電容量は、トランスデューサ素子、寄生シャント静電容量、及び結合コンデンサ C_{coupl} の並列構成要素で形成される。

10

【0066】

結合コンデンサ C_{coupl} は、信号プロセッサ110入力を送信信号電圧から保護する。信号プロセッサ110は、送信電圧まで結合コンデンサを充電するための電流を供給する内部クランプダイオードD 2を含む。従って、結合コンデンサは送信電圧のほぼ全てを占め、ダイオードD 2は、信号プロセッサ110入力に存在する電圧をプラス又はマイナス1ダイオード電圧降下（例えば0.7V）に保持する。

【0067】

同軸ケーブル122は主に、送信用及び受信用の双方に用いられるので、送信波形も信号プロセッサ110出力に（送信ブロック回路なしで）現れる。コンデンサ C_2 及びダイオードD 4は、信号プロセッサ110出力を送信電圧から保護する。特に、D 4は信号を1ダイオード電圧降下にクランプし、 C_2 は信号プロセッサ110出力を送信電圧の大部分を占めることにより送信波形から切り離す。送信波形は、同軸ケーブル122によって十分にフィルタ処理され、コンデンサ C_2 及び C_{coupl} の電荷電流を制限する。

20

【0068】

受信中、トランスデューサ素子Eからの受信信号は、 C_{coupl} を通過して信号プロセッサ110へ伝わる。信号プロセッサ110の入力ステージは、 C_{coupl} によって決定されるゲインを有する電荷増幅器Aである。一般に、良好な雑音指数のためには、結合コンデンサのインピーダンスは、トランスデューサ素子Eのインピーダンスに比べて小さくなければならない。しかしながら、インピーダンス値が小さいと、送信中の電荷電流が増大する。

30

【0069】

受信中はトランスデューサ素子の電圧は小さいので、ダイオードD 1は、開放状態にある。従ってダイオードD 1は、低電圧信号ブロッカーとして動作し、トランスデューサ素子Eを互いから切り離す。トランスデューサ素子から受信されたエコー信号は、信号プロセッサ110内で遅延されて加算され、受信部分出力710に供給される。より具体的には、出力信号は、出力抵抗R並びにコンデンサ C_1 及び C_2 を通過して、同軸ケーブル122に送られる。ホストシステム116の前置増幅器及び同軸ケーブル122の静電容量による負荷は、D 4における出力電圧をダイオードのオン電圧よりも小さい程度まで制限するのに十分なほど大きい。従って、ダイオードD 4は、受信中は開回路である。

40

【0070】

抵抗Rは、同軸ケーブル122への信号ゲインを効果的に制御する。保護コンデンサ C_2 の値は（入力結合コンデンサと類似の）、送信サージ電流と受信インピーダンスとの間のトレードオフである。1つの実施形態において、コンデンサ C_2 は、約100pFである。コンデンサ C_1 は、出力DCレベルをクランプダイオードD 4から切り離す。 C_1 の正確な値は重要でないが、 C_1 による信号の低下を避けるために、 C_2 の値の数倍（例えば1nF）に設定することができる。

【0071】

シャント・コンデンサ C_{shunt} は、受信部分出力710から受信部分入力712へ

50

戻る漏話を低減する。より具体的には、ダイオードD3は、受信中はオフ状態であるが、このpF範囲の寄生容量が漏話を生成することになる。シャント・コンデンサは、寄生容量に比べてより大きく、寄生容量よりもはるかに低いインピーダンスを示す。その結果、ダイオードD3とシャント・コンデンサとが分圧器を形成し、ここでは電圧の大部分が寄生容量で降下し、シャント・コンデンサはわずかな電圧降下しかない。従って、シャント・コンデンサの低い電圧は、効果的に漏話を制限する。送信中、ダイオードが基本的に短絡されると、シャント・コンデンサは、同軸ケーブル122の静電容量に比べて無視できる程の負荷である点に留意されたい。

【0072】

図8は、処理基板106の底層802及び最上層804側を示す。図8は、図7に関して上で詳細に説明しているように、各処理基板106に含まれる処理電子機器の例示的な配置図を示す。図8に示すように、信号プロセッサ110は、処理基板の中央領域を占めると共に、D1ダイオード・アレイは信号プロセッサ110の下に位置付けられ、D3及びD4ダイオード・アレイは信号プロセッサ110の上に位置付けることができる。

【0073】

次に図9を参照すると、該図は信号プロセッサ110のブロック図900を示す。信号プロセッサ110は、4つのアパーチャ・プロセッサ902、904、906、及び908と、デジタル制御ブロック910と、遅延調整回路912及び回復電圧回路914並びにバイアス回路916を含むことができるサポート回路とを含む。

【0074】

各アパーチャ・プロセッサ902 - 908は、16の受信入力（例えばs0In0 - s0In15）を含むが、これらは、受信サブアパーチャを形成するトランスデューサ素子に接続される。1つの実施形態において、受信サブアパーチャは三角形であり、15のトランスデューサ素子から形成される。従って、各サブアパーチャ・プロセッサ902 - 908の1つの入力の使用されなくなる。各サブアパーチャ・プロセッサ902 - 908はまた、テスト入力（testinとラベル付けされた）及びデジタル制御入力（pgmとラベル付けされた）を含む。サブアパーチャ・プロセッサ902 - 908は、受信入力信号上でビームフォーミングを行い、受信サブアパーチャを介して得られたビームフォームされた信号を受信サブアパーチャ出力（s0Out - s3Outとラベル付けされた）上に出力する。

【0075】

デジタル制御ブロック910は、クロック（sClk、例えば、20MHzのシステムクロック）と、データ（sDataIn0及び1、シリアルデータ入力、及びsCdataIn、シリアル制御データ入力）と、制御（sOEN、信号プロセッサ110の出力イネーブル）信号とを含む。デジタル制御ブロックはまた、2つのデータ出力（sDataOut0及び1）を含む。データ入力及び出力は、以下に述べるように、信号プロセッサ110を直列に連鎖するのに用いることができる。

【0076】

信号プロセッサ110内の回路を図10に関して以下により詳細に説明する。図10は、信号プロセッサ110内の狭帯域ビームフォーミング回路1000を示す。各受信入力（その1つがsxIn0とラベル付けされている）は、低ノイズ増幅器1002と、ミキサーを含む重み付け及び加算ステージ（その1つが1004とラベル付けされている）と、アナログ加算器（正の加算のアナログ加算器が1005とラベル付けされ、負の加算のアナログ加算器が1006とラベル付けされている）と、全域通過フィルタ1008及び1009とを通過する。更に、全域通過フィルタは、第2のアナログ加算器（その1つが1010とラベル付けされている）に接続され、ライン・ドライバ1012を通過して受信サブアパーチャ出力（そのうちの1つはsxOutとラベル付け）を出る。

【0077】

低ノイズ増幅器（LNA）は、電荷感知増幅器であり、外部の結合コンデンサを介してトランスデューサ素子からの受信信号を増幅する。LNAのゲインは、外部の結合コンデ

10

20

30

40

50

ンサと内部のフィードバック抵抗との比を調整することにより設定することができる。通常、LNAの開ループゲインは高く、典型的な閉ループゲイン(3MHz)は、利用可能な信号範囲を活用するように選択される。

【0078】

LNAは、1つには回復電圧回路914に起因して回復時間が早い。受信信号電圧が回路を飽和状態にまで駆動すると、回復回路が作動して、入力ステージの飽和状態から迅速な回復を確実に行う。

【0079】

図10に示されるように、同相(I)及び直角(Q)信号は、受信信号から生成される。このために、各入力は、全ての入力加算される前に、望ましいチャネル遅延に応じた重みと符号が与えられる。多入力増幅器は、各入力に対して個別に選択可能な入力コンデンササイズを使用することによって重み付け及び加算を行う。完全差動増幅器を加算に用いることができる。各入力の符号は、正の加算ノード1005か又は負の加算ノード1006のいずれかに入力を提供することによって設定される。

【0080】

1つの実施形態において、信号プロセッサ110は、以下の表2及び表3に示される22.5度の定量化の重みを用いる。

【0081】

【表2】

位相	IMx	qMx
$0 \leq \text{位相} < \pi/2$	1	1
$\pi/2 \leq \text{位相} < \pi$	-1	1
$\pi \leq \text{位相} < 3\pi/2$	-1	-1
$3\pi/2 \leq \text{位相} < 2\pi$	1	-1

【0082】

【表3】

位相	In	qn
0	1	0
$\pi/8$	0.924	0.383
$\pi/4$	0.707	0.707
$3\pi/8$	0.383	0.924
$\pi/2$	0	1
X	0	0

【0083】

第2のアナログ加算器を有する加算ステージ1010は更に、使用可能範囲の信号の振れを平均化する減衰を含むことができる。

【0084】

全域通過フィルタは、I及びQ信号に対して、対象の周波数帯域にわたる位相誤差の差異を最小化するように選択された位相遅延を加える。各フィルタは、s平面に与えられる一次伝達関数 $H(s) = (1 - st) / (1 + st)$ を有し、ここでtはフィルタのRC時定数である。伝達関数は、アクティブ・フィードバックと抵抗及びクロスカップルのコンデンサを用いて実現することができる。より具体的には、全域通過フィルタは、その後抵抗が続く非反転バッファとして、コンデンサと直列の反転バッファと並列にして実装することができる(図20参照)。

【0085】

1つの実施形態において、全域通過フィルタ1008は、 $RC = 25\text{ ns}$ を有し、全域通過フィルタ1009は、3MHzで $RC = 145\text{ ns}$ を有する。iMx、qMx、in、及びqnの決定について、図15及び表4を参照して以下に説明する。

【 0 0 8 6 】

ライン・ドライバ 1 0 1 2 は、ビームフォーミングされた受信信号を駆動してホストシステム 1 1 6 へ戻す。ライン・ドライバ 1 0 1 2 は、アナログ加算器と差動増幅器の組み合わせとして接続された極めて大きな入力ステージを具備するオペアンプを用いることができる。この方法において、I 及び Q チャネルからの信号は、加算されて単一の最終出力に変換される。組み合わされた第 2 の加算ステージのゲイン及びライン・ドライバは、望ましい出力範囲を与えるように選択される。

【 0 0 8 7 】

遅延調整回路 9 1 2 は、全域通過フィルタの時定数を変えることができるプロセス変動及び動作条件を考慮するように含まれる。時定数を制御するために、調整回路 9 1 2 が含まれる。

10

【 0 0 8 8 】

バイアス回路 9 1 6 は、信号プロセッサ 1 1 0 内のアナログ・モジュールへのバイアス電流を制御する。電源電圧は、基準電圧として用いることができる。1つの実施形態において、バイアス電流は、信号プロセッサ 1 1 0 により分配されて、異なるアナログ・モジュールに必要なバイアス電流を供給する。

【 0 0 8 9 】

次に図 1 3 を参照すると、デジタル制御ブロック 9 1 0 内に含まれる信号プロセッサ 1 1 0 のデジタル・インターフェース 1 3 0 0 のブロック図が示されている。デジタル・インターフェース 1 3 0 0 は、4 セットの 6 ビットレジスタ/メモリ 1 3 0 2 及び 1 3 0 4、1 3 0 6 及び 1 3 0 8、1 3 1 0 及び 1 3 1 2、1 3 1 4 及び 1 3 1 6 を含み、信号プロセッサ 1 1 0 によって処理される 4 つの受信アパーチャのデルタ Y 及びデルタ X 傾斜パラメータを記憶する。デジタル・インターフェース 1 3 0 0 はまた、2 つの 1 ビットのバンク・メモリ 1 3 1 8、1 3 2 0 と、2 つのデータシフトレジスタ 1 3 2 2、1 3 2 4 と、多ビットのキー・レジスタ 1 3 2 6 と、多ビットのコマンド・レジスタ 1 3 2 8 とを含む。トライステイト・バッファ 1 3 3 0 及び 1 3 3 2 により、インターフェース 1 3 0 0 は、その出力を S O E N 信号の制御下で高インピーダンス状態に置くことができる。

20

【 0 0 9 0 】

インターフェース 1 3 0 0 を用いて、信号プロセッサ 1 1 0 をプログラムし、設定し、読み込むことができる。インターフェース 1 3 0 0 は、1 つのコマンド・ライン (S C D A T A I N) と、2 つのデータ・ライン (S D A T A I N 0、1) と、1 つのイネーブル・ライン (S O E N) と、1 つのクロック・ライン S C L K (図示せず) とを含む。S D A T A I N 0 及び S D A T A I N 1 ラインは、シリアルデータ入力を 2 つのデータシフトレジスタ 1 3 2 2、1 3 2 4 (S H I F T R E G I S T E R 0、1 とラベル付け) に供給し、S C D A T I N は、シリアルデータ入力を制御データシフトレジスタに供給する。1 つの実施形態において、データシフトレジスタは 2 5 ビット長とすることができ、制御シフト・レジスタは 3 6 ビット長とすることができ、

30

【 0 0 9 1 】

信号プロセッサ 1 1 0 は通常、超音波送信中にデジタル入力線がランダムな値を仮定することが予想される厳しい環境で用いられる。デジタル・インターフェースを通じて誤ったデータ及びコマンドを得ることのないように、イネーブル信号として 3 2 ビットのキー・レジスタが用いられる。キー・レジスタに (信号プロセッサ 1 1 0 に事前に選択されて事前設定されたキーに比べて) 正確なキーがあるときに、デジタルコントローラは 4 ビットのコマンド・レジスタ内にあるコマンドを実行する。

40

【 0 0 9 2 】

データ・ラインは、S C L K データ・クロックにより制御されるレジスタに同時にシフトすることができる。S L C K は、例えば 2 0 M H z で作動する。インターフェース 1 3 0 0 はまた、S D A T A O U T 0 及び S D A T A O U T 1 とラベル付けされた 2 つのデジタル出力を含む点に留意されたい。これらの出力は、データシフトレジスタの出力であり、複数の信号プロセッサ 1 1 0 を連鎖的に接続するように用いることができる (図 1 4 参

50

照)。信号プロセッサ110からの出力データは、直列の連鎖を通じてシフトされ、連鎖の最後の信号プロセッサ110から読み出される。

【0093】

出力バスは、連鎖的に入力バスに接続されるので、該連鎖に書き込むときに、SOEN信号を用いて、最後の信号プロセッサ110の出力をトライステート・モード(Hi Zモード)に置くことができる。シリアル・バスを介してデータを読み込むときに、SOENを用いて、最後の信号プロセッサ110からの出力を有効にすることができる。

【0094】

1つの実施形態において、36ビットの制御データ・レジスタは、32ビットのキー・レジスタ及び4ビットのコマンド・レジスタを含む。SCDATAINラインは、処理基板106上の全ての信号プロセッサ110への別個の信号線とすることができる。更に、図13に示されるように、直列シフト・レジスタは最上位ビット(MSB)からシフトされる。すなわち、コマンド及びデータは、LSBのシフトが最初である。

【0095】

また図13に示されるものは、6ビットの傾斜パラメータ・メモリであり、これは、信号プロセッサ110によって処理される4つの受信サブアパーチャの位置情報を記憶する。6ビットのメモリのペア1302、1304は、受信サブアパーチャのデルタY及びデルタX傾斜情報を記憶し、6ビットのメモリのペア1306、1308は、第2の受信サブアパーチャのデルタY及びデルタX傾斜パラメータを記憶する。同様に、6ビットのメモリのペア1310、1312は、第3の受信サブアパーチャのデルタY及びデルタX傾斜パラメータを記憶し、6ビットのメモリのペア1314、1316は、第4の受信アパーチャのデルタY及びデルタX傾斜パラメータを記憶する。次に、信号プロセッサの静的情報(幾何形状RAM、設定レジスタ、エンコーダRAMなど)をロードすると、シフト・レジスタ区域は、ロードされたデータに適合されている。

【0096】

簡単に図14を参照すると、該図は信号プロセッサ110の直列連鎖1400を示している。直列連鎖1400は、SDATAOUT0、SDATAOUT1、SDATAIN0、及びSDATAIN1信号線を通じて接続される。また、クロック・ライン、ラッチ・ライン、及び(書き込みに対するパラメータ・レジスタのいずれかを選択するための)パラメータ選択ラインも備えることができる。

【0097】

次に図15を参照すると、該図は信号プロセッサ110内のクロスポイント・コントローラ1500を示し、これは、シリアルインターフェース(図13参照)を通じてロードされたデルタX、デルタY傾斜に基づいて信号プロセッサ110に割り当てられた4つの受信サブアパーチャを処理するための新たな制御値を計算する。クロスポイント・コントローラ1500は、各アパーチャの16の新たな遅延設定値を新たな傾斜パラメータのデルタX、デルタYに基づいて計算する。遅延設定値は、幾何形状RAMの内容及び新たな傾斜パラメータのデルタX、デルタYに基づいて計算される。対応する位相遅延は、選択されたエンコーダRAMバンク内のロックアップから検出される。

【0098】

このために、クロスポイント・コントローラ1500は、乗算器1502、1504及びアナログ加算器1505を含む。クロスポイント・コントローラ1500はまた、コントローラ1506と、幾何形状RAM1508と、エンコーダRAM1510とを含む。4セット(各受信サブアパーチャに1つ)の16の5ビット位相設定レジスタ1512、1514、1516、及び1518が備えられる(合計64の5ビットレジスタ)。これらの遅延設定レジスタは、後述するように、信号プロセッサ110により処理される各受信サブアパーチャの遅延設定制御ビットを記憶する。

【0099】

幾何形状RAM1508は、受信サブアパーチャ内の受信信号チャンネルnと対応するトランスデューサ位置(x_n 、 y_n)との間の関係を保持する。エンコーダRAM1510

10

20

30

40

50

は、コード化した遅延と狭帯域ビームフォーミングの図10に示されるハードウェア設定 ($iM \times n$ 、 $i n$ 、 $qM \times n$ 、 $q n$) との関係の保持する。或いはまた、エンコーダ RAM 1510 は、望ましい遅延とクロスポイント・スイッチ制御信号 $i n t P o l$ 及び $c h P o s (4)$ と、図19に示される広帯域ビームフォーミング回路の符号との間の関係を保持する。プロセッサ110により処理される4つのサブアパーチャ各々について、パラメータのデルタ $X n$ はサブアパーチャ n 、 $n = 0, 1, 2, 3$ 、の x 傾斜を表し、デルタ $Y n$ はサブアパーチャ n 、 $n = 0, 1, 2, 3$ 、の y 傾斜を表す。

【0100】

有効キーがキー・レジスタ内で検出されて、開始クロスポイント計算コマンドが選択されると、クロスポイント・コントローラ1500は、サブアパーチャ0、1、2、及び3の新たなレジスタ値を計算する。最大16の受信信号が各受信サブアパーチャに寄与することができるので、合計64の計算が実行される。図15に示されるデルタ X 値及びデルタ Y 値は、各々の新たな設定の前にシリアルインターフェースからロードされた値である。以前の設定計算中にロードされたデルタ X 及びデルタ Y の8つの値の全ては、図13に示すように2つの24ビット・バスを介してクロスポイント・コントローラ1500が利用可能である。

【0101】

設定時間を短縮するため、信号プロセッサが現在の設定を計算している間に、次の計算に用いられることになるデータがシフトされてロードされる。現在の計算が終了したときには、新たなデルタ X 及びデルタ Y データは既にロードされており、次の設定計算の準備がなされる。

【0102】

計算を開始するために、所望のコマンドに割り当てられたキー値及びビット・コードと共にキー及びコマンド・レジスタがロードされる。計算が開始されると、乗算器1502、1504の入力にアパーチャ0のデルタ X 及びデルタ Y 値が加えられる。該計算によりシーケンサ1506が制御される。シーケンサ1506は、64の受信信号入力(4サブアパーチャ \times サアパーチャあたりに16の受信入力)の全てを通して循環するアップ・カウンタとして実行される。シーケンサ1506は、幾何形状 RAM 1508のアドレス・バスに接続される。一般に、1つのサブアパーチャのデータは、次のサブアパーチャに進む前に計算される。

【0103】

シーケンサ1506はまた、エンコーダ RAM 1510からの信号を正確なアナログ・サブアパーチャ・レジスタ1302 - 1314へ送ること、並びに正確なデルタ X 及びデルタ Y データをクロスポイント・コントローラ1500へ多重化することを制御する。狭帯域ビームフォーミングの1つの実施形態において、エンコーダ RAM 1510からの出力は、5ビットのワードであり、 $s a p_d a t a [4:0]$ と呼ばれ、 $s X_m_c o n t r o l X ()$ にマッピングされる。

【0104】

$s X_m_c o n t r o l X ()$ は、図10に示されるビームフォーミング回路の制御信号にマッピングされる。5ビットの $s X_m_c o n t r o l 4 \dots 0 (Y)$ は、 Y チャネル(受信信号)に対するアパーチャ X の角度の重み及び符号を直接制御する。ビット値から角度の重み及び符号への変換は表4で与えられる。すなわち、エンコーダ RAM 1510は、狭帯域ビームフォーミングにおいて、遅延値からマルチプレクサ符号($iM \times n$ 及び $qM \times n$) と I 及び Q スケーリング($i n$ 及び $q n$) とにマッピングする。これらのパラメータは、16の位相角を実行し、所与の遅延を具備する信号を除外できるように、 $i n = q n = 0$ もまた選択することができる。その結果、エンコーダ RAM 1510のワード長は5ビットである。或いは、エンコーダ RAM 1510のビットは、係数及びマルチプレクサの値を直接選択することができる(例えば、各マルチプレクサに1ビットを用いると、表3の6つのゲインペアの各々を選択するようにデコーダに3ビットが具備される)。

10

20

30

40

50

【 0 1 0 5 】

【 表 4 】

表 4 : S A P制御ビットと位相間のマッピング										
#	bit4	bit3	bit2	bit1	bit0	iMxn	in	qMxn	qn	位相
0	0	0	0	0	0	1	1.0	X	0.0	0
1	0	0	0	0	1	1	0.924	1	0.383	Pi/8
2	0	0	0	1	0	1	0.707	1	0.707	Pi/4
3	0	0	0	1	1	1	0.383	1	0.924	3Pi/8
4	0	0	1	0	0	X	0.0	1	1.0	Pi/2
5	0	0	1	0	1	-1	0.383	1	0.924	5Pi/8
6	0	0	1	1	0	-1	0.707	1	0.707	3i/4
7	0	0	1	1	1	-1	0.924	1	0.383	7Pi/8
8	0	1	0	0	0	-1	1.0	X	0.0	Pi
9	0	1	0	0	1	-1	0.924	-1	0.383	9Pi/8
10	0	1	0	1	0	-1	0.707	-1	0.707	5Pi/4
11	0	1	0	1	1	-1	0.383	-1	0.924	11Pi/8
12	0	1	1	0	0	X	0.0	-1	1.0	3Pi/2
13	0	1	1	0	1	1	0.383	-1	0.924	13Pi/8
14	0	1	1	1	0	1	0.707	-1	0.707	7Pi/4
15	0	1	1	1	1	1	0.924	-1	0.383	15Pi/8
16..31	1	X	X	X	X	X	0.0	X	0.0	X

【 0 1 0 6 】

10

20

30

40

50

計算は、2の補数表示により行うことができる。再び図15を参照すると、デルタX及びデルタY並びに幾何形状RAMデータは、アナログ加算器1505において乗算及び加算される。この計算は、13ビット出力を生成する。デルタX及びデルタYは、同時には最大にならないので、計算において2つのMSBは常に同じであり、信号のMSBは切り捨てることができる。図15に示される実施形態において、4つのLSBを切り捨てることで精度は8ビットまで低減される。

【0107】

クロスポイント・コントローラ1500は、信号プロセッサ110により処理される全ての受信アパーチャ「m」に対して全トランスデューサ素子受信入力「n」を順に配列する。クロスポイント・コントローラ1500は、以下のように、各受信信号に導入されることになる遅延のスケーリングされたバージョンを決定するものとみなすことができる。

$$\text{フロア}((x(m, n) * \text{デルタ}X(m) + y(m, n) * \text{デルタ}Y(m)) / 16)$$

 ここで、 $n = 0, 1, \dots, 15$ 、及び、 $m = 0, 1, 2, 3$ である。

【0108】

$x(m, n)$ 及び $y(m, n)$ は、受信アパーチャmのn番目の入力に結合されたトランスデューサ素子の幾何形状的位置である点に留意されたい。各位置は、幾何形状RAM1508によりインデックスが付けられ、処理回路基板106の配置中にルーティングのフレキシビリティが付加される。傾斜パラメータデルタX(m)及びデルタY(m)は、所与の受信サブアパーチャmの全ての受信信号について一定に維持することもできるが、通常はサブアパーチャによって変化する。

【0109】

計算された遅延は、エンコーダRAM1510内のテーブルインデックスにより物理的遅延に変換される。

【0110】

幾何形状RAM1508に関しては、6ビットのアドレスを取り、12ビットのデータを記憶する。幾何形状RAM1508へのデータのロードを開始するために、アドレス・カウンタをリセットするようコマンドRESET__ADDR__COUNTERSが出される。その後、次のコマンドは、LOAD__GEOM__RAMであり、これはアドレス・カウンタによって示された現在のアドレスにデータを書き込み、アドレス・カウンタを自動的にインクリメントする。データ幅が12ビットであるため、1つのシフト/ロード処理は、幾何形状RAM1508内に4データワードをロードすることになる。従って、アドレス・カウンタは、各ロードにつき4つずつインクリメントされることになる。

【0111】

エンコーダRAM1510は、超音波プローブ100の4つの異なる周波数設定を反映する、4つのバンクに分割される。シリアルインターフェースからロードされたバンク0及びバンク1のレジスタは、いずれのバンクを用いるかを指定する。計算からの8ビットと併せて、これらは、1024×5ビットRAMのエンコーダRAMアドレスを構成する。

【0112】

エンコーダRAM1510は、10ビットのアドレス・バスと5ビットのデータ・バスとを有する。エンコーダRAM1510にデータのロードを開始するために、アドレス・カウンタをリセットするようコマンドRESET__ADDR__COUNTERSが出される。次のコマンドはLOAD__ENC__RAMであり、これはアドレス・カウンタ及びバンク0/1レジスタによって示された現在のアドレスにデータを書き込み、アドレス・カウンタを自動的にインクリメントする。データ幅が5ビットであるため、1つのシフト/ロード処理は、RAM1510に8つのアパーチャ制御データワードをロードすることになる。従って、アドレス・カウンタは各ロードにつき8つずつインクリメントされることになる。

【0113】

直列のシフト・レジスタの双方のビット[19:0]は、RAMへのデータ用に用いら

10

20

30

40

50

れる。直列シフト・レジスタ0のビット24は、エンコーダRAM1510のバンク0制御信号にマッピングされ、直列シフト・レジスタ1のビット24は、バンク1制御信号にマッピングされる。バンク0/1レジスタ(図13参照)は、どちらのバンクにロードするかを制御する。1つの実施形態において、位置メモリコントローラ112は、4ビットのコマンドを信号プロセッサ110に送信する。コマンドは、コマンド・レジスタ1328内の信号プロセッサ110の中にシフトされる。例示的なコマンドを下記の表5に表す。

【0114】

【表5】

名称	コマンド
RESET	信号プロセッサを既知の状態に置く
LOAD__X__Y__Data	デルタX及びデルタY及びエンコーダ・バンクをシフト・レジスタからロードする
RESET__ADDR__COUNTERS	信号プロセッサへの読み書きのため、全てのアドレス・カウンタをリセットする
LOAD__GEOM__RAM	幾何形状RAMに4データワードをロードする
LOAD__ENC__RAM	エンコーダRAMに8データワードをロードする
CALCULATE	新たなアパーチャビームフォーミング値を計算
DELAY__TUNING__START	アナログ調整及び較正処理を開始
WRITE__ANALOG__MP__REG	信号プロセッサ内のアナログ多目的レジスタに書き込む
READ__ANALOG__MP__REG	1322、1324に対して、例えば遅延調整からの遅延測定を含む、アナログ多目的レジスタを加える
READBACK__REGS	信号プロセッサの内部レジスタを読み出す
WRITE__REGS	信号プロセッサの内部レジスタに直接書き込む
LOAD__PD__REG	アナログ出力低減レジスタを書き込む

【0115】

図16は、図1に示す超音波プローブ100がサブアパーチャ処理を実行する段階1600をまとめている。プローブ100は、処理基板106にわたって分配された信号プロセッサ110において、音響トランスデューサ素子からの複数の受信信号を受信する(段階1602)。トランスデューサ素子は、三角形の受信サブアパーチャを形成することができるが、これは処理基板毎に分割されるのではなく所与の信号プロセッサ110によって全体的に処理される。受信(及び送信)動作中、プローブ100は、受信サブアパーチャと正方形の送信サブアパーチャ間で少なくとも1つの音響トランスデューサ素子を多重化する(段階1604)。

【0116】

ビームフォーミング後、信号プロセッサ110は、受信サブアパーチャの音響トランスデューサ素子を介して得られたビームフォーミング信号を有する受信サブアパーチャ出力を駆動する(段階1606)。送信方向において、プローブは、複数の処理基板間に分布する送信信号接続を介して送信信号を複数の送信サブアパーチャに結合することができる(段階1608)。受信アパーチャと同様に、所与のサブアパーチャの送信信号接続は、複数の処理基板106にわたって分割されるのではなく所与の処理基板106上に全て備えることができる。

【0117】

10

20

30

40

50

複数の処理基板間で、送信又は受信サブアパーチャを分割しないことにより、ホストシステム 116 と処理基板 106 間にトランスデューサ・アレイ 102 への効率的な信号のルーティングが形成される。各処理基板 106 は、固有の送信及び受信サブアパーチャを処理するので、交差接続信号又はルーティングを処理基板 106 間に備える必要がない。

【0118】

図 17 は、図 1 に示す超音波プローブ 100 が該プローブ 100 のビームフォーミングを実行することができる段階 1700 をまとめている。プローブ 100 は、キャッシュメモリ及びコントローラ 112 でホストシステム 116 からの受信サブアパーチャの傾斜値（例えばデルタ X 及びデルタ Y データ）などの複数の方向パラメータを受信する（段階 1702）。次いで、キャッシュメモリ及びコントローラ 112 は、方向パラメータを複数の

10

【0119】

プローブ 100 は、受信サブアパーチャから生起する受信信号を信号プロセッサ 110 に結合する（段階 1706）。信号プロセッサ 110 は、直列入力レジスタ（例えば 1302 - 1304、1306 - 1308、1310 - 1312、又は 1314 - 1316）から、受信サブアパーチャの方向パラメータを検索する（段階 1708）。方向パラメータに基づいて、信号プロセッサは、受信サブアパーチャ内のトランスデューサ素子のビームフォーミング遅延を求め（段階 1710）、各それぞれのトランスデューサ素子からの受信信号に遅延を適用する（段階 1712）。

【0120】

20

図 18 は、図 1 に示される超音波プローブ 100 の段階 1800 を示す（例えば、送受信器回路 700 を用いて、受信アパーチャと送信アパーチャ間で多重化された音響トランスデューサ素子にエネルギーを送受信するように行うことができる）。回路 700 は、送信パルスを、送信部分入力 704 と、送信部分出力 706 と、送信部分入力 704 及び送信部分出力 706 間に結合された受信信号ブロック回路 D1、D3、及び Cshunt とを通じて結合する（段階 1802）。送受信器回路 700 はまた、受信信号を、受信部分入力 712 と、受信部分出力 710 と、受信部分入力 712 及び受信部分出力 710 間で結合された送信信号ブロック回路 C2 と D4、Ccouple と D2 とを通じて結合する（段階 1804）。

【0121】

30

次に図 19 を参照すると、該図は、アパーチャ・プロセッサ 902 - 908 内のビームフォーミング回路の別の実施形態のブロック図 1900 を示す。ビームフォーミング回路 1900 は、プリアンプ 1902 を含み、受信アパーチャ内の 16 の受信チャンネルの各々に 1 つと検査用に 1 つとを含む。プリアンプ 1902 は、 34×11 のクロスポイント・マトリクス 1904 に接続され、これは、直列に遅延ラインを形成する 0 から 10 の遅延素子 1906 及び加算ノード 1908 を通じて受信信号をフレキシブルに接続するものである。ライン・ドライバ 1910 は、組み合わされた信号をホストシステム 116 に送り戻す。

【0122】

クロスポイント・マトリクス 1904 は、遅延ラインの任意のノードへの任意の受信チャンネルの接続をサポートする。幾つかのチャンネルが遅延ラインの同じノードに接続されると、該ノードの出力は、それぞれの入力信号の合計となる。任意のチャンネルは加算ノードに入る前に変換することができ、任意のチャンネルは、任意選択的に 2 つの隣接加算ノードに同時に接続することができる。この場合、有効ゲインが各々について約 6 dB だけ低減されるように信号が分割されることになる。

40

【0123】

ビームフォーミング回路 1900 が使用されると、クロスポイント・コントローラ 1500 は、ビームフォーミング回路 1900 に信号 *intPol*、*chPos* (4) を出力する。

【0124】

50

図 11 は、全域通過フィルタのセルの 1 つの実施形態を示す（例えばフィルタ・セル 1906）。図のように、全域通過フィルタは、その後に抵抗 R が続く非反転バッファとして、コンデンサ C と直列の反転バッファと並列にして実装することができる。各フィルタ・セルは、位相遅延 $T = 2RC$ 、及び伝達関数 $H_c(w) = (1 - j(wT/2)) / (1 + j(wT/2))$ を有する。

【0125】

図 12 は、ビームフォーミング回路 1900 に用いられるクロスポイント・コントローラ 2100 を示し、クロスポイント・マトリクス 1904 内にスイッチをプログラムし、トリガー事象に対して開始し、スキャン・パラメータのラッチバージョンに対して動作する。クロスポイント・コントローラ 2100 は、信号プロセッサ 110 によって処理される全ての受信アパーチャ「m」に対して全てのトランスデューサ素子の受信入力「n」を順に配列する。クロスポイント・コントローラ 2100 は、以下のように各受信信号に導入されることになる遅延の事前スケールリングされたバージョンを決定するものとみなすことができる。フロア $((x(m, n) * \text{デルタ} X(m) + y(m, n) * \text{デルタ} Y(m)) / 8)$ ここで $n = 0, 1, \dots, 15$ 、及び、 $m = 0, 1, 2, 3$ である。

【0126】

$x(m, n)$ 及び $y(m, n)$ は、受信アパーチャ m の n 番目の入力に結合されたトランスデューサ素子の、幾何形状的位置である点に留意されたい。コード（又は任意選択的に、又は追加して、chPos のオーバーフロー）を検出し、チャンネル無効出力信号をアサートするためのデコーダ 2102 を用いることによってアパーチャ m のチャンネル n を（例えば電源管理のため）無効にする予約コードを定める（例えば $x(m, n), y(m, n) = -16, -16$ ）ことができる。位置は、幾何形状 RAM 1508 を通じてインデックスが付けられ、処理回路基板 106 の配置中にルーティングのフレキシビリティが付加される。スケール係数デルタ X(m) 及びデルタ Y(m) は、所与の受信アパーチャ m の全ての受信信号について一定に維持することができる。

【0127】

事前遅延は、エンコーダ RAM 1510 のテーブルインデックスにより物理的遅延に変換される。1 つの実施形態において、エンコーダ RAM 1510 の出力は、6 ビットを含み、すなわち、1 ビットは intPol、4 ビットは chPos、及び 1 ビットは sign である。chPos ビットは、クロスポイント・マトリクス 1904 の対応するスイッチを閉成する。制御ビット intPol が設定されると、スイッチ $1 + \text{chPos}$ もまた設定されることになる。サイン・ビットは、入力信号の非反転又は反転バージョンを選択する。

【0128】

本発明の様々な実施形態を説明してきたが、本発明の範囲にある多くの実施形態が及び具現化が可能であることは当業者には明らかであろう。

【図面の簡単な説明】

【0129】

【図 1】ホストシステムと通信する超音波プローブのブロック図。

【図 2】図 1 に示される超音波プローブで用いることができる音響トランスデューサ素子のアレイを含むトランスデューサ・スタック。

【図 3】図 1 に示される超音波プローブに組み込まれた音響トランスデューサ素子のアレイ全体に配置された受信アパーチャ。

【図 4】図 1 に示される超音波プローブに組み込まれた音響トランスデューサ素子のアレイ全体に配置された受信アパーチャと多重化された送信アパーチャ。

【図 5】プローブの音響トランスデューサ素子のアレイを処理基板の信号プロセッサに接続するための 8 つの処理基板に接続された 48 のトランスデューサ可撓性ケーブルの分布。

【図 6】送受信間で選択された音響トランスデューサ素子を多重化すると共に、音響トランスデューサ素子に接続された信号プロセッサを保護する送受信器回路。

【図 7】送受信間で選択された音響トランスデューサ素子を多重化すると共に、音響トランスデューサ素子に接続された信号プロセッサを保護する受動回路を用いる送受信器回路の 1 つの実施形態。

【図 8】処理基板によって伝送される電子機器の推奨配置領域を含む、処理基板の正面及び裏面図。

【図 9】図 1 に示される超音波プローブに用いるのに好適な信号プロセッサのブロック図。

【図 10】信号プロセッサの狭帯域ビームフォーミング回路。

【図 11】全域通過フィルタのセル。

【図 12】クロスポイント・コントローラの第 2 の実施形態。

10

【図 13】信号プロセッサのデジタル・インターフェースのブロック図。

【図 14】直列連鎖的に接続される信号プロセッサ。

【図 15】信号プロセッサに割り当てられる 4 つの受信サブアパーチャを処理するための新たな制御値を計算する信号プロセッサのクロスポイント・コントローラ。

【図 16】図 1 に示される超音波プローブがサブアパーチャ処理を実行するために行うことができる段階。

【図 17】図 1 に示される超音波プローブがプローブ内でビームフォーミングを実行するために行うことができる段階。

【図 18】図 1 に示される超音波プローブが受信アパーチャと送信アパーチャの間で多重化された音響トランスデューサ素子にエネルギーを送受信するために行うことができる段階

20

【図 19】信号プロセッサのビームフォーミング回路の別の実施形態。

【符号の説明】

【0130】

110 信号プロセッサ

700 送受信器回路

702 送信部分

704 送信部分入力

706 送信部分出力

708 受信部分

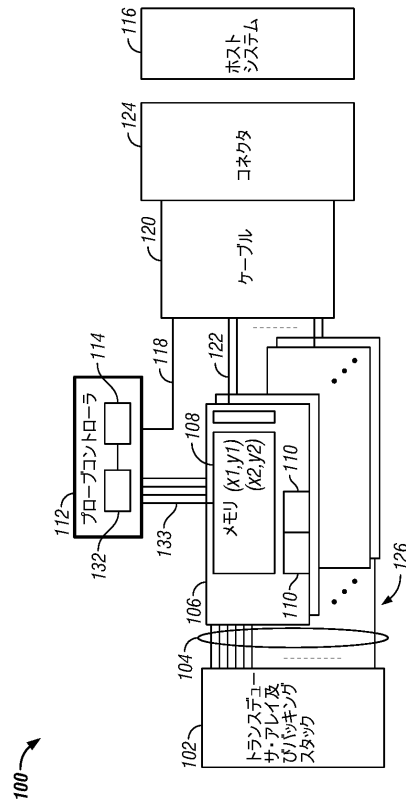
710 受信部分出力

712 受信部分入力

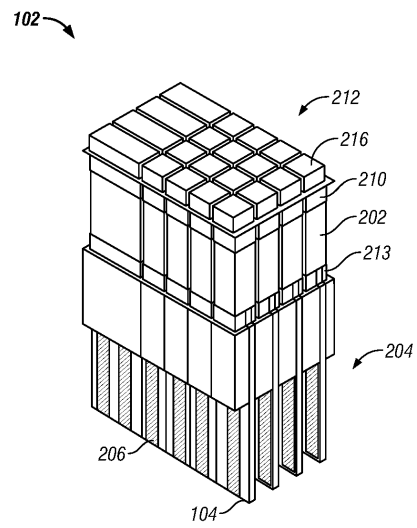
718 受信信号ブロック回路

30

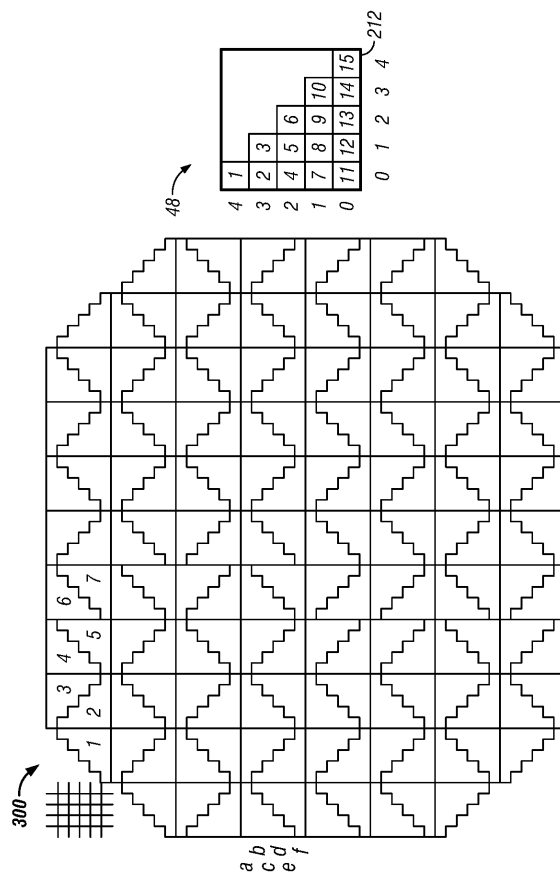
【圖 1】



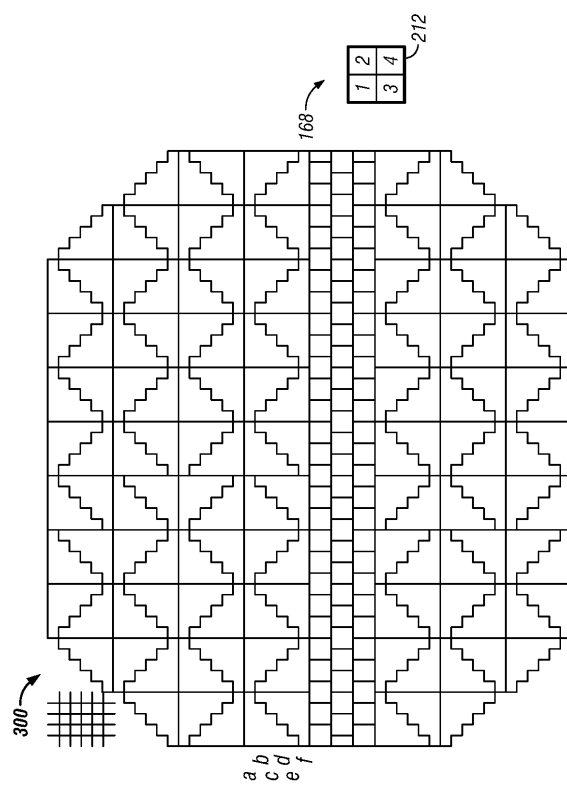
【圖 2】



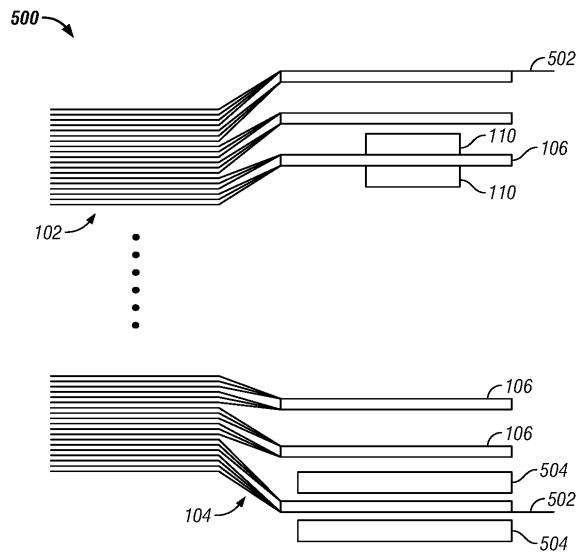
【圖 3】



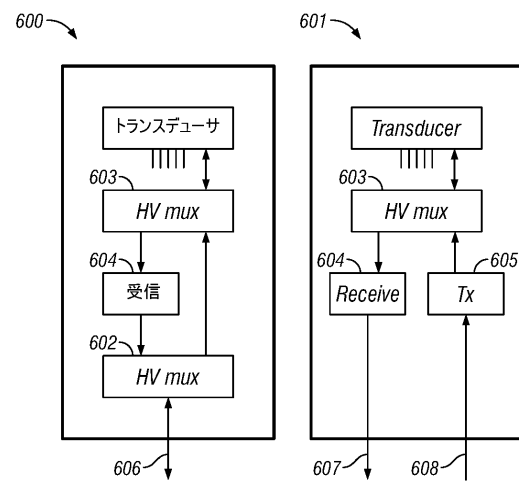
【 図 4 】



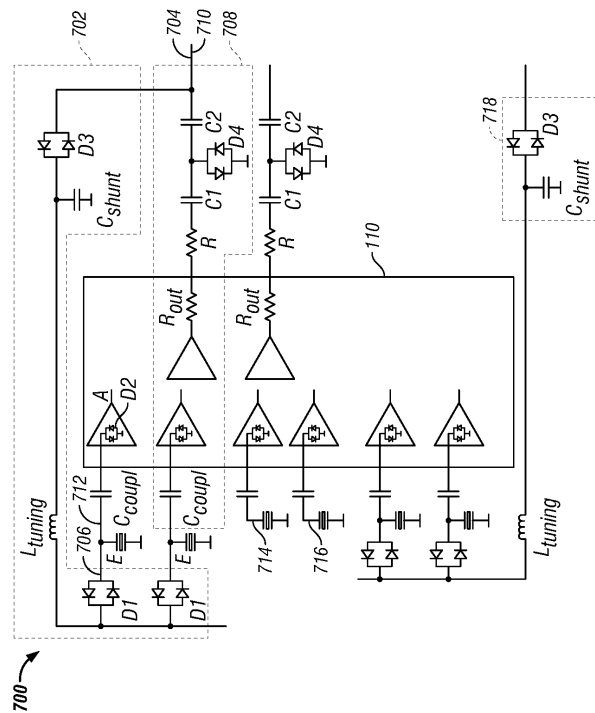
【図 5】



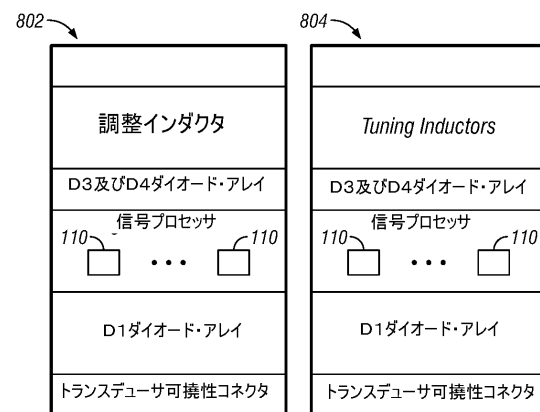
【図 6】



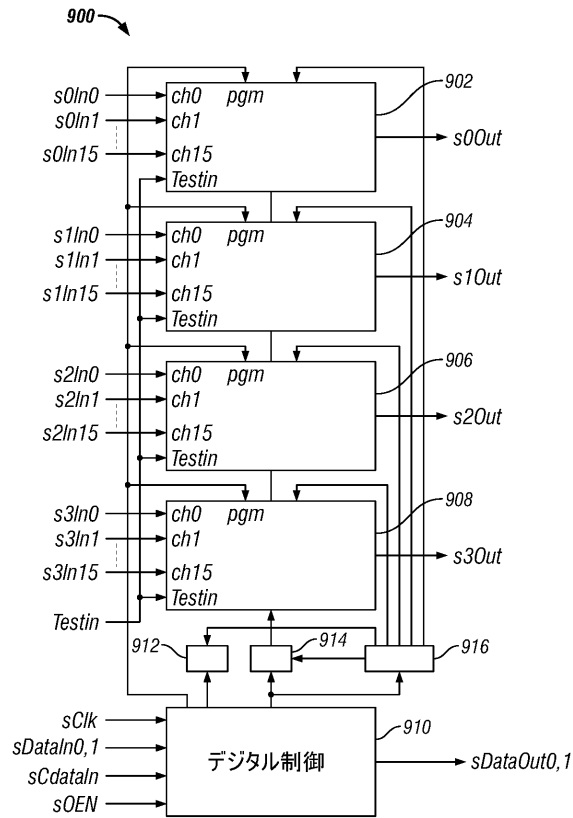
【図 7】



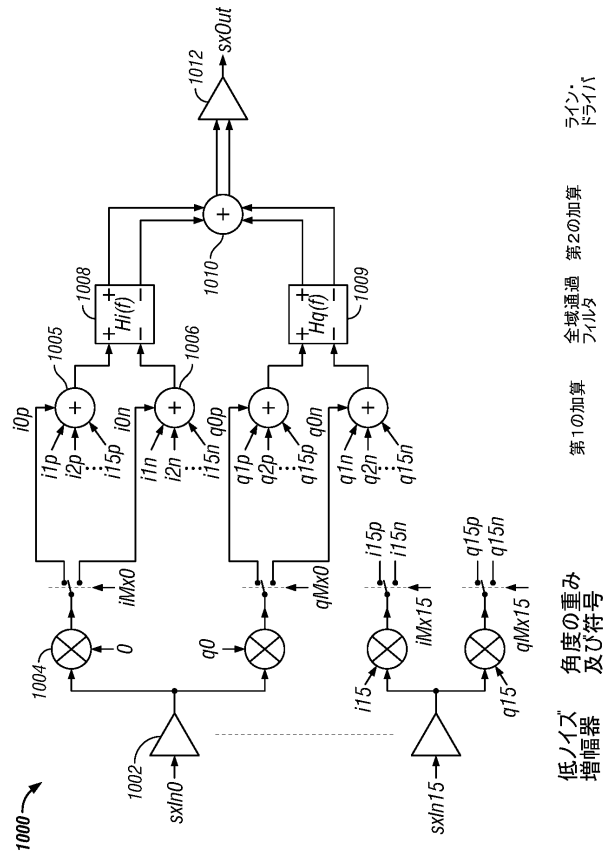
【図 8】



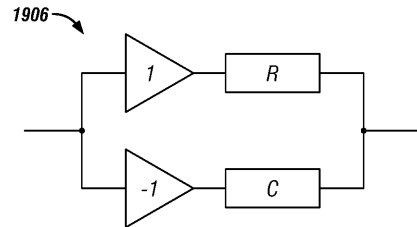
【 図 9 】



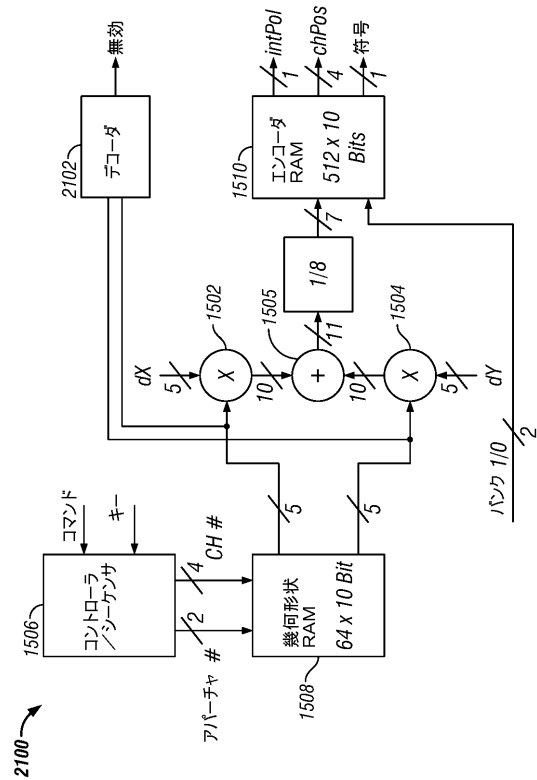
【 図 1 0 】



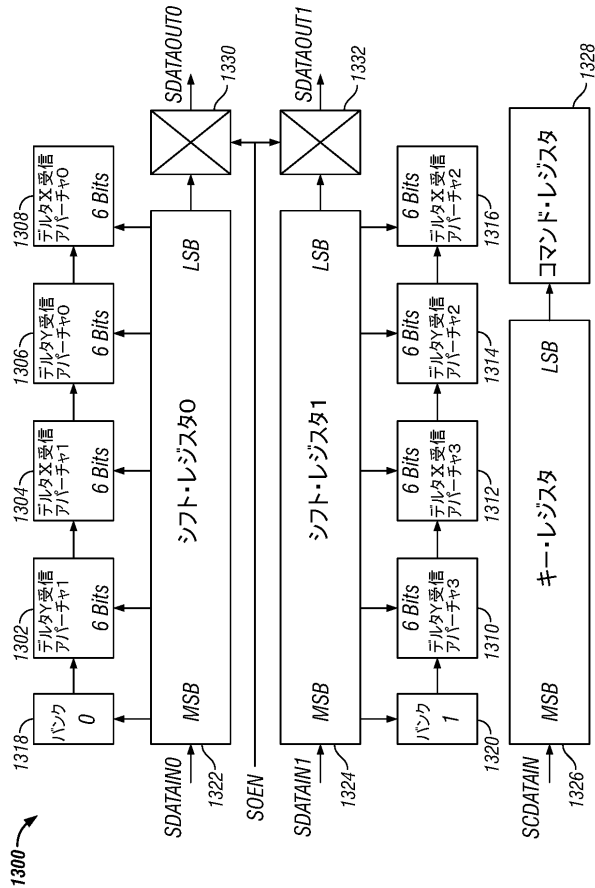
【 ㊦ 1 1 】



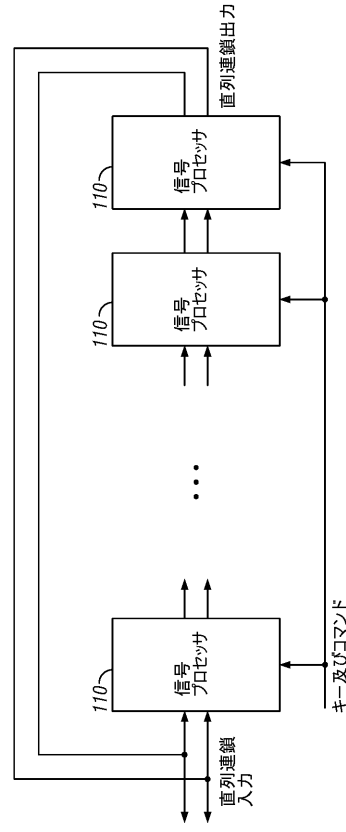
【 図 1 2 】



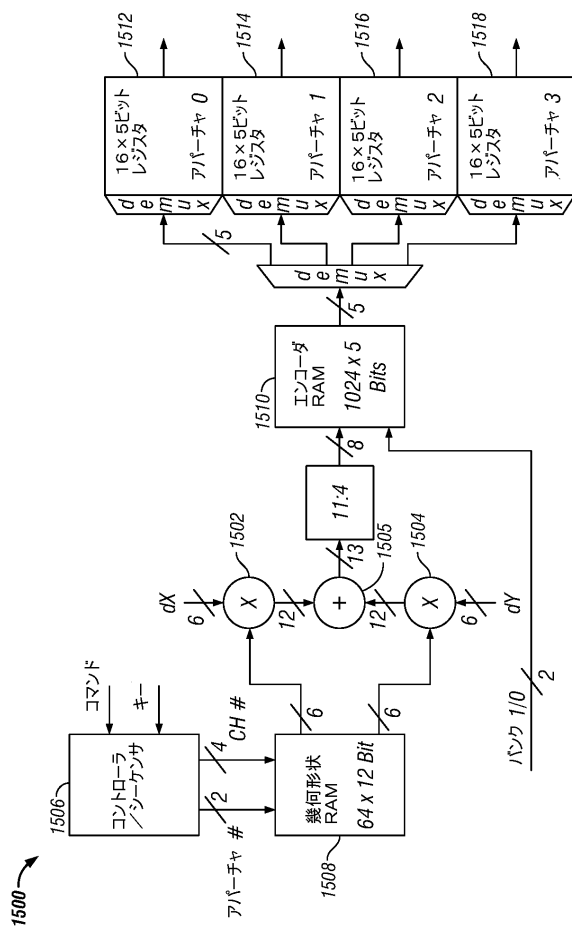
【図 13】



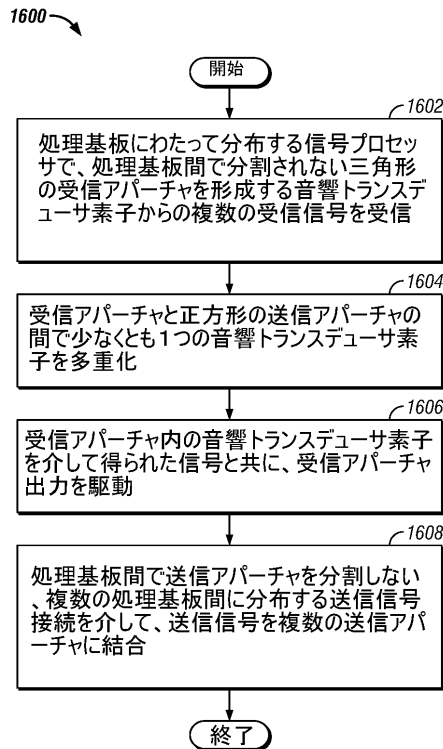
【図 14】



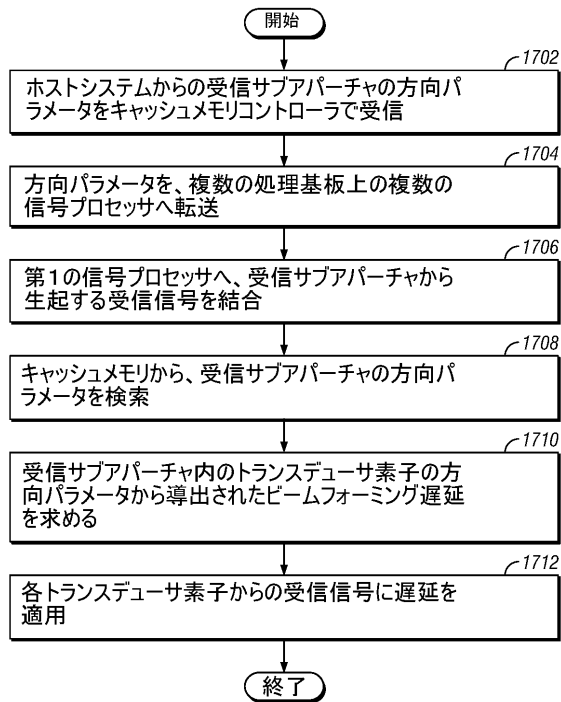
【図 15】



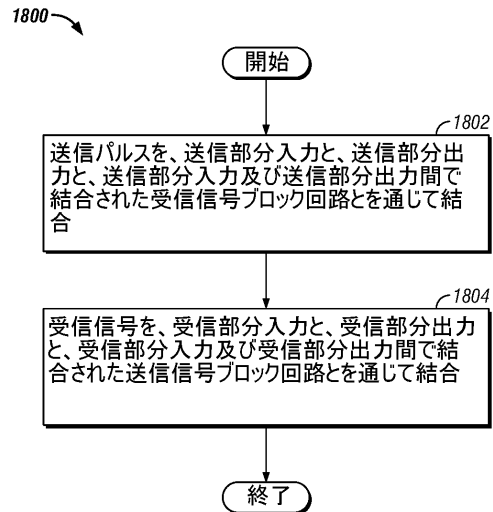
【図 16】



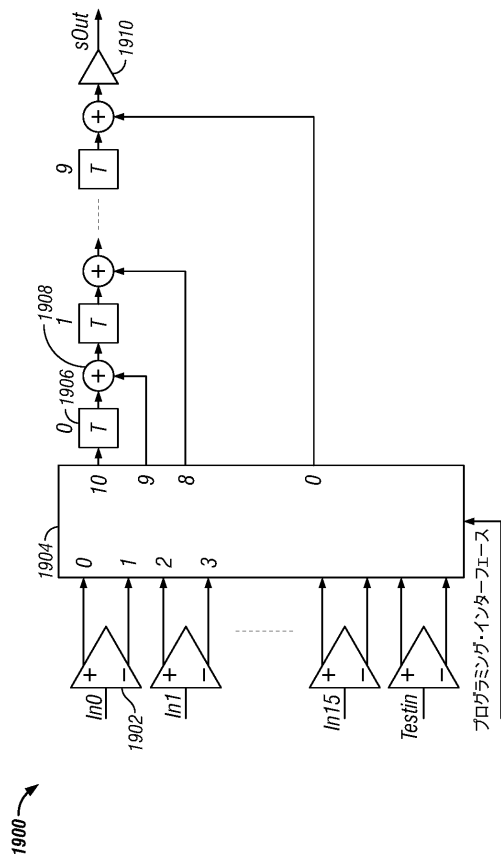
【図 17】



【図 18】



【図 19】



フロントページの続き

- (72)発明者 ゲイル・アルトヴェイト・ハウゲン
ノルウェー、エヌ - 0 5 8 6 ・オスロ、シンセンヴェイエン・7 9 番
- (72)発明者 ペル・アルネ・リンネルッド
ノルウェー、3 1 8 9 ・ホルテン、オアフーグルスティエン・6 0 番

審査官 宮澤 浩

- (56)参考文献 特開平02 - 124152 (JP, A)
特開平10 - 179585 (JP, A)
特開昭63 - 177839 (JP, A)
特開昭55 - 021930 (JP, A)
特開昭63 - 223558 (JP, A)
特開昭57 - 170235 (JP, A)
実公昭61 - 001416 (JP, Y1)

- (58)調査した分野(Int.Cl. , DB名)
- | | |
|---------|-----------|
| A 6 1 B | 8 / 0 0 |
| G 0 1 N | 2 9 / 2 4 |

专利名称(译)	超声探头收发电路		
公开(公告)号	JP4774205B2	公开(公告)日	2011-09-14
申请号	JP2004336211	申请日	2004-11-19
[标]申请(专利权)人(译)	通用电气公司		
申请(专利权)人(译)	通用电气公司		
当前申请(专利权)人(译)	通用电气公司		
[标]发明人	ケルクリストファーセン ゲイルアルトヴェイトハウゲン ペルアルネリンネルッド		
发明人	ケル・クリストファーセン ゲイル・アルトヴェイト・ハウゲン ペル・アルネ・リンネルッド		
IPC分类号	A61B8/00 G01N29/24 B06B1/02 G01S7/52 G01S7/521 G01S15/89 G10K11/34		
CPC分类号	G01S7/52079 A61B8/4494 G01S7/5202 G01S15/8925		
FI分类号	A61B8/00 G01N29/24.502		
F-TERM分类号	2G047/AA12 2G047/AC13 2G047/EA07 2G047/GB02 2G047/GB21 4C601/BB03 4C601/EE01 4C601/GB01 4C601/GB06		
代理人(译)	小仓 博		
审查员(译)	宫泽浩		
优先权	10/719431 2003-11-21 US		
其他公开文献	JP2005152630A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于处理多个元件换能器探头的子孔径的超声波探头收发器电路。解决方案：用于超声换能器元件的收发器电路（700）包括发送部分（702）和接收部分（708）。发送部分（702）包括发送部分输入（704），发送部分输出（706）和连接在发送部分输入（704）和发送部分输出（706）之间的接收信号阻塞电路（718）。接收部分（708）包括接收部分输入（712），接收部分输出（710），以及连接在接收部分输入（712）和接收部分输出（710）之间的发送信号阻塞电路。Z

名称	パラメータ ビット：11—0	説明	詳細
WR_CTRL_REG	制御レジストリ設定	制御／状態レジスタへの書き込み	キャッシュメモリ及びコントローラレジスタ
WR_CACHE_PTR	11／12ビットポインタ	キャッシュ・ページ・ポインタ設定	キャッシュ・ポインタは、キャッシュメモリから信号プロセッサ110へロードされる次ページの始まりを示す
WR_CACHE		ホストシステム110からキャッシュメモリ132へのページ書き込み	アドレス・ポインタは、書き込まれた各ワードに対して自動的にインクリメントすることができる
LD_SCAN_PAR		スキャン・パラメータ・ページを信号プロセッサ110連鎖に書き込む	各組音波ショットについて更新される
LD_CONFIG		メモリ又はレジスタを信号プロセッサ110にロード	静的コンフィギュレーション・データ
DELAY_TUNE	なし	遅延校正開始	各信号プロセッサ110は遅延を校正する内部回路を有する
SAP_RESET	リセットするもの		
RD_CTRL_REG	戻された制御レジスタ値	制御／状態レジスタからの読み込み	このレジスタはキャッシュメモリ及びコントローラ112の内部にある
RD_CACHE_PTR	戻されたポインタ値	キャッシュ・ページ・ポインタの読み込み	検査及び確認に有効
RD_CACHE	なし	キャッシュメモリ132からページを読み込む	アドレス・ポインタは読み込まれた各ページについて自動的にインクリメントする必要がある
RD_CONFIG		信号プロセッサ110から設定を読み込む	例えば遅延の最後の信号プロセッサ110からループ・バックを通す
CMD_ENABLE	IDコード	コマンド実行を有効及び無効にする。	