

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-526349
(P2019-526349A)

(43) 公表日 令和1年9月19日(2019.9.19)

(51) Int. Cl.
A61B 8/00 (2006.01)

F I
A61B 8/00

テーマコード(参考)
4C601

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

(21) 出願番号 特願2019-511698 (P2019-511698)
 (86) (22) 出願日 平成29年9月1日(2017.9.1)
 (85) 翻訳文提出日 平成31年2月27日(2019.2.27)
 (86) 国際出願番号 PCT/EP2017/071940
 (87) 国際公開番号 WO2018/041987
 (87) 国際公開日 平成30年3月8日(2018.3.8)
 (31) 優先権主張番号 62/382,856
 (32) 優先日 平成28年9月2日(2016.9.2)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(71) 出願人 590000248
 コーニンクレッカ フィリップス エヌ
 ヴェ
 KONINKLIJKE PHILIPS
 N. V.
 オランダ国 5656 アーエー アイ
 ドーフェン ハイテック キャンパス 5
 High Tech Campus 5,
 NL-5656 AE Eindhove
 n
 (74) 代理人 110001690
 特許業務法人M&Sパートナーズ

最終頁に続く

(54) 【発明の名称】 低周波低電圧デジタルマイクロビーム形成器を含む超音波プローブ

(57) 【要約】

超音波プローブ106は、アレイトランスデューサ101及びアレイの素子に結合されたマイクロビーム形成器を含む。マイクロビーム形成器は、アレイ101の素子に結合された送信器と増幅器とを含むアナログASIC102を備える。マイクロビーム形成器は、受信されたエコー信号をデジタルデータに変換するアナログ・デジタルコンバータと、デジタルASIC103内に位置するデジタルビーム形成回路とをさらに備える。デジタルASIC103は、デジタルASIC103のデジタル集積回路プロセスが可能にする周波数より低いコア周波数でクロックに基づいて動作し、デジタルASIC103は、デジタル集積回路プロセスが設計されるときに目的とする電源電圧より低い電源電圧で動作するようにされ、両方の動作が、マイクロビーム形成器による電力消費を低減させる。

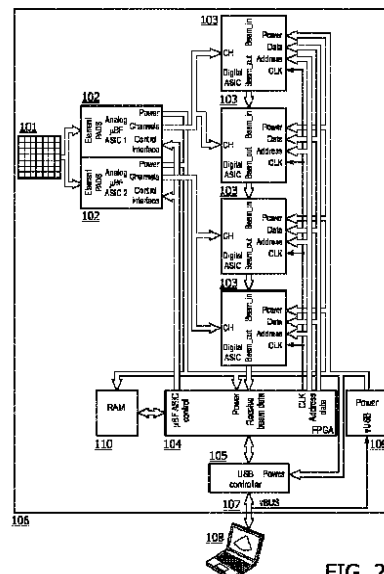


FIG. 2

【特許請求の範囲】**【請求項 1】**

対象領域をスキャンし、かつデジタルマイクロビーム形成器に結合されたアレイトランスデューサを備え、

前記デジタルマイクロビーム形成器が、

前記アレイトランスデューサのトランスデューサ素子からアナログエコー信号を受信する複数の増幅器と、

前記増幅器から増幅された前記アナログエコー信号を受信し、かつ増幅された前記アナログエコー信号をデジタルエコーデータに変換する低電力 A D C と、

前記低電力 A D C に結合され、かつデジタルビーム形成されたエコー信号を生成するデジタルビーム形成回路と、

コアクロック周波数で動作するデジタル特定用途向け集積回路 (A S I C) とを備える、

デジタルマイクロビーム形成のための超音波プローブ。

【請求項 2】

前記低電力 A D C と前記デジタルビーム形成回路とが、前記デジタル A S I C に位置する、

請求項 1 に記載の超音波プローブ。

【請求項 3】

前記低電力 A D C と前記デジタルビーム形成回路とが、前記デジタル A S I C 内の積層されたダイに位置する、

請求項 2 に記載の超音波プローブ。

【請求項 4】

前記デジタル A S I C が、前記低電力 A D C と前記デジタルビーム形成回路とを含むマルチチップモジュールを備える、

請求項 2 に記載の超音波プローブ。

【請求項 5】

前記低電力 A D C と前記デジタルビーム形成回路とが、前記デジタル A S I C 内の同じシリコンダイに位置する、

請求項 2 に記載の超音波プローブ。

【請求項 6】

前記デジタル A S I C が、前記コアクロック周波数より大きな周波数でクロックに基づいて動作するデジタル回路を備える、

請求項 5 に記載の超音波プローブ。

【請求項 7】

前記デジタル A S I C が、前記コアクロック周波数の少なくとも 2 倍の周波数のクロックに基づいて動作するデジタル回路を備える、

請求項 6 に記載の超音波プローブ。

【請求項 8】

前記デジタル A S I C が、前記コアクロック周波数の少なくとも 8 倍の周波数のクロックに基づいて動作するデジタル回路を備える、

請求項 7 に記載の超音波プローブ。

【請求項 9】

前記デジタル A S I C が、1 ボルト以下の電源電圧で動作する、

請求項 1 に記載の超音波プローブ。

【請求項 10】

前記低電力 A D C が、デルタシグマアナログ・デジタルコンバータを備える、

請求項 1 に記載の超音波プローブ。

【請求項 11】

前記低電力 A D C が、逐次近似アナログ・デジタルコンバータを備える、

10

20

30

40

50

請求項 1 に記載の超音波プローブ。

【請求項 1 2】

前記低電力 A D C が、前記デジタル A S I C に位置し、前記デジタルビーム形成回路が、別の相互接続された A S I C に位置し、

前記超音波プローブが、前記 A S I C の前記コアックロク周波数の少なくとも 2 倍の周波数で、2 個の前記 A S I C 間において、デジタルでビーム形成されたデータを伝達する、

請求項 7 に記載の超音波プローブ。

【請求項 1 3】

前記デジタルビーム形成回路が、3 2 個のデジタルビーム形成チャンネルとして構成された、

10

請求項 1 2 に記載の超音波プローブ。

【請求項 1 4】

4 個の前記デジタル A S I C を備える、

請求項 1 3 に記載の超音波プローブ。

【請求項 1 5】

アナログ A S I C 上に位置し、かつ前記アレイトランスデューサの素子に結合された複数の高電圧送信器をさらに備え、

前記増幅器が、前記アナログ A S I C に位置する、

請求項 1 に記載の超音波プローブ。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、医療診断超音波システムに関し、特に、デジタルマイクロビーム形成器を含む超音波プローブに関する。

【背景技術】

【0 0 0 2】

超音波アレイトランスデューサは、ビーム形成器を使用して、トランスデューサアレイの素子から受信された超音波エコー信号を送信し、適切に遅延させ、かつ加算する。遅延は、ビーム形成器により形成されるビームの方向（操舵）及び焦点深度を考慮して選択される。各素子から受信された信号がビーム形成器のチャンネルにより適切に遅延された後、遅延された信号が組み合わされて、適切に操舵及び合焦されたコヒーレントエコー信号のビームが形成される。超音波ビーム送信中、個々の素子の作動の時点は、送信ビームを操舵し、合焦させる受信遅延の相補的部分である。遅延の選択は、アレイ素子のジオメトリ、及びビームにより検査される像フィールドのジオメトリから決定可能なことが知られている。

30

【0 0 0 3】

従来の超音波システムにおいて、アレイトランスデューサは、像形成中に患者の体に触れて配置されるプローブ内に位置し、調整素子、スイッチ、及び増幅デバイスなどのいくつかの電子コンポーネントを含む。遅延及び信号の組み合わせは、超音波システムメインフレームに含まれるビーム形成器により実行され、プローブはケーブルにより超音波システムメインフレームに接続される。

40

【0 0 0 4】

アレイトランスデューサ及びビーム形成器のための前述のシステムアーキテクチャは、大多数の一次元（1 D）トランスデューサアレイに対してまさしく十分でありトランスデューサ素子の数及びビーム形成器チャンネルの数は概ね同じである。トランスデューサ素子の数がビーム形成器チャンネルの数より多いとき、一般的に多重化が使用され、トランスデューサの素子の総数の部分集合のみが、任意の時点でビーム形成器に接続され得る。1 D アレイにおける素子の数は、1 0 0 未満から数百に及ぶことがあり、一般的なビーム形成器は、1 2 8 個のビーム形成器チャンネルを有する。このシステムアーキテクチャの

50

解決策は、二次元及び三次元（3D）像形成のための二次元（2D）アレイトランスデューサの出現に伴って支持できなくなった。それは、2Dアレイトランスデューサがボリュームメトリック領域にわたり方位角と仰角との両方においてビームを操舵及び合焦させるからである。このビーム形成に必要なトランスデューサ素子の数は、通常、数千である。従って、本問題の最も重要な点は、ビーム形成器が位置するシステムメインフレームにプローブを接続するケーブルとなる。たとえ最良の伝導フィラメントの数千の伝導体のケーブルであっても、厚くて扱い難くなるので、プローブの操作を不可能ではないとしても煩わしいものにする。

【0005】

この問題に対する解決策は、米国特許第5,229,933号(Larson, III)において説明されているように、プローブ自体におけるビーム形成のうちの少なくともいくつかを実行することである。この特許に示される超音波システムでは、ビーム形成は、プローブとシステムメインフレームとの間で仕切られる。素子のグループの初期ビーム形成は、部分的にビーム形成された加算結果が生成されるマイクロビーム形成器として知られるマイクロ回路によりプローブ内において行われる。トランスデューサ素子の数より少ない数のこれらの部分的にビーム形成された加算結果が、相応の寸法のケーブルを通してシステムメインフレームに結合され、システムメインフレームにおいてビーム形成処理が完了となり、最終的なビームが生成される。プローブ内における部分的ビーム形成は、アレイトランスデューサに装着されたマイクロ電子機器の形態のマイクロビーム形成器において、Larson, IIIがグループ内プロセッサと呼ぶものにより行われる。米国特許第5,997,479号(Savordra)、米国特許第6,013,032号(Savordra)、米国特許第6,126,602号(Savordra)、及び米国特許第6,375,617号(Fraser)も参照されたい。トランスデューサアレイの何千もの素子とマイクロビーム形成器との間における何千もの接続が、小さな寸法のマイクロ回路及びアレイピッチにおいて実現されるとともに、マイクロビーム形成器とシステムメインフレームのビーム形成器との間における多くのより少ないケーブル接続が、前の従来のケーブル技術により実現される。米国特許第7,821,180号(Kunkel, III)及び米国特許第7,927,280号(Davidson)に示される湾曲したアレイなどの、様々な平面のアレイ形式や湾曲したアレイ形式がマイクロビーム形成器とともに使用され得る。マイクロビーム形成器は、また、一次元アレイとともに、及び一次元アレイとして動作するようにされた2Dアレイとともに使用され得る。例えば米国特許第7,037,264号(Poland)を参照されたい。

【0006】

現在、長年にわたって超音波システムにおけるビーム形成がデジタルで行われている。受信された信号は、クロックシフトレジスタにより、又はランダムアクセスメモリでの一時記憶の時間により遅延され、遅延された信号はデジタル加算装置により加算される。デジタルビーム形成は、FPGA(フィールドプログラム可能ゲートアレイ:field programmable gate array)などの回路において、又はマイクロプロセッサにおけるソフトウェア命令により実行され得る。しかし、デジタルでビーム形成を実行するためには、受信された信号は、まず、アナログ・デジタルコンバータによりデジタル化されなければならない。現在の市販のマイクロビーム形成器を含む超音波プローブでは、部分的加算信号は、マイクロビーム形成器において、受信されたエコー信号に対してそれらの本来のアナログ領域で演算することにより形成される。アナログ部分的加算信号はプローブケーブルを通してシステムメインフレームに結合され、システムメインフレームにおいて、アナログ部分的加算信号がデジタル化され、ビーム形成がデジタルドメインにおいて完了となる。最近、ビーム形成技術は、Philips HealthcareのLumify(商標)超音波製品のL12-4リニア及びC5-2湾曲アレイプローブにおいてさらに統合されている。デジタル化及びデジタルビーム形成は、信号検出及びスキャン変換による像形成と同様に、プローブのハンドル内に位置するマイクロ回路により実行される。しかし、これらのプローブは、3D像形成のための2Dアレイプロ

10

20

30

40

50

ープのトランスデューサ素子よりはるかに少ないトランスデューサ素子を含む1D（一次元）アレイトランスデューサを使用する。1Dアレイ（二次元像形成）プローブ及び2Dアレイ（三次元像形成）プローブのいずれの場合にも、ビーム形成回路全体がプローブ内に位置することが望ましい。

【発明の概要】

【発明が解決しようとする課題】

【0007】

ビーム形成回路のすべてをプローブ内に統合するときには解決されなければならない問題は、マイクロ回路による電力消費に起因する。この問題は、回路からの熱放散である。スキニング中、プローブは超音波検査技師の手によって保持されるので、プローブの内部回路により生成された熱のすべてが、プローブに触れると温かく感じさせることになる。場合によっては、プローブハンドルは、触れると不快なほど熱く感じることもあり、これは防止されなければならない問題である。米国特許出願公開第2014/0058270号（Davidsonら）及び米国特許出願公開第2015/0099978号（Davidsonら）において説明されているものなど、プローブから熱を伝導・除去し、結果的に熱がユーザから消散する能動的なシステムに加えて、受動的なプローブ冷却装置が考案された。しかし、このような装置は、コストを大幅に上げ、プローブ及びプローブのケーブルの複雑さを増大させる。マイクロ回路による電力消費がより少ないはるかに簡単な手法により、このような装置を避けることが望ましい。

10

【課題を解決するための手段】

20

【0008】

本発明の原理により、超音波プローブにおいてデジタルビーム形成を実行するマイクロビーム形成器回路が説明される。低電力性能及び回路パッケージング効率が、集積回路形態でのアナログ・デジタルコンバータ（ADC：analog-to-digital converter）及びデジタルビーム形成回路の構築により実現される。デルタシグマ又は逐次近似アナログ・デジタル変換などの低電力デジタル・アナログ変換技術を使用することにより、電力消費も低減される。ICプロセスが可能にする周波数より低い周波数で、また、より低い動作周波数の使用により低電圧でデジタルICを動作させることにより、電力消費がさらに低減される。これらの技術の組み合わせは、3ワット以下の最大供給電力量内でマイクロビーム形成器チップセットが動作することを可能にし、それにより、プローブ内での過剰な発熱を回避できる。

30

【図面の簡単な説明】

【0009】

【図1】本発明の原理により構築された超音波像形成システムをブロック図の形態で示す図である。

【図2】ディスプレイデバイスとしてのポータブルコンピュータに結合された本発明の超音波プローブのマイクロビーム形成回路及びトランスデューサアレイをブロック図の形態で示す図である。

【図3】図2におけるマイクロビーム形成器のアナログASICのコンポーネントをブロック図の形態で示す図である。

40

【図4】図3におけるアナログASICのアナログ受信遅延の回路図である。

【図5】図3におけるデジタルADC及びビーム形成ASICのコンポーネントをブロック図の形態で示す図である。

【図5a】図5のデジタルASICにおける使用に適した逐次近似アナログ・デジタルコンバータをブロック図の形態で示す図である。

【図6】図5におけるデジタルASICの1つのチャンネルのデジタル遅延、遅延制御、及び加算回路を示す図である。

【図7】図5に示すデジタルASICにおけるサブサンプル遅延のために使用されるデジタルFIR（有限インパルス応答）フィルタを示す図である。

【図8】図7に示すサブサンプル遅延FIRにより生成された異なる遅延を伴うエコー信

50

号波形を示す図である。

【発明を実施するための形態】

【0010】

まず図1を参照すると、本発明の原理により構築された超音波システムがブロック図の形態で示される。プローブ10は、平面であるか、又はこの例において示されるように湾曲したものである二次元アレイトランスデューサ12を含む。トランスデューサは、CMUT (マイクロマシニング加工された静電容量型超音波トランスデューサ: capacitive micro-machined ultrasonic transducer) 又はPZTなどのMUTデバイスから形成されるが、好ましくは、PZTなどの圧電セラミック材料から形成される。アレイの素子は、トランスデューサアレイの後方においてプローブ内に位置するデジタルマイクロビーム形成器14に結合される。マイクロビーム形成器は、2Dアレイトランスデューサ12の素子に結合されたビーム形成チャンネルを含むプローブ内に位置する集積回路である。マイクロビーム形成器は、アレイの素子の各グループ(パッチ)の素子にタイミング制御された送信パルスを印加して、所望の方向に、またアレイの前における像フィールド内の所望の焦点にビームを送信する。仰角の次元における送信ビームのプロファイルは、点焦点、平面波、又は任意の中間のビームプロファイルを示し得る。送信されたビームから細胞及び組織により返されたエコーは、アレイ素子により受信され、マイクロビーム形成器14のチャンネルに結合され、マイクロビーム形成器14においてアナログエコー信号が個々に遅延させられる。トランスデューサ素子の隣接したパッチからの遅延された信号は、組み合わせられてパッチに対する部分的加算信号を形成する。以下でより完全に説明されるマイクロビーム形成器のアナログセクションでは、組み合わせることが、パッチの素子からの遅延された信号を共通バスに結合することにより行われ、加算回路を不要とする。次に、アナログエコー信号がデジタル化され、デジタルASIC (特定用途向け集積回路: application specific integrated circuit) によりデジタル形式でさらにビーム形成される。各パッチのビーム形成されたデジタル信号は、ケーブル16により超音波システムにおけるシステムビーム形成器22に結合され、システムビーム形成器22においてビーム形成処理が完了となる。代替的に、好ましい実施態様において、ビーム形成のすべてがプローブ内のマイクロビーム形成器により実行され、完全にビーム形成されたデジタル信号がシステムメインフレームに結合される。ビーム形成されたデジタル信号は、ベースバンド検出、高調波分離、フィルタ処理、ドップラー処理、及び像形成のためのスキャン変換などの動作を実行する信号及び像プロセッサ24により、像を形成するために使用される。信号及び像プロセッサ24は、像ディスプレイ30における表示のために2D又は3D像を生成する。信号及び像プロセッサは、電子ハードウェアコンポーネント、ソフトウェアにより制御されるハードウェア、又は像処理アルゴリズムを実行するマイクロプロセッサを備える。信号及び像プロセッサは、通常、スキャンコンバータなど、受信されたエコーデータを所望の表示形式の像のための像データへと処理する特殊なハードウェア又はソフトウェアをさらに含む。

10

20

30

【0011】

プローブ選択、ビーム操舵及び合焦、並びに信号及び像処理などの超音波システムパラメータの制御は、以下でより完全に説明されるように、システムの様々なモジュール及びプローブ10内のマイクロビーム形成器に結合されたシステム制御装置26の制御下で行われる。システム制御装置は、ASIC回路又はマイクロプロセッサ回路、及び、RAM、ROM、又はディスクドライブなどのソフトウェアデータ記憶デバイスにより形成される。プローブ10の場合、この制御情報のうちのいくつかは、ケーブル16のデータ線を通してシステムメインフレームからマイクロビーム形成器に提供され、特定のスキャン手順のために必要とされる通り、トランスデューサアレイの動作のためにマイクロビーム形成器を調整する。ユーザは、制御パネル20によりこれらの動作パラメータを制御する。

40

【0012】

50

図2は、8×8パッチとして構成された64個の素子の128個のグループにおいて動作するようにされた8192個のトランスデューサ素子を含む2D（二次元）マトリックスアレイトランスデューサ101を動作させる超音波プローブ106におけるデジタルマイクロビーム形成器を示す。図示された実施形態におけるマイクロビーム形成器は、2つのアナログASIC102を備え、各々が、マトリックスアレイ101の素子の半分に結合される。アナログASICは、以下でより完全に説明される通り、送信回路、送信/受信（T/R）スイッチ、前置増幅用増幅器、及びアナログ遅延を含む。アナログASIC102は、低電力アナログ・デジタルコンバータ及びデジタルビーム形成回路を含むマイクロビーム形成器の4つのデジタルASIC103に結合される。FPGA104は、本例においてラップトップコンピュータ108として示される制御及びディスプレイデバイスを動作させるユーザから制御データを受信する。制御及びディスプレイデバイスは、代替的に、カート搭載型超音波システム、タブレットコンピュータ、PDA、スマートフォン、又はディスプレイ及びユーザインターフェースを含む同様のデジタルデバイスであり得る。FPGAは、マイクロビーム形成器ASICに結合されて、超音波送信及び受信ビーム形成のための制御情報を提供し、さらに、RAM（ランダムアクセスメモリ：random access memory）110にデータを記憶し、USB制御装置105及びスイッチング電源109を管理する。RAM110は、プローブの予測されるスキャンモードの各々に必要な制御データのすべてを記憶する。例えば、RAM110は、RAMにデジタルエコー信号を書き込む書き込みアドレス制御装置に結合されるとともに、複数の読み出しアドレス制御装置に結合され、各々が、異なるデジタルマルチラインエコー信号に対する遅延されたデジタルエコー信号の読み出しを制御するように適用される。これらの回路のすべてが、熱くない手持ち式プローブを維持するために、この例においては3.0ワットである選択された最大供給電力量に従って動作しなければならない。図2に示されるマイクロビーム形成器回路の例示的な最大供給電力量が、次の表1に示される。

10

20

30

40

50

【表1】

表1:表示された状態に対する図2の回路の消費電力		
コンポーネント	動作	電力
アナログASICの送信機能	4096個の素子を使用した送信	0.75W
アナログASICの前置増幅器及び遅延回路	8192個の素子を使用した受信、128個の部分的加算信号へのビーム形成	0.5W
USB 3.0 制御装置	3Gb/s データ転送	0.7W
制御FPGA	データ管理	0.25W
電源	90%の効率と仮定	0.3W
デジタルASIC	20Mhzにおける128個のADCサンプリング、及び8xマルチライン出力を使用したデジタルビーム形成	0.5W
合計		3.0W

【0013】

この最大供給電力量は、マイクロビーム形成器回路全体、マイクロビーム形成器回路の制御FPGA、電源、及びUSB制御装置が、3.0ワットの電力割り当て量内で動作することにより、プローブにおいて非常に少量の熱しか生成しないことを示す。アナログASIC102は、デジタルASICにおける128個のADCに対する128個の入力信号である、各64個の素子の128個のパッチから128個の部分的加算アナログ信号を生成する。従って、マイクロビーム形成器は、128チャンネルデジタルビーム形成器と

みなされる。チャンネル数により電力割り当て量を除算することは、マイクロビーム形成器がチャンネル当たり約23ミリワットしか消費しないことを示す。さらに、好ましい実施形態における各デジタルチャンネルは、高フレームレートデジタル像形成のために8個のマルチラインを生成し、これはマルチラインスキャンライン当たりわずか約3ミリワットの電力消費である。

【0014】

従って、本発明の超音波プローブは、複数のデジタルチャンネルを提供し、単一のマルチラインスキャンライン当たりの電力消費は、3ミリワットという低いものとなり得る。各デジタルチャンネルが4つのマルチラインを生成する別の一実施形態では、電力消費はマルチラインスキャンライン当たり約6ミリワット以下である。

10

【0015】

図2で示される実施形態において、マトリックスアレイトランスデューサ101の音響素子は、フリップチップ型相互接続体におけるアナログASIC102の素子パッドに直接接続される。制御及びグループ出力信号は、アナログASICとマイクロビーム形成器の他方のコンポーネントとの間において、可撓性の相互接続体(例えば可撓性回路)を通して他のプローブ回路を含むプリント回路基板まで接続される。積層されたシリコンダイ、セラミックス回路、又はマルチチップモジュールなどの他の相互接続技術も使用される。各アナログASICは、デジタルASICのうち2つのデジタルASICのチャンネル入力(CH)に素子の64個のパッチの部分的にビーム形成されたアナログ信号を伝える64個のチャンネルライン出力(CHANNEL)を含む。従って、各デジタルASICは、部分的加算信号の32個のチャンネルを処理する。FPGA104は、アナログASICに対して、そのµBF ASIC制御バスから、アナログASIC102の制御インターフェース入力に制御データを供給する。FPGAは、クロック(CLK)信号に加えて、アドレス及びデータバスを通して、それぞれデジタルASIC103にデジタルアドレスデータ及び制御データを供給する。デジタルビーム形成された出力信号は、完全に加算されたデジタルエコー信号が最後のASICからFPGAの受信ビームデータ入力に印加されるまで、ASICからASICへと接続されたBEAM_IN及びBEAM_OUTバスを使用して、1つのデジタルASICから次へと伝搬及び加算される。FPGAは、USB制御装置105に完全にビーム形成された出力信号を印加し、次に、USB制御装置105が、USBケーブル107を通してユーザ制御及びディスプレイシステム108に対し、デジタルエコー信号をシリアルデータとして送信する。HDMI(登録商標)又はEthernet(登録商標)などの他の高速デジタルインターフェースも使用され得る。適切なUSB制御装置は、San Jose、CaliforniaのCypress Semiconductorから入手可能なFX3.0s制御装置である。マイクロビーム形成器のすべてのICの電力入力に対し必要な電力を印加するスイッチング電源109が示される。

20

30

【0016】

図3は、アナログASIC102の1つのチャンネル300のコンポーネントを示す。図示されている実施形態において、各アナログASICは、マトリックスアレイ101の4096個の素子に接続された4096個のアナログチャンネルのためのコンポーネントを含む。送信データ(Tx Data)は、FPGA104から送信パルス生成器302により受信される。FPGAは、システム制御装置26から以前に受信されたコマンドに回答して、所望の送信/受信シーケンスのためにRAMメモリ110からこのデータにアクセスし、システム制御装置26自体は、ユーザインターフェース20においてユーザにより入力された像形成選択に回答して作動する。Tx Dataは、パルス幅、時間マーカーに対する送信遅延、及びパルスカウントなどの送信パルスのパラメータを制御する。Tx Dataは、送信パルス事象の所望のシーケンスを実現することにより回答する送信パルス生成器302にクロックに基づいて入力される。送信パルスシーケンスは、送信イネーブル信号(Tx Enable)のタイミングで高電圧送信器304の入力に印加される。送信/受信(T/R)スイッチ306が、図面に示されているように送信器をト

40

50

ランスデューサ素子に結合するように設定されたとき、高電圧送信器304が高電圧送信波形を使用してマトリクスアレイの素子101nを駆動する。対象者内への波形の送信後、受信された音響エコーに応答して変換された電気信号が前置増幅器68（前置増幅用増幅器とも呼ばれる）の入力に結合されるように、T/Rスイッチ306が他方の位置に設定される。受信イネーブル信号（Rx Enable）は、エコー信号受信の期間中、前置増幅器を有効化する。前置増幅器68の利得は、エコー受信の期間中、高められ、対象者の次第に大きくなる深さから受信された信号にTGC利得特性を提供する。利得は、複数のスイッチング可能な並列インピーダンスとして集積回路形態で実現された制御可能なフィードバックインピーダンス310によりデジタルで調節される。並列インピーダンスのデジタル制御された、より多くのスイッチが閉じるにつれて、より多くのインピーダンスが並列に結合され、前置増幅器のフィードバックインピーダンス310が減少する。例えば、米国特許出願された出願人整理番号2016PF00604（Freemanら）を参照されたい。増幅されたアナログエコー信号はアナログ受信遅延回路320に結合され、アナログ受信遅延回路320は、アナログビーム形成のためのパッチの他の素子のチャンネルにより他のエコー信号に適用された遅延との関連で、受信されたエコー信号を遅延させる。適用された遅延は、FPGA104から受信された遅延データ（Delay Data）により制御される。遅延されたエコー信号は、図にChannel Outとして示されるように、パッチの他のアナログ信号とともに加算ノードに印加され、加算ノードにおいて、エコー信号がパッチ加算アナログ信号の形態で加算される。2Dアレイに対する好ましい実施形態では、各64個の素子の128個のパッチから部分的加算信号を生成する128個の加算ノードが存在する。これらの128個の部分的加算信号は、マルチラインデジタルビーム形成を実行するデジタルASIC103のための入力信号である。

10

20

30

40

50

【0017】

図4は、アナログ受信遅延回路320の集積回路の実施形態を示す。回路320は、容量性回路であり、スイッチ65の閉鎖によりランスデューサ素子101nによって生成された信号をサンプリングし、回路のコンデンサ62にサンプルを記憶させ、次に、意図される遅延を規定する後の時点で、スイッチ62の閉鎖によりサンプル結果がコンデンサから読み出される。この手法により遅延された信号は、次に、出力バッファ74によりパッチ加算ノードに結合され、パッチ加算ノードにおいて、遅延された信号がパッチの他の63個の素子からのアナログ信号と加算される。信号がコンデンサ62₁、62₂、...62_Mに記憶される時点は、書き込み制御装置64及び読み出し制御装置66の動作により決定される。書き込み制御装置は、スイッチ65₁、65₂、...65_Mのうちの1つの閉鎖を決定するポインター回路であり、スイッチ65₁、65₂、...65_Mのうちの1つの一時的な閉鎖が、前置増幅器68の出力においてランスデューサ101nの信号をサンプリングし、コンデンサにサンプルを記憶させる。スイッチがコンデンサに1つのサンプルを「書き込んだ」後、書き込み制御装置が、別のスイッチ65を閉じて、別のコンデンサ62に信号の別のサンプルを記憶させる。従って、書き込み制御装置は、エコー受信の期間中、ランスデューサ素子101nにより受信された信号の複数のサンプルを迅速に連続して記憶させる。サンプルが獲得される周波数は、受信周波数帯に対するナイキストレートを上回り、通常、このレートを十分に上回る。読み出し制御装置66は、所望の遅延期間にわたって信号サンプルがコンデンサに記憶された後に、記憶された信号サンプルを読み出すことと同様の手法で動作するポインター回路である。読み出し制御装置は、スイッチ67のうちの1つを閉じ、記憶された信号サンプルを出力バッファ74に結合し、出力バッファ74から信号サンプルがさらなる処理のために利用可能となる。迅速な連続動作において、サンプリングされた信号のシーケンスがコンデンサ62から読み出され、この時点の遅延されたサンプルがパッチ加算ノードにおける加算のために転送される。

【0018】

アナログASIC102のコンポーネントが、デジタル制御されるアナログコンポーネントとみなされ、送信器304及びT/Rスイッチ306は、ランスデューサ素子を駆

動するために必要な高電圧で動作することが可能でなければならない。好ましい実施形態において、アナログASICは、高電圧に適した集積回路プロセスにより製造され、0.18 μ mなどの比較的大きな形状寸法をもつ。

【0019】

4つのデジタルASIC103の回路が図5に示される。図示される実施形態において、各デジタルASICは、トランسدューサ素子の32個のパッチから加算されたアナログ信号を処理する32個のデジタルチャンネル601を含む。各デジタルチャンネルは、アナログパッチ信号をデジタル化し、デジタルエコー信号の各シーケンスである8個の受信ビームが同時に形成されるように、8個のデジタルマルチライン出力信号を形成する。8個のマルチライン出力信号は、図面において各チャンネルに対してML0からML7として示されている。マルチラインの程度は、回路設計者により決定される通り、4xであるか、図5に示されるように8xであるか、16xであるか、又は任意のより多数のマルチラインである。動作時、アナログパッチ信号は、逐次近似型ADC又はデルタシグマADCなどの好ましくは10ミリワット以下を消費するものである低電力ADC603により、デジタルエコーサンプルのシーケンスに変換される。各デジタルエコーサンプルは、デジタル遅延回路604により8個の選択可能な遅延インクリメントだけ遅延され、8個のマルチラインに対して遅延されたエコー信号を生成する。8個のマルチラインサンプルML0~ML7は、8個のデジタル加算装置又は加算器(加算回路)605に結合され、8個のデジタル加算装置又は加算器(加算回路)605において、サンプルが他のチャンネルにより生成されたデジタルエコーサンプルと加算される。前のデジタルASICからの8個のマルチラインのデジタルエコーサンプルは、デシリアライザ(非直列化器)602により高レートシリアルデータストリームとして受信され、デシリアライザ602が、データストリームのサンプルを8個のマルチラインに対する8個の並列ラインにソートする。次に、ASICの32チャンネルが、それらの部分的加算マルチライン信号を、これらの8個の並列ラインのデータにシリアルデータストリームの高レートより低いデータレートで加算する。例えば、シリアルデータストリームが160MHzにおいて動作するのに対し、デジタルASICにおける他の回路は20MHzでクロックに基づいて動作する。ASICの出力(図中の右下)において、8個の並列ラインのデータがシリアライザ607により高レートシリアルデータストリームに再構成され、シリアライザ607は、他のチャンネルからのデジタル部分的加算信号との加算のために次のデジタルASICに結合される。デシリアライザ602と同様に、シリアライザ607は、より高いデータレートで動作する。チェーンにおける最後のデジタルASICの出力において、完全にビーム形成されたシリアルデータ(受信ビームデータ)がFPGA104に結合され、FPGA104は受信されたビームデータを、像ディスプレイデバイス108への通信のためにUSB制御装置105に印加する。各デジタルASICは、FPGAから制御データを受信し、サンプリング時間及びデジタル遅延回路604のための遅延値などの、デジタル変換及びビーム形成プロセスのパラメータを設定する制御レジスタ606をさらに含む。

【0020】

図5に示されるデジタルASICにおいて、使用される集積回路プロセスは、好ましくは、高電圧で動作しなければならないアナログASICの形状寸法より小さな形状寸法に使用するプロセスである。デジタルASICのための適切な形状寸法は65nm以下であり、このことが、電力をそのままに維持しながら、アナログASICの回路密度より高い回路密度を可能にする。集積回路プロセスが可能にするクロックレートより低いクロックレートでデジタルASICの大部分を動作させることにより、電力消費の低減がさらに促進される。上述のように、シリアライザ及びデシリアライザは、160MHzなどの高周波で動作するので、選択された集積回路プロセスは、そのクロック周波数で動作することが可能でなければならない。しかし、デジタルASICコア、特にデジタル遅延及び加算器は、20MHzでクロックに基づいて動作する。電力消費はクロック周波数に比例するので、回路が設計されるときに目的とする周波数よりはるかに低いこの低い動作周波数が、デジタルASIC103により要求される電力をさらに小さくする。さらに、データの

10

20

30

40

50

より低いクロックレートが、回路間における再同期レジスタの必要性を小さくし、電力消費をさらに低減する。さらに、より低いクロック周波数でデジタル A S I C を動作させることにより、そうでない場合においてより高いクロック周波数で所望の精度を維持するために必要とされる電源電圧よりも低い電源電圧を使用することができる。電力消費は電圧に依存するので、より低い電圧における動作も電力を削減する。好ましい実施形態において、A D C 並びにデジタル A S I C のシリアライザ及びデシリアライザは、より高い電圧で動作するようにされ、A S I C コアは、より低い電圧で動作するようにされる。

【0021】

図 5 a は、低電力逐次近似 A D C 6 0 3 のアーキテクチャを示す。変換されるアナログエコー信号、すなわち図の V_{IN} は、サンプル・ホールド回路 6 2 4 によりサンプリング及びホールドされる。逐次近似レジスタ (S A R : s u c c e s s i v e a p p r o x i m a t i o n r e g i s t e r) 6 2 0 は、その最上位出力ビット D_n が値 1 に設定されるように初期化される。デジタル・アナログコンバータ (D A C : d i g i t a l - t o - a n a l o g c o n v e r t e r) 6 2 2 は、デジタルワードの最上位ビット (D_n) が 1 に設定された状態の $n + 1$ ビットデジタルワードにアナログとして等価な、電圧 V_{REF} を基準とした比較電圧を生成する。比較器 6 2 6 が、アナログエコー信号を比較電圧と比較して、比較電圧がアナログエコー信号より大きい場合、比較器の出力は、S A R が最上位ビットをゼロに設定することをもたらし、そうでない場合、最上位ビットは値 1 に維持される。S A R の最上位の次のビット D_{n-1} が 1 に設定され、 D_{n-1} ビットの正しい設定を決定するために別の比較が実行される。S A R の出力ビットのすべてが正しく設定されるまで本プロセスが履行され、その結果、出力ビットがアナログエコー信号のデジタル値となる。変換終了信号 E O C が変換のこの完了をデジタル遅延回路 6 0 4 に通知し、次に、デジタル遅延回路 6 0 4 が、S A R のデジタル値をその次のデジタル信号サンプルとして容認する。次に、サンプル・ホールド回路 6 2 4 が新しいエコー信号サンプルを獲得し、S A R 6 2 0 が初期化され、本プロセスが続く。

【0022】

図 6 において、図 5 に示すデジタル遅延回路、遅延制御、及びデジタル A S I C の 1 つのチャンネルの加算回路がさらに詳細に示される。低電力 A D C 6 0 3 がパッチから連続したデジタルエコー信号サンプルを生成するとき、サンプルが書き込みアドレスカウンタ (W A C : w r i t e a d d r e s s c o u n t e r) 6 4 2 のインデックス処理によりマルチポート R A M 6 4 0 に記憶される。遅延されたエコー信号は、8 個のマルチラインに対する 8 個の読み出しアドレスカウンタ (R A C : r e a d a d d r e s s c o u n t e r) 6 4 4₀ から 6 4 4₇ により、R A M 6 4 0 の 8 個の出力ポート $Q_0 \sim Q_7$ から読み出され、8 個の読み出しアドレスカウンタ (R A C) 6 4 4₀ から 6 4 4₇ のうちの 1 つの回路が図に示される。8 個を上回るマルチラインが生成される場合、追加的な読み出しアドレスカウンタが追加され得る。各 R A C 6 4 4 は、その読み出しアドレスを、R A M の 8 個のアドレスポート A d - r 0 から A d - r 7 のうちの 1 つに送る。読み出されるサンプルのアドレスとそのタイミングとが、デジタルエコー信号の遅延を決定する。マルチラインのために R A M に送られたアドレスは、F P G A 1 0 4 により提供される焦点データに回答して、焦点制御回路 6 4 6₀ により設定され、出力アドレスが R A C 6 4 4₀ にクロックに基づいて入力され、動的な焦点処理のために定期的に調節される。R A M 6 4 0 の Q 出力において生成された遅延されたデジタルエコー信号は、サブサンプル遅延 F I R 6 4 8₀ により、より細かい遅延にさらに分解され得、サブサンプル遅延 F I R 6 4 8₀ は、焦点制御回路から要求される通りにデータをさらに受信する。図において C H 0 として示される、マルチラインのための最終的な遅延されたデジタルエコー信号は、加算器 6 0 5₀ により他のデジタルチャンネルからのそのマルチラインに対する他のサンプルに加算される。その点まで加算されたサンプルは、D 型フリップフロップ 6 5 0₀ にクロックに基づいて入ることにより再同期され、次のチャンネルの加算器に送られる。従って、各チャンネルは、同時に 8 個のマルチライン ($Q_0 \sim Q_7$) に対する適切に遅延されたデジタルパッチ信号サンプルを生成する。

10

20

30

40

50

【 0 0 2 3 】

好ましいサブサンプル遅延有限インパルス応答 (F I R : f i n i t e i m p u l s e r e s p o n s e) フィルタが図 7 に示される。この好ましい F I R フィルタは、従来の F I R フィルタと異なり、乗算器を使用しないことにより、電力をそのままに維持する。 R A M 6 4 0 からの連続したエコー信号サンプルは、クロックに基づいてレジスタ 7 0 2 に入力され、従って、現在のサンプル Q_n をその入力にもち、前のサンプル Q_{n+1} をその出力にもつ。2つのサンプルの重み付けされた分画が形成されて、より細かく分解された遅延されたサンプル値を生成する。乗算器を使用して重み付けを行う代わりに、使用される重み付け係数は、2の累乗であり、サンプル値の最上位ビットのうちの1つ又は複数の強制ゼロ充填により形成される。従って、加算器 7 0 4 は、2回重み付けされた Q_n サンプルを受信するように結合され、一回目にその最上位ビットがゼロにされ (0 , Q_n)、さらに、その2個の最上位ビットがゼロにされる (0 , 0 , Q_n)。同様に、加算器 7 0 4 は、さらに、2回重み付けされた形態で Q_{n+1} サンプルを受信するように結合され、一回目に2個の最上位ビットがゼロにされ、さらに、3個の最上位ビットがゼロにされる。従って、加算器 7 0 4 は、 $.75 Q_n + .125 Q_{n+1}$ の形態の重み付けされたエコー信号を生成する。同様の手法で、加算器 7 0 6 が、 $.125 Q_n + .75 Q_{n+1}$ の形態の重み付けされたエコー信号を生成するように結合される。 Q_n サンプル及びこれらの2回重み付けされたサンプル値が、マルチプレクサ 7 0 8 の3個の入力に送られ、送られた値のうちの1つが、焦点制御回路 6 4 6 により提供される S S D 選択信号によりマルチプレクサ出力値として選択される。選択された細かく遅延された値が、再同期のためにレジスタ 7 1 0 にクロックに基づいて入力され、そのマルチラインに対する加算器 6 0 5 に送られる。図 8 は、図 7 に示すサブサンプル遅延 F I R フィルタにより生成され得る典型的な超音波エコー信号の3個の位相シフトを示す。見てわかるように、基本サンプリングクロック周波数の 0、1/3、及び 2/3 の遅延値が、この回路を使用して達成され得る。

10

20

【 0 0 2 4 】

電力消費の低減のための図 5 に示すデジタル A S I C の重要な特徴は、A D C 6 0 3 及び後述のデジタルビーム形成 (デジタル遅延 6 0 4 及び加算器 6 0 5) が同じ集積回路パッケージ内に位置することである。これは、介入する I C ピン、P C B トレース、及び接続パッドを通して1つのパッケージから別のパッケージに信号を駆動するために、より多くの電力を必要とする、1つのパッケージ内の A D C から別のパッケージ内のデジタルビーム形成器にデータを伝達する必要性を無くす。パッケージ内相互接続のこの用法により電力が削減される。デジタル A S I C パッケージは、積層されたダイ又はマルチチップモジュールを使用し得るが、A D C はデジタルビーム形成器回路と同じシリコンダイにあることが好ましい。

30

【 0 0 2 5 】

上述の、及び図 1 及び図 2 の例示的な超音波システムにより示される様々な実施形態は、ハードウェア、ソフトウェア、又はハードウェアとソフトウェアとの組み合わせにより実施されてよいことが留意されなければならない。超音波システムの様々な実施形態及び/又はコンポーネント、例えば、モジュール、又はモジュール内のコンポーネント及び制御装置もまた、1つ又は複数のコンピュータ又はマイクロプロセッサの一部として実施されてよい。コンピュータ又はプロセッサは、コンピューティングデバイス、入力デバイス、ディスプレイユニット、及びインターフェース、例えば、インターネットにアクセスするためのインターフェースを含んでよい。コンピュータ又はプロセッサは、マイクロプロセッサを含んでよい。マイクロプロセッサは、通信バスに接続されて、例えば、P A C S システムにアクセスしてよい。コンピュータ又はプロセッサは、メモリをさらに含んでよい。上述のメモリデバイスは、ランダムアクセスメモリ (R A M)、及び読み出し専用メモリ (R O M : R e a d O n l y M e m o r y) を含んでよい。コンピュータ又はプロセッサは、ハードディスクドライブ又はリムーバブル記憶ドライブ、例えばフロッピーディスクドライブ、光ディスクドライブ、ソリッドステートサムドライブなどの記憶デバ

40

50

イスをさらに含んでよい。記憶デバイスは、コンピュータ又はプロセッサにコンピュータプログラム又は他の命令をロードするための他の同様の手段であってもよい。

【0026】

本明細書において使用される場合、「コンピュータ (computer)」又は「モジュール (module)」又は「プロセッサ (processor)」という用語は、マイクロ制御装置、縮小命令セットコンピュータ (RISC: reduced instruction set computer)、ASIC、論理回路、及び、本明細書において説明される機能を実行することが可能な任意の他の回路又はプロセッサを使用したシステムを含む、任意のプロセッサベースの、又はマイクロプロセッサベースのシステムを含んでよい。上述の例は例示に過ぎず、従って、いかなる形でもこれらの用語の定義及び / 又は意味を限定することは意図されない。

10

【0027】

コンピュータ又はプロセッサは、入力データを処理するために、1つ又は複数の記憶素子に記憶された命令のセットを実行する。記憶素子は、所望により、又は必要に応じてデータ又は他の情報も記憶する。記憶素子は、情報源又は処理マシン内の物理的なメモリ素子の形態であってよい。

【0028】

マイクロビーム形成器を含む超音波システムの命令のセットは、コンピュータ又はプロセッサに対し、処理マシンとして本発明の様々な実施形態の方法及びプロセスなどの具体的な処理を実行するよう命令する様々なコマンドを含む。命令のセットは、ソフトウェアプログラムの形態であってよい。ソフトウェアは、システムソフトウェア又はアプリケーションソフトウェアなどの、有形かつ非一時的なコンピュータ可読媒体として具現化されている様々な形態であってよい。さらに、ソフトウェアは、独立したプログラム又はモジュールの集合体、より大きなプログラム内のプログラムモジュール、又は、プログラムモジュールの一部の形態であってよい。ソフトウェアは、オブジェクト指向プログラムの形態のモジュール式プログラムをさらに含んでよい。処理マシンによる入力データの処理は、操作者のコマンドに応答して、若しくは以前の処理の結果に応答して、又は別の処理マシンによりなされた要求に応答して行われる。図2に示す超音波システムでは、例えば、ソフトウェア命令は、メインフレーム超音波システムから、マイクロビーム形成器のFPGA104により受信される。次に、FPGAが、アナログASIC102及びデジタルASIC103にソフトウェア命令を送り、ソフトウェア命令によりマイクロビーム形成器の構造上のコンポーネントの動作を制御する。

20

30

【0029】

さらに、下記の請求項の限定はミーンズプラスファンクション形式で記載されておらず、そのような請求項の限定が、明示的に「のための手段」という語句を使用し、続いてさらなる構成を欠いた機能の記述がなされない限り、又はそれがなされるまでは、米国特許法第112条第6項に基づいて解釈されることは意図されない。

【 図 5 】

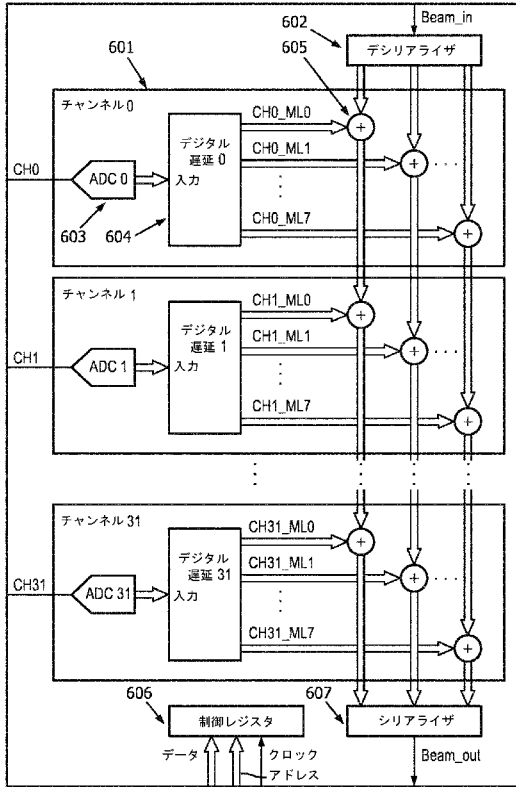


図 5

【 図 5 a 】

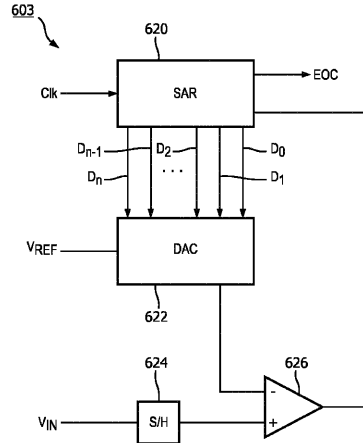


FIG. 5a

【 図 6 】

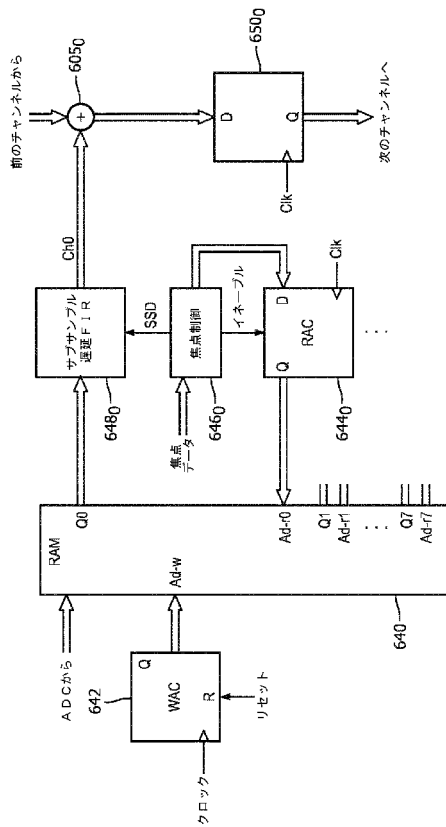


図 6

【 図 7 】

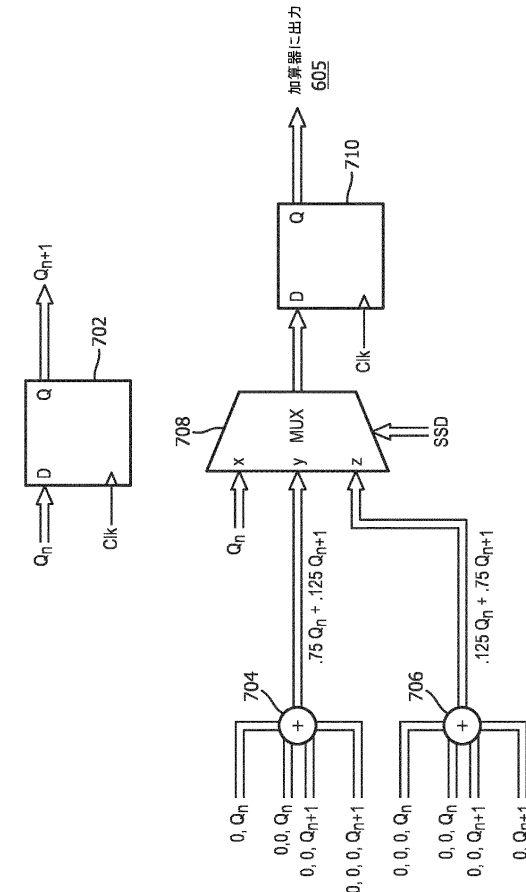


図 7

【 図 8 】

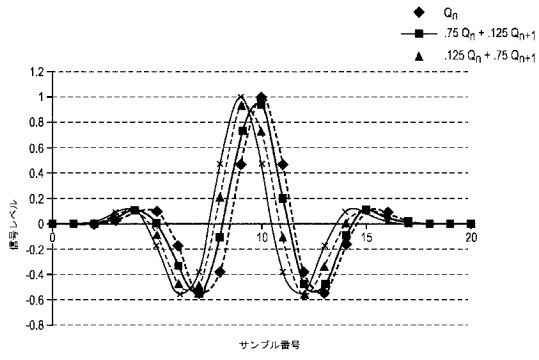


図 8

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/071940

A. CLASSIFICATION OF SUBJECT MATTER		
INV. G01S7/52 G01S15/89 G10K11/34 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01S G10K		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, INSPEC, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2007/016023 A1 (PHELPS ROBERT N [US] ET AL) 18 January 2007 (2007-01-18) abstract; figure 1 paragraphs [0019], [0020], [0022] paragraphs [0023], [0025], [0026] paragraphs [0030], [0043] -----	1-15
X	WO 2016/077822 A1 (URSUS MEDICAL LLC [US]) 19 May 2016 (2016-05-19) figure 14 paragraphs [0074], [0077] ----- -/--	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier application or patent but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 8 November 2017		Date of mailing of the international search report 16/11/2017
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Knoll, Bernhard

1

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/071940

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/069686 A1 (DAFT CHRISTOPHER M W [US] ET AL) 12 March 2009 (2009-03-12) abstract; figures 2, 3 paragraphs [0035], [0045] - [0048] paragraph [0050] - paragraph [0053] paragraph [0059] - paragraph [0063] paragraph [0066] -----	1-15
A	US 2005/068221 A1 (FREEMAN STEVEN R [US] ET AL) 31 March 2005 (2005-03-31) abstract paragraph [0010] -----	6-8,10, 11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/071940

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007016023 A1	18-01-2007	US 2007016023 A1 US 2009007414 A1	18-01-2007 08-01-2009
WO 2016077822 A1	19-05-2016	CA 2967646 A1 CN 107110826 A EP 3218705 A1 WO 2016077822 A1	19-05-2016 29-08-2017 20-09-2017 19-05-2016
US 2009069686 A1	12-03-2009	NONE	
US 2005068221 A1	31-03-2005	JP 2005103290 A US 2005068221 A1	21-04-2005 31-03-2005

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 セイヴォルド ベルナルド ヨセフ

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

Fターム(参考) 4C601 EE12 EE14 EE15 GB06 GB18 GB22 HH21 JB02 JB03 JB08

JB19 JB32

专利名称(译)	包括低频低压数字微波束形成器的超声波探头		
公开(公告)号	JP2019526349A	公开(公告)日	2019-09-19
申请号	JP2019511698	申请日	2017-09-01
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦NV哥德堡		
[标]发明人	セイヴォルドベルナルドヨセフ		
发明人	セイヴォルドベルナルドヨセフ		
IPC分类号	A61B8/00		
CPC分类号	G01S7/52028 G01S7/5208 G01S7/52095 G01S7/52096 G01S15/8925 G10K11/346 H03M1/06 H03M3/30		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE12 4C601/EE14 4C601/EE15 4C601/GB06 4C601/GB18 4C601/GB22 4C601/HH21 4C601/JB02 4C601/JB03 4C601/JB08 4C601/JB19 4C601/JB32		
优先权	62/382856 2016-09-02 US		
外部链接	Espacenet		

摘要(译)

超声探头106包括阵列换能器101和耦合至阵列元件的微波束形成器。该微波束形成器包括模拟ASIC 102，该模拟ASIC 102包括耦合到阵列101的元素的发射器和放大器。微型波束形成器还包括将接收到的回声信号转换为数字数据的模数转换器，以及位于数字ASIC 103内的数字波束形成器电路。数字ASIC 103在时钟上以低于该数字ASIC 103的数字集成电路处理所允许的频率的核心频率进行操作，并且在设计数字集成电路时，数字ASIC 103在低于预期电源电压的电源电压下进行操作。它可以在电压下运行，并且两种操作都可以减少微波束形成器的功耗。

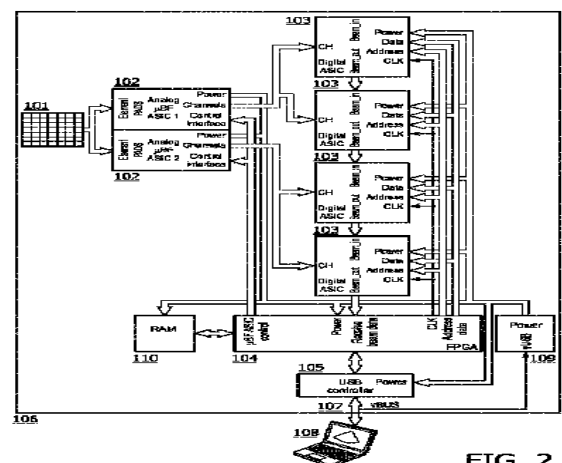


FIG. 2