

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2019-526316

(P2019-526316A)

(43) 公表日 令和1年9月19日 (2019.9.19)

(51) Int.Cl.
A 6 1 B 8/00 (2006.01)F 1
A 6 1 B 8/00テーマコード (参考)
4 C 6 0 1

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

(21) 出願番号 特願2019-506133 (P2019-506133)
(86) (22) 出願日 平成29年8月29日 (2017.8.29)
(85) 翻訳文提出日 平成31年4月1日 (2019.4.1)
(86) 国際出願番号 PCT/US2017/049024
(87) 国際公開番号 W02018/052701
(87) 国際公開日 平成30年3月22日 (2018.3.22)
(31) 優先権主張番号 15/263,939
(32) 優先日 平成28年9月13日 (2016.9.13)
(33) 優先権主張国・地域又は機関
米国 (US)

(71) 出願人 515244151
バタフライ ネットワーク、インコーポレ
イテッド
アメリカ合衆国、コネチカット州 O 6 4
3 7 ギルフォード、オールド ウィット
フィールド ストリート 5 3 0
(74) 代理人 100079108
弁理士 稲葉 良幸
(74) 代理人 100109346
弁理士 大貫 敏史
(74) 代理人 100117189
弁理士 江口 昭彦
(74) 代理人 100134120
弁理士 内藤 和彦

最終頁に続く

(54) 【発明の名称】 超音波用途用の組込み型の時間利得補償機能を有するアナログーデジタル駆動回路

(57) 【要約】

超音波装置用の時間利得補償 (TGC) 回路は、蓄積コンデンサを有する第1の増幅器と、蓄積コンデンサの蓄積時間を制御し、これにより、第1の増幅器の利得を制御するTGC制御信号を生成するように構成された制御回路とを含む。蓄積時間は、入力信号が第1の増幅器から隔離される前に入力信号が第1の増幅器に結合される時間の量である。

【選択図】 図2

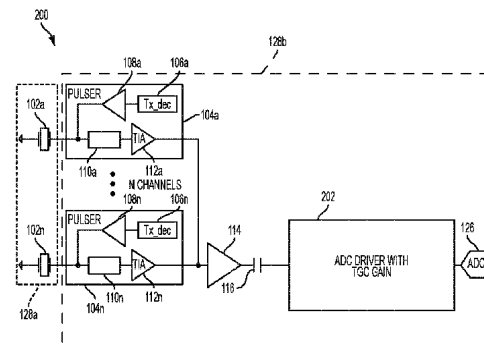


FIG. 2

【特許請求の範囲】**【請求項 1】**

超音波装置用の時間利得補償 (T G C) 回路であって、
第 1 の蓄積コンデンサを有する第 1 の増幅器と、
前記第 1 の蓄積コンデンサの蓄積時間を制御する T G C 制御信号を生成することにより、
前記第 1 の増幅器の利得を制御するように構成された制御回路であって、前記蓄積時間は、
入力信号が前記第 1 の増幅器から隔離される前に前記入力信号が前記第 1 の増幅器に結合される時間の量を有する、制御回路と、
を有する T G C 回路。

【請求項 2】

前記第 1 の増幅器は、差動増幅器を有する請求項 1 に記載の T G C 回路。

【請求項 3】

前記差動増幅器は、アナログ - デジタルコンバータ (A D C) ドライバを有する請求項 2 に記載の T G C 回路。

【請求項 4】

前記制御回路は、
フィードバックコンデンサを有する第 2 の増幅器であって、前記第 2 の増幅器は、比較器回路として構成されており、前記制御回路は、前記第 2 の増幅器の出力電圧と可変利得制御入力信号の値によって判定される閾値電圧との間の比較により、前記 T G C 制御信号を生成する、第 2 の増幅器、
を更に有する請求項 1 に記載の T G C 回路。

【請求項 5】

前記第 2 の増幅器は、演算増幅器を有する請求項 4 に記載の T G C 回路。

【請求項 6】

前記 T G C 制御信号によって制御される前記蓄積時間は、前記制御回路の R C 時定数及び前記可変利得制御入力信号の電圧に依存している請求項 1 に記載の T G C 回路。

【請求項 7】

前記第 1 の増幅器の出力利得は、前記制御回路の抵抗及び静電容量値と前記第 1 の増幅器の抵抗及び静電容量値との間の比率に比例している請求項 6 に記載の T G C 回路。

【請求項 8】

前記比率は、約 5 である請求項 7 に記載の T G C 回路。

【請求項 9】

前記第 1 の蓄積コンデンサは、アナログ - デジタルコンバータ (A D C) のサンプル及び保持コンデンサをも有する請求項 1 に記載の T G C 回路。

【請求項 10】

前記第 1 の増幅器に対する前記入力信号と関連するオフセット電圧を保存及びキャンセルすると共に前記第 1 の増幅器自体と関連するオフセット電圧を保存及びキャンセルするように構成されたオフセット電圧コンデンサを更に有する請求項 9 に記載の T G C 回路。

【請求項 11】

超音波装置用のアナログ - デジタルコンバータ (A D C) ドライバ回路であって、
フィードバック構成における第 1 及び第 2 の蓄積コンデンサを有する第 1 の増幅器と、
前記第 1 及び第 2 の蓄積コンデンサの蓄積時間を制御する時間利得補償 (T G C) 制御信号を生成することにより、前記第 1 の増幅器の利得を制御することによって時間利得補償を提供するように構成された制御回路であって、前記蓄積時間は、入力信号が前記第 1 の増幅器から隔離される前に前記入力信号が前記第 1 の増幅器に結合される時間の量を有する、制御回路と、
を有する A D C ドライバ回路。

【請求項 12】

前記第 1 の増幅器は、差動増幅器を有する請求項 11 に記載の A D C ドライバ回路。

【請求項 13】

10

20

30

40

50

前記差動増幅器の出力端子に選択的に結合されるＡＤＣサンプル及び保持コンデンサのペアを更に有する請求項１２に記載のＡＤＣドライバ回路。

【請求項１４】

前記差動増幅器の入力端子に結合されたオフセット電圧コンデンサのペアを更に有する請求項１３に記載のＡＤＣドライバ回路。

【請求項１５】

リセット動作モードにおいて前記第１及び第２の蓄積コンデンサを放電するように構成されたスイッチの第１のペアと、

前記リセット動作モードに後続して、前記入力信号を前記差動増幅器に結合し、且つ、その後、前記ＴＧＣ制御信号に従って前記入力信号を前記差動増幅器から隔離するように構成されたスイッチの第２のペアであって、オフセットキャンセル動作モードにおいて前記入力信号を前記オフセット電圧コンデンサに結合するように更に構成されているスイッチの第２のペアと、

前記オフセットキャンセルモードにおいて前記差動増幅器の前記入力及び出力端子をエコライズするように構成されたスイッチの第３のペアと、

サンプル動作モードにおいて前記差動増幅器の前記出力端子を前記ＡＤＣサンプル及び保持コンデンサに結合するように構成されたスイッチの第４のペアと、

を更に有する請求項１４に記載のＡＤＣドライバ回路。

【請求項１６】

前記制御回路は、

フィードバックコンデンサを有する第２の増幅器であって、比較器回路として構成された第２の増幅器、

を更に有し、且つ、

前記ＴＧＣ制御信号は、前記第２の増幅器の出力電圧と可変利得制御入力信号の値によって判定される閾値電圧との間の比較によって生成される請求項１１に記載のＡＤＣドライバ回路。

【請求項１７】

前記第２の増幅器は、演算増幅器を有する請求項１６に記載のＡＤＣドライバ回路。

【請求項１８】

前記ＴＧＣ制御信号によって制御される前記蓄積時間は、ＲＣ時定数及び前記可変利得制御入力信号の電圧に依存している請求項１７に記載のＡＤＣドライバ回路。

【請求項１９】

前記制御回路の前記フィードバックコンデンサは、前記演算増幅器の前記出力電圧が、前記可変利得制御入力信号によって判定される前記閾値電圧を超過したら、前記ＴＧＣ制御信号の状態が変化するように、一定の電流によって充電される請求項１８に記載のＡＤＣドライバ。

【請求項２０】

前記フィードバックコンデンサを選択的に放電させるように構成されたスイッチを更に有する請求項１９に記載のＡＤＣドライバ。

【請求項２１】

超音波システムであって、

超音波トランスデューサから電気信号を受け取るように構成された受信チャネルと、

前記受信チャネルに結合された入力及びアナログ－デジタルコンバータ（ＡＤＣ）に結合された出力を有するアナログ回路ブロックであって、

フィードバック構成における第１及び第２の蓄積コンデンサを有する差動増幅器を含むＡＤＣドライバ回路、及び、

前記第１及び第２の蓄積コンデンサの蓄積時間を制御する時間利得補償（ＴＧＣ）制御信号を生成することによって時間利得補償を提供するように構成された制御回路であって、前記蓄積時間は、入力信号が前記差動増幅器から隔離される前に前記入力信号が前記差動増幅器に結合される時間の量を有する、制御回路、

10

20

30

40

50

を更に有するアナログ回路ブロックと、
を有する超音波システム。

【請求項 22】

前記 A D C ドライバ回路は、
前記差動増幅器の出力端子に選択的に結合される A D C サンプル及び保持コンデンサのペアと、

前記差動増幅器の入力端子に結合されたオフセット電圧コンデンサのペアと、

リセット動作モードにおいて前記第 1 及び第 2 の蓄積コンデンサを放電させるように構成されたスイッチの第 1 のペアと、

前記リセット動作モードに後続して、前記入力信号を前記差動増幅器に結合し、且つ、
その後、前記 T G C 制御信号に従って前記入力信号を前記差動増幅器から隔離するように構成されたスイッチの第 2 のペアであって、オフセットキャンセル動作モードにおいて前記入力信号を前記オフセット電圧コンデンサに結合するようにも構成されているスイッチの第 2 のペアと、

前記オフセットキャンセルモードにおいて前記差動増幅器の前記入力及び出力端子をエコーライズするように構成されたスイッチの第 3 のペアと、

サンプル動作モードにおいて前記差動増幅器の前記出力端子を A D C サンプル及び保持コンデンサに結合するように構成されたスイッチの第 4 のペアと、

を更に有する請求項 21 に記載の超音波システム。

【請求項 23】

前記制御回路は、

フィードバックコンデンサを有する演算増幅器であって、比較器回路として構成された演算増幅器、

を更に有し、且つ、

前記 T G C 制御信号は、前記演算増幅器の出力電圧と可変利得制御入力信号の値によって判定される閾値電圧との間の比較によって生成される請求項 22 に記載の超音波システム。

【請求項 24】

前記 T G C 制御信号によって制御される前記蓄積時間は、前記フィードバックコンデンサの静電容量及び前記可変利得制御入力信号の電圧に依存している請求項 23 に記載の超音波システム。

【請求項 25】

前記制御回路の前記フィードバックコンデンサは、前記演算増幅器の前記出力電圧が、前記可変利得制御入力信号によって判定される前記閾値電圧を超過したら、前記 T G C 制御信号の状態が変化するように、一定の電流によって充電される請求項 24 に記載の超音波システム。

【請求項 26】

前記制御回路は、前記フィードバックコンデンサを選択的に放電させるように構成されたスイッチを更に有する請求項 25 に記載の超音波システム。

【請求項 27】

前記第 1 及び第 2 の蓄積コンデンサは、A D C サンプル及び保持コンデンサのペアとしても機能している請求項 21 に記載の超音波システム。

【請求項 28】

リセット動作モードにおいて前記第 1 及び第 2 の蓄積コンデンサを放電させるように構成されたスイッチの第 1 のペアと、

前記リセット動作モードに後続して前記入力信号を前記差動増幅器に結合し、且つ、その後、前記 T G C 制御信号に従って前記入力信号を前記差動増幅器から隔離するように構成されたスイッチの第 2 のペアと、

前記リセットモードにおいて共通モード電圧を前記差動増幅器の入力及び出力端子に結合するように構成されたスイッチの第 3 のペアと、

10

20

30

40

50

を更に有する請求項 27 に記載の超音波システム。

【請求項 29】

リセット動作モードにおいて前記第 1 の蓄積コンデンサを放電させるように構成されたスイッチの第 1 のペアと、

前記リセット動作モードにおいて前記第 2 の蓄積コンデンサを放電させるように構成されたスイッチの第 2 のペアと、

前記リセット動作モードにおいて前記差動増幅器の前記入力及び出力端子をエコライズするように構成されたスイッチの第 3 のペアと、

前記リセット動作モードに後続して、前記第 1 の蓄積コンデンサを前記差動増幅器の前記入力及び出力端子に結合するように構成されたスイッチの第 4 のペアと、

を更に有する請求項 27 に記載の超音波システム。

10

【請求項 30】

前記制御回路は、

フィードバックコンデンサを有する演算増幅器であって、比較器回路として構成された演算増幅器、

を更に有し、且つ、

前記 TGC 制御信号は、前記演算増幅器の出力電圧と可変利得制御入力信号の値によって判定される閾値電圧との間の比較によって生成される請求項 27 に記載の超音波システム。

20

【請求項 31】

前記 TGC 制御信号によって制御される前記蓄積時間は、前記制御回路の RC 時定数及び前記可変利得制御入力信号の電圧に依存している請求項 30 に記載の超音波システム。

【発明の詳細な説明】

【技術分野】

【0001】

背景

[0001] 本出願は、代理人整理番号 B 1 3 4 8 . 7 0 0 3 2 U S 0 0 の下において 2 0 1 6 年 9 月 1 3 日付けで出願され、「ANALOG-TO-DIGITAL DRIVE CIRCUITRY HAVING BUILT-IN TIME GAIN COMPENSATION FUNCTIONALITY FOR ULTRASOUND APPLICATIONS」と題する、

30

米国特許出願第 1 5 / 2 6 3 , 9 3 9 号の利益を主張する継続であり、この特許文献の内容は、引用により、その全体が本明細書に包含される。

【0002】

背景

[0002] 本開示は、超音波装置に関する。更に詳しくは、本開示は、超音波用途用の組込み型の時間利得補償 (TGC : Time Gain Compensation) 機能を有するアナログ - デジタル変換 (ADC : Analog-to-Digital Conversion) 駆動回路に関する。

【背景技術】

【0003】

[0003] 超音波装置は、診断撮像及び / 又は治療を実行するべく使用することができる。超音波撮像は、内部の軟組織身体構造を観察するべく、且つ、疾病の原因を見出すべく、或いは、任意の病状を排除するべく使用することができる。超音波装置は、人間にとって聴取可能なものとの関係において相対的に大きな周波数を有する音波を使用している。超音波画像は、プローブを使用して超音波のパルスを組織内に送信することにより生成される。音波は、組織において反射されるが、この場合に異なる組織は、異なる程度の音響を反射する。これらの反射された音波は、電気信号に変換されてもよく、増幅されてもよく、デジタル化されてもよく、記録されてもよく、且つ、操作者に対して画像として表示されてもよい。音響信号の強度 (振幅) と、波が身体を通じて移動するのに所要する時間とが、画像を生成するべく使用される情報を提供する。

40

【0004】

50

【0004】 超音波装置を使用することにより、多くの異なるタイプの画像を形成することができる。画像は、リアルタイム画像であってもよい。例えば、組織の二次元断面、血流、時間に伴う組織の動き、血液の場所、特定の微粒子の存在、組織の剛性、又は三次元領域の解剖構造を示す画像を生成することができる。

【発明の概要】

【課題を解決するための手段】

【0005】

概要

【0005】 一実施形態においては、超音波装置用の時間利得補償（TGC）回路は、第1の蓄積コンデンサを有する第1の増幅器と、第1の蓄積コンデンサの蓄積時間を制御し、これにより、第1の増幅器の利得を制御するTGC制御信号を生成するように構成された制御回路とを含み、蓄積時間は、入力信号が第1の増幅器から隔離される前に入力信号が第1の増幅器に結合される時間の量を有する。

10

【0006】

【0006】 別の実施形態においては、超音波装置用のアナログ - デジタルコンバータ（ADC）ドライバ回路は、フィードバック構成における第1及び第2の蓄積コンデンサを有する第1の増幅器と、第1及び第2の蓄積コンデンサの蓄積時間を制御し、これにより、第1の増幅器の利得を制御することによって時間利得補償を提供する時間利得補償（TGC）制御信号を生成するように構成された制御回路とを含み、蓄積時間は、入力信号が第1の増幅器から隔離される前に入力信号が第1の増幅器に結合される時間の量を有する。

20

【0007】

【0007】 別の実施形態においては、超音波システムは、超音波トランスデューサから電気信号を受け取るように構成された受信チャンネルと、受信チャンネルに結合された入力及びアナログ - デジタルコンバータ（ADC）に結合された出力を有するアナログ回路ブロックであって、フィードバック構成における第1及び第2の蓄積コンデンサを有する差動増幅器を含むADCドライバ回路を更に含む、アナログ回路ブロックと、第1及び第2の蓄積コンデンサの蓄積時間を制御し、これにより、差動増幅器の利得を制御することによって時間利得補償を提供する時間利得補償（TGC）制御信号を生成するように構成された制御回路であって、蓄積時間は、入力信号が差動増幅器から隔離される前に入力信号が差動増幅器に結合される時間の量を有する、制御回路とを含む。

30

【0008】

図面の簡単な説明

【0008】 以下の図面を参照し、開示されている技術の様々な態様及び実施形態について説明することとする。これらの図は、必ずしも縮尺が正確ではないことを理解されたい。複数の図に出現している項目は、それらが出現している図のすべてにおいて、同一の参照符号によって示されており、且つ、添付図面は、以下のとおりである。

【図面の簡単な説明】

【0009】

【図1】 【0009】 超音波信号を送信及び受信するべく構成された例示用の回路を示す概略ブロック図である。

40

【図2】 【0010】 例示用の一実施形態による、超音波信号を送信及び受信するべく構成された例示用の回路を示す概略ブロック図である。

【図3】 【0011】 図2のADCドライバ/TGC利得回路ブロックの概略図である。

【図4】 【0012】 図2のADCドライバ/TGC利得回路ブロックの代替実施形態の概略図である。

【図5】 【0013】 別の例示用の実施形態による、超音波信号を送信及び受信するべく構成された例示用の回路を示す概略ブロック図である。

【図6】 【0014】 図5のADCドライバ/TGC利得/オフセットキャンセル回路ブロックの概略図である。

【図7】 【0015】 TGC機能によって提供される望ましい利得に比例する変化する電圧信号

50

V_G と A D C ドライバ増幅器の出力との間の関係を示す一連の波形図である。

【図 8】[0016] 変化する電圧信号 V_G と A D C ドライバ増幅器を制御するべく使用される様々なクロック信号との間の関係を示す一連の波形図である。

【図 9】[0017] 図 8 の時間セグメント 9 によって表されているシーケンスの部分を示す。

【図 10】[0018] 図 8 の時間セグメント 10 によって表されているシーケンスの部分を示す。

【図 11】[0019] 図 8 の時間セグメント 11 によって表されるシーケンスの部分を示す。

【発明を実施するための形態】

【0010】

詳細な説明

10

[0020] 本開示は、A D C ドライバ、T G C 回路、並びに、任意選択により、オート・ゼロブロックなどの、超音波レシーバ回路内の特定のアナログ回路コンポーネントを有利に組み合わせることができることを認識している。このような機能的な組合せは、例えば、回路ステージの数の低減、相対的に良好なパワー性能の提供、及び/又は相対的に微細な時間利得補償制御の提供などの、1つ又は複数の利益を提供しうる。

【0011】

[0021] 本開示の態様は、超音波装置用の T G C 回路と、増幅器の蓄積コンデンサの蓄積時間（並びに、従って、増幅器の利得）を制御する T G C 回路信号を生成するように構成された制御回路とに関する。蓄積時間は、増幅器から隔離される前に入力信号が増幅器に結合される時間の量である。

20

【0012】

[0022] 以下、添付図面を参照し、本開示の実施形態について更に詳しく説明するが、添付図面には、本開示の、いくつかの、但し、すべてではない、実施形態が示されている。実際に、本開示は、多くの異なる形態において実施することが可能であり、且つ、本明細書において記述されている実施形態に限定されるものと解釈してはならない。むしろ、これらの実施形態は、本開示が、適用されうる法的要件を明らかに充足するように、提供されるものである。同一の符号は、全体を通じて、同一の要素を意味している。本明細書において使用されている「ほぼ (approximately)」、「実質的に (substantially)」、及び「約 (about)」という用語は、いくつかの実施形態においては、ターゲット値の $\pm 20\%$ 以内を意味するべく、使用されている場合がある。

30

【0013】

[0023] 超音波信号は、身体組織を通過するのに伴って減衰し、且つ、従って、相対的に深い組織から受け取られる信号は、近距離の組織から受け取られる信号よりも多く減衰している。これに加えて、相対的に深い組織からの反射信号は、近距離の組織から反射されたものよりも、トランスデューサに到達するべく、相対的に長い時間を所要しうる。この減衰に起因して、深い層からの後から到達するエコーは、深い層及び表面の層が同一のエコー発生性を有する場合にも、表面の層からの相対的に早期に到達するエコーとの関係において相対的に小さな振幅を有するものと予想されうる。このような「未加工」の返されたエコーを使用することにより、超音波画像が形成される場合には、画像は、表面の層においては、相対的に明るく、且つ、深い層においては、相対的に暗く、出現することになろう。従って、超音波の減衰に対処するための1つの方法は、時間利得補償 (T G C) 回路の使用を通じたものであり、この場合には、時間が、放出された波パルスから経過するのに伴って、信号利得を増大させている。この補正によれば、等しいエコー発生性を有する組織が、異なる深さにおいて配置されている場合にも、結果的に得られる画像内において、それらは、同一に見えるようになる。

40

【0014】

[0024] 更なる例として、図 1 は、受け取られた超音波信号を処理するべく構成された例示用の回路 100 を示す概略ブロック図である。回路 100 は、N 個の超音波トランスデューサ 102 a ~ 102 n を含み、この場合に、N は、整数である。超音波トランスデューサ 102 a ~ 102 n は、いくつかの実施形態においては、センサであり、これらは

50

、受け取られた超音波信号を表す電気信号を生成する。また、超音波トランスデューサ 102a ~ 102n は、いくつかの実施形態においては、超音波信号を送信することもできる。これに加えて、超音波トランスデューサ 102a ~ 102n は、いくつかの実施形態においては、静電容量性機械加工型超音波トランスデューサ (CMUT: Capacitive Micromachined Ultrasonic Transducer) であってもよい。その他の実施形態においては、超音波トランスデューサ 102a ~ 102n は、圧電機械加工型超音波トランスデューサ (PMUT: Piezoelectric Micromachined Ultrasonic Transducer) であってもよい。また、その他の実施形態においては、超音波トランスデューサの更なる代替タイプが使用されてもよい。

【0015】

10

[0025] また、図 1 に示されているように、回路 100 は、個々の超音波トランスデューサ 102a ~ 102n に対応しうる回路チャネル 104a ~ 104n を更に含む。例えば、8 つの超音波トランスデューサ 102a ~ 102n と、8 つの対応する回路チャネル 104a ~ 104n と、が存在していてもよい。いくつかの実施形態においては、超音波トランスデューサ 102a ~ 102n の数は、回路チャネル 104a ~ 104n の数を上回っていてもよい。

【0016】

[0026] 回路チャネル 104a ~ 104n は、送信回路、受信回路、或いは、これらの両方を含むことができる。例えば、送信回路は、個々のパルス 108a ~ 108n に結合された送信デコーダ 106a ~ 106n を含むことができる。パルス 108a ~ 108n は、超音波信号を放出するように、個々の超音波トランスデューサ 102a ~ 102n を制御することができる。回路チャネル 104a ~ 104n の受信回路は、個々の超音波トランスデューサ 102a ~ 102n から出力された電気信号を受け取ることができる。図示の例においては、それぞれの回路チャネル 104a ~ 104n は、個々の受信スイッチ 110a ~ 110n と、増幅器 112a ~ 112n とを含む。受信スイッチ 110a ~ 110n は、所与の超音波トランスデューサ 102a ~ 102n からの電気信号の読み出しを有効化 / 無効化するように、制御することができる。更に一般的には、受信スイッチ 110a ~ 110n は、受信回路であってもよく、その理由は、同一の機能を実行するように、スイッチの代替肢を利用しうるからである。増幅器 112a ~ 112n は、トランスインピーダンス増幅器 (TIA: Trans-Impedance Amplifier) であってもよい。

20

30

【0017】

[0027] また、回路 100 は、平均化回路 114 を含んでいてもよく、これは、本明細書においては、加算器又は加算増幅器とも呼称される。いくつかの実施形態においては、平均化回路 114 は、バッファ又は増幅器である。平均化回路 114 は、増幅器 112a ~ 112n のうちの 1 つ又は複数から出力信号を受け取ることができると共に、平均化された出力信号を提供することができる。平均化出力信号は、信号を様々な増幅器 112a ~ 112n との間において加算又は減算することにより、部分的に形成することができる。平均化回路 114 は、例えば、可変フィードバック抵抗値を含んでいてもよく、この値は、平均化回路が信号を受け取っている増幅器 112a ~ 112n の数に基づいて動的に調節することができる。

40

【0018】

[0028] 平均化回路 114 は、オート - ゼロブロック 116 に結合されている。その旨が具体的に描かれてはいないが、オート - ゼロブロック 116 は、差動入力信号を受け取り、且つ、差動ペア上において存在している任意のオフセットをサンプリング及び保存するべく、使用される。オート - ゼロブロック 116 の出力は、上述のように、時間利得補償 (TGC) 回路 118 に結合されている。図示の例においては、TGC 回路 118 は、可変減衰器 120 と、固定利得増幅器 122 とを更に含む。TGC 回路 118 の出力は、ADC ドライバ 124 を介してアナログ - デジタルコンバータ (ADC) 126 に結合されている。図示の例においては、ADC ドライバ 124 は、第 1 の ADC ドライバ 125a と、第 2 の ADC ドライバ 125b とを含む。ADC 126 は、平均化回路 114 から

50

の 1 つ又は複数の信号をデジタル化している。

【 0 0 1 9 】

[0029] 一実施形態においては、A D C 1 2 6 は、逐次比較レジスタ (S A R : Successive Approximation Register) A D Cであってもよく、これは、アナログ入力電圧をサンプリング及び保持し、且つ、マルチビットレジスタ (図示されてはいない) を使用してバイナリサーチアルゴリズムを実装している。マルチビットレジスタは、ミッドスケールに初期化され、この場合に、レジスタの最上位ビット (M S B : Most Significant Bit) は、1 に設定され、且つ、残りのビットは、0 に設定される。そして、この結果、内部デジタル - アナログコンバータ (D A C) の出力が、 $V_{REF} / 2$ となるように設定され、この場合に、 V_{REF} (図示されてはいない) は、A D C 1 2 6 に提供される基準電圧である。次いで、サンプリングされた入力電圧 V_{IN} (図示されてはいない) が、D A C 出力 V_{DAC} (図示されてはいない) を下回っているのか、或いは、上回っているのかを判定するべく、比較が実行される。 V_{IN} が V_{DAC} を上回っている場合には、比較器出力は、論理ハイ (high) 又は 1 であり、且つ、マルチビットレジスタの M S B は、1 において留まることになる。逆に、 V_{IN} が V_{DAC} を下回っている場合には、比較器出力は、論理ロー (low) であり、且つ、レジスタの M S B は、論理 0 にクリアされることになる。次いで、S A R 制御ロジックは、次の下位のビットに移動し、そのビットをハイに強制し、且つ、別の比較を実行する。このシーケンスは、最下位ビット (L S B : Least Significant Bit) に至るまで、ずっと継続する。これが実行されたら、変換は、完了し、且つ、レジスタ内において、デジタルワードが利用可能である。

10

20

【 0 0 2 0 】

[0030] 図 1 に示されている様々なコンポーネントは、単一の基材上において又は異なる複数の基材上において配置されうることを理解されたい。例えば、超音波トランスデューサ 1 0 2 a ~ 1 0 2 n は、第 1 の基材 1 2 8 a 上において位置していてもよく、且つ、残りの図示のコンポーネントは、第 2 の基材 1 2 8 b 上において位置していてもよい。第 1 及び / 又は第 2 の基材 1 2 8 a、1 2 8 b は、シリコン基材などの、半導体基材であってもよい。或いは、この代わりに、図 1 のコンポーネントは、単一の基材上に位置していてもよい。例えば、超音波トランスデューサ 1 0 2 a ~ 1 0 2 n 及び図示の回路は、同一の半導体ダイ上においてモノリシックに集積されていてもよい。このような集積は、超音波トランスデューサとして C M U T を使用することにより、促進することができる。更には、図 1 のコンポーネントは、超音波プローブ装置の一部分を形成している。超音波プローブは、一例においては、ハンドヘルド型であってもよい。別の例においては、図 1 のコンポーネントは、患者によって着用されるように構成された超音波パッチの一部分を形成している。

30

【 0 0 2 1 】

[0031] 本開示は、A D C ドライバ 1 2 4、T G C 回路 1 1 8、並びに、任意選択により、オート - ゼロブロック 1 1 6 などの、図 1 に示されている特定のコンポーネント (並びに、その個々の機能) を有利に組み合わせることができることを認識している。このような機能的組合せは、例えば、回路ステージの数の低減、相対的に良好なパワー性能の提供、及び / 又は相対的に微細な時間利得補償制御の提供などの、1 つ又は複数の利益を提供しうる。

40

【 0 0 2 2 】

[0032] 更なる説明として、図 2 は、本出願の非限定的な一実施形態による、受け取られた超音波信号を処理するべく構成された例示用の回路 2 0 0 を示す概略ブロック図である。図 1 との比較において、図 2 の回路 2 0 0 においては、個々の T G C 回路 1 1 8 及び A D C ドライバ 1 2 4 を T G C 利得機能を有する A D C ドライバを表す単一の回路ブロック 2 0 2 によって置換していることがわかる。図 3 には、回路ブロック 2 0 2 の回路構成の一例が示されている。

【 0 0 2 3 】

[0033] 図 3 に具体的に示されているように、回路ブロック 2 0 2 は、A D C ドライバ

50

回路 302 と、補助増幅器回路 304 とを含む。ADC ドライバ回路 302 は、完全差動型の蓄積増幅器 306、蓄積（利得）コンデンサ C0、C1、入力抵抗器 R0、R1、及び NMOS / PMOS スイッチ S0 ~ S5 を含む。補助増幅器回路 304 は、演算増幅器 308、フィードバックコンデンサ C2、定電流抵抗器 R2、NMOS / PMOS スイッチ S6、及び出力クロックロジック 310 を含む。

【0024】

[0034] ADC ドライバ回路 302 の蓄積コンデンサ C0 及び C1 は、時間利得補償を提供しており、その理由は、これらが入力信号から電荷を蓄積する持続時間を変化させることができるからである。この変化する蓄積時間は、補助増幅器回路 304 によって生成される出力クロック信号 (clocks__new) に基づいている。そして、出力クロック信号 clocks__new は、変化する電圧利得制御入力信号 V_G の関数であり、これは、TGC 機能によって提供される望ましい利得に比例している。

10

【0025】

[0035] 動作の際に、リセットフェーズにおいて、（クロックロジック 310 に対する入力である）マスタサンプルクロック信号 clocks がローにおいて保持された状態において、出力クロック信号 clocks__new の状態は、ローである（その補完信号 clocks__new__b は、ハイである）。clocks__new がリセットフェーズにおいてローである際に、ADC ドライバ回路のスイッチ S2 及び S3 は、開路状態にあり、この結果、差動入力信号 V_{in} が蓄積増幅器 306 から結合解除される。これに加えて、スイッチ S0 及び S1 は、C0 及び C1 上の電荷をクリアすると共に増幅器 306 を基本的に単位利得にリストアするように、閉路される。また、スイッチ S4 及び S5 も、共通モード電圧 (V_{CM}) を蓄積増幅器 306 の入力に印加するべく、閉路される。

20

【0026】

[0036] サンプルフェーズにおいては、クロックロジック 310 に対する入力クロック信号 (clocks) は、ハイとなり、この結果、補助増幅器回路 304 の比較器出力信号 (cmpOUT) が出力クロック信号 clocks__new として通過する。当初、サンプルフェーズにおいて、cmpOUT は、ハイであり、これは、clocks__new もハイであることを意味している。この結果、スイッチ S2 及び S3 が閉路され、これにより、入力信号 V_{in} が差動増幅器 306 に結合され、且つ、（スイッチ S0、S1、S4、及び S5 が開路状態にある状態において）入力信号がコンデンサ C0 及び C1 上に蓄積される。入力信号 V_{in} が C0 及び C1 上に蓄積することが許容される時間の量（並びに、従って、差動増幅器 306 によって提供される利得の量）は、スイッチ S2 及び S3 が閉路される時間の量に依存しており、そして、これは、出力クロック信号 clocks__new がハイに留まる時間の量に依存している。補助増幅器回路 304 内において、クロック信号 clockg 及びその補完信号 clockg__b の適切なパルスを介して、スイッチ S6 を閉路することにより、可変電圧 V_G が、コンデンサ C2 に跨って印加される。cmpOUT の状態（並びに、従って、clocks__new の状態）は、 V_G の値に比例した時間量の後に、論理ハイから論理ローに反転する。この時間の量 T_{int} は、次式によって付与される。

30

$$T_{int} = V_G \cdot (R_2 C_2) / V_0$$

【0027】

[0037] そして、蓄積時間 T_{int} は、次式に従って、入力信号の出力利得と関係している。

40

$$V_{out} = V_{in} / (R_0 C_0) \cdot T_{int} = (V_{in} \cdot V_G) / V_0 \cdot (R_2 C_2) / (R_0 C_0)$$

【0028】

[0038] 上述の説明から得られる 1 つの知見（並びに、この TGC トポロジーマイ実施形態の利点）は、2 つの RC 時定数—RC 回路 $R_2 C_2$ の時定数及び RC 回路 $R_0 C_0$ の時定数—の比率である。半導体チップの製造においては、実際の抵抗器及びコンデンサの値は、製造の不完全性に起因し、望ましい設計値から逸脱しうる。但し、同一チップ上において形成されるこのようなコンポーネント用の抵抗器及びコンデンサの値は、一貫性を有

50

する方式で逸脱しうるものであり、これは、それぞれの個々の抵抗器の値は、逸脱しうる
が、2つの抵抗器の間の、或いは、2つのコンデンサの間の、比率は、非常に正確なもの
となりうることを意味している。ここで、TGC利得の式には、抵抗器及びコンデンサの
比率が存在していることから、半導体製造プロセスに起因した不正確な値を有する電気コ
ンポーネントの場合にも、TGC利得を正確に制御することができる。

【0029】

[0039] 図4は、回路ブロック200のADCドライバ回路302の代替トポロジー4
02を示している。この実施形態においては、図3の実施形態との関係において、更なる
スイッチが使用されている。図4に示されているように、リセットフェーズにおいて、両
方の端子を共通モード電圧 V_{CM} に接続することにより、スイッチS0及びS2は、SAR
ADCステージ126及び放電コンデンサC0に結合される。同様に、リセットフェ
ーズにおいて、両方の端子を共通モード電圧 V_{CM} に接続することにより、スイッチS1
及びS3は、コンデンサC1を放電させる。これに加えて、スイッチS9及びS10は、
リセットフェーズにおいて、 V_{in} 及び V_{out} を短絡させている。サンプリング及び蓄
積の際に、スイッチS4及びS5が、入力信号 V_{in} がコンデンサC0上に蓄積されるこ
とを許容している一方で、スイッチS7及びS8が、入力信号 V_{in} がコンデンサC1上
に蓄積されることを許容している。

10

【0030】

[0040] また、図4の実施形態から更に観察されるように、蓄積コンデンサC0及びC
1は、時間利得補償の提供に加えて、SAR ADCトポロジーのADC入力用のサンプ
ル及び保持(S/H)コンデンサとして機能することもできる。蓄積フェーズの後に、上
述のSARアルゴリズムを使用してアナログ-デジタル変換を実行するために、SAR
ADCステージ126を介して、それぞれ、コンデンサC0及びC1を接続するべく、ス
イッチS0/S2及びS1/S3を使用することができる。それぞれのADC変換動作の
終了の後に、コンデンサC0及びC1は、 V_{CM} にリセットされ、且つ、その個々の電荷
は、クリアされる。

20

【0031】

[0041] また、ADCドライバ及びTGC機能に加えて、本明細書における代替実施形
態は、これらの特徴をゼロ-オフセット能力と更に組み合わせるべく、使用することもで
きる。従って、図5は、本出願の非限定的な実施形態による、受け取られた超音波信号を
処理するべく構成された例示用の回路500を示す概略ブロック図である。図1及び図2
との比較において、図5の回路500においては、個々のオート-ゼロブロック116、
TGC回路118、及びADCドライバ124が、TGC利得及びオフセットキャンセル
機能を有するADCドライバを表す単回路ブロック502によって置換されていること
がわかる。

30

【0032】

[0042] 図6に更に詳しく示されているように、回路ブロック502は、ADCドライ
バ回路602と、補助増幅器回路604とを含む。説明及び比較の容易性を目的として、
類似のコンポーネントを有する実施形態は、同一の参照符号によって表記されている。A
DCドライバ回路602は、完全差動型の蓄積増幅器306と、蓄積(利得)コンデンサ
C0、C1と、サンプル及び保持コンデンサC3、C4、オフセット電圧コンデンサC5
、C6と、入力抵抗器R0、R1と、NMOS/PMOSスイッチS0、S1、S2、S
3、S4、S5、S7、及びS8とを含む。補助増幅器回路604は、演算増幅器308
と、フィードバックコンデンサC2と、定電流抵抗器R2と、NMOS/PMOSスイッ
チS6と、出力クロックロジック606とを含む。図5に更に示されているように、クロ
ックロジック608は、ADCサンプル及び保持機能、TGC機能、及びオフセットキャン
セル(オート-ゼロ)機能を実装するべく、ADCドライバ回路602によって使用さ
れる更なるクロック信号の生成を示している。図3及び図4の実施形態との比較において
、蓄積(利得)コンデンサC0及びC1は、サンプル及び保持コンデンサC3及びC4と
は異なっており、且つ、C3及びC4よりも小さな静電容量値を有することができる。そ

40

50

して、この結果、 R_0 及び R_1 の相対的に大きな抵抗値が許容され、これにより、電力が低減される。

【0033】

[0043] 次に図7を参照すれば、図6の実施形態において回路ブロック502によって提供されているTGC機能を示す一連の波形図が示されている。図7に示されている信号の電圧レベル及び周波数は、例示を目的としたものに過ぎず、且つ、必ずしも、超音波信号を受け取る実際の動作には対応しない場合があることを理解されたい。むしろ、例示用の波形は、例示を目的として、回路ブロック500との間における例示用の入力及び出力を示している。図示のように、最上部の波形は、変化する電圧 V_G であり、これは、この場合にも、望ましいTGCに比例している。図示の例においては、 V_G は、約500kHzにおいて発振する単純な正弦波であり、約0.55ボルト(V)の低い値と、約1.35Vのピーク値とを有する。 V_G は、その他の信号との関係において格段に低速のレートにおいて変化していることに留意されたい。波形 V_{in} は、回路ブロック502によって受け取られる差動入力信号の値を表しており、これも、 V_G よりも約10倍だけ高速に(即ち、5MHzにおいて)発振する一定振幅の単純な正弦波である。 V_{out} (サンプル)は、コンデンサC3及びC4において観察される、蓄積増幅器306の結果的に得られる出力値であり、且つ、 V_{out} (スムーズ)は、 V_{out} (サンプル)のスムージング済みのバージョンである。

10

【0034】

[0044] 図7からわかるように、 V_G の値は、 V_{out} において観察される、蓄積増幅器306によって提供される利得の量を決定している。約1.0 μ sから約1.5 μ sまで、 V_G は、ミッドレンジ値から最小値に減少している。対応する方式により、 V_{out} の振幅によって観察される、結果的に得られる利得も、最小値に減少している。この結果、約1.5 μ sから約2.5 μ sまで、 V_G は、最小値から最大値に遷移しており、これは、この場合にも、最小値から最大値に増大する V_{out} の利得によって反映されている。

20

【0035】

[0045] 回路ブロック502の動作の更なる理解のために、TGC信号 V_G のみならず、ADCドライバ回路602及び補助増幅器回路604によって使用される様々なクロック信号をも、含む図8の波形図を参照することができる。更に詳しくは、クロック信号は、clock及び補完信号clock__b(オート-ゼロオフセットキャンセル機能を制御するクロックロジック608への入力)、clk_r2(TGC利得のリセットを制御するクロックロジック608の第1の出力)、clk_s2及び補完信号clk_s2__b(ADC入力用のサンプル及び保持機能を制御するクロックロジック608の第2の出力)、clk_i2及び補完信号clk_i2__b(蓄積時間と、従って、TGC利得とを制御し、且つ、オフセットキャンセルとの関連においても機能する、クロックロジック608の第3の出力)、並びに、clk_g(最終的にclk_i2を生成するべく、補助増幅器回路604の動作を制御する)を含む。

30

【0036】

[0046] 図8に示されているように、タイミングシーケンスは、相対的に長いオフセットキャンセル(オート-ゼロ)動作によって始まっている。これは、クロック信号clockが約0.8 μ s(例えば、約0.1 μ s~約0.9 μ s)の持続時間にわたってハイに移行することによって反映されており、この期間においては、増幅器入力には、入力差動信号が存在していない。むしろ、存在しているのは、信号チェーンDCオフセットのみである。また、図6のクロックロジック608によって示されているように、clk_r2及びclk_s2は、いずれも、オフセットキャンセル期間において、ローにおいて保持されている。即ち、入力クロック信号clk_r及びclk_sは、いずれも、clockの補完クロック信号(clock__b)により、オフ状態にゲーティングされている。これとの比較において、クロックロジック608に含まれているORロジックは、clockがハイである際に、クロック信号clk_i2がハイにおいて保持されるようにして

40

50

いる。また、クロック信号 clk も、オフセット期間においては、オフである。

【0037】

[0047] ADCドライバ回路602の観点においては、オフセット期間において、スイッチ S_4 及び S_5 が閉路されており、この結果、蓄積増幅器306の入力及び出力がエコライズされる。同時に、スイッチ S_2 及び S_3 が閉路され、この結果、 V_{in} がコンデンサ C_5 及び C_6 に結合される。(図6において V_{offset} によって表されている) 存在する任意のオフセット電圧が、 C_5 及び C_6 上の電圧の差によってキャプチャされることになり、且つ、オフセットリセットフェーズにおいては、入力差動 AC 信号は、存在していない。

【0038】

[0048] オフセットキャンセルフェーズは、超音波受取フェーズの前に、一度だけ実行され、且つ、オフセット値は、超音波受信期間の全体(通常は、約 $50 \sim 200 \mu s$)を通じて、サンプリングされ、且つ、コンデンサ C_5 及び C_6 において保存されていることに留意されたい。この期間における任意の AC 信号のサンプリングを防止するために(これは、さもなければ、オフセットキャンセルのエラーに寄与しうる)、なんらの AC 信号をも伴うことなしに、 DC オフセットのみがサンプリングされるように、超音波トランスデューサをアナログチェーンから接続切断するべく、システム制御シーケンス全体における相対的に高いレベルから、制御を実装することができる。

【0039】

[0049] オフセットキャンセル期間の末尾において、 clk_{off} は、ローに移行し、この結果、入力信号のサンプリングを開始することが許容され、これにより、 TGC が内蔵される。図8の $3.0 \mu s$ の時間スケールとの関係におけるクロック信号の相対的に大きな速度に起因して、後続の図には、時間セグメント9、10、及び11によってラベルが付与された、全体シーケンスの特定の部分が、更に詳細に示されている。

【0040】

[0050] 図9を参照すれば、このタイミング図は、図8の時間セグメント9によって表されているシーケンスの部分を示している。この期間は、 clk が、当初、ハイにパルスした際の、約 $1.0 \mu s$ における、データサンプリング及びリセット期間のポストオフセットキャンセルの開始をカバーしている。 clk パルスの持続時間(約 $8 ns$)は、 clk_2 によるリセットクロックパルス(約 $4 ns$)によって直接後続される clk_2 によるサンプルクロックパルス(こちら、約 $4 ns$)と一致している。 clk がハイである限り、補助増幅器回路604のコンデンサ C_2 は、放電され、この結果、演算増幅器308の出力電圧が V_G の値未満に保持される。この結果、比較器出力信号 $cmpOUT$ は、ローに保持される。出力クロックロジック606は、 clk_{gb} をゲーティング信号として使用していることから、 clk_i (並びに、この結果、 clk_{i2}) は、サンプリング及びリセットの際に、ローに保持される。 clk がターンオフしたら、比較器出力信号 $cmpOUT$ は、出力クロックロジック606を通じて伝播することが許容され、これにより、 clk_i において、ハイに反転される。

【0041】

[0051] 従って、サンプル及びリセット動作の直後に、 S_2 及び S_3 は、蓄積増幅器306に対して入力信号 V_{in} を結合するべく、閉路する。 clk がローに移行する際には、 clk_2 及び clk_2 も、オフ状態であることから、スイッチ S_0 及び S_1 は、電流が C_0 及び C_1 上に蓄積されることを許容するべく、開路し、且つ、スイッチ S_7 及び S_8 は、蓄積増幅器306の出力からサンプルコンデンサ C_3 及び C_4 を結合解除するべく、開路する。

【0042】

[0052] clk がターンオフする別の効果は、電流が補助増幅器回路604のコンデンサ C_2 の充電を開始することを許容するというものであり、この結果、演算増幅器308の出力電圧の増大がもたらされる。この出力電圧が、 V_G によって設定される閾値比較値を超過したら、 $cmpOUT$ は、ローからハイに状態を変更することになり、そして、

10

20

30

40

50

その結果、 clk_i 及び clk_{i2} がローにスイッチングされ、且つ、コンデンサ C_0 及び C_1 上における蓄積が中止される。この閾値比較値に到達するべく所要する時間は、この場合にも、次式に従って、 V_G の大きさに依存しており、

$$T_{int} = V_G \cdot (R_2 C_2) / V_0$$

【0053】 ここで、入力信号の出力利得は、次式によって付与される。

$$V_{out} = V_{in} / (R_0 C_0) \cdot T_{int} = (V_{in} \cdot V_G) / V_0 \cdot (R_2 C_2) / (R_0 C_0)$$

【0043】

【0054】 2つのRC時定数の比率 $(R_2 C_2) / (R_0 C_0)$ は、望ましい利得範囲を実現するべく、適宜、設定することができる。例示用の一実施形態においては、 $(R_2 C_2) / (R_0 C_0)$ の比率は、約5であってもよいが、その他の値も想定される。

【0044】

【0055】 図9に示されている特定の時間セグメントにおいては、 V_G の値は、その最大及び最小値との関係において、ほぼ中間点に位置しており、且つ、減少している。この結果、このセグメントにおける clk_{i2} の定刻 (on-time) (約8ns) は、 clk_g のオフ持続時間によって許容される利用可能な合計蓄積時間量 (例えば、約16ns) のほぼ半分である。 clk_g がハイにパルシングしたら、 C_2 は、放電され、 clk_{i2} は、入力信号 V_{in} を蓄積増幅器306から隔離するべく、ターンオフする。次いで、 clk_{s2} は、 C_3 及び C_4 上において出力をキャプチャするべく、パルシングし、これには、 C_0 及び C_1 を放電するべく、 clk_{r2} がハイにパルシングすることが後続し、これにより、蓄積増幅器306が単位利得にリセットされる。

【0045】

【0056】 次に図10を参照すれば、このタイミング図は、図8の時間セグメント10を示しており、これは、約1.42µsから約1.60µsまで発生している。このセグメントは、 V_G が最小値である期間に対応している。 V_G が最小値である際には、蓄積時間 T_{int} も、最小値であり、これは、 clk_{i2} が最短クロックパルスを持有することを意味している。図10に示されているように、 clk_{i2} は、約2nsのパルス持続時間を有しており、これは、ADCドライバ回路602によって提供される最小TGC値に対応している。

【0046】

【0057】 比較として、図11のタイミング図は、図8の時間セグメント11を表しており、これは、約2.40µsから約2.58µsまで発生している。このセグメントは、 V_G が最大値である期間に対応している。 V_G が最大値である際には、蓄積時間 T_{int} も、最大値であり、これは、 clk_{i2} がその最長クロックパルス持続時間を有することを意味している。図11に示されているように、 clk_{i2} のパルス持続時間は、 clk_g のオフ持続時間の時間全体に対応しており、この結果、ADCドライバ回路602によって提供される最大TGC値が得られる。ここで、 V_G は、 clk_g がハイに移行する前に $cmpOUT$ の状態が反転しないように、十分に大きくなることが可能である。このケースにおいては、これは、実際には、 clk_g がハイに移行する遷移となり、これにより、 clk_{i2} がオフ状態にゲーティングされる。

【0047】

【0058】 従って、理解されるように、補助増幅器から生成された制御信号に従って入力信号を蓄積及び増幅するTGC増幅器の実施形態が開示されている。TGC増幅器への入力信号は、サンプリングクロックに基づいて動作する連続アナログ信号である。増幅器出力は、コンデンサ上において保存されている離散時間アナログ電圧サンプルであり、この場合に、アナログ電圧は、TGC制御電圧に比例した利得を有する、入力信号振幅の増幅されたバージョンである。それぞれのサンプルを生成する前に、TGC増幅器は、そのコンデンサ上において保存されている以前の電荷をクリアするべく、リセットする。この結果、TGC増幅器は、補助増幅器が閾値を超過する時点まで入力信号をコンデンサ上に蓄積する蓄積増幅器として構成される。蓄積時間 T_{int} は、利得制御入力信号 V_G に比

例しており、且つ、この結果、入力信号は、 V_G に比例した値だけ、増幅される。

【 0 0 4 8 】

[0059] コンデンサ上において保存されている離散時間アナログ電圧サンプルは、アナログ電圧サンプルがデジタルワードに変換されるように、ADCに直接結合されてもよい。この意味において、TGC増幅器は、同時にADCドライバとして機能することができる。更には、オフセットキャンセル機能がTGC増幅器内において実装されてもよく、これによれば、完全差動型のTGC増幅器からのオフセットのみならず、TGCステージに先行しているアナログフロントエンド増幅器に由来する上流オフセットのすべてが、キャンセルされる。

【 0 0 4 9 】

[0060] また、蓄積増幅器 306 は、図示の実施形態においては、完全差動増幅器として記述されているが、これは、その他の実施形態においては、シングルエンド型の増幅器として実装することもできることを理解されたい。逆に、補助増幅器回路 304 の演算増幅器 308 も、シングルエンド型の増幅器として記述されているが、これも、その他の実施形態においては、差動増幅器として実装されてもよい。

【 0 0 5 0 】

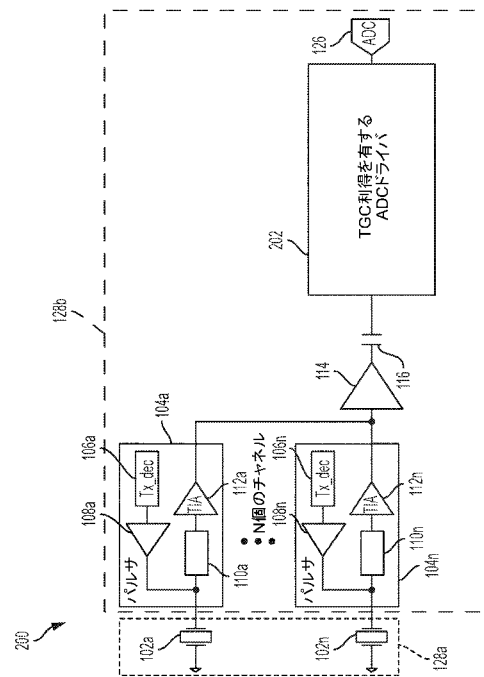
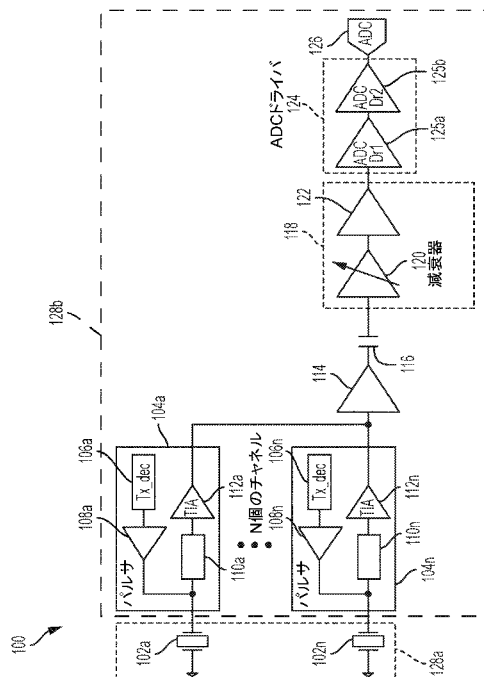
[0061] 本明細書において記述されている技法は、例示を目的としており、且つ、本開示に対するなんらかの特定の限定を意味するものとして解釈してはならない。当業者は、本開示から、様々な代替肢、組合せ、及び変更を案出しうることを理解されたい。例えば、本明細書において記述されているプロセスと関連するステップは、そうではない旨がステップそれ自体によって規定又は指示されていない限り、任意の順序において実行することができる。本開示は、添付の請求項の範囲に含まれるすべてのそのような代替肢、変更、及び変形を包含することを意図している。

10

20

【 図 1 】

【 図 2 】



【図 3】

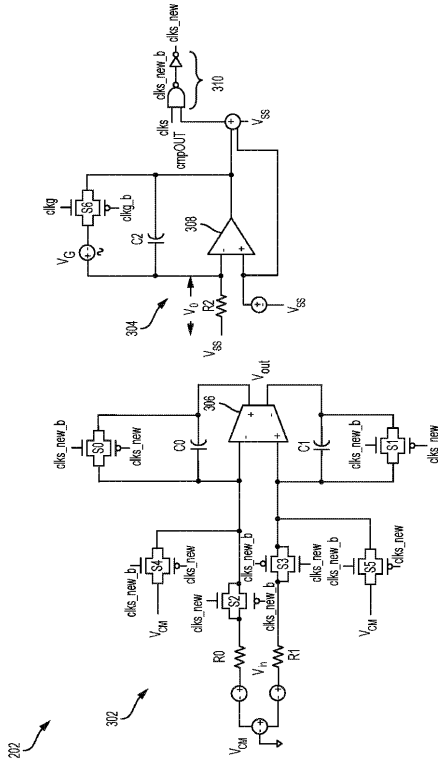


FIG. 3

【図 4】

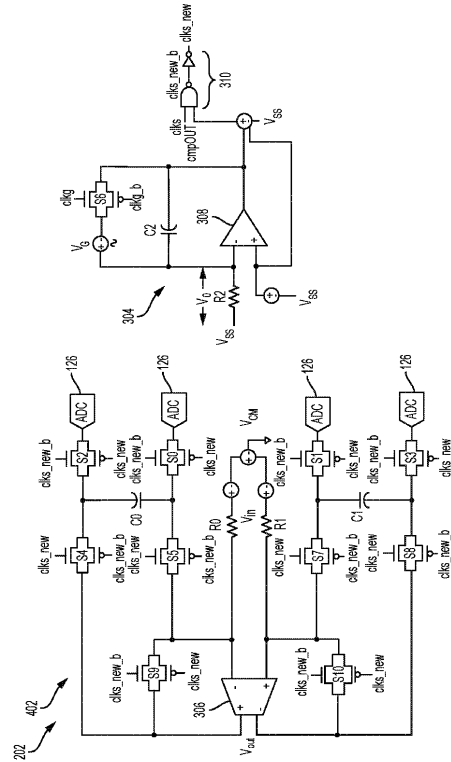
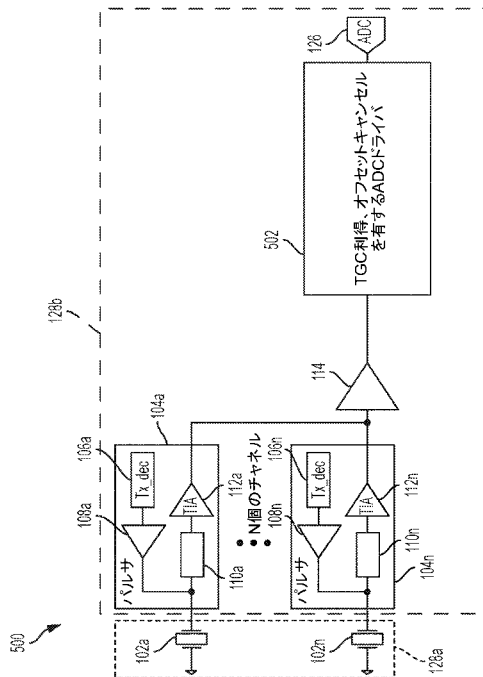


FIG. 4

【図 5】



【図 6】

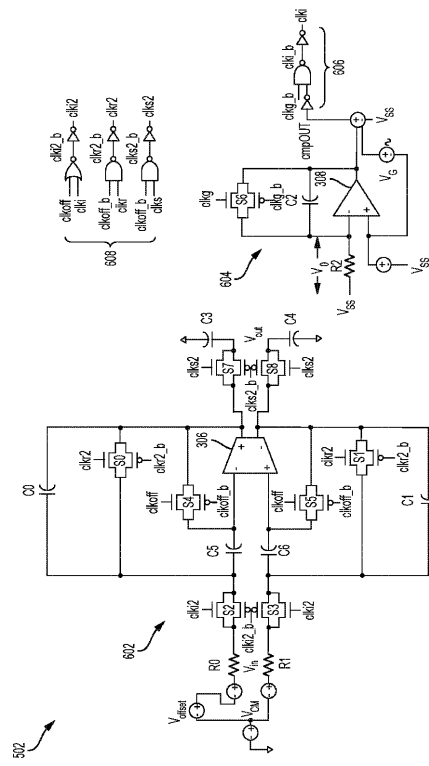
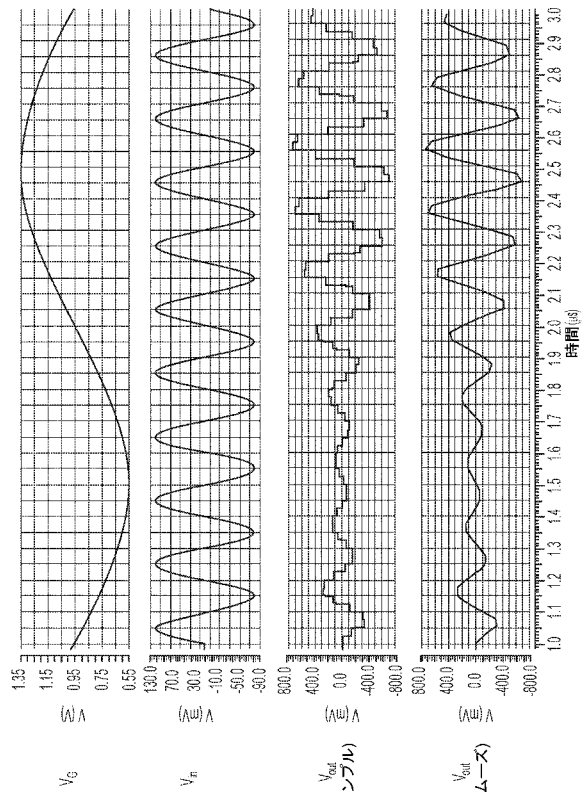
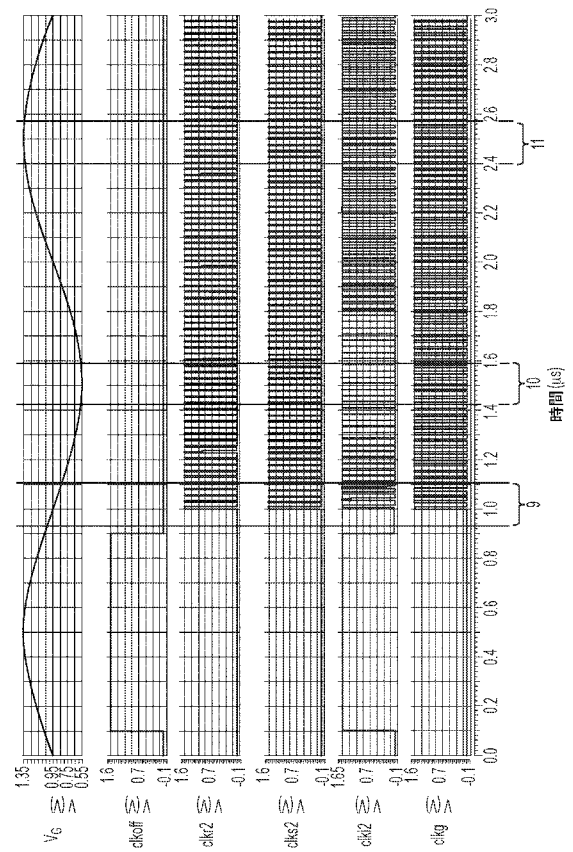


FIG. 6

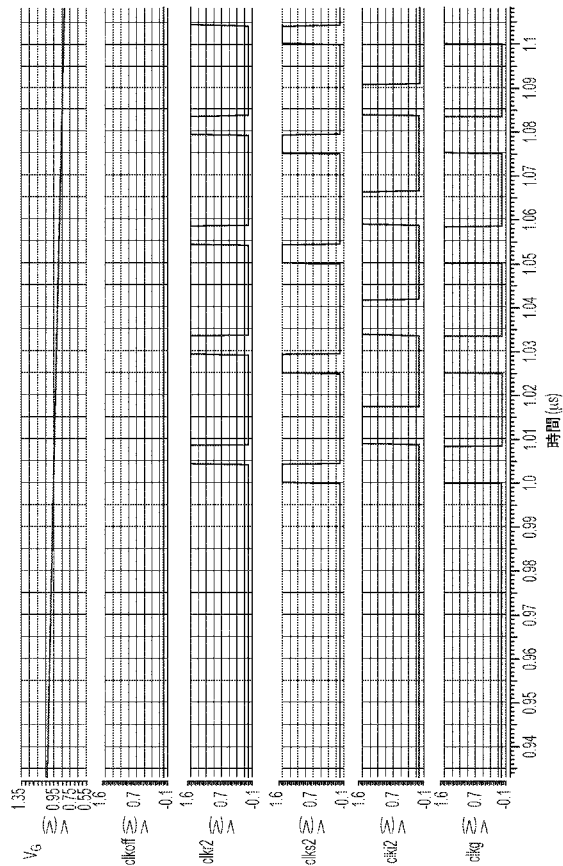
【図 7】



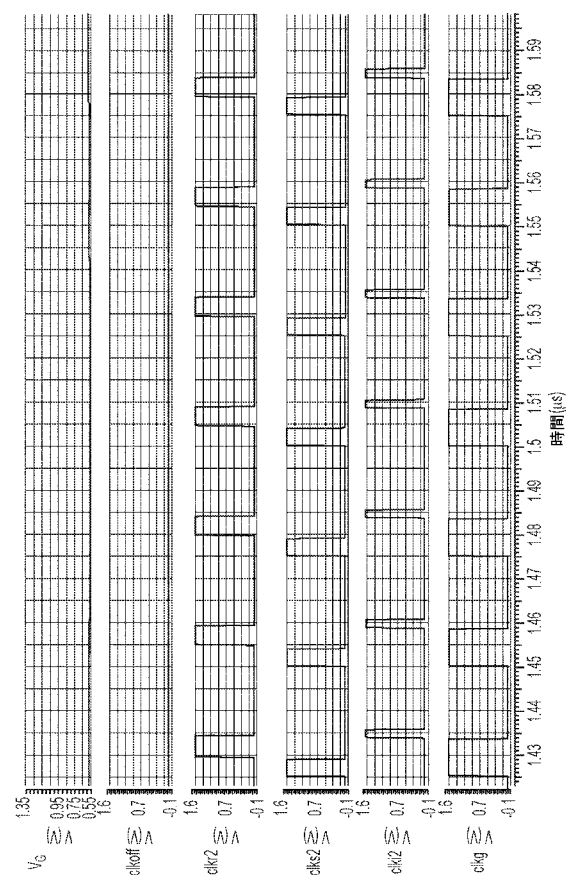
【図 8】

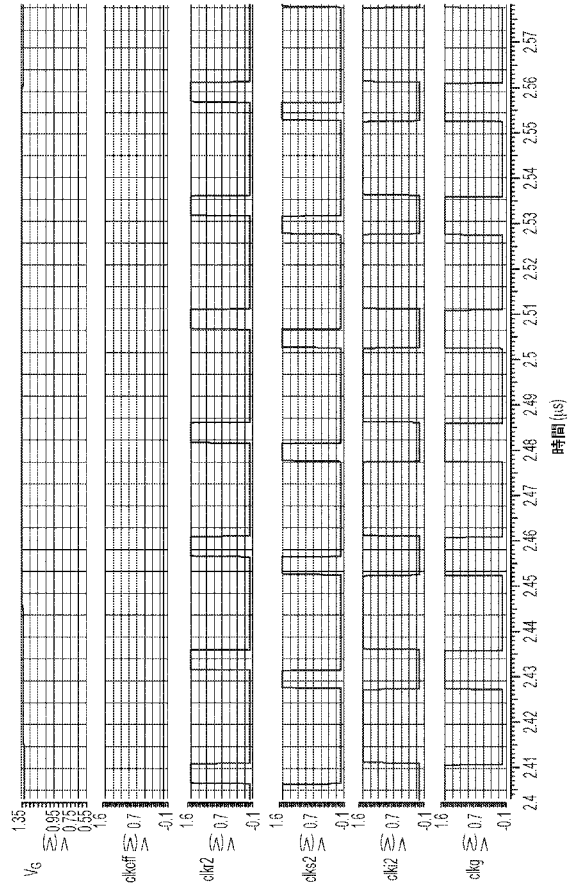


【図 9】



【図 10】





【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2017/049024

A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - A61B 8/00; A61B 8/14; G01N 29/36; G01S 7/52; G01S 15/89; G06K 9/00; G10K 11/34 (2017.01) CPC - A61B 8/00; A61B 8/14; A61B 8/4281; A61B 8/4455; A61B 8/4477; A61B 8/4483; A61B 8/4488; A61B 8/4494; A61B 8/462; A61B 8/58; B06B 1/0207; B06B 2201/51; B81B 2201/0292; B81B 2207/015; B81C 1/00246; B81C 2203/0735; G01N 29/0654; G01N 2291/02475; G01S 7/5202; G01S 7/52025; G01S 7/52026; G01S 7/52046; G01S 7/52079; G01S 7/5208; G01S 7/52084; G01S 15/8925; G01S 15/8927; G01S 15/8959; G01S 15/8993; G10K 11/341 (2017.08) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) See Search History document		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched USPC - 73/596; 330/255; 367/87; 382/131; 600/447; 600/459 (keyword delimited)		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) See Search History document		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/0063399 A1 (WALKER et al) 11 March 2010 (11.03.2010), entire document	1, 9, 11, 21, 27
Y		2-8, 10, 12-20, 22-26, 28-31
Y	US 2015/0091646 A1 (SUPERTEX, INC.) 02 April 2015 (02.04.2015), entire document	2, 3, 12-15
Y	US 2011/0148682 A1 (RIGBY et al) 23 June 2011 (23.06.2011), entire document	4, 5, 7, 8, 16-20, 23-26, 30, 31
Y	US 2002/0180520 A1 (UENO et al) 05 December 2002 (05.12.2002), entire document	6-8, 18-20, 31
Y	US 8,330,536 B1 (QUINN) 11 December 2012 (11.12.2012), entire document	10, 14, 15, 22-26, 28, 29
A	US 2007/0030070 A1 (BRUESKE et al) 08 February 2007 (08.02.2007), entire document	1-31
A	US 2014/0114190 A1 (CHIANG et al) 24 April 2014 (24.04.2014), entire document	1-31
A	US 2014/0293738 A1 (FUJITSU LIMITED) 02 October 2014 (02.10.2014), entire document	1-31
A	US 2015/0374335 A1 (SHARP KABUSHIKI KAISHA) 31 December 2015 (31.12.2015), entire document	1-31
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "G" document member of the same patent family		
Date of the actual completion of the international search 18 October 2017		Date of mailing of the international search report 20 NOV 2017
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, VA 22313-1450 Facsimile No. 571-273-8300		Authorized officer Blaine R. Copenheaver PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 チェン, カイリヤン

アメリカ合衆国, コネチカット州 0 6 4 3 7, ギルフォード, リバー コロニー 7

(72)発明者 ファイフ, キース, ジー.

アメリカ合衆国, カリフォルニア州 9 4 3 0 6, パロ アルト, マタデロ アベニュー 6 3 5

Fターム(参考) 4C601 EE09 EE15 GB03 JB13 JB19

