

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-523094
(P2019-523094A)

(43) 公表日 令和1年8月22日(2019.8.22)

(51) Int. Cl. F 1 テーマコード (参考)
A 6 1 B 8/14 (2006.01) A 6 1 B 8/14 4 C 6 0 1

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号 特願2019-505390 (P2019-505390)
(86) (22) 出願日 平成29年8月3日(2017.8.3)
(85) 翻訳文提出日 平成31年2月1日(2019.2.1)
(86) 国際出願番号 PCT/EP2017/069686
(87) 国際公開番号 W02018/024834
(87) 国際公開日 平成30年2月8日(2018.2.8)
(31) 優先権主張番号 62/370,841
(32) 優先日 平成28年8月4日(2016.8.4)
(33) 優先権主張国・地域又は機関 米国 (US)

(71) 出願人 590000248
コーニンクレッカ フィリップス エヌ
ヴェ
KONINKLIJKE PHILIPS
N. V.
オランダ国 5656 アーエー アイ
ンドーフェン ハイテック キャンパス 5
High Tech Campus 5,
NL-5656 AE Eindhoven
(74) 代理人 110001690
特許業務法人M&Sパートナーズ

最終頁に続く

(54) 【発明の名称】 128素子アレイプローブ用の超音波システムフロントエンド回路

(57) 【要約】

超音波システムのフロントエンド回路は、ビームフォーマFPGA集積回路と、パルス送信器及び線形波形送信器の両方並びにT/Rスイッチを有する送信ICと、送信制御及び受信器ICと、アナログ-デジタル変換器(ADC)ICとを含む。送信ICだけが高電圧を必要とし、送信/受信スイッチは、送信ICに組み込まれるので、受信器ICが高電圧から分離される。送信器は、パルス立ち上がり及び立ち下がりレートを調整するためにトリミングされることが可能であるので、低高調波周波数成分を有するパルスの送信が可能となり、したがって、より優れた高調波画像が得られる。

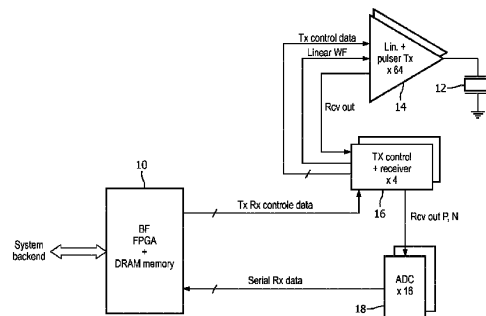


FIG. 1

【特許請求の範囲】**【請求項 1】**

共通の出力部に共に結合されるパルサー及び線形送信器、並びに、前記パルサー及び前記線形送信器と同じ集積回路にある送信／受信スイッチを含む高電圧送信器集積回路であって、前記パルサー及び前記線形送信器の前記共通の出力部と、前記送信／受信スイッチとは、トランスデューサアレイのトランスデューサ素子に結合されるように適合されている、高電圧送信器集積回路と、

前記高電圧送信器集積回路の前記送信／受信スイッチに結合される低電圧受信信号経路と、

を含む、

超音波システムフロントエンド回路。

10

【請求項 2】

前記低電圧受信信号経路は、別個の低電圧集積回路にある、請求項 1 に記載の超音波システムフロントエンド回路。

【請求項 3】

前記低電圧受信信号経路に結合されるビームフォーマ F P G A を更に含む、請求項 1 に記載の超音波システムフロントエンド回路。

【請求項 4】

前記パルサー及び前記線形送信器用の送信データを記憶するデジタル送信データメモリを更に含む、

20

前記デジタル送信データメモリは、前記ビームフォーマ F P G A とは違う集積回路にある、請求項 3 に記載の超音波システムフロントエンド回路。

【請求項 5】

前記デジタル送信データメモリと前記パルサーの入力部との間に結合されるパルサー論理回路と、前記デジタル送信データメモリと前記線形送信器の入力部との間に結合される D A C とを更に含む、請求項 4 に記載の超音波システムフロントエンド回路。

【請求項 6】

前記低電圧受信信号経路と前記ビームフォーマ F P G A との間に結合されるアナログ - デジタル変換器を更に含む、請求項 5 に記載の超音波システムフロントエンド回路。

【請求項 7】

前記低電圧受信信号経路は更に、1 つ以上の T G C 前置増幅器を含む、請求項 6 に記載の超音波システムフロントエンド回路。

30

【請求項 8】

前記別個の低電圧集積回路にあるデジタル送信データメモリを更に含む、請求項 2 に記載の超音波システムフロントエンド回路。

【請求項 9】

1 2 8 個の対にされ、出力が接続されたパルサー及び線形送信器、並びに、前記パルサー及び前記線形送信器と同じ集積回路にある 1 2 8 個の送信／受信スイッチを含む複数の高電圧送信器集積回路と、

単一のビームフォーマ F P G A と、

40

を更に含む、請求項 1 に記載の超音波システムフロントエンド回路。

【請求項 1 0】

正の高電圧源と負の高電圧源との間に直列に結合される高電圧トランジスタの相補的対を含む高電圧トランスデューサ駆動回路と、

前記高電圧トランジスタの一方に結合されるトランジスタサイズトリミング回路と、

を含み、

前記トランジスタサイズトリミング回路は、前記高電圧トランジスタの一方のサイズを選択的に調整する、超音波システムフロントエンド回路。

【請求項 1 1】

前記トランジスタサイズトリミング回路は更に、高電圧トランジスタの電極に結合され

50

る複数の制御可能なサイズ選択スイッチを含む、請求項 10 に記載の超音波システムフロントエンド回路。

【請求項 12】

前記高電圧トランジスタのそれぞれに結合されるトランジスタサイズトリミング回路を更に含む、請求項 11 に記載の超音波システムフロントエンド回路。

【請求項 13】

正の高電圧源と負の高電圧源との間に直列に結合される高電圧トランジスタの相補的対を含む高電圧トランスデューサ駆動回路と、

各高電圧トランジスタの電極に結合される低電圧駆動トランジスタと、

前記低電圧駆動トランジスタの 1 つに結合されるトランジスタ駆動トリミング回路と、
を含み、

10

前記トランジスタ駆動トリミング回路は、前記低電圧駆動トランジスタの 1 つの低電圧駆動トランジスタのバイアスを選択的に調整する、超音波システムフロントエンド回路。

【請求項 14】

前記トランジスタ駆動トリミング回路は更に、供給電圧部と前記低電圧駆動トランジスタとの間に結合される複数の制御可能なバイアス選択スイッチを含む、請求項 13 に記載の超音波システムフロントエンド回路。

【請求項 15】

各低電圧駆動トランジスタに結合されるトランジスタ駆動トリミング回路を更に含む、請求項 14 に記載の超音波システムフロントエンド回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、医用診断超音波システムに関し、具体的には、128 個以上のトランスデューサ素子を有する超音波アレイプローブ用のフロントエンド回路に関する。

【背景技術】

【0002】

超音波システムのフロントエンドとは、超音波プローブと通信し、プローブトランスデューサからの超音波送信を制御し、トランスデューサからの戻りエコー信号を受信し、最初に処理する当該超音波システムの部分である。フロントエンド回路は更に、エコー信号の TGC 増幅、デジタル処理及びビーム形成処理の少なくとも一部といった関連処理も制御する。システムのサイズ及び重量、また、願わくは費用も低減するように、当該回路の大部分が集積回路 (IC) 形式で作られることが望ましい。しかし、今日の超音波システムは、ビームを電子的にステアリング及びフォーカシングするために多素子アレイトランスデューサを有するプローブを使用し、プローブ内の機械的部分を取り除いている。従来
の 1D (1次元) アレイサイズは、128 素子であるが、192 及び 256 素子を有する
プローブが使用されており、また、3D 撮像用の 2D プローブは、何千ものトランスデ
ューサ素子を有する。2D アレイプローブでは、効率的なサイズのケーブルの使用を可能と
するためにマイクロビームフォーマが不可欠であるが、フロントエンド回路は、依然とし
て、概して、プローブ制御及び最終ビーム形成に使用される。

30

40

【0003】

更に、フロントエンド回路が、幅広い機能を提供し、パルス送信を必要とするプローブ及び整形波形送信を使用するプローブだけでなく、マルチライン機能を有するプローブも動作可能であることが望ましい。また更に、デジタルビームフォーマをすべての撮像応用に使用可能であるように、ビーム形成の前に、デジタル処理が行われることが望ましい。これらの要件は、集積回路コンポーネントの数及びレイアウトに関して課題をもたらす。というのは、当該要件は、多数の集積回路コンポーネントを相互接続するために必要な IC ピン数を増加させるからである。これらの要件は、トランスデューサ素子の数が少ないプローブや、多重化を使用するプローブでは少なくなるが、多重化は、通常、性能を低下させるので、128 素子アレイプローブを効率よく動作させる必要が、最低限に所望され

50

る要件である。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、様々な電圧及び機能のICに必要である様々なタイプの製造の観点から、効率的な構成、パッケージング及びPC基板レイアウトのためにピン数が低減されたICパッケージを有する128素子アレイトランスデューサプローブの高品質性能を提供する超音波システムの集積回路フロントエンドを提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明の原理によれば、超音波システム用のフロントエンド回路が説明される。当該回路は、ビームフォーマFPGA集積回路と、パルス送信器及び線形波形送信器の両方を有する送信ICと、送信制御及び受信器ICと、アナログ-デジタル変換器(ADC)ICとを含む。送信ICだけが高電圧を必要とし、送信/受信スイッチは、送信ICに組み込まれるので、受信器ICが高電圧から分離される。送信器は、パルス立ち上がり及び立ち下がりレートを調整するためにトリミングすることができ、これにより、高調波周波数成分が少ないパルスの送信が可能となり、したがって、より優れた高調波画像が可能になる。線形送信器及びパルス送信器の両方の波形データが、送信制御及び受信器ICに記憶されるので、当該データの従来の供給源であるFPGAのピンが削減される。ADCは、シリアルバス線を介して、デジタルエコーデータをFPGAにビーム形成のために結合するので、従来のパラレルデータ構成に比べて追加のFPGAピンが削減される。送信IC内へのパルス送信能力及び線形波形送信能力の両方の統合は、カラーフロー画像形成において、ドップラービームにパルス送信器を使用し、Bモードビームに線形送信器を使用するといったように、マルチモード画像形成において、両方のタイプの送信器を使用することを可能にする。

【図面の簡単な説明】

【0006】

【図1】図1は、本発明の原理に従って構成された超音波システムフロントエンドのICの構成をブロック図で示す。

【図2】図2は、本発明の原理に従って、パルサー及び線形波形送信器の両方と、送信-受信スイッチとが同じIC上に集積化された送信ICの概略図である。

【図3】図3は、本発明の原理に従って構成された送信制御及び受信器ICのブロック図及び概略図である。

【図4】図4は、図1の超音波システムフロントエンド回路の動作を説明するフローチャートである。

【図5】図5は、図1乃至図3の超音波システムフロントエンド回路のパルサー及び線形波形送信器の両方を使用するカラーフロー画像用のエコー信号の取得を説明するフローチャートである。

【図6】図6は、図1乃至図3のフロントエンド回路を使用する超音波システムをブロック図で示す。

【発明を実施するための形態】

【0007】

図1を最初に参照するに、本発明の原理に従って構成される超音波システムフロントエンドのICがブロック図で示されている。ビームフォーマFPGA(フィールドプログラマブルゲートアレイ)10が、システムバックエンドと通信し、アレイトランスデューサを有するプローブ用の送信-受信撮像シーケンスのコマンドを受信し、バックエンドにおける画像形成のためにデジタル的にビーム形成されたエコーデータを送り返す。FPGA10は、当技術分野において知られているように、受信エコー信号のデジタルビーム形成を行う。ビーム形成には、トランスデューサアレイの素子によって受信されたエコー信号を受信し、エコーをそれぞれ遅延させて、エコーを時間的及び位相的に一致するようにし

10

20

30

40

50

て、その後、それらを合計することが含まれる。基本的には、画像フィールド内の共通点からアレイトランスデューサの様々な素子によって受信されるエコーは、コヒーレントなビーム形成エコー信号を生成するように組み合わせられる。アナログビームフォーマは、組み合わせのためのエコー信号を遅延させるために遅延線を使用するが、デジタルビームフォーマは、エコー信号のサンプリング（デジタル化）の相対時間、シフトレジスタを通してデジタルエコー信号サンプルのシーケンスをクロックする時間、又は、ランダムアクセスメモリに記憶されるエコーの書き込みから読み出しまでの時間を含む様々な遅延技術を使用することができる。これらの技術は、例えば米国特許第4,173,007号（McKeighen他）に説明されている。FPGA10内に組み込み可能である代表的なデジタルビームフォーマは、例えば米国特許第8,137,272号（Cooley他）及び米国特許第6,315,723号（Robinson他）に示されている。

【0008】

FPGA10によってビーム形成されたエコー信号は、ADC18によって生成され、DRAMメモリに記憶される。FPGAは、メモリからデータを随時抽出し、データをデジタルコヒーレントエコー信号にビーム形成する。当該信号は、更なる処理及び画像形成のために超音波システムバックエンドに通信される。DRAMメモリは、FPGA10に電氣的に結合される別個のメモリICを含んでよい。好適には、DRAMメモリは、FPGAと同じICパッケージと一体である。このような一体型ICデバイスは、電子パッケージとして製造可能であり、その中で、複数の集積回路が統合基板上にパッケージ化され、当該複数の集積回路の単一コンポーネントとしての使用を容易にし、当該単一コンポーネントに、複数の集積回路デバイスの機能及び性能がずっと小さいボリュームで含まれる。別のパッケージ化アプローチは、FPGAチップ及びメモリチップをPC基板上に垂直に積み重ねることである。これは、パッケージ化サイズ（即ち、長さ及び幅）、また、回路基板上でチップによって占められるフットプリントを最小限に抑える。しかし、このアプローチは、基板サイズ縮小という目的は達成するが、ICパッケージに必要なピン数を低減するという本発明の目的の1つを達成しない。これは、外部パッケージピンが、FPGAとメモリICとの間のデータバス、クロック信号及び制御線（例えばアドレス線）のために依然として必要だからである。本発明の好適な実施態様は、FPGAデバイスとDRAMチップとの両方を同じICパッケージ内にパッケージ化することであり、これにより、それらの間の接続は、パッケージ内に内部化され、FPGAパッケージ上の外部ピンを低減し、フロントエンドの他のICへの接続といった他の使用のために解放することができる。

【0009】

FPGAは、特定の送信-受信撮像シーケンスのコマンドに応じて、送信及び受信制御データ（TxRx制御データ）を、送信制御及び受信器IC16に通信する。128素子トランスデューサアレイの好適な実施態様では、各送信制御及び受信器IC16は、トランスデューサアレイの32個の素子の動作のための制御データを受信する。したがって、128素子アレイの動作には、4個の送信制御及び受信器IC16が必要である。各送信制御及び受信器IC16は、アレイの32個の素子用の送信データを生成することによって応える。各IC16は更に、同じ32個の素子のために前置増幅器及びTCG制御部を含む32個の受信信号経路を含む。送信制御及び受信器ICは、各トランスデューサ素子に対して、パルス制御信号及び線形波形信号の両方を生成する。送信制御及び受信器ICは、線形及びパルサー送信器IC14に結合される各トランスデューサ素子に対して、線形送信器用の線形波形信号と、パルサー用の送信制御データとを出力する。線形及びパルサー送信器ICには更に、送信器利得及びイネーブル信号といった送信器パラメータを制御するための制御信号も結合される。送信制御及び受信器IC16と、線形及びパルサー送信器IC14との間には、受信したエコー信号を、IC16内の受信信号経路のTCG制御された前置増幅器に戻すための信号線も接続される。

【0010】

好適な実施態様において、各線形及びパルサー送信器IC14は、2つのトランスデュ

ーサ素子に対して、パルサー、線形送信器及び送信/受信(T/R)スイッチを含む。したがって、128素子トランスデューサアレイには、64個の線形及びパルサー送信器IC14が必要である。送信-受信サイクルの受信部分では、T/Rスイッチは、受信信号を、送信制御及び受信器ICの受信信号経路に戻すように閉じる。送信-受信サイクルの送信部分では、T/Rスイッチは、受信信号経路を送信高電圧から分離するために開く。したがって、高電圧は、線形及びパルサー送信器IC14のみに必要であり、送信制御及び受信器ICは、送信の高電圧から完全に分離され、高電圧要件がないため、完全に低電圧ICである。

【0011】

線形及びパルサー送信器IC14から受信されるエコー信号は、送信制御及び受信器IC16の受信信号経路内の前置増幅器によってTGC利得制御で増幅され、ADC IC18に結合される。128素子トランスデューサアレイの好適な実施態様では、各ADC IC18は、アレイの8個の素子から受信するエコー信号に対して8個のADCを含む。したがって、各送信制御及び受信器IC16は、4個のADC IC18に結合される。8個のトランスデューサ素子のデジタル化されたエコー信号は、シリアル受信データ線(シリアルRxデータ)を通じて、時分割多重化によって、各ADC IC18からFPGA10に戻される。デジタル化されたエコー信号データは、ビーム形成において、FPGAによる使用のために、DRAMメモリに記憶される。パラレルデータ線ではなく、シリアルデータ線を使用することによって、FPGA ICに必要なピン数が削減され、また、8個のADCのデジタル化されたエコー信号を各ADC ICについて同じシリアルデータ線を通じて、時分割多重化することによって、FPGAに必要なピン数が更に削減され、128素子アレイの好適な実施態様では、16個のシリアルデータ線しか必要でない。好適な実施態様では、各シリアルデータ線は、JESD204Bシリアルデータバスフォーマットに従って動作する導体の差動対として実現される。

【0012】

図2は、線形及びパルサー送信器IC14の回路の概要を示す。好適な実施態様における各IC14は、2つのトランスデューサ素子12を動作させるので、図2の回路は、2つのトランスデューサ素子に対して、1つのIC内で2つ複製される。ICパッケージの境界は、破線で区切られ、破線上の小さいボックスは、ICパッケージの外部接続ピンを示す。デジタルデータDig.Inは、トランスデューサ素子12によるパルス送信のために、パルサー50によって生成される高電圧駆動パルスの特性を規定し、特定の素子からの信号が寄与する送信ビームのステアリング及びフォーカシングに適したタイミングで加えられる。Dig.Inデータは、パルス論理回路52によって解釈され、2レベルパルス(例えば0及び1)、3レベルパルス又は7レベルパルスの生成のためにパルサー50が制御される。Dig.Inデータは、2レベルパルスでは1ビット(0又は1)、3レベルパルスでは2ビット、7レベルパルスでは3ビットを含む。パルサー50は、IC14のピン(図示せず)に印加される高電圧+HVP及び-HVPによって動力が与えられる。アナログ波形DAC Inが、トランスデューサ素子12を駆動するように整形された正弦波といった線形波形の送信のために、IC14のピンに、ここでも、特定の素子が寄与する送信ビームに適したタイミングで結合される。低電圧DAC In波形は、選択可能利得を有する増幅器56によって増幅され、トランスデューサ素子を駆動する高出力線形送信器54によって更に増幅される波形を生成する。線形送信器54は、IC14のピン(図示せず)に印加される高電圧+HVL及び-HVLによって動力が与えられる。パルサー50及び線形送信器54の両方の出力は、IC14の同じ出力ピンに結合され、当該ピンに、トランスデューサ素子12が接続されている。送信制御論理回路58によって送信期間の前に受信される送信制御データ(Tx制御データ)は、各送信器に対するイネーブル信号Pen及びLenの生成によって、どの送信器を使用すべきか、即ち、パルサー50か、又は、線形送信器54かを決定する。パルサーイネーブル信号Penは、パルス論理回路52に結合され、線形送信器イネーブル信号Lenは、増幅器56に結合される。送信制御論理回路によって生成される利得制御信号も、利得決定のために増幅器

10

20

30

40

50

56に印加される。

【0013】

更にT/Rスイッチ60が、各トランスデューサ素子12のIC14に集積化される。好適なT/Rスイッチは、トランスデューサ素子12からの受信信号経路と直列の1つの単極単投スイッチTR₀と、接地までの信号経路をシャントする別の単極単投スイッチTR₁とを含む。これらのスイッチは、送信制御論理回路58によって生成されるTR制御信号によって、相補的に動作させられる。送信中、高電圧パルサー又は線形送信器のどちらかがトランスデューサ素子12を駆動する場合、送信制御及び受信器IC16の受信信号経路を高電圧から分離するために、TR₀スイッチは開き、TR₁スイッチは閉じる。エコー受信時、送信器が無効にされ、エコー信号がトランスデューサ素子12によって受信される場合、受信したエコー信号を、出力線RcvOutを経由して受信信号経路に結合するように、TR₀スイッチは閉じ、TR₁スイッチは開く。

10

【0014】

好適な実施態様におけるパルサー50は、通常、高調波信号動作のために使用される。高調波信号動作では、体内で組織又は造影剤によって生じる高調波周波数信号がパルス送信によって刺激され、撮像又は他の診断のためにトランスデューサによって受信される。トランスデューサアレイによって受信される高調波信号が可能な限りクリーンであるためには、送信パルス自体が可能な限り高周波成分が少ないことが望ましく、さもなければ、身体ではなく、超音波システムから発生した高調波周波数帯域における信号が受信される。超音波システムによる高調波周波数発生を低減するために、送信パルスが、それらの立ち上がり時間及び立ち下がり時間、1つのパルスレベルから別のパルスレベルまでのそれらのスルーレートにおいて可能な限り対称であることが望ましい。半導体処理は、ほとんどの応用において正確ではあるが、補完的駆動パルサー構成では、正駆動MOSFET76及び負駆動MOSFET78間に電流及び/又はインピーダンス差が依然としてもたらされる場合がある。正駆動トランジスタ76が、所与の駆動信号について、負駆動トランジスタ78よりもより伝導性があるならば、例えば送信パルスは、立ち上がりエッジにおいて、立ち下がりエッジにおける減少率よりも速い立ち上がり時間(より大きいスルーレート)を有する。立ち下がりエッジでも同様の作用が生じる可能性がある。本発明の更なる態様によれば、パルサー50の駆動トランジスタは、送信パルスの立ち上がり特性及び立ち下がり特性を等しくするために制御可能にトリミングされることが可能である。これを行う1つのやり方は72に示され、駆動トランジスタのサイズを制御可能に変更することである。図示されるように、駆動トランジスタは、MOSFETのソース電極とドレイン電極との間の並列切替可能チャンネル経路と、ゲート電極用のチャンネル経路とで作られる。追加の並列半導体経路が切替可能に組み込まれているので、トランジスタの伝導性は、トランジスタの実効サイズが増加していることにより増加される。正駆動トランジスタ76のサイズが増加されると、例えば正電圧レールの方への立ち上がり時間が増加され、サイズが減少されると、立ち上がり時間は減速する。駆動トランジスタのサイズは、超音波システムの製造又は検査時に制御可能に調整可能であり、最小限の高調波周波数成分を有する対称にバランスの取れたパルスが生成されるまで、テストパルスが印加され、測定される。スルーレート特性は、必要に応じて現場で調整されてもよい。例えばパルサーによって見られるトランスデューサ素子の電気負荷も、印加駆動パルスの立ち上がり特性及び立ち下がり特性に影響を及ぼす。新しく開発されたプローブは、最良の高調波性能を達成するために、パルサートランジスタの様々なトリミングを必要とするトランスデューサアレイを有する。新しいプローブが、走査手順のためにシステムに接続されると、プローブのEPROM内のデータが、FPGAによって読み出され、線形及びパルサー送信器IC14に結合され、新しいプローブによるより優れた高調波性能のために、パルサートランジスタのトリミングがリセットされる。

20

30

40

【0015】

バランスの取れたスルーレート性能のためにパルサートランジスタをトリミングする別のやり方は、高電圧MOSFETを駆動するために使用される第1段トランジスタの制御

50

可能な調整によるやり方である。図2のMOSFET76及び78といった電力トランジスタの相補対は、通常、バランスの取れた対として通常動作させられる、それらのゲート電極に結合される低出力駆動トランジスタの対によって駆動される。本発明によれば、このような駆動トランジスタは、図2に示されるように、トランジスタ電圧源に結合される切替え可能な並列トランジスタ74を使用してトリミング可能であるバイアス電流を有する。供給電圧と、駆動トランジスタの電極との間で並列により多くの抵抗器を追加することによって、駆動信号に反応して、伝導性がより高くなるように、又は、より早期に伝導性がより高くなるようにトランジスタの動作が変更される。したがって、より早期の又はより大きい伝導性のために正供給駆動トランジスタにバイアスをかけることによって、正電力トランジスタ76の立ち上がり時間は増加され、立ち上がり送信パルスのスルーレートを対応して増加させる。電力トランジスタ76、78の駆動トランジスタの1つ又は両方のバイアス電源をこのようにトリミングすることによって、立ち上がり及び立ち下がりパルス並びにパルスエッジの両方について、実質的に同一の立ち上がり時間を示すように、パルサーの性能を調整することができる。

10

20

30

40

50

【0016】

図3は、図1の送信制御及び受信器IC16のうちの1つのIC16の回路のブロック図及び概略図である。図1の各IC16は、32個のトランスデューサ素子に対して、図3に示されるコンポーネントを含むので、図3の回路は、128素子アレイトランスデューサ用の各ICについて、32個複製される。図の上部に示される送信回路は、複数の様々なパルサーパルスシーケンス及び線形送信波形のデータシーケンスを含むnバイトデジタルメモリ82である送信データメモリを含む。送信及び受信制御論理回路80は、送信コンポーネントの送信パルス及び波形及びTGC制御特性と、フロントエンド回路の受信信号経路とを規定する制御データ(TxRx制御データ、図1)をFPGA10から受信する。この情報に応じて、アドレスレジスタ84が、メモリ82に記憶されている適切な送信パルス又は波形のnバイトの記憶位置をアドレス指定する。パルス又は波形データのシーケンスがメモリ82から読み出され、パルサー論理回路86及びデジタル-アナログ変換器(DAC)88に印加される。パルサー論理回路86は、上記データに、所望のパルサー波形に適切なビット長のデジタルデータバイトのシーケンスを出力することによって応える。当該シーケンスは、線形及びパルサー送信器IC14のパルサー入力部に印加される(Dig.In)。このデータシーケンスは、通常、数百バイトの長さであり、クロック周波数及び所望の送信パルス分解能に依存して、パルサーに、所望のパルス形状及び持続時間を送信させる。線形波形のデータがメモリ82から読み出される場合、データバイトのシーケンスは、DAC88によって、線形に変化するアナログ波形に変換される。当該アナログ波形は、線形送信器に印加される(DAC.In)。送信及び受信制御論理回路80は更に、パルサー又は線形送信器の動作の制御のためのイネーブルビット及びT/Rスイッチ60の制御のためのビットを含む送信パルス又は波形の他のパラメータの制御のための制御データ(Tx制御データ)も出力する。

【0017】

図3の下部に、トランスデューサ素子12によって受信され、T/Rスイッチ60によって結合されるエコー信号の受信信号経路が示される。エコー信号(RcvOut)は、利得制御TGC₁抵抗器を有する第1の前置増幅器90に印加される。当該抵抗器は、送信及び受信制御論理回路80が受信する制御データによって決定される時間において、スイッチ92によって回路内に切り替え可能に組み込まれる(switched into)。前置増幅器90の出力は、第2の利得段94に結合される。第2の利得段94は、第2の段のTGC制御のための第2の切替え可能なフィードバック抵抗器TGC₂を含む。TGC₂抵抗器は、スイッチ96によって回路内に切り替え可能に組み込まれる。これも、送信及び受信制御論理回路80によって生成される信号によって制御される。これに、第3の前置増幅器98が続く。前置増幅器98の出力部における増幅されたエコー信号は、相補対、つまり、更なる反転前置増幅器99によって生成されるRcvOut_P及び前置増幅器98によって生成されるRcvOut_Nの形で、デジタル化のためのADC IC18に

結合される。ICチップ18のうちの1つのチップ18のADCによるデジタル化後、デジタル化されたエコーデータは、シリアルデータバスによって、ビーム形成のためにFPGA10に結合される(シリアルRxデータ)。送信制御及び受信器IC16のコンポーネント及び信号はすべて、低電圧コンポーネント及び信号であり、これらのICは、効率的な低電圧CMOS処理を使用して作ることができることが分かるであろう。

【0018】

図4に、超音波送信-受信走査シーケンスのために、図1乃至図3のフロントエンドIC回路を動作させる方法が示される。ステップ102における開始において、超音波システムのバックエンドからFPGA10に、走査シーケンスを規定する情報が送信される。ステップ104において、FPGA10は、送信制御及び受信器IC16に、送信及び受信制御データを送信する。ステップ106において、IC16は、次に、線形及びパルサー送信器IC14に、送信制御データを送信する。ステップ108において、IC16は、所望のTGC動作のために受信信号経路を調整する。ステップ110において、送信制御及び受信器IC16内で送信波形が生成され、線形及びパルサー送信器ICのイネーブルされたパルサーか又は線形送信器に印加され、トランスデューサ素子に所望のパルス又は線形波形を送信させ、結果として、エコー信号を受信させる。エコー信号は、T/Rスイッチ60を介して、送信制御及び受信器IC16の受信信号経路に結合され、そこで、TGC増幅が適用される。ステップ112において、増幅されたエコー信号は、ADC ICに印加され、ADC ICは、増幅されたエコー信号をデジタル信号サンプルに変換する。ステップ114において、デジタルエコー信号サンプルが、FPGA10内でのビーム形成のために、シリアルデータ線を介して、FPGA10に送信される。

10

20

【0019】

図5に示されるように、エコー信号の様々なモードを取得するためにパルサー及び線形送信器の両方を使用して、カラーフロー(colorflow)画像といったマルチモード画像を生成するように、図4の走査シーケンスを更に規定してもよい。カラーフロー画像のエコー信号の取得のために、動作は、ステップ122において、超音波システムのバックエンドからFPGA10に、所望のカラーフロー走査シーケンスを通信することから開始する。ステップ124において、ドップラー(動作)エコーデータ用のドップラービーム及びBモード(構造)エコーデータ用のBモードビームの送信及び受信のための制御データ(TxRx制御データ)が、送信制御及び受信器IC16に送信される。ステップ126において、パルサー及び線形増幅器用の送信制御データ(Tx制御データ)が、線形及びパルサー送信器IC14に送信される。受信制御データを使用して、送信制御及び受信器ICの受信信号経路内で受信エコーに適用されるTGC特性を制御するために使用される。ステップ128において、nバイトメモリ82からのデジタルデータが、IC16のパルサー論理回路によって処理され、アレイ素子12によるパルスドップラービームの送信のために、IC14内のパルサー50の入力部に結合される。ドップラービームに反応して受信されるエコーは、トランスデューサ素子から、IC14のT/Rスイッチ60を介して、IC16の受信信号経路のTGC前置増幅器に結合される。ステップ132において、増幅されたエコー信号(RcvOut P、N)は、ADC IC18に結合される。ADC IC18において、当該増幅されたエコー信号は、デジタル信号サンプルに変換される。ステップ134において、デジタルドップラーエコー信号サンプル(シリアルRxデータ)は、各ドップラー走査線に沿って受信されるコヒーレントエコー信号へのFPGAによるビーム形成のための準備として、一時的な保存のために、FPGAのDRAMメモリに送信される。

30

40

【0020】

Bモード走査線について、デジタル波形バイトのシーケンスが、nバイトメモリからDAC88に結合され、当該DAC88は、Bモード送信のための線形に変化する波形を生成する。ステップ130において、波形(DAC In)は、IC14の線形送信器54の増幅器56の入力部に、適切な時間に印加され、当該送信器は、Bモード波形ビームを送信するようにトランスデューサアレイの素子を駆動する。Bモードビームに反応して、

50

エコーが、被検体の構造（例えば組織）から戻され、トランスデューサ素子12によって受信される。受信Bモードエコー信号は、T/Rスイッチ60を介して、ドップラーエコー信号に使用したのと同じ又は異なるTGC利得特性を有するIC16の受信信号経路に結合される。ステップ132において、増幅されたBモードエコー（RcvOut P、N）は、ADC IC18に結合され、当該ADC IC18において、当該増幅されたBモードエコーは、デジタルBモードエコー信号サンプル（シリアルRxデータ）に変換され、一時的な保存及びビーム形成のために、FPGA10のDRAMメモリに転送される。

【0021】

所与の走査線についてドップラーエコー信号及びBモードエコー信号を、実質的に同時に取得することが求められるので、ドップラーパルス及びBモード波形の送信と、結果としてのエコー受信とは、通常、アレイ全体に亘って交互に入れ替えられる。ドップラー処理は、画像フィールド内の各点から経時的に取得されるエコー信号の集合体を必要とするので、ドップラーパルスの数は、Bモードパルスの数を上回り、複数のドップラービームは、各走査線方向に沿って、様々な時間に送信される。図5の右側の矢印によって示されるドップラー及びBモードインターリーブのタイミング及び程度は、検出されるべき組織運動又は血流速度の範囲（即ち、ナイキストサンプリングルール）を考慮して、当技術分野において知られているように決定され、集合体のドップラーエコーは、より低い速度の測定については、より大きい時間間隔に亘って取得される。ドップラー集合体を取得するために使用されるドップラー送信の数は、流れ及び運動の情報の所望精度といった考慮すべき事項に依存する。

10

20

【0022】

図6に、カラーフロー画像を含む超音波画像の生成のために、上記フロントエンドICを利用する超音波システムがブロック図で示される。本例では、128素子のトランスデューサアレイ12を有するプローブ100が、図1に示されるICフロントエンド、具体的には、線形及びパルサー送信器IC14のトランスデューサ素子ピンに結合される。FPGAのビームフォーマは、画像フィールド全体に送信されたパルス及び波形ビームに応じて、コヒーレントエコー信号の走査線を生成する。幾つかの実施態様では、第2のシステムビームフォーマ140を使用して、FPGAビームフォーマによって生成された部分的にビーム形成された和からのビーム形成の完成といった特殊なビーム形成の一部を行ってもよい。しかし、多くの場合、FPGAビームフォーマが、マルチラインビーム形成といった複雑な計算を必要とするビーム形成であっても、すべてのビーム形成に十分である。これは、図1の例示的なフロントエンド構成の場合のように、パルス及び波形特性の保存及びそれらの処理といったFPGA内で一般的に行われる機能が、他のコンポーネントにオフロードされる場合に特に言えることである。図1の実施態様では、パルス及び波形データは、送信制御及び受信器ICのnバイトメモリ82に記憶され、当該メモリは、FPGAからこの機能を取り除くだけでなく、当該機能が使用される送信器ICのより近くに持ってくる。FPGAは、その名の通り、フィールドプログラマブルであるので、ファームウェアを使用して、FPGA内の論理回路素子を、一部の撮像手順のために単一128チャンネルビームフォーマに、又は、他の撮像手順における単一の送信イベントに応える複数受信ビームの生成のために2x、4x、8x若しくは更にはより高い次数のマルチラインビームフォーマに再構成することができる。更に、上記FPGA構成の使用は、図1に示されるような単一のFPGA ICだけの使用で、上記能力を有する高品質性能の超音波システムフロントエンドが実現可能であることを明らかにした。

30

40

【0023】

ビーム形成からもたらされるデジタルコヒーレントエコー信号は、信号プロセッサ142によって処理される。信号プロセッサ142は、デシメーション、フィルタリング、空間又は周波数合成及びドップラー処理用の直交検波といった機能を行う。処理された信号は、Bモードプロセッサ144に印加される。Bモードプロセッサ144において、Bモードエコー信号は、その振幅が検出され、Bモード画像形成のために更に処理される。処

50

理された信号は、ドップラープロセッサにも印加される。ドップラープロセッサにおいて、ドップラーエコー信号の集合体が処理されて、画像フィールド内の点における流れ又は運動のドップラーシフト（周波数）が推定される。カラーフロー画像については、ドップラー周波数を使用して、色データテーブル内の色値が調べられ、これにより、ドップラー測定された運動を、対応する色で表示することができる。ドップラー及びBモード走査線は、画像プロセッサ150に結合される。画像プロセッサ150において、当該ドップラー及びBモード走査線は、走査変換によって、所望の表示形式（例えばセクタ、リニア又は3D）の画像用のオーバーレイに組み合わされる。結果としてもたらされるBモード画像、カラーフロー画像、カラードップラー画像又は他のマルチモード画像が、画像ディスプレイ40上に表示される。

10

【0024】

超音波システムのユーザ制御は、ユーザ制御部20を介して達成される。ユーザ制御部とのユーザインタラクションからもたらされる信号は、システムコントローラ160に結合される。システムコントローラ160は、所望の撮像走査シーケンス定義のために、フロントエンド回路にBモード及びドップラーエコー信号を取得するように命令することや、これらのエコー信号を表示カラーフロー画像又は他の画像となるように処理する及び組み合わせるように、バックエンドのBモードプロセッサ、ドップラープロセッサ及び画像プロセッサを制御するといったように、超音波システムの全体の制御を調整する。

【0025】

なお、前述され、図6の例示的な超音波システムによって説明される様々な実施形態は、ハードウェア、ソフトウェア又はこれらの組み合わせで実現されてよい。超音波システムの様々な実施形態及び/又はコンポーネント（例えばその中のモジュール、コンポーネント及びコントローラ）は、1つ以上のコンピュータ又はマイクロプロセッサの一部として実現されてもよい。コンピュータ又はプロセッサは、コンピュータデバイス、入力デバイス、表示ユニット及び例えばインターネットにアクセスするためのインターフェースを含む。コンピュータ又はプロセッサは、マイクロプロセッサを含んでもよい。マイクロプロセッサは、例えばPACSシステムにアクセスするために通信バスに接続されてよい。コンピュータ又はプロセッサは更に、メモリを含んでもよい。上記メモリデバイスには、ランダムアクセスメモリ（RAM）及び読み出し専用メモリ（ROM）が含まれてよい。コンピュータ又はプロセッサは更に、ハードディスクドライブ、又は、フロッピー（登録商標）ディスクドライブ、光学ディスクドライブ、固体サムドライブ等といったリムーバブルストレージドライブであってよいストレージデバイスを含んでもよい。ストレージデバイスは更に、コンピュータプログラム又は他の命令をコンピュータ又はプロセッサにロードするための他の同様の手段であってよい。

20

30

【0026】

本明細書において使用される場合、「コンピュータ」、「モジュール」又は「プロセッサ」との用語には、マイクロコントローラ、縮小命令セットコンピュータ（RISC）、ASIC、論理回路及び本明細書において説明される機能を実行可能である任意の他の回路又はプロセッサを使用するシステムを含む任意のプロセッサベース又はマイクロプロセッサベースのシステムが含まれる。上記例は例示に過ぎないので、これらの用語の定義及び/又は意味をいかようにも限定することを意図していない。

40

【0027】

コンピュータ又はプロセッサは、入力データを処理するために、1つ以上のストレージ素子に記憶される命令のセットを実行する。ストレージ素子は更に、必要に応じて、データ又は他の情報も記憶する。ストレージ素子は、処理マシン内の情報源又は物理的なメモリ素子の形であってよい。

【0028】

超音波システムの命令のセットには、コンピュータ又はプロセッサに、処理マシンとして、本発明の様々な実施形態の方法及び処理といった特定の演算を行うように命令する様々なコマンドが含まれる。命令のセットは、ソフトウェアプログラムの形であってよい。

50

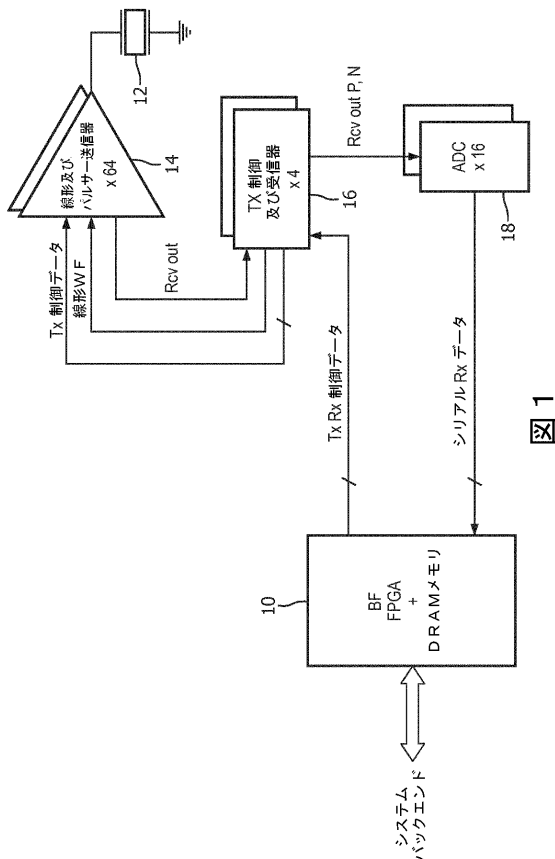
ソフトウェアは、システムソフトウェア又はアプリケーションソフトウェアといった様々な形式であってよく、また、有形及び非一時的なコンピュータ可読媒体として具体化される。更に、ソフトウェアは、別箇のプログラム又はモジュールの集合体、より大きいプログラム内のプログラムモジュール又はプログラムモジュールの一部の形であってよい。ソフトウェアは更に、オブジェクト指向プログラミングの形のモジュラプログラミングを含んでもよい。処理マシンによる入力データの処理は、操作者のコマンドに応じて、前の処理の結果に応じて、又は、別の処理マシンによるリクエストに応じて行われる。

【0029】

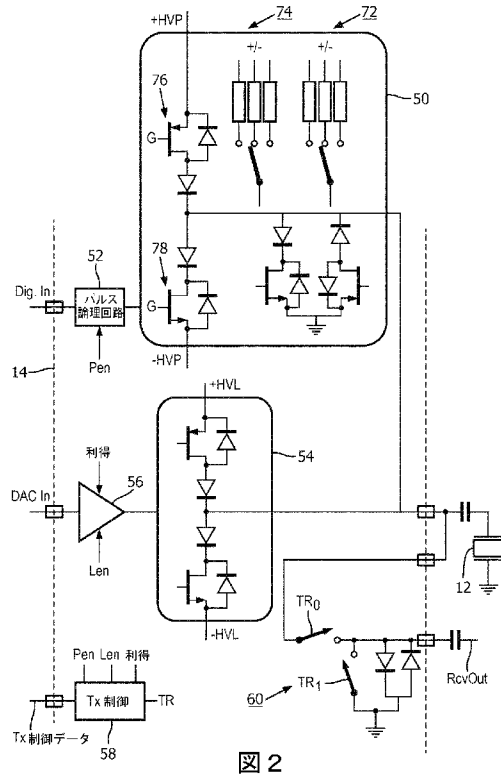
更に、以下の請求項における限定は、ミーンズ・プラス・ファンクション形式で記載されておらず、当該請求項の限定が、更なる構造のない機能の説明が後に続く「～の手段 (means for)」の表現を明示的に使用しない限り又は明示的に使用するまで、米国特許法第112条第6パラグラフに基づいて解釈されることを意図していない。

10

【図1】



【図2】



【 図 3 】

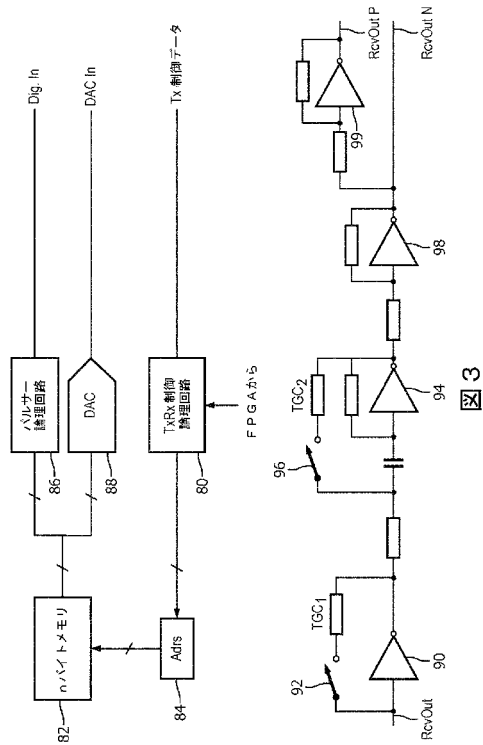


図 3

【 図 4 】

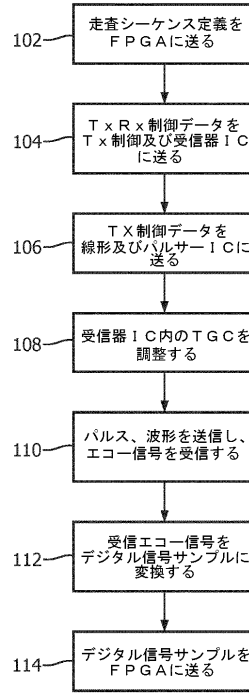


図 4

【 図 5 】

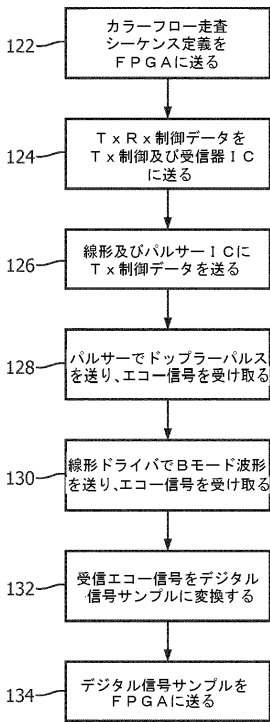


図 5

【 図 6 】

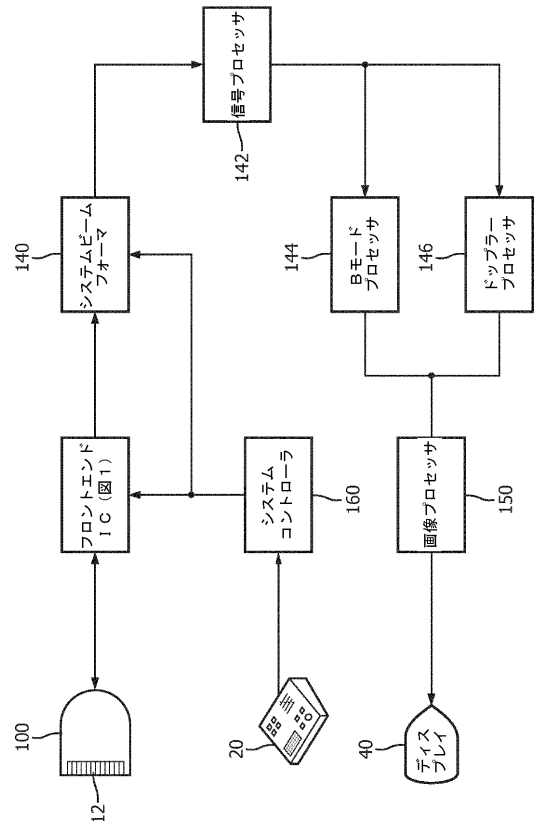


図 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/EP2017/069686

A. CLASSIFICATION OF SUBJECT MATTER INV. G01S7/52 G01S15/89 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G01S Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, INSPEC, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010/063397 A1 (WAGNER PAUL [US]) 11 March 2010 (2010-03-11) abstract; figures 1,5,6 paragraph [0001] - paragraph [0008] paragraph [0021] - paragraph [0051] paragraph [0055] - paragraph [0069] -----	1-9
Y	US 2016/097846 A1 (MORTENSEN MIKAEL [US] ET AL) 7 April 2016 (2016-04-07) abstract; figures 3-12 paragraph [0048] - paragraph [0075] ----- -/--	1-9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
9 October 2017		15/12/2017
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Zaneboni, Thomas

1

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/069686

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	BHUYAN ANSHUMAN ET AL: "Integrated Circuits for Volumetric Ultrasound Imaging With 2-D CMUT Arrays", IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS, IEEE, US, vol. 7, no. 6, 1 December 2013 (2013-12-01), pages 796-804, XP011538070, ISSN: 1932-4545, DOI: 10.1109/TBCAS.2014.2298197 [retrieved on 2014-01-24] abstract, Sections II. to IV. -----	1-9

1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/EP2017/069686**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-9

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/ EP2017/ 069686

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-9

An ultrasound system having a front-end circuit comprising a high voltage transmitter integrated circuit comprising a pulser, a linear transmitter and a transmit-receive switch located on the same integrated circuit.

2. claims: 10-12

An ultrasound system having a front-end circuit comprising: a high voltage transducer drive circuit comprising a complementary pair of high voltage transistors and a transistor size trimming circuit coupled to one of the high voltage transistors wherein the transistor size trimming circuit operates to selectively adjust the size of one of the high voltage transistors.

3. claims: 13-15

An ultrasound system having a front-end circuit comprising: a high voltage transducer drive circuit comprising a complementary pair of high voltage transistors, a low voltage drive transistor coupled to an electrode of each of the high voltage transistors, wherein the transistor drive trimming circuit operates to selectively adjust the bias of one of the low voltage drive transistors.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/069686

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010063397	A1	11-03-2010	NONE

US 2016097846	A1	07-04-2016	DE 112015004575 T5
			JP 2017530784 A
			US 2016097846 A1
			WO 2016057478 A1
			24-08-2017
			19-10-2017
			07-04-2016
			14-04-2016

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 フリーマン スティーブン ラッセル
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 シュワイツァー スコット オーウェン
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 セイヴォルド ティモシー
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 グエン ジェイソン タン
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 パーツ マンフレッド
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 グエン トロン フィ
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

Fターム(参考) 4C601 EE12 GB03 HH01 HH21 JB03 JB13

专利名称(译)	用于128元阵列探头的超声系统前端电路		
公开(公告)号	JP2019523094A	公开(公告)日	2019-08-22
申请号	JP2019505390	申请日	2017-08-03
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦NV哥德堡		
[标]发明人	フリーマン スティーブン ラッセル バーツマンフレッド		
发明人	フリーマン スティーブン ラッセル シュワイツァー スコット オーウェン セイヴォルド ティモシー グエン ジェイソン タン バーツ マンフレッド グエン トロン フィ		
IPC分类号	A61B8/14		
CPC分类号	A61B8/488 A61B8/5207 A61B8/5246 G01S7/52019 G01S7/52095 G01S15/8915 G01S15/8988 G01S7/5202		
FI分类号	A61B8/14		
F-TERM分类号	4C601/EE12 4C601/GB03 4C601/HH01 4C601/HH21 4C601/JB03 4C601/JB13		
优先权	62/370841 2016-08-04 US		
外部链接	Espacenet		

摘要(译)

超声系统的前端电路是波束形成器FPGA集成电路，具有脉冲发送器和线性波形发送器以及T/R开关的发送器IC，发送器控制和接收器IC，模数转换器（ADC）包括IC。仅发送器IC需要高压，并且发送器/接收器开关内置在发送器IC中，从而使接收器IC与高压隔离。可以对发送器进行微调以调整脉冲的上升和下降速率，从而允许传输具有低谐波频率分量的脉冲，从而获得更好的谐波图像。

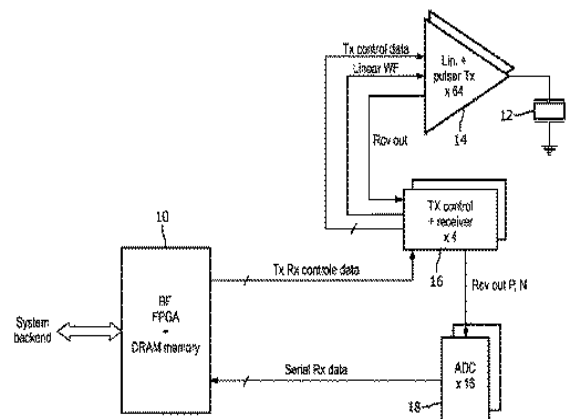


FIG. 1