

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A ) (11)特許出願公開番号

特開2001 - 327493

( P2001 - 327493A )

(43)公開日 平成13年11月27日 (2001.11.27)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-コ-ド* ( 参考 )
A 6 1 B 8/00		A 6 1 B 8/00	4 C 3 0 1
G 0 6 T 1/00	290	G 0 6 T 1/00	290 D 5 B 0 5 7
H 0 4 N 7/18		H 0 4 N 7/18	Q 5 C 0 5 4

審査請求 有 請求項の数 10 L ( 全 9 数 )

(21)出願番号 特願2000 - 151684(P2000 - 151684)  
 (22)出願日 平成12年5月23日(2000.5.23)

(71)出願人 000166650  
 株式会社国際電気エンジニアリング  
 秋田県南秋田郡天王町天王字鶴沼台43番地  
 224  
 (72)発明者 佐藤 隆  
 秋田県南秋田郡天王町天王字鶴沼台43 - 22  
 4 株式会社国際電気エンジニアリング内  
 (74)代理人 100069257  
 弁理士 大塚 学

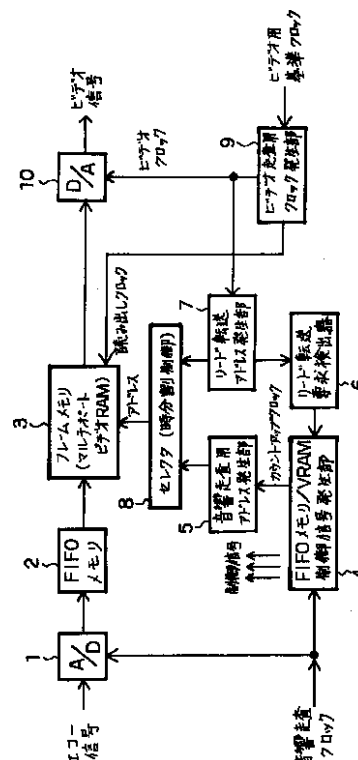
最終頁に続く

(54)【発明の名称】 超音波診断装置のデジタルスキャン・コンバータ

(57)【要約】

【課題】超音波診断装置のデジタルスキャン・コンバータのコストダウンを図る。

【解決手段】フレームメモリ3としてマルチポートビデオRAMを用い、入力エコー信号をA/D変換器1でデジタル変換したデータをFIFOメモリ2に入力する。その出力をマルチポートビデオRAMに入れる。A/D変換器1の出力データ16個分を1つのサイクルとし、その前半でデータを書き込み、後半でリード転送/リフレッシュするように構成した。



## 【特許請求の範囲】

【請求項1】 生体内から反射してくる超音波のエコー信号を音響走査クロックに従ってデジタル変換するA/D変換器と、該A/D変換器の出力をフレーム単位に音響走査側のタイミングで書き込むと同時に非同期のビデオ走査側のタイミングによってフレーム単位に読み出すフレームメモリと、該フレームメモリから読み出した出力をアナログ変換して表示用ブラウン管に入力するD/A変換器とを備え、時間軸上の前記入力エコー信号を表示用ブラウン管上に2次元像として表示させるための超音波診断装置のデジタルスキャン・コンバータにおいて、

前記フレームメモリは、マルチポートビデオRAMで構成され、

前記A/D変換器と前記マルチポートビデオRAMとの間に、該A/D変換器からの出力データ16個分を1つのサイクルとし、該1つのサイクルを2分割した前半をデータ書き込みサイクルとし後半をリード転送/リフレッシュサイクルとするFIFOメモリを設け、高速の受信エコー信号を表示することができるように構成されたことを特徴とする超音波診断装置のデジタルスキャン・コンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、超音波診断装置などに用いられ、時間軸上の被測定受信信号を表示用ブラウン管上に2次元像として表示させるためのデジタルスキャン・コンバータ(DSC)に関するものである。

## 【0002】

【従来の技術】超音波医療用診断装置は、生体内の形状を映像化する装置であり、生体に接した探触子から2~5MHzのビーム状超音波を放射し、生体内からの反射波(エコー信号)の受信振幅を、表示用ブラウン管の音波伝搬時間に対応する位置に輝度変調表示する。探触子(発射位置)の移動に合わせて表示位置を移動することにより、超音波ビームが通過した面内の形状がブラウン管上に2次元像として表示される。

【0003】上記の超音波探触子から得られる反射波(エコー信号)をブラウン管上に2次元像として表示させるビデオ信号に変換するためにデジタルスキャン・コンバータが用いられる。以下、従来のデジタルスキャン・コンバータについて、図3~図6を用いて説明する。

【0004】図3は従来の第1の回路構成例図である。図において、1はエコー信号(人体からの反射波)をデジタル変換するA/D変換器、11はフレームメモリA、12はフレームメモリB、13、14はセクタ、15は音響走査用アドレス発生部、16はビデオ走査用アドレス発生部、9はビデオ走査用クロック発生部、10はデジタル/アナログ変換器(D/A)である。

【0005】音響走査側のタイミングとビデオ走査側の

タイミングは非同期であり、かつ、リアルタイムに入出力が常に行われる必要があるため、フレームメモリを、メモリA11とメモリB12の2面RAM(SRAM)構成としている。すなわち、受信信号がフレームメモリA11に書き込まれている時は、フレームメモリB12からビデオ側に出力されている。面が完全に切り換わっている時は、メモリA、Bは完全に独立に動作しているため、不具合なく動作が実現される。

【0006】図4は従来の第2の回路構成例図であり、フレームメモリとして、デュアルポートSRAM24を用いた例である。上記図3に示した従来の第1の例のセクタなどの周辺回路が不要になるため、回路規模は小さく、簡単になる。

【0007】図5は従来の第3の回路構成例図である。この第3の例は、音響走査側タイミングとビデオ走査側タイミングとの非同期の吸収をラインメモリA、B(音響走査線1本分のメモリ)で行い、フレームメモリ20を1系統にした場合である。この場合でも、フレームメモリ20は、リアルタイムに読み出し/書き込みを常に行う必要があるが、読み/書きのタイミングは、どちらもビデオ走査側のタイミングであるため、2面RAMやデュアルポートSRAMを使わなくても、読み/書きをセクタ21と制御器18で時分割制御することで実現できる。

【0008】時分割の場合、フレームメモリ20に使用するRAMのサイクルタイムより、書き込み/読み出しのサイクルが速ければ、書き込み側でシリアル/パラレル変換17を、読み出し側でパラレル/シリアル変換19をする必要がある。以上より、容量の大きいフレームメモリ20を1系統にして、容量の小さいラインメモリをAとBの2系統にしてあるため、図3の第1の例や、図4の第2の例の場合よりコストは安くなる。

【0009】図6は従来の第4の回路構成例図である。この例は、図5の第3の例の2つのラインメモリA、Bを、2面RAMからデュアルポートSRAM25にした場合であり、図5の第3の例より回路規模は小さく簡単である。

## 【0010】

【発明が解決しようとする課題】しかし、上記の図3に示した第1の従来回路構成では、フレームメモリという大容量メモリを2系統必要とするため、コストが高く、回路規模が大きいという欠点があり、アドレスおよびデータの2つのセクタ13、14による切り換えのための周辺回路が必要となり、回路規模が大きくなり複雑になるという欠点がある。

【0011】また、図4の第2の従来例では、上記の周辺回路が不要になるため、回路規模は小さく簡単になるが、デュアルポートSRAM24自身は、SRAM×2系統に比較し、2倍以上の単価であるため、コストが高くなるという欠点がある。

【0012】また、図5の第3の従来例では、図3の第1の例や図4の第2の例の場合よりコストは安くなるが、時分割制御などの周辺回路のため回路規模が大きく複雑になるという欠点がある。

【0013】さらに、図6の第4の従来例では、図5の第3の例の場合より回路規模は小さく簡単であるが、コストはやや高くなるという欠点がある。

【0014】また図3～図6のように、フレームメモリをSRAM/デュアルポートSRAMにした場合、ビデオ側出力は4ビット/8ビット/16ビット単位であるので、縮小表示のために、フレームメモリ内のデータを間引きして表示する場合、 $1/2^n$  縮小以外の場合は、回路が複雑になってしまうという問題があった。

【0015】フレームメモリとして、マルチポートビデオRAMを用いた場合、コストが安くなり、また、 $1/2^n$  縮小以外の回路も簡単になるが、リフレッシュ/リード転送サイクルが必要なため、音響走査側のデータが高速な場合は、実現が困難か、回路がかなり複雑になっていた。

【0016】本発明の目的は、フレームメモリにマルチポートビデオRAMを使用する場合に、従来問題となっていたリフレッシュ/リード転送サイクルの挿入と高速書き込みの両立ができないという問題を解決し、 $1/2^n$  以外の縮小表示も可能な、簡単で、かつ、コストの安い超音波診断装置のデジタルスキャン・コンバータを提供することにある。

【0017】

【課題を解決するための手段】本発明の超音波診断装置のデジタルスキャン・コンバータは、生体内から反射してくる超音波のエコー信号を音響走査クロックに従ってデジタル変換するA/D変換器と、該A/D変換器の出力をフレーム単位に音響走査側のタイミングで書き込むと同時に非同期のビデオ走査側のタイミングによってフレーム単位に読み出すフレームメモリと、該フレームメモリから読み出した出力をアナログ変換して表示用ブラウン管に入力するD/A変換器とを備え、時間軸上の前記入力エコー信号を表示用ブラウン管上に2次元像として表示させるための超音波診断装置のデジタルスキャン・コンバータにおいて、前記フレームメモリは、マルチポートビデオRAMで構成され、前記A/D変換器と前記マルチポートビデオRAMとの間に、該A/D変換器からの出力データ16個分を1つのサイクルとし、該1つのサイクルを2分割した前半をデータ書き込みサイクルとし後半をリード転送/リフレッシュサイクルとするFIFOメモリを設け、高速の受信エコー信号を表示することができるように構成されたことを特徴とするものである。

【0018】

【発明の実施の形態】図1は本発明の実施例を示すブロック図である。この構成は、FIFOメモリ2を介さ

せ、フレームメモリとしてマルチポートビデオRAM3を用いている点が要部である。図において、1はA/D変換器、2はFIFO(ファイブ)メモリ、3はフレームメモリ(マルチポートVRAM)、4はFIFOメモリ/VRAM制御信号発生部、5は音響走査用アドレス発生部、6はリード転送要求検出器、7はリード転送アドレス発生部、8はセレクタ、9はビデオ走査用クロック発生部、10はD/A変換器である。

【0019】フレームメモリ3として、マルチポートビデオRAMを使用し、A/Dコンバータ1とフレームメモリ3の間にFIFOメモリ2を介させる。A/Dコンバータ1からのデータ16個分を1つのサイクルとし、その1サイクルを2分割する。1サイクルの初めはデータ書き込みサイクルとし、終わりの方はリード転送/リフレッシュサイクルとする。

【0020】データ書き込みは、高速ページモードを使い、高速ページライトサイクルは、A/Dコンバータ1のサンプリングサイクルより速くすることが可能で、その速度の違いを、FIFOメモリ2で吸収する。

【0021】リード転送要求検出器6により、リード転送要求があった場合、リード転送1リフレッシュサイクルではリード転送サイクルを行い、リード転送要求がなかった場合、リフレッシュサイクルを行う。これらのサイクルを、マルチポートビデオRAM3に指示するための各種制御信号は、FIFOメモリ/VRAM制御信号発生部4で作出すが、各種サイクルにより、制御信号の出し方が細かく違うため、この作成には、PLDを用いることにより、自由度の高い複雑な機能を簡単な回路構成で実現している。

【0022】マルチポートビデオRAM3の書き込み側はRAMで、読み出し側はシリアルアクセスメモリ(以下SAM)で構成されており、上記のように、RAMからSAMへのリード転送が、データ書き込みと両立して正しく行われていれば、SAMからの読み出しは、RAMとは全く独立に行うことができる。

【0023】図2は本発明の動作タイミングチャートであり、表示画面を縮小するときの間引き動作説明図である。上側(A)は標準画面表示時のタイムチャートであり、下側(B)は2/3縮小画面表示時のタイムチャートである。

【0024】図1に示した本発明の実施例におけるマルチポートビデオRAM3の読み出し側は、SAMを用いているため、例えば、2/3縮小表示時は、図2(B)のように、間引き用に、3/2倍のクロックをSAMに与えるだけで簡単に $1/2^n$ 以外の縮小表示を実現することができる。

【0025】

【発明の効果】本発明を実施することにより、フレームメモリとして、マルチポートビデオRAMを使うことができるため、マルチポートビデオRAMのRAM部分は

DRAMで構成されており、DRAMとほとんど同じ単価となるため、価格はSRAMの1/4となる。

【0026】さらに、マルチポートビデオRAM3を使うことで、2面RAMやデュアルポートSRAMを使う必要がなくなるが、デュアルポートSRAMと比較すると価格は1/16となる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】本発明での縮小画面時の間引き動作を説明するタイミングチャートである。

【図3】フレームメモリを2面RAM構成にした従来の第1の例を示すブロック図である。

【図4】フレームメモリにデュアルポートSRAMを用いた従来の第2の例を示すブロック図である。

【図5】ラインメモリ(2面RAM構成)を仲介した従来の第3の例を示すブロック図である。

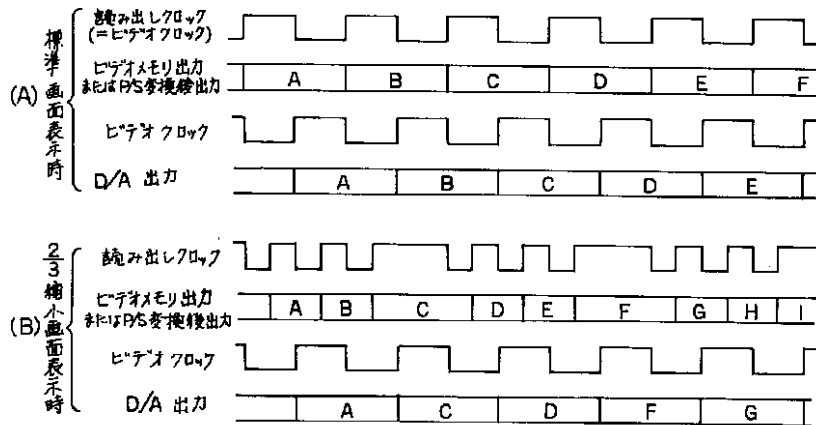
【図6】ラインメモリ(デュアルポートSRAM)を仲介した従来の第4の例を示すブロック図である。

【符号の説明】

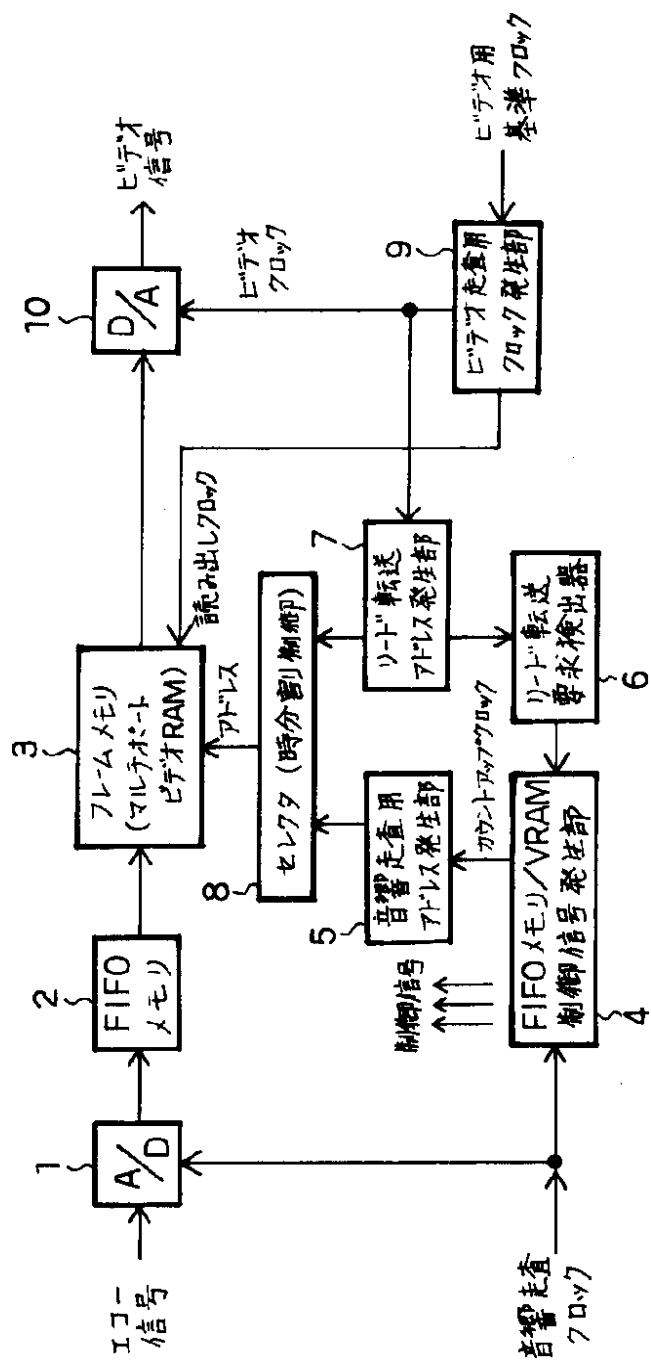
- 1 A/D変換器
- 2 FIFOメモリ
- 3 フレームメモリ(マルチポートVRAM)
- 4 FIFOメモリ/VRAM制御信号発生部

- \*5 音響走査用アドレス発生部
- 6 リード転送要求検出器
- 7 リード転送アドレス発生部
- 8 セレクタ
- 9 ビデオ走査用クロック発生部
- 10 10 D/A変換器
- 11, 12 フレームメモリ
- 13, 14 セレクタ
- 15 音響走査用アドレス発生部
- 16 ビデオ走査用アドレス発生部
- 17 シリアル/パラレル変換器
- 18 時分割制御器
- 19 パラレル/シリアル変換器
- 20 20 フレームメモリ
- 21 セレクタ
- 22 音響走査用アドレス発生部(ビデオ走査系タイミング)
- 23 ビデオ走査用アドレス発生部(ビデオ走査系タイミング)
- 24 フレームメモリ(デュアルポートSRAM)
- 25 ラインメモリ(デュアルポートSRAM)
- 26, 27 ラインメモリ

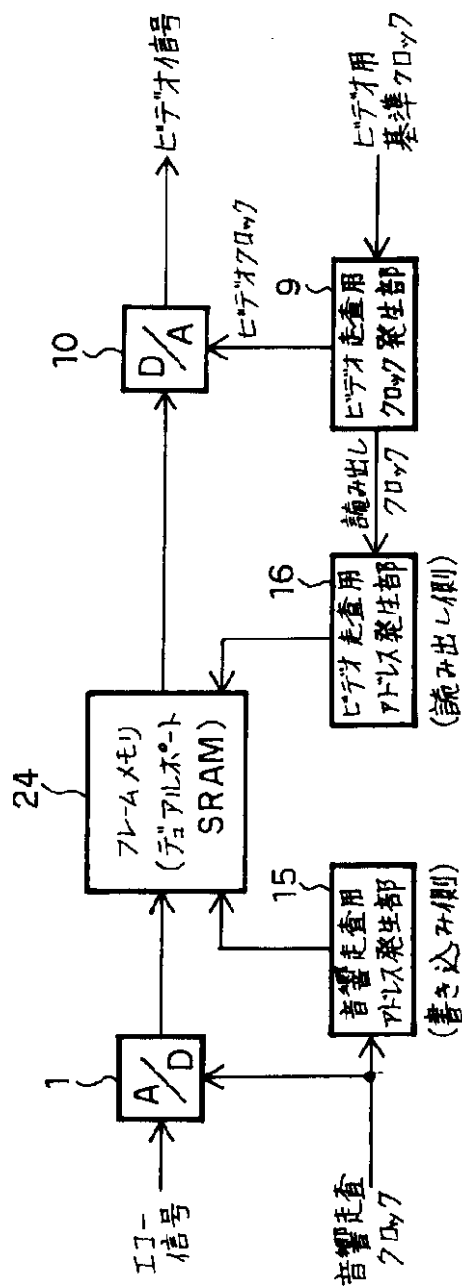
【図2】



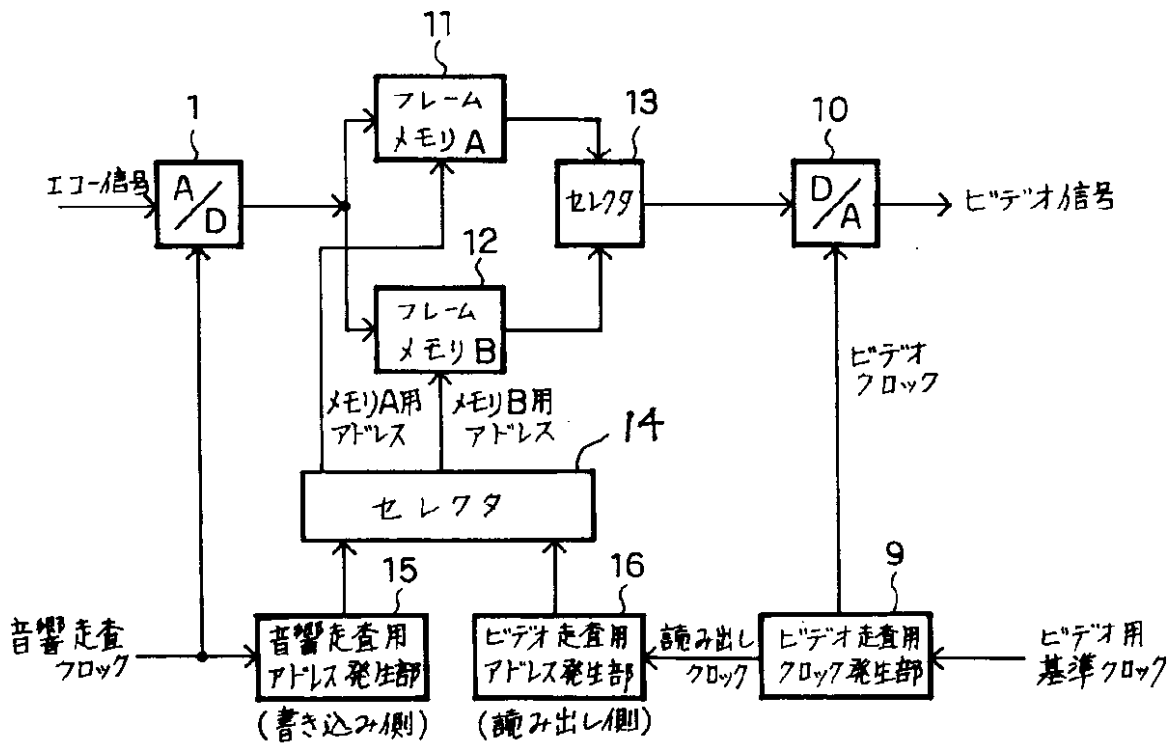
【図1】



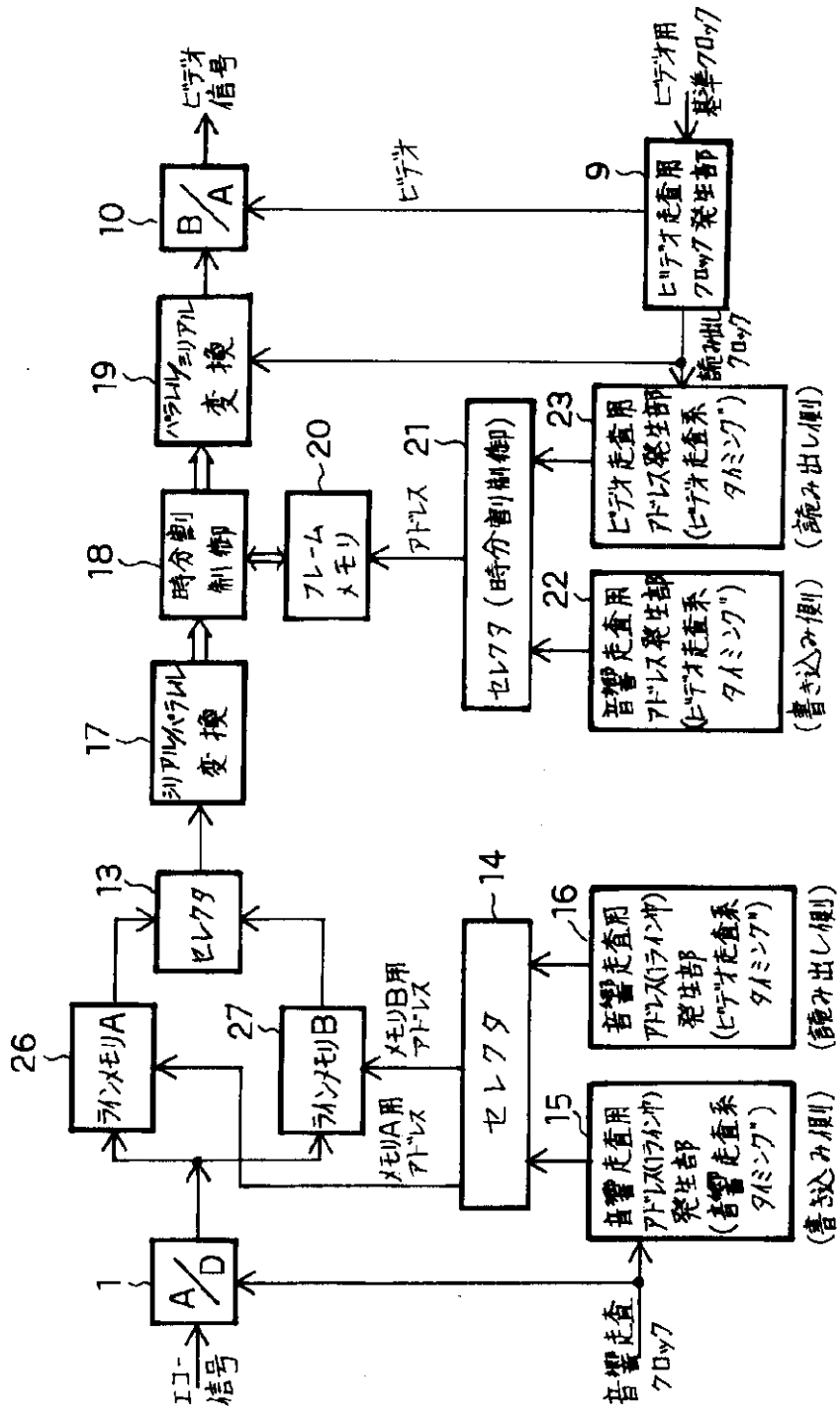
【図4】



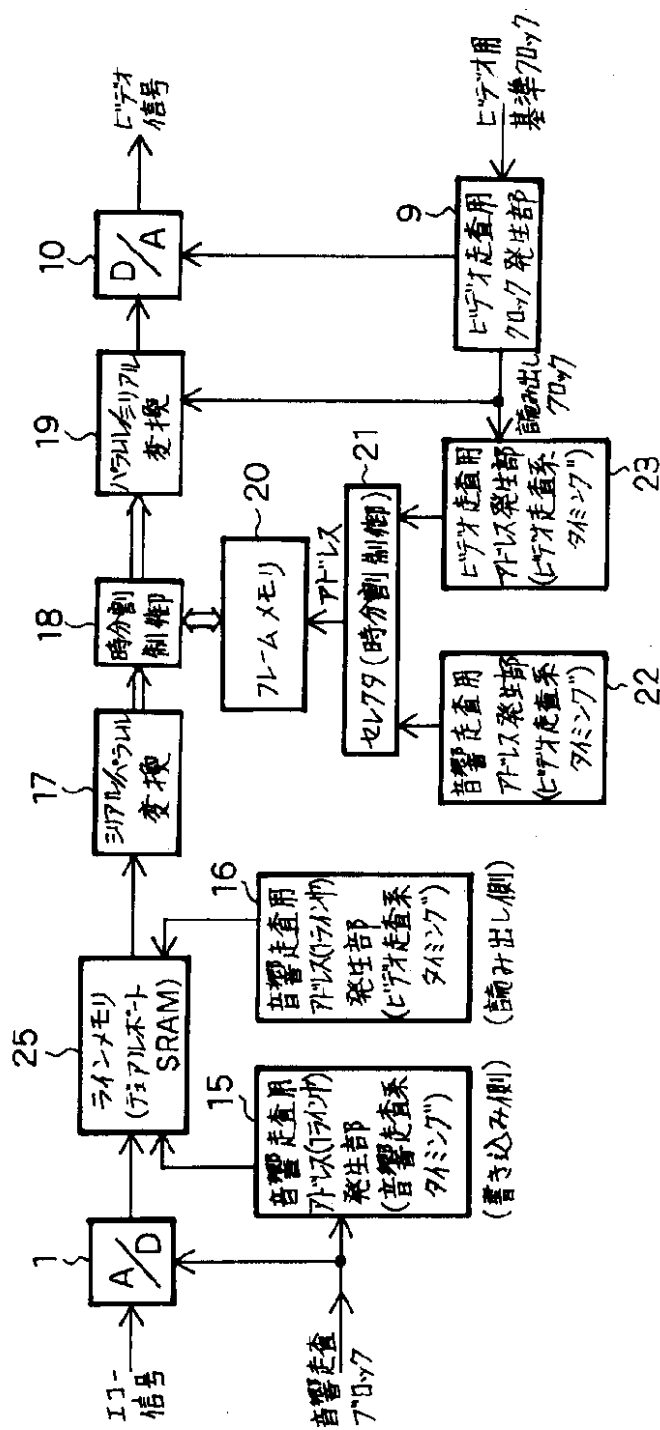
【図3】



【図5】



【図6】



## フロントページの続き

Fターム(参考) 4C301 AA02 EE15 EE17 HH01 JB03  
JB04 LL02 LL04  
5B057 AA07 BA05 CA08 CA12 CB08  
CB12 CH11 DA16 DB02 DB09  
5C054 AA07 CA08 EB05 EB07 GA04  
GD09 HA12

专利名称(译)	超声诊断设备的数字扫描转换器		
公开(公告)号	<a href="#">JP2001327493A</a>	公开(公告)日	2001-11-27
申请号	JP2000151684	申请日	2000-05-23
[标]申请(专利权)人(译)	国际电气ENJINIARINGU		
申请(专利权)人(译)	国际电气工程公司		
[标]发明人	佐藤隆		
发明人	佐藤 隆		
IPC分类号	A61B8/00 G06T1/00 H04N7/18		
FI分类号	A61B8/00 G06T1/00.290.D H04N7/18.Q G06T7/00.612		
F-TERM分类号	4C301/AA02 4C301/EE15 4C301/EE17 4C301/HH01 4C301/JB03 4C301/JB04 4C301/LL02 4C301/LL04 5B057/AA07 5B057/BA05 5B057/CA08 5B057/CA12 5B057/CB08 5B057/CB12 5B057/CH11 5B057/DA16 5B057/DB02 5B057/DB09 5C054/AA07 5C054/CA08 5C054/EB05 5C054/EB07 5C054/GA04 5C054/GD09 5C054/HA12 4C601/EE12 4C601/EE14 4C601/HH04 4C601/JB19 4C601/JB55 4C601/LL01 4C601/LL02 4C601/LL07		
代理人(译)	大冢学问		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

降低超声诊断设备的数字扫描转换器的成本。 解决方案：多端口视频RAM用作帧存储器3，并且通过A / D转换器1对输入回波信号进行数字转换而获得的数据被输入到FIFO存储器2。将输出放入多端口视频RAM。16个A / D转换器1的输出数据设置为一个周期，数据在前半部分写入，读取传输/刷新在后半部分执行。

