

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02014/155635

発行日 平成29年2月16日 (2017. 2. 16)

(43) 国際公開日 平成26年10月2日 (2014. 10. 2)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 27/00 (2006.01)	G 1 1 C 27/00 1 0 2 A	4 C 6 0 1
G 1 1 C 27/02 (2006.01)	G 1 1 C 27/02 6 0 1 Z	
A 6 1 B 8/14 (2006.01)	A 6 1 B 8/14	

審査請求 有 予備審査請求 未請求 (全 24 頁)

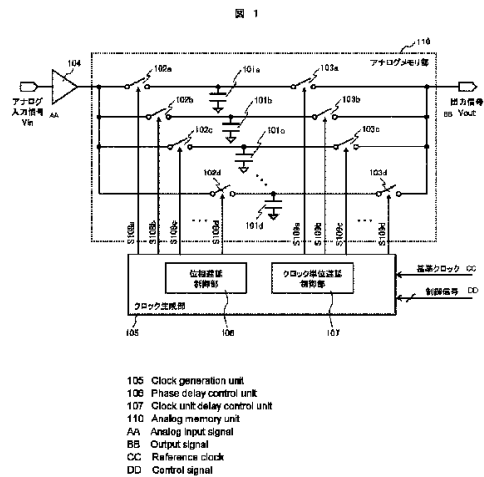
出願番号 特願2015-507825 (P2015-507825)	(71) 出願人 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(21) 国際出願番号 PCT/JP2013/059412	(74) 代理人 110000350 ポレール特許業務法人
(22) 国際出願日 平成25年3月28日 (2013. 3. 28)	(72) 発明者 中川 樹生 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(11) 特許番号 特許第6043867号 (P6043867)	Fターム(参考) 4C601 BB06 EE09 EE15 JB05 JB06 JB09
(45) 特許公報発行日 平成28年12月14日 (2016. 12. 14)	

最終頁に続く

(54) 【発明の名称】 超音波撮像装置

(57) 【要約】

遅延時間の精度が高く、最大遅延時間が長く、かつ低消費電力な遅延回路および超音波撮像装置を提供する。アナログ入力信号が入力される入力線と、複数のアナログ信号メモリ素子と、出力線と、前記入力線と前記複数のアナログ信号メモリ素子との接続/非接続を制御する複数のサンプリングスイッチと、前記複数のアナログ信号メモリ素子と前記出力線との接続/非接続を制御する複数の出力スイッチと、前記サンプリングスイッチを制御するサンプリングスイッチ制御信号と、前記出力スイッチを制御する出力スイッチ制御信号を生成するクロック生成部と、を備え、前記サンプリングスイッチ制御信号の位相を、前記出力スイッチ制御信号の位相に対してずらすことができるように構成した。



【特許請求の範囲】**【請求項 1】**

アナログ入力信号が入力される入力線と、
複数のアナログ信号メモリ素子と、
アナログ出力信号が出力される出力線と、
前記入力線と前記複数のアナログ信号メモリ素子との接続 / 非接続を制御する複数のサンプリングスイッチと、
前記複数のアナログ信号メモリ素子と前記出力線との接続 / 非接続を制御する複数の出力スイッチと、
前記複数のサンプリングスイッチをそれぞれ制御するサンプリングスイッチ制御信号と、
前記複数の出力スイッチをそれぞれ制御する出力スイッチ制御信号とを、基準クロックから生成するクロック生成部と、を備え、
前記複数のサンプリングスイッチを制御して、前記アナログ入力信号を前記複数のアナログ信号メモリ素子に蓄積し、前記複数の出力スイッチを制御して、前記アナログ信号メモリ素子に蓄積された信号を前記出力線に出力することにより、信号を遅延する遅延回路であって、
前記複数のサンプリングスイッチ制御信号の位相を、前記複数の出力スイッチ制御信号の位相に対してずらすことができるように構成したことを特徴とする遅延回路。

10

【請求項 2】

請求項 1 に記載の遅延回路において、
前記クロック生成部は、クロック周期単位の遅延を設定するクロック単位遅延制御部とクロックの位相をずらした位相遅延を設定する位相遅延制御部を備え、
前記出力スイッチ制御信号と前記サンプリングスイッチ制御信号との遅延時間が、前記基準クロックの位相をずらした位相遅延と、前記基準クロックの周期の整数倍のクロック周期単位の遅延の合計であることを特徴とする遅延回路。

20

【請求項 3】

請求項 1 に記載の遅延回路において、
前記基準クロックの位相と、前記出力スイッチ制御信号の位相との関係が固定値であることを特徴とする遅延回路。

30

【請求項 4】

請求項 1 に記載の遅延回路において、
前記クロック生成部は、直列に接続された複数のバッファ回路と、
前記複数のバッファ回路の各々の出力からひとつの信号を選択する第 1 のセレクタと、
を備え、
前記バッファ回路により前記基準クロックの位相に対して複数の異なる位相の信号を生成し、
前記第 1 のセレクタで前記複数の異なる位相の信号のうちひとつの位相の位相遅延信号を選択し、
前記位相遅延信号に基づいて、前記サンプリングスイッチ制御信号を生成することを特徴とする遅延回路。

40

【請求項 5】

請求項 4 に記載の遅延回路において、
さらに、直列に接続された第 1 の複数のディレイ素子を備え、
前記第 1 の複数のディレイ素子に入力するクロックとして前記位相遅延信号を用い、
前記第 1 の複数のディレイ素子の出力信号を前記複数のサンプリングスイッチ制御信号に用いることを特徴とする遅延回路。

【請求項 6】

請求項 4 に記載の遅延回路において、
さらに、2 つの信号の位相を比較する位相比較器と、
前記位相比較器の出力に基づいて制御電圧を生成する制御電圧生成部と、を備え、

50

前記複数のバッファ回路に入力される信号が前記基準クロックであり、
前記複数のバッファ回路の最終段の出力信号と、前記基準クロックの位相を前記位相比較器で比較し、

前記制御電圧生成部の出力である前記制御電圧に基づいて前記複数のバッファ回路の遅延時間を制御することを特徴とする遅延回路。

【請求項 7】

請求項 6 に記載の遅延回路において、

さらに、前記制御電圧を保持する制御電圧保持部を備え、

前記位相比較器と前期制御電圧生成部とを動作させた後、前記制御電圧保持部に前記制御電圧を保持し、

前記位相比較器と前期制御電圧生成部を低消費電力な状態に遷移させることを特徴とする遅延回路。

【請求項 8】

請求項 4 に記載の遅延回路において、

さらに、基準クロックを分周してパルス生成するパルス生成部と、

直列に接続された第 2 の複数のディレイ素子と、

前記第 2 の複数のディレイ素子の出力のうちの一つを選択する第 2 のセクタと、を備え、

前記第 2 の複数のディレイ素子で、所定のクロック周期ずつ遅延した信号を生成し、

前記第 2 のセクタで選択した信号を前記バッファ回路の入力としたことを特徴とする遅延回路。

【請求項 9】

請求項 4 に記載の遅延回路において、さらに、

基準クロックを分周してパルス生成するパルス生成部と、

前記基準クロックと前記パルス生成部の出力とを入力し、所定のクロック周期ずつ遅延した信号を生成する、直列に接続された第 2 の複数のフリップフロップ回路と、

前記第 2 の複数のフリップフロップ回路の出力のうちの一つを選択する第 2 のセクタと、

直列に接続された第 1 の複数のフリップフロップ回路を備え、

前記位相遅延信号と前記第 2 のセクタの出力とを前記第 1 の複数のフリップフロップ回路の入力とし、前記第 1 の複数のフリップフロップ回路の出力信号を前記複数のサンプリングスイッチ制御信号に用いることを特徴とする遅延回路。

【請求項 10】

請求項 1 に記載の遅延回路において、

前記アナログ信号メモリ素子が、容量であることを特徴とする遅延回路。

【請求項 11】

アナログ入力信号が入力される複数の入力線と、

前記複数の入力線に夫々接続されるアナログ信号受信回路と、

前記夫々のアナログ信号受信回路から出力される複数の出力線と、

クロック生成部と、を備え、

前記夫々のアナログ信号受信回路は、

複数のアナログ信号メモリ素子と、

前記入力線と前記複数のアナログ信号メモリ素子との接続 / 非接続を制御する複数のサンプリングスイッチと、

前記出力線と前記複数のアナログ信号メモリ素子との接続 / 非接続を制御する複数の出力スイッチと、を備え、

前記クロック生成部は、基準クロックに基づいて、前記夫々のアナログ信号受信回路の、前記複数のサンプリングスイッチをそれぞれ制御するサンプリングスイッチ制御信号と、前記複数の出力スイッチをそれぞれ制御する出力スイッチ制御信号とを生成し、

前記出力スイッチ制御信号と前記サンプリングスイッチ制御信号との遅延時間が、前記

10

20

30

40

50

基準クロックの位相をずらした位相遅延と、前記基準クロックの周期の整数倍のクロック周期単位の遅延の合計であり、

前記出力スイッチ制御信号の位相と、前記基準クロックの位相との関係が固定値であり、

前記夫々のアナログ信号受信回路の出力信号が前記基準クロックと同期して出力されることを特徴とする電子回路。

【請求項 1 2】

請求項 1 1 に記載の電子回路において、

さらに、前記複数の出力線の信号を加算する加算回路を備え、

前記加算回路にて前記複数の出力線の信号を同期させて加算することを特徴とする電子回路。

10

【請求項 1 3】

請求項 1 2 に記載の電子回路において、

さらに、前記基準クロックの周波数の信号を除去するフィルタを備え、

前記複数の出力線に前記フィルタが接続され、

前記アナログ信号受信回路の出力信号をフィルタリングすることを特徴とする電子回路。

【請求項 1 4】

請求項 1 2 に記載の電子回路において、

さらに、アナログ信号をデジタル信号に変換するアナログ/デジタル変換器を備え、

前記加算回路の出力を前記アナログ/デジタル変換器に入力し、

前記アナログ/デジタル変換器でアナログ信号をデジタル信号に変換するタイミングを、前記基準クロックから生成することを特徴とする電子回路。

20

【請求項 1 5】

超音波信号を送信し受信する複数の超音波トランスデューサと、

前記複数の超音波トランスデューサのそれぞれの受信信号が入力される複数の入力線と

前記複数の入力線に夫々接続されるアナログ信号受信回路と、

前記夫々のアナログ信号受信回路から出力される複数の出力線と、

前記複数の出力線の信号を加算する加算回路と、

30

クロック生成部と、を備え、

前記夫々のアナログ信号受信回路は、

複数のアナログ信号メモリ素子と、

前記入力線と前記複数のアナログ信号メモリ素子との接続/非接続を制御する複数のサンプリングスイッチと、

前記複数のアナログ信号メモリ素子と前記出力線との接続/非接続を制御する複数の出力スイッチと、を備え、

前記クロック生成部は、基準クロックに基づいて、前記夫々のアナログ信号受信回路の

前記複数のサンプリングスイッチをそれぞれ制御するサンプリングスイッチ制御信号と

前記複数の出力スイッチをそれぞれ制御する出力スイッチ制御信号とを生成し、

40

前記出力スイッチ制御信号と前記サンプリングスイッチ制御信号との遅延時間が、前記基準クロックの位相をずらした位相遅延と、前記基準クロックの周期の整数倍のクロック周期単位の遅延の合計であり、

前記出力スイッチ制御信号の位相と、前記基準クロックの位相との関係が固定値であり、

前記夫々のアナログ信号受信回路の出力信号が前記基準クロックと同期して出力され、

前記加算回路にて前記複数の出力線の信号を同期させて加算する超音波撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、遅延回路、それを用いた電子回路および超音波撮像装置に関し、特にアナログ信号に対し微小な遅延を生成する遅延回路、それを用いた電子回路、および該電子回路を搭載した超音波撮像装置に関する。

【背景技術】

【0002】

超音波撮像装置は、X線診断装置、MRI (Magnetic Resonance Imaging) 装置などの他の医用画像診断装置に比べ、装置規模が小さく、また、超音波プローブを体表から当てるだけの簡便な操作により、例えば、心臓の脈動や胎児の動きといった検査対象の動きの様子をリアルタイムで表示可能な装置であることから、今日の医療において重要な役割を果たしている。

10

【0003】

具体的には、超音波撮像装置は、超音波プローブに内蔵されている複数の振動素子それぞれに駆動信号を供給することで超音波を被検体内に送信する。そして、超音波撮像装置は、生体組織の音響インピーダンスの差異によって生ずる超音波の反射波を複数の振動素子それぞれにて受信し、超音波プローブが受信した反射波に基づいて、超音波画像を生成する。

【0004】

ここで、超音波撮像装置においては、超音波画像の画質向上のために、複数の振動素子に供給する駆動信号や複数の振動素子それぞれから得られる反射波信号に対して、遅延時間の制御が行われている。

20

【0005】

具体的には、超音波撮像装置は、被検体内の所定の焦点と各振動素子との距離に応じた遅延時間により、各振動素子に供給する駆動信号のタイミングを制御することで、被検体の所定の焦点にビームフォームした超音波を送信する。そして、超音波撮像装置は、被検体内の所定の焦点と各振動素子との距離に応じた遅延時間により、各振動素子において時間的に異なって受信された所定の焦点からの信号をそれぞれの時間を合わせて加算（整相加算）する。これにより、超音波撮像装置は、焦点のあった1本の受信信号を生成する。

【0006】

このように、所定の焦点からの信号のそれぞれを合わせるため、アナログ、あるいは、デジタルの遅延回路が必要とされている。例えば、特許文献1には、サンプルホールド手段と複数のコンデンサメモリ回路を直列接続し、サンプリング周波数は一定として、コンデンサメモリ回路ではサンプリング周期ごとの遅延を行い、サンプリング周期以下の短い遅延はサンプルホールド手段のホールド時間を制御することにより遅延させる構成が開示されている。また、特許文献2には、受信遅延時間制御をデジタル処理により行なう、回路の規模および製造コストを低減する超音波診断装置が開示されている。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭62-123819号公報

【特許文献2】特開2011-250946号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

二次元の断層画像でなく、三次元の立体画像を得るために、振動子（トランスデューサ）を二次元アレイ状に並べる二次元探触子においては、数千から一万チャンネルの振動子を用いる。このような二次元探触子では、全ての振動子を本体装置に接続する事は、ケーブルの本数の制約などから現実的ではなく、探触子ヘッド内においてチャンネル数を減らす処理が必要となる。従って、アナログ信号を遅延させて、加算する電子回路が必要となる。

【0009】

50

また、一次元探触子においても、アナログ信号を遅延させて加算することによりケーブル本数や、アナログ/デジタル変換器の数を減らすことができ、低コスト化、小型化が可能となる。このため、アナログ信号を遅延させて加算する電子回路が求められる。

【0010】

探触子ヘッド内にアナログ信号を遅延させる回路を搭載する場合、その回路を低消費電力にする必要がある。これは探触子ヘッドでの発熱による温度上昇を抑える必要があるためである。また、受信ビームの焦点を各振動子で精度よく合わせるためには、信号を遅延させる遅延時間の分解能の高分解能化が求められる。さらに、最大遅延時間が長いことが求められる。

【0011】

従来のアナログサンプリングによる遅延回路は、複数の容量を並列に接続し、その容量に順番に信号をサンプリングし、所定の遅延時間の後に順番に容量から信号を読み出す方法があった。しかし、このような回路の遅延分解能はサンプリングを行うクロックの周波数で決まり、高分解能化しようとするクロックの周波数を上げる必要があるため、消費電力が増大するという課題があった。また、最大遅延時間はクロックの周波数と並列接続された容量の数で決まるため、高分解能化と最大遅延時間がトレードオフの関係にあり、両方を満たすためには非常に多くの容量を並列接続する必要があった。

【0012】

特許文献1に記載のように、微小な遅延を生成する回路と粗い遅延を生成する回路を直列に接続することにより、分解能が高く、最大の遅延時間が長い遅延回路を作ることができる。しかしながら、回路を多段に接続すると、それぞれの回路の消費電力が加算されるため、全体としての消費電力が大きくなってしまふ。

【0013】

また、微小な遅延をサンプルホールド手段のホールド時間を制御することにより生成するため、ホールド時間が遅延時間により変わることとなり、アナログ信号の特性に劣化が生じる。これは、容量に充電された電荷がリークする量が、ホールド時間により変わることにより起因する。この結果、ホールドされた信号はホールド時間に依存する歪みやオフセットを生じることとなり、回路の特性が劣化する。

【0014】

また、ホールド時間は、後段の回路が信号を受け取るのに十分な時間を取る必要があるため、微小な遅延時間を生成しようとする、ホールド時間が充分に取れなくなり、特性に劣化が生じる。具体的には、例えば、ホールド時の過渡応答が収束せず、リングングが生じる。このリングングは後段の回路がサンプリングする際に誤差要因となりえる。これを回避するためには、結局回路の動作周波数を上げることとなり、消費電力が増大するという課題があった。

【0015】

さらに、超音波撮像装置においては、アナログ信号を遅延させた後に複数の振動子からの信号を加算する必要があるが、この際に複数チャンネル間の同期を取ることに関しては、特許文献1では何ら考慮されていない。

【0016】

以上を踏まえ、本発明は、高分解能であり、最大遅延時間が長く、かつ、低消費電力な遅延回路およびそれを用いた超音波撮像装置を提供することを目的とする。

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0018】

上記課題を解決するために、本発明は請求の範囲に記載の構成を採用する。

本願は上記課題を解決する手段を複数含んでいるが、その一例を挙げるならば、アナログ入力信号が入力される入力線と、複数のアナログ信号メモリ素子と、アナログ出力信号

10

20

30

40

50

が出力される出力線と、前記入力線と前記複数のアナログ信号メモリ素子との接続／非接続を制御する複数のサンプリングスイッチと、前記複数のアナログ信号メモリ素子と前記出力線との接続／非接続を制御する複数の出力スイッチと、前記複数のサンプリングスイッチをそれぞれ制御するサンプリングスイッチ制御信号と、前記複数の出力スイッチをそれぞれ制御する出力スイッチ制御信号とを、基準クロックから生成するクロック生成部と、を備え、前記複数のサンプリングスイッチを制御して、前記アナログ入力信号を前記複数のアナログ信号メモリ素子に蓄積し、前記複数の出力スイッチを制御して、前記アナログ信号メモリ素子に蓄積された信号を前記出力線に出力することにより、信号を遅延する遅延回路であって、前記複数のサンプリングスイッチ制御信号の位相を、前記複数の出力スイッチ制御信号の位相に対してずらすことができるように構成したことを特徴とする遅延回路である。

10

【発明の効果】

【0019】

本発明によれば、遅延時間の精度が高く、最大遅延時間が長く、かつ低消費電力な遅延回路およびそれを用いた超音波撮像装置を提供することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の実施例1に係る遅延回路の構成図である。

【図2】本発明の実施例1に係る遅延回路の動作を説明するタイミングチャートである。

【図3A】本発明の実施例1に係るクロック生成部の構成図である。

20

【図3B】クロック生成部の内部信号のタイミング図である。

【図4】本発明の実施例2に係る超音波撮像装置に用いられる電子回路の構成図である。

【図5】本発明の実施例3に係るクロック生成部の構成図である。

【図6】本発明の実施例3に係るDLL回路の構成図である。

【図7】本発明の実施例3に係るDLL回路を動作させるシーケンス図である。

【図8】本発明の実施例4に係るアナログメモリ部の構成図である。

【図9A】本発明の実施例4に係るアナログメモリ部のサンプル時の等価回路である。

【図9B】本発明の実施例4に係るアナログメモリ部のホールド時の等価回路である。

【図9C】本発明の実施例4に係るアナログメモリ部のリセット時の等価回路である。

【図10】本発明の実施例5に係る超音波撮像装置の構成図である。

30

【発明を実施するための形態】

【0021】

本発明を実施するための形態を、図面に基づいて説明する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の名称、符号を付して、その繰り返しの説明を省略する。

【実施例1】

【0022】

本発明の実施例1に係る遅延回路について、図1乃至図3を用いて説明する。図1は、本発明の実施例1に係る遅延回路の構成図である。容量101a, 101b, 101c, …、スイッチ102a, 102b, 102c, …、スイッチ103a, 103b, 103c, …、バッファ104、クロック生成部105で構成される。クロック生成部105は、位相遅延制御部106、クロック単位遅延制御部107を有する。なお添え字のa, b, c, …は同一の構成要素であることを示し、特に必要のない場合は省略する。

40

【0023】

アナログ入力信号Vinは、バッファ104により増幅、あるいは、インピーダンス変換された後、入力線からスイッチ102を介して容量101に入力され、アナログ信号Vinに対応する電荷が蓄積される。容量101に蓄積された電荷は、スイッチ103を介して出力信号Voutとして出力線から出力される。容量101に信号を充電するタイミングは、スイッチ102により制御され、容量101から信号を出力するタイミングは、

50

スイッチ103により制御される。これらのスイッチを制御するクロックはクロック生成部105で生成される。本実施例の遅延生成回路では、複数個の容量が並列に接続されており、アナログ入力信号 V_{in} をサンプリングして容量に順に格納していき、格納した信号を所定の時間の後に順に出力していく動作を行う。

【0024】

図2は、本発明の実施例1に係る遅延生成回路の動作を説明するタイミングチャートである。スイッチ102aは、クロック信号 S_{108a} により制御される。ここで、クロック信号 S_{108} がハイレベルの場合にスイッチ102がオンとなることを示すが、この極性に限定されるものではない。スイッチ102aがオンの時に容量101aにアナログ入力信号に対応する電荷が蓄積される。スイッチ102aがオンからオフに変わったタイミングでのアナログ入力信号の値が容量101aに蓄積される(201a)。容量101aに蓄積された電荷は、スイッチ103aがオンの状態で出力信号に出力される(202a)。スイッチ103aのオン/オフのタイミングはクロック信号 S_{109a} で制御される。すなわち、クロック信号 S_{108a} で容量101aにサンプリングされた信号が、クロック信号 S_{109a} のオンのタイミングで出力信号に出力される。

10

【0025】

他の並列に並べられている容量101b, 101c, ...にも同様に、それぞれクロック信号 S_{108b} , S_{108c} , ...のタイミングでアナログ入力信号 V_{in} に対応する電荷が蓄積され、クロック信号 S_{109b} , S_{109c} , ...のオンのタイミングで蓄積された電荷に対応する信号が出力される。

20

【0026】

このように、クロック信号 S_{108} でサンプリングされた信号が、クロック信号 S_{109} で出力されるため、アナログ入力信号 V_{in} と比較し、出力信号 V_{out} には、クロック信号 S_{108} とクロック信号 S_{109} の遅延時間分、遅延された信号が出力される。

【0027】

クロック信号 S_{108} とクロック信号 S_{109} との遅延時間は、クロック生成部105の位相遅延制御部106、および、クロック単位遅延制御部107で制御する。クロック単位遅延制御部では、基準クロックのクロック周期 T_{clk} を1単位とし、その整数倍の遅延時間を制御する。すなわち、クロックによる遅延時間 $T_{dc} = M \cdot T_{clk}$ の遅延時間を生成する。ここでMは整数である。

30

【0028】

また、位相遅延制御部106では、クロック周期 T_{clk} 未満の微小な遅延時間 T_{dp} を生成する。微小遅延 T_{dp} は、クロック信号の位相を制御することで生成する。従って、合計の遅延時間 $T_d = T_{dp} + T_{dc} = T_{dp} + M \cdot T_{clk}$ となる。この遅延時間の分解能は位相遅延 T_{dp} を制御可能な分解能で決定される。例えば、クロック周期に対し8分割した位相のクロックを生成、制御したとすれば、クロック周期の $1/8$ 、すなわち $T_{clk}/8$ の時間分解能が得られることになる。また、最大遅延時間は、クロック周期と並列接続している容量の数により決まる。従って長い遅延時間を精度よく得ることができる。このように位相遅延とクロック単位遅延を組み合わせることにより、遅延時間の高精度化と、長い最大遅延時間を両立することができる。

40

【0029】

遅延時間の分解能を上げる方法として、クロック周期 T_{clk} を短くすることも考えられる。しかしながらクロック周期 T_{clk} を短くすると容量に充放電する周波数が高くなり、消費電力が増大する。また、遅延時間の最大値は、並列化されている容量の数とクロックの周期により決まる。遅延時間の分解能を上げるためクロック周期を短くしつつ、最大遅延時間を確保しようとする、その分容量を多数並列に接続する必要がある。このため面積も増大する。

【0030】

本実施例のように、微小遅延 T_{dp} をクロック信号の位相を制御することで生成する場合、クロックの周波数を上げることなく、遅延時間の分解能を上げることが可能となる。

50

従って、低消費電力で高精度な遅延回路を提供することができる。また、最大遅延時間は容量の並列数とクロックの周期で決まるため、面積の増加も抑制することができる。

【0031】

図3Aは、クロック生成部105の構成の一例である。クロック生成部は、クロック単位遅延制御部107と位相遅延制御部106から成る。クロック単位遅延制御部107は、パルス生成部301、ディレイ素子302a, 302b, …、バッファ303a, 303b, …、セクタ304から構成される。位相遅延制御部106は、バッファ305a, 305b, …、バッファ306a, 306b, …、セクタ307、ディレイ素子308a, 308b, …、バッファ309a, 309b, …から構成される。

10

【0032】

パルス生成部301は、基準クロックを元にし、複数周期に1周期分ハイレベルを出力するパルス信号を生成する。具体的には、例えば、容量101の並列数がN個である場合、基準クロックの周期のN倍の周期でパルス信号を出力する。パルス生成部301で生成されたパルス信号は直列に並べられたディレイ素子302a, 302b, …でクロック周期分ずつ遅延される。遅延された信号はバッファ303a, 303b, …を介してクロック信号S109a, S109b, …としてスイッチ103a, 103b, …の制御に用いられる。

【0033】

また、クロック信号S109a, S109b, …はセクタ304に入力され制御信号に応じて、そのうちの1つのクロック信号が選択される。このセクタ304で選択された信号S310によりクロック単位の遅延が設定される。

20

【0034】

セクタ304で選択された信号S310は、直列に接続されたバッファ305a, 305b, …に入力される。図3Bはクロック生成部105の内部信号のタイミング図である。バッファ305は制御電圧により遅延時間を制御されており、クロックの位相をずらす役割を持つ。バッファは、例えば、入力信号に対して反転した出力信号を出力するインバータを直列に並べた回路として構成する。セクタ304で選択された信号S310はバッファ305に入力され、各バッファ305a, 305b, …には、少しずつ位相がずらされた信号S311a, S311b, …が出力される。少しずつ位相がずらされた信号S311はバッファ306a, 306b, …を介してセクタ307に入力される。

30

【0035】

バッファ305により位相をずらす量は、基準クロックの1周期分以下とすることにより、微小な遅延時間を任意に設定できる。また、このバッファ305の一段分の遅延時間が本実施例の遅延回路により設定可能な遅延時間の分解能となる。

【0036】

セクタ307では、少しずつ位相がずれた信号S311のうち、いずれかを選択する。このセクタ307で選択された信号によりクロック周期以下の遅延時間を生成する。セクタ307の出力信号は直列接続されたディレイ素子308a, 308b, …によりクロック周期分ずつ遅延される。遅延された信号は、バッファ309a, 309b, …を介してクロック信号S108a, S108b, …としてスイッチ102a, 102b, …の制御に用いられる。

40

【0037】

このようにして、基準クロックから生成したクロック信号S109に対し、セクタ304によりクロック単位の遅延時間を選択し、また、セクタ307により位相をずらした信号を選択する。このような回路構成により、高い分解能の遅延時間を、クロックの位相を制御することで生成できる。

【0038】

超音波撮像装置として、例えば、2~8MHzの周波数帯の超音波を用いる場合、その

50

2倍以上の周波数でサンプリングする必要がある。従って、基準クロックの周波数としては、16MHz以上、例えば、20MHzのクロックを用いる。この場合、1周期を8分割した位相を持つクロック信号を生成すると、6.25nsの分解能を持つ遅延回路を提供することができる。

【0039】

本実施例のような構成により、遅延時間を生成する回路の大部分をデジタル回路で実装できる。一般にアナログ回路と比較し、デジタル回路は定常的な電流を消費しないため、低消費電力である。微小な遅延を生成するアナログ回路と、大きな遅延を生成するアナログ回路とを直列に接続した場合、高分解能で最大遅延時間の長い遅延回路を実現することはできるが、各々のアナログ回路で電力を消費するため、直列に接続する段数が増えるだけ消費電力が増大する。本実施例の遅延回路は、高精度かつ最大遅延時間が長い遅延時間をデジタル回路で生成するため、容量に充放電を行うアナログ回路は直列に多段接続する必要がない。従って、本実施例の遅延回路は、アナログ回路を直列に多段接続した場合と比較し、低消費電力化が可能となる。

10

【0040】

なお、本実施例では、基準クロックの周期を1単位として説明したが、これに限るものではない。基準クロックの半分の周期 $T_{clk}/2$ を1単位としてもよい。

【0041】

本実施例のようにクロックの位相を制御して遅延時間を生成する場合、基準クロックの位相に対し、クロック信号S108は最大で1周期分位相がずれることになる。このため、クロック単位の遅延を設定する際には、位相ずれにより1周期分位相がずれることを想定し、設定できない範囲を設けるようにする。すなわち、クロック信号S108の位相がどのような値であっても、クロック信号S108がオンのタイミングと、クロック信号S109がオンのタイミングが重ならないように制御する。これにより最大遅延時間は基準クロックの1周期分短くなるため、これを考慮して容量を並列に並べる数を設定する。

20

【0042】

サンプリングするクロックの位相をずらすだけであれば、例えば、立ち上がりのタイミングは基準クロックと同位相で、立ち下りのタイミングを変える、すなわちデューティ比を変える方法も考えられる。しかしながらデューティ比を変えると、サンプル時にクロックがオンとなる時間が、遅延時間により変わるため、アナログ信号をサンプリングする際のゲインの誤差などが生じる。従って、クロック信号のハイの期間をあまり変えることなく、位相をずらすことが望ましい。

30

【0043】

なお、本実施例ではアナログ信号を記憶する素子として容量を用い、その容量に蓄積される電荷を用いてアナログ信号を記憶する構成として説明したが、これに限るものではない。例えば、MOSなどのトランジスタを用いて電流としてアナログ信号を記憶してもよい。電流としてアナログ信号を記憶する場合は、容量の場合と比較し、消費電力が大きくなる一方、占有面積を削減できるメリットがある。

【実施例2】

【0044】

超音波撮像装置には、実施例1で説明した遅延回路を複数用いる。この場合の実施例について、図4を用いて説明する。図4は、本発明の実施例2の超音波撮像装置に用いられる電子回路の構成図である。1素子回路401a, 401b, …、クロック生成部406、加算回路407で構成される。1素子回路401はトランスデューサ402、送信部403、送受分離部404、受信アナログフロントエンド部(Analog Front End: AFE)405、アナログメモリ部110で構成される。

40

【0045】

送信部403から出力された信号は、送受分離部404を通り、トランスデューサ402に与えられる。トランスデューサ402からは超音波信号が出力される。また、反射してきた超音波信号はトランスデューサ402で受信され、送受分離部404を通り受信A

50

FE部405に入力される。受信AFE部405では、受信した信号を増幅、フィルタリングなどの処理を行う。受信AFE部405の出力は、アナログメモリ部110に入力される。アナログメモリ部110は、例えば図1に示す回路であり、クロック生成部406からのクロック信号に基づき、アナログ入力信号をサンプリングしてメモリに蓄積し、所定の遅延時間の後に出力する。

【0046】

各チャンネルのアナログメモリ部110に与えられる遅延時間は、クロック生成部406で生成されるクロック信号により制御される。アナログメモリ部110の出力用のスイッチ103を制御するクロック信号は、各チャンネル間で同期が取れ、位相が揃ったクロックを用いる。このため、各チャンネル回路401a, 401b, …の出力は位相がそろった信号として加算回路407に入力され、信号が加算される。一方、アナログメモリ部110のサンプリング用のスイッチ102は、微小な遅延時間を生成するため、各チャンネル間で位相がずれた信号となる場合もある。このように、アナログメモリの出力用スイッチを制御するクロックの位相をチャンネル間で揃えることにより、後段の加算回路407に入力される信号は各チャンネルで位相が揃った信号となる。このようにすることで、高精度な遅延時間をクロックの位相を変えて作った場合であっても、出力信号の位相を揃えることが出来、後段の回路動作に位相を制御した影響をなくすることができる。

【0047】

各遅延回路の出力信号に対し、低域通過フィルタを設ける構成としてもよい。例えば、クロック周期の雑音を除去できるフィルタとすると、クロック周期の雑音を落とすことができる。また、加算回路の出力に対して同様の低域通過フィルタを設けてもよい。

【0048】

なお、加算回路では全てのチャンネルの出力を加算する必要はなく、複数ブロックに分けてそれぞれ加算してもよい。例えば、192チャンネルあった場合に、4チャンネルずつ加算し、加算後の出力を48本得る構成でもよい。あるいは、8192チャンネルの2次元アレイの信号を8×8アレイの64チャンネル分ずつ加算し、128本の出力を得るなどでもよい。この信号はプローブから本体にケーブルで接続され、送信される。

【0049】

このように、複数チャンネルの信号を高精度に遅延させ、加算することによりトランスデューサの素子数に対し、出力する信号の数を削減することができる。これにより、ケーブルの本数の削減やアナログ信号をデジタル信号に変換するA/D変換器の数が削減でき低コスト化が可能となる。また、2次元のトランスデューサアレイにおいては全てのチャンネルの信号をプローブから本体に接続するのは非現実的であるが、本実施例のように高精度に遅延させて加算することで現実的なケーブルの本数でプローブと本体とを接続することが可能となる。

【実施例3】

【0050】

本実施例では、クロック生成部の別の構成について説明する。図5は、本発明の実施例3に係るクロック生成部の構成図である。クロック生成部は、多相クロック生成部506、出力クロック生成部507、サンプリングクロック生成部508から構成されている。出力クロック生成部507は、パルス生成部301、フリップフロップ(FF)501a, 501b, …、バッファ303a, 303b, …で構成される。多相クロック生成部506は、バッファ502a, 502b, …、バッファ503a, 503b, …で構成される。サンプリングクロック生成部508は、セレクタ304、セレクタ504、フリップフロップ505a, 505b, …、バッファ309a, 309b, …で構成される。多相クロック生成部506は、基準クロックを基準とし、位相をずらした多相クロックを生成する回路である。出力クロック生成部507は、アナログメモリの出力スイッチを制御するクロック信号S109を生成する回路である。また、サンプリングクロック生成部508は、アナログメモリのサンプリング用のスイッチを制御するクロック信号S108を生成する回路である。

10

20

30

40

50

【0051】

パルス生成部301では、基準クロックの複数周期内で1周期分ハイレベルとなるパルス信号を生成する。FF501では、パルス信号を基準クロック信号に同期してラッチすることにより、1クロックずつ遅延させる。遅延された信号はバッファ303を介してクロック信号S109としてアナログメモリ部の出力用のスイッチ103を制御する。また、クロック信号S109はセクタ304に入力される。

【0052】

多相クロック生成部506では、基準クロックを基準とし、位相をずらした多相クロックを生成する。具体的には基準クロックを多段のバッファ502に入力し、微小時間ずつ位相をずらした信号を生成する。このバッファ502の電源電圧は制御電圧により制御され、バッファによる遅延時間を調整することができる。生成された多相クロックはセクタ504に入力される。

10

【0053】

セクタ504では多相クロックのうち、1つの位相のクロックを選択し出力する(S509)。また、セクタ304では、クロック信号S109のうち、1つのクロック信号が選択され出力される(S510)。セクタ304で選択した信号S510をフリップフロップ505に入力し、セクタ504で選択した位相がずれたクロックS509によって1クロック分ずつ遅延させる。遅延させた信号はバッファ309を介してクロック信号S108としてアナログメモリ部のサンプリング用のスイッチ102を制御する。

【0054】

20

本実施例のクロック生成部は、その一部を複数チャンネル間で共有することができる。具体的には、例えば、出力クロック生成部507は、各チャンネルにおいて同一のクロック信号S109を用いる事ができるため、複数チャンネルで共有することができる。また、多相クロック生成部506は基準クロックから多相クロックを生成する回路であり、各チャンネルの遅延時間に依らず必要な機能であるため、複数チャンネル間で共有可能である。サンプリングクロック生成部506は、セクタ304およびセクタ504にて各チャンネルの遅延時間を設定する。従って、チャンネル間で共有することなく、それぞれのチャンネル毎にサンプリングクロック生成部を有する構成となる。このように、複数チャンネル間で回路を共有することにより、面積や消費電力を削減することができる。

【0055】

30

図6は、本実施例に係る多相クロックを生成する際の制御電圧を決定する回路、Delay Locked Loop (DLL)回路の一例である。バッファ601a, 601b, …、位相比較器602、制御電圧生成部603で構成される。基準クロックは直列に多段接続されたバッファ601により遅延される。バッファの性能、および、段数はおおよそ基準クロックの1周期分遅延するような値に設計しておく。バッファ601の出力と元の基準クロックの位相を位相比較器602で比較する。比較した結果を元に、制御電圧生成部603で制御電圧を生成し、バッファ601の電源電圧を制御し、バッファによる遅延時間を調整する。なお、電源電圧でなく、バイアス電流などを制御してもよい。

【0056】

40

このようにして、位相比較器で基準クロックと遅延されたクロックの位相を比較しバッファによる遅延時間を制御することで、正確な多相クロックを生成することができる。このようにして求められた制御電圧を多相クロック生成部506の制御電圧として用いる。なお、このDLL回路内のバッファ601は、多相クロック生成部506のバッファ502と共通であってもよい。DLL回路内のバッファ601には基準クロックが入力され、制御電圧生成部の出力である制御信号により制御される。また、多相クロック生成部506のバッファ502も同様に基準クロックが入力され、制御電圧により制御される。従って、これらのバッファ601とバッファ502は共通化することができる。具体的な回路構成としては、多相クロック生成部506のバッファ502の出力に位相比較器602、制御電圧生成部603を直列に接続し、制御電圧生成部603の出力をバッファ502の制御電圧として用いる。このようにすることで、回路を共通化でき面積や消費電力の削減

50

が可能となる。

【0057】

図7に、DLL回路を動作させるシーケンスを示す。まず、外部からの制御信号などをトリガとしてDLL回路を起動する(S701)。DLLを動作させた後、位相がロックされる(S702)。位相がロックされた後、その時の制御電圧値を保存する(S703)。制御電圧値を保存した後、DLL回路自体の電源を遮断する(S704)。保存された制御電圧値を用いて多相クロックを生成する(S705)。このように、制御電圧を決定した後にDLL回路の電源を遮断することにより、消費電力を抑えることができる。

【0058】

DLLを起動するタイミングは、超音波撮像装置を起動したタイミング、撮像するモードを変えたタイミング、温度が変化したタイミングなどが考えられる。

10

【実施例4】

【0059】

これまでアナログメモリとして対グラウンドに接地された容量にアナログ信号を蓄積する回路構成を説明したが、これに限るものではない。対グラウンドでなくオペアンプの仮想接地に対して容量を充電する、シングルエンドでなく差動化する、リセット期間を設けるなどの回路構成などが考えられる。また、オープンループの回路でなくクローズドループの回路にすることにより、出力電圧の精度を向上することが可能となる。

【0060】

図8に、本発明の実施例4に係るアナログメモリ部の回路構成を示す。オペアンプ801、スイッチ・容量部810a, 810b, ...で構成される。スイッチ・容量部は、容量802p, 802n、スイッチ803p, 803n, 804p, 804n, 805, 806p, 806n, 807p, 807n, 808p, 808nで構成される。ここで添え字のp, nは差動回路のプラス側、マイナス側であることを示し、特に必要のない場合は省略する。

20

【0061】

複数のスイッチ・容量部を並列に並べ、サンプリング、蓄積し、所定の遅延時間の後、出力を行う回路である。入力信号は差動信号Vinp, Vinnで入力される。図9Aに本発明の実施例4に係るアナログメモリのサンプル時の等価回路を示す。また、図9Bにホールド時の等価回路を示す。

30

【0062】

サンプル時には、スイッチ803, 804, 805がオンとなり、スイッチ806, 807がオフとなる。従って、容量802は入力差動信号とコモン電圧であるVcmの間に接続される。サンプル時に、入力差動信号に対応する電荷が容量802に蓄積される。ホールド時には、スイッチ803, 804, 805がオフとなり、スイッチ806, 807がオンとなる。容量802とオペアンプ801とでフィードバック回路が組み、サンプル時に容量802に蓄積された電荷に対応する信号が差動信号Voutp, Voutnとして出力される。

【0063】

サンプル時に容量802に蓄積される信号が決定されるタイミングは、スイッチ805をオフにするタイミングである。従って、スイッチ805をオフにするタイミングを決めるクロックの位相を変えることにより微小な遅延時間を生成することができる。ホールド時には、スイッチ806およびスイッチ807がオンしている間に容量802に蓄積された信号が出力される。後段の回路では、スイッチ806, 807がオンからオフに変わる直前にサンプリングを行う。

40

【0064】

また、スイッチ808はリセット時に用いられる。図9Cにリセット時の等価回路を示す。スイッチ808をオンにすることでオペアンプの入力と出力が接続されるため、出力信号がコモンモード電圧となり、リセットすることができる。また、この際の電圧を保持しておけば、オペアンプの入力オフセット電圧をキャンセルすることもできる。

50

【 0 0 6 5 】

本実施例のように、差動回路にすることにより、アナログ入力信号を精度よくサンプリングし、遅延させることができる。特に差動回路にすることにより歪みを抑制することができる。また、オペアンプを用いたクロズドループ回路を構成してサンプリングした信号をホールドすることにより、高精度な信号を得ることができる。また、スイッチを制御するクロック信号に遅延時間を設けることにより、アナログ信号を遅延させることができる。クロック信号の遅延時間を、位相を変えて制御することにより、高分解能な遅延時間を得ることができる。

【 実施例 5 】

【 0 0 6 6 】

本発明の実施例 5 に係る超音波撮像装置について、図 10 を用いて説明する。図 10 は、本実施例に係る超音波撮像装置の構成図である。プローブ 1004、本体装置 1005、ケーブル 1006 で構成される。プローブはサブアレイ 1001a, 1001b, …、および、クロック生成部 406 を有する。サブアレイは、複数の 1 素子回路 401a, 401b, …、加算回路 407、バッファ 1002 で構成される。本体装置は、複数の ADC 1003a, 1003b, … を有する。

10

【 0 0 6 7 】

サブアレイ 1001 内では各チャンネル 401 から超音波を送信し、反射波を受信する。各チャンネルの出力を加算回路 407 で加算し、バッファ 1002 を介して本体装置 1005 に伝送する。各チャンネル回路内では受信した信号を遅延させる。遅延時間を設定するクロックはクロック生成部 406 で本体装置 1005 からの基準クロックおよび制御信号を元に設定される。

20

【 0 0 6 8 】

本体装置ではプローブからの信号をアナログ/デジタル変換器 (ADC) 1003 にて、デジタル信号に変換する。ADC 1003 のサンプリングに用いるクロックは、本体装置 1005 からプローブ 1004 に送信した基準クロックを用いる。サブアレイ各チャンネル回路の遅延回路の出力は基準クロックに同期して出力されるため、ADC でもこの基準クロックに同期させてデジタル変換を行う。なお、必要に応じて、基準クロックを逡倍、あるいは、分周したクロックを用いてもよい。また、ケーブルでの遅延時間を考慮し、アナログ/デジタル変換する位相をずらしてもよい。

30

【 0 0 6 9 】

プローブ内の遅延回路では基準クロックに同期して信号を出力する。従って、クロックの立ち上がり/立ち下りのタイミングでスパイク状のノイズが発生する。本体装置側の ADC で基準クロックに同期させてサンプリングすることにより、クロックエッジでのノイズを避けてデジタル化することができる。ADC 1003 によりデジタル化された信号はデジタル整相などの信号処理を行い、超音波画像を表示する。

【 0 0 7 0 】

本実施例のようにプローブ内に遅延回路および加算回路を搭載することでケーブルの配線の本数、ADC の数を削減することができ低コスト化が可能となる。

【 0 0 7 1 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【 符号の説明 】

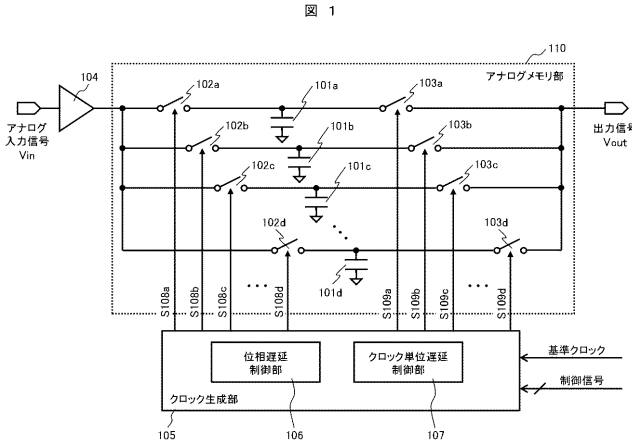
【 0 0 7 2 】

101a, 101b, 101c ... 容量
 102a, 102b, 102c ... スイッチ
 103a, 103b, 103c ... スイッチ
 104 ... バッファ
 105 ... クロック生成部

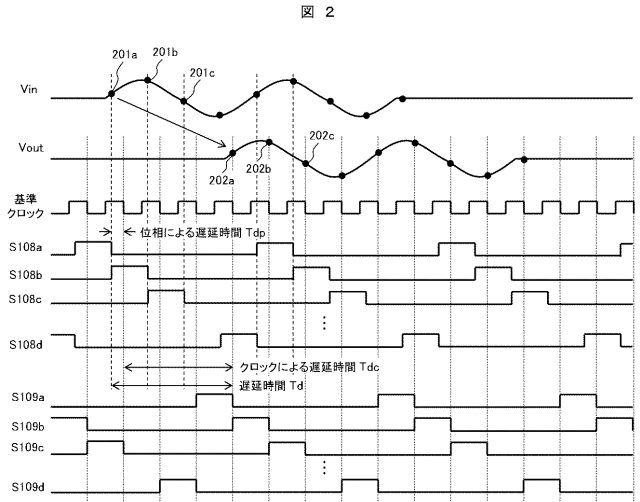
50

1 0 6 ... 位相遅延制御部	
1 0 7 ... クロック単位遅延制御部	
1 1 0 ... アナログメモリ部	
3 0 1 ... パルス生成部	
3 0 2 a , 3 0 2 b ... ディレイ素子	
3 0 3 a , 3 0 3 b ... バッファ	
3 0 4 ... セレクタ	
3 0 5 a , 3 0 5 b ... バッファ	
3 0 6 a , 3 0 6 b ... バッファ	
3 0 7 ... セレクタ	10
3 0 8 a , 3 0 8 b ... ディレイ素子	
3 0 9 a , 3 0 9 b ... バッファ	
4 0 1 a , 4 0 1 b ... 1 素子回路	
4 0 6 ... クロック生成部	
4 0 7 ... 加算回路	
4 0 2 ... トランスデューサ	
4 0 3 ... 送信部	
4 0 4 ... 送受分離部	
4 0 5 ... 受信アナログフロントエンド部	
5 0 1 a , 5 0 1 b ... フリップフロップ (F F)	20
5 0 2 a , 5 0 2 b ... バッファ	
5 0 3 a , 5 0 3 b ... バッファ	
5 0 4 ... セレクタ	
5 0 5 a , 5 0 5 b ... フリップフロップ	
5 0 6 ... 多相クロック生成部	
5 0 7 ... 出力クロック生成部	
5 0 8 ... サンプリングクロック生成部	
6 0 1 a , 6 0 1 b ... バッファ	
6 0 2 ... 位相比較器	
6 0 3 ... 制御電圧生成部	30
8 0 1 ... オペアンプ	
8 1 0 a , 8 1 0 b ... スイッチ・容量部	
8 0 2 p , 8 0 2 n ... 容量	
8 0 3 p , 8 0 3 n , 8 0 4 p , 8 0 4 n , 8 0 5 , 8 0 6 p , 8 0 6 n , 8 0 7 p , 8 0 7 n , 8 0 8 p , 8 0 8 n ... スイッチ	
1 0 0 4 ... プローブ	
1 0 0 5 ... 本体装置	
1 0 0 6 ... ケーブル	
1 0 0 1 a , 1 0 0 1 b ... サブアレイ	
1 0 0 2 ... バッファ	40
1 0 0 3 a , 1 0 0 3 b ... A D C	

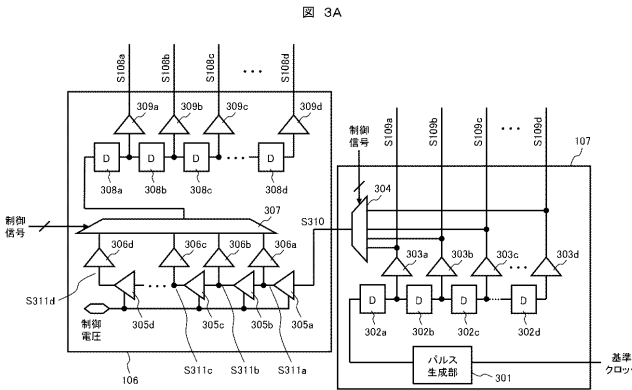
【 図 1 】



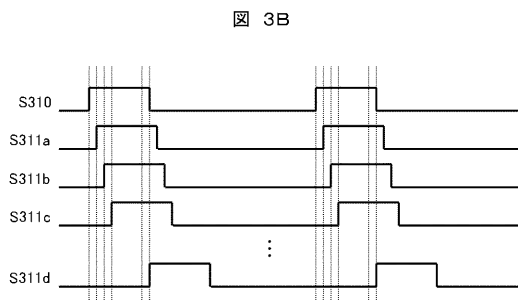
【 図 2 】



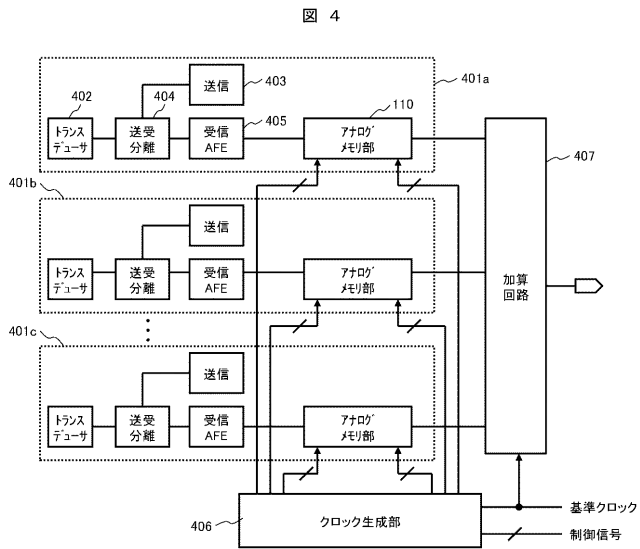
【 図 3 A 】



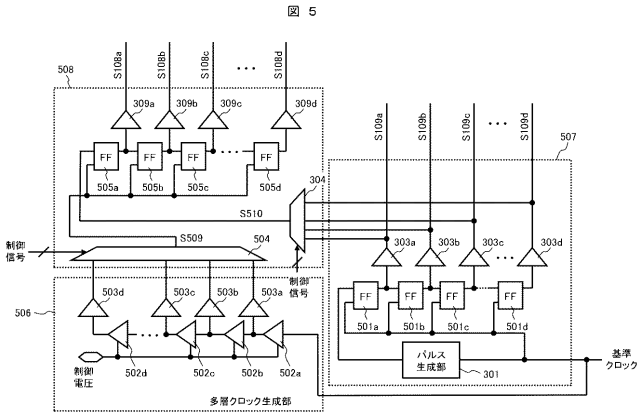
【 図 3 B 】



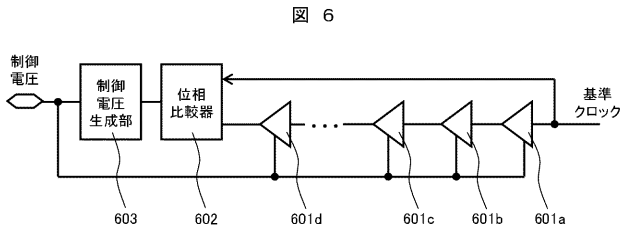
【 図 4 】



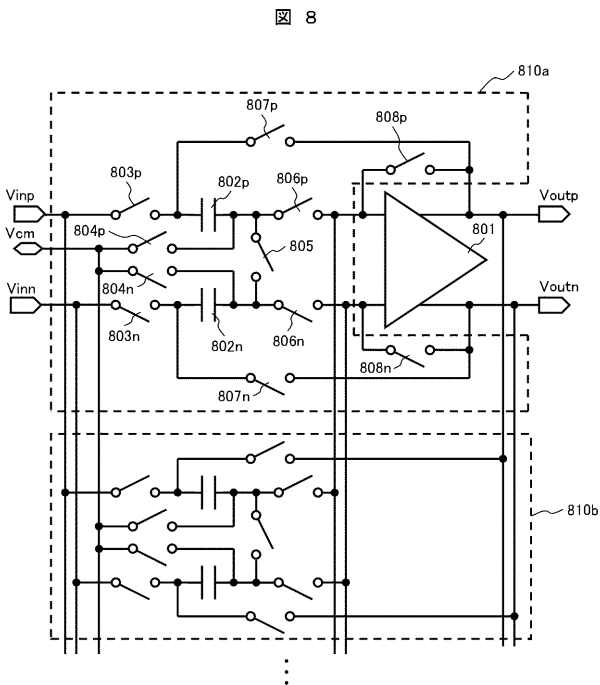
【図5】



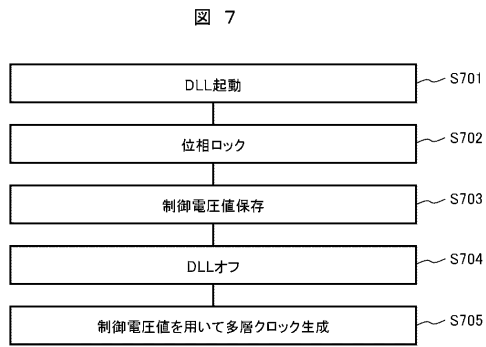
【図6】



【図8】

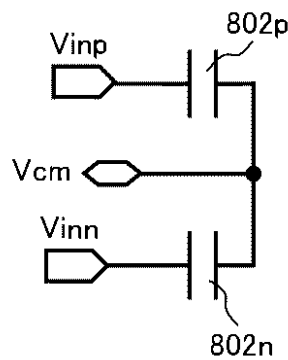


【図7】



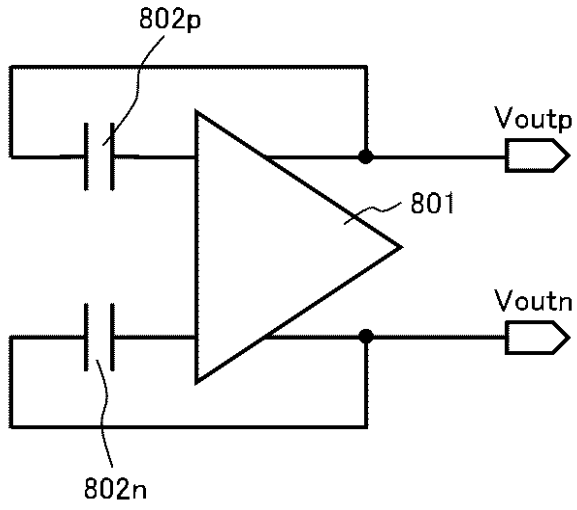
【図9A】

図9A



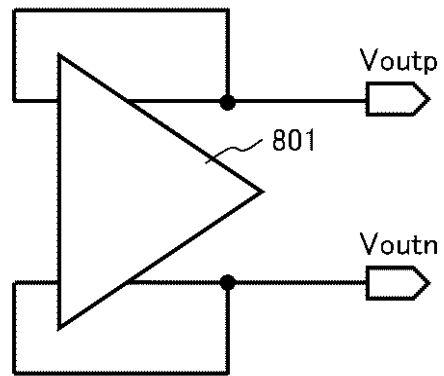
【図9B】

図 9B



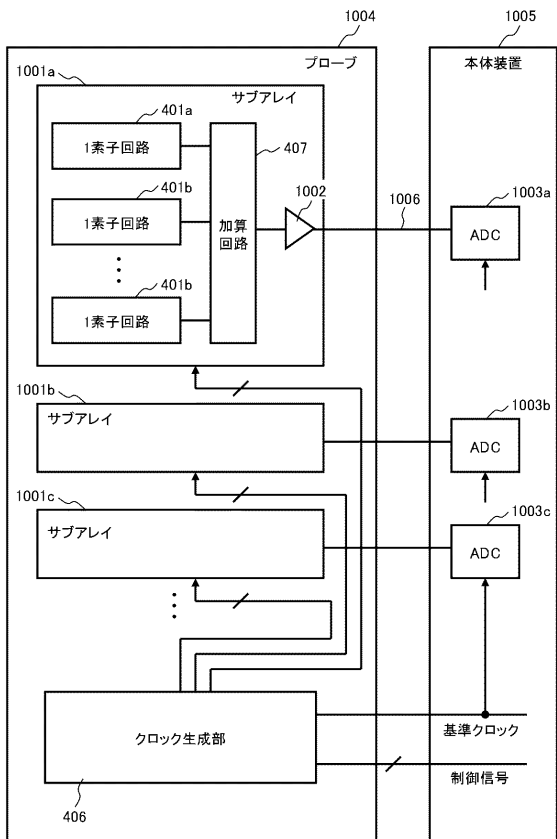
【図9C】

図 9C



【図10】

図 10



【手続補正書】

【提出日】平成28年8月1日(2016.8.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

超音波撮像装置であって、
プローブと、前記プローブからの出力を基準クロックに同期してアナログ/デジタル変換するアナログ/デジタル変換器を有する本体装置と、前記プローブと前記本体装置を接続するケーブルとを備え、

前記プローブは、
超音波信号を送信し受信する複数の超音波トランスデューサと、
前記複数の超音波トランスデューサのそれぞれの受信信号が入力される複数の入力線と

、
前記複数の入力線に夫々接続されるアナログ信号受信回路と、
前記夫々のアナログ信号受信回路から出力される複数の出力線と、
前記複数の出力線の信号を加算する加算回路と、
クロック生成部と、を備え、

前記夫々のアナログ信号受信回路は、
複数のアナログ信号メモリ素子と、
前記入力線と前記複数のアナログ信号メモリ素子との接続/非接続を制御する複数のサンプリングスイッチと、

前記複数のアナログ信号メモリ素子と前記出力線との接続/非接続を制御する複数の出力スイッチと、を備え、

前記クロック生成部は、前記基準クロックに基づいて、前記夫々のアナログ信号受信回路の、前記複数のサンプリングスイッチをそれぞれ制御するサンプリングスイッチ制御信号と、前記複数の出力スイッチをそれぞれ制御する出力スイッチ制御信号とを生成し、

前記出力スイッチ制御信号と前記サンプリングスイッチ制御信号との遅延時間が、前記基準クロックの位相をずらした位相遅延と、前記基準クロックの周期の整数倍のクロック周期単位の遅延の合計であり、

夫々の前記アナログ信号受信回路の出力信号が前記基準クロックと同期して出力され、前記加算回路にて前記複数の出力線の信号を同期させて加算して前記プローブから出力する

ことを特徴とする超音波撮像装置。

【請求項2】

請求項1に記載の超音波撮像装置であって、
前記クロック生成部は、前記基準クロックの周期の整数倍のクロック周期単位の遅延を設定するクロック単位遅延制御部と、前記基準クロックの位相をずらした位相遅延を設定する位相遅延制御部を備える

ことを特徴とする超音波撮像装置。

【請求項3】

請求項1に記載の超音波撮像装置であって、
前記基準クロックの位相と、前記出力スイッチ制御信号の位相との関係が固定値であることを特徴とする超音波撮像装置。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/059412

A. CLASSIFICATION OF SUBJECT MATTER G11C27/00(2006.01)i, A61B8/00(2006.01)i, H03H11/26(2006.01)i, H03H19/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C27/00, A61B8/00, H03H11/26, H03H19/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 56-129419 A (Hitachi, Ltd.), 09 October 1981 (09.10.1981), page 2, upper left column, line 12 to page 2, lower right column, line 16; fig. 1 to 7 (Family: none)	1-10 11-15
Y	JP 4-232888 A (Advanced Technology Laboratories, Inc.), 21 August 1992 (21.08.1992), paragraph [0017]; fig. 6 & US 5123415 A & EP 467690 A2 & EP 627635 A2	11-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 April, 2013 (19.04.13)		Date of mailing of the international search report 07 May, 2013 (07.05.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/059412

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-179437 A (Fujitsu Ltd.), 06 August 1987 (06.08.1987), page 5, lower right column, line 19 to page 6, upper left column, line 3; page 6, upper right column, line 20 to page 6, lower left column, line 11; fig. 10 (Family: none)	11-15
Y	JP 5-7587 A (Fujitsu Ltd.), 19 January 1993 (19.01.1993), paragraphs [0032], [0048], [0049]; fig. 11 & US 5217017 A & EP 523455 A1	11-15
Y	JP 7-308319 A (Fujitsu Ltd.), 28 November 1995 (28.11.1995), paragraphs [0049] to [0055]; fig. 7 to 10 (Family: none)	11-15
A	JP 11-260093 A (Yamaha Corp.), 24 September 1999 (24.09.1999), fig. 1, 2 & US 6061279 A	1-15
A	WO 2003/043190 A1 (Niigata Seimitsu Co., Ltd.), 22 May 2003 (22.05.2003), abstract & US 2004/0251946 A1	1-15

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 5 9 4 1 2									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C27/00(2006.01)i, A61B8/00(2006.01)i, H03H11/26(2006.01)i, H03H19/00(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C27/00, A61B8/00, H03H11/26, H03H19/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X Y	JP 56-129419 A (株式会社日立製作所) 1981.10.09, 第2頁左上欄 第12行-第2頁右下欄第16行、第1-7図 (ファミリーなし)	1-10 11-15									
Y	JP 4-232888 A (アドバンスト・テクノロジー・ラボラトリーズ・インコーポレイテッド) 1992.08.21, 段落【0017】、図6 & US 5123415 A & EP 467690 A2 & EP 627635 A2	11-15									
Y	JP 62-179437 A (富士通株式会社) 1987.08.06, 第5頁右下欄第19行-第6頁左上欄第3行、	11-15									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 19.04.2013		国際調査報告の発送日 07.05.2013									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 小林 紀和 電話番号 03-3581-1101 内線 3565	5U 4240								

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 5 9 4 1 2
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	第6頁右上欄第20行—第6頁左下欄第11行、 第10図 (ファミリーなし)	
Y	JP 5-7587 A (富士通株式会社) 1993.01.19, 段落【0032】、【0048】、【0049】、図11 & US 5217017 A & EP 523455 A1	11-15
Y	JP 7-308319 A (富士通株式会社) 1995.11.28, 段落【0049】—【0055】、図7-10 (ファミリーなし)	11-15
A	JP 11-260093 A (ヤマハ株式会社) 1999.09.24, 図1, 2 & US 6061279 A	1-15
A	WO 2003/043190 A1 (新潟精密株式会社) 2003.05.22, 要約 & US 2004/0251946 A1	1-15

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	超声成像设备		
公开(公告)号	JPWO2014155635A1	公开(公告)日	2017-02-16
申请号	JP2015507825	申请日	2013-03-28
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	中川樹生		
发明人	中川 樹生		
IPC分类号	G11C27/00 G11C27/02 A61B8/14		
FI分类号	G11C27/00.102.A G11C27/02.601.Z A61B8/14		
F-TERM分类号	4C601/BB06 4C601/EE09 4C601/EE15 4C601/JB05 4C601/JB06 4C601/JB09		
其他公开文献	JP6043867B2		
外部链接	Espacenet		

摘要(译)

(EN) 提供了具有高延迟时间精度，长的最大延迟时间和低功耗的延迟电路和超声波成像设备。输入模拟输入信号的输入线，多个模拟信号存储元件，输出线，用于控制输入线与多个模拟信号存储元件之间的连接/断开的多个采样开关，以及产生控制多个模拟信号存储元件与输出线之间的连接/断开的多个输出开关，控制采样开关的采样开关控制信号以及控制输出开关的输出开关控制信号。以及时钟产生单元，使得采样开关控制信号的相位可以相对于输出开关控制信号的相位偏移。

