

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2003 - 319937

(P2003 - 319937A)

(43)公開日 平成15年11月11日(2003.11.11)

(51)Int.Cl⁷

識別記号

F I

テ-マ-ト* (参考)

A 6 1 B 8/00

A 6 1 B 8/00

4 C 3 0 1

4 C 6 0 1

審査請求 未請求 請求項の数 2 O L (全 11数)

(21)出願番号 特願2002 - 129999(P2002 - 129999)

(71)出願人 390029791

アロカ株式会社

東京都三鷹市牟礼6丁目22番1号

(22)出願日 平成14年5月1日(2002.5.1)

(72)発明者 宮坂 好一

東京都三鷹市牟礼6丁目22番1号 アロカ株式会社内

(72)発明者 尾形 太

東京都三鷹市牟礼6丁目22番1号 アロカ株式会社内

(74)代理人 100075258

弁理士 吉田 研二 (外 2 名)

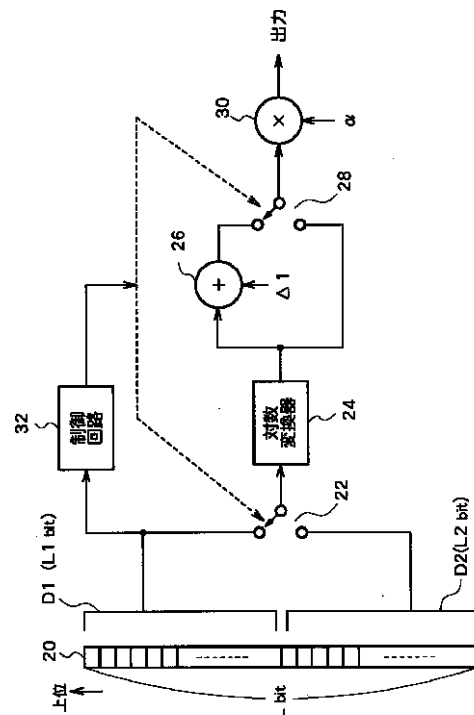
最終頁に続く

(54)【発明の名称】 超音波診断装置

(57)【要約】

【課題】 超音波診断装置において、エコーデータのビット数が多いと、対数変換の負荷が増大する。

【解決手段】 レジスタ20に格納されたエコーデータを2つの部分ビット列に分割する。制御回路32は、上位の部分ビット列D1が表現する値X1が0か否かを判定し、0である場合には、D1が対数変換器24にて対数変換される。加算器26は、この対数Log X1に、エコーデータのビット列中でのD1の位置に応じたオフセットビット列1を加算する。制御回路32は、スイッチ28を制御して、この加算結果を乗算器30へ出力する。一方、X1=0の場合には、値X2を有する下位の部分ビット列D2が対数変換器24にて対数変換され、その結果であるLog X2が乗算器30へ出力される。乗算器30にて定数αを乗じられたデータが、エコーデータを近似的に対数変換したデータとして対数変換部から出力される。



【特許請求の範囲】

【請求項1】 エコーデータとしての入力ビット列を所定位置で分割して複数の部分ビット列を生成し、当該複数の部分ビット列のうち、その表現値が0でなく、かつ前記入力ビット列中にて最も上位側に位置する優位部分ビット列を特定する前処理手段と、
前記優位部分ビット列に対して、その前記表現値の対数を表す対数ビット列を求める対数変換手段と、
前記入力ビット列中での前記優位部分ビット列の位置に応じたオフセットビット列を出力するオフセット生成手段と、
前記対数ビット列と前記オフセットビット列とを加算して、前記入力ビット列を対数変換したものに相当する出力ビット列を出力する加算手段と、
を含み、
前記出力ビット列が超音波画像を構成する画素データとして利用されることを特徴とする超音波診断装置。

【請求項2】 エコーデータとしての入力ビット列のそれぞれ所定位置を占め、集合的に前記入力ビット列を包含する n 個(n は2以上の自然数)の部分ビット列であり、第 k 部分ビット列(k は $1 \leq k \leq n-1$ なる自然数)とその下位側に連なる第 $(k+1)$ 部分ビット列とが互いに k ビットの重複ビット列を有する前記部分ビット列を生成し、その表現値が 2^k 以上である前記第 k 部分ビット列及び、第 n 部分ビット列のうち、前記入力ビット列中にて最も上位側に位置する優位部分ビット列を特定する前処理手段と、
前記優位部分ビット列に対して、その前記表現値の対数を表す対数ビット列を求める対数変換手段と、
前記入力ビット列中での前記優位部分ビット列の位置に応じたオフセットビット列を出力するオフセット生成手段と、
前記対数ビット列と前記オフセットビット列とを加算して、前記入力ビット列を対数変換したものに相当する出力ビット列を出力する加算手段と、
を含み、
前記出力ビット列が超音波画像を構成する画素データとして利用されることを特徴とする超音波診断装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は超音波診断装置に関し、特にエコーデータを対数変換する回路に関する。

【0002】

【従来の技術】超音波診断装置においては対数変換器(対数圧縮器)が設けられている。その対数変換器は、Bモード画像やMモード画像などの輝度画像を表示する場合に、エコーデータを人間の視覚特性に合わせて対数変換し、その対数変換後のエコーデータを画素の輝度値とするためのものである。

【0003】従来、対数変換器は、プログラムによって

近似計算したり、あらかじめROMやRAMなどのメモリに格納した対数テーブルを参照して、入力データに対応する対数のデータを出力する。例えば、対数変換器には、エコーデータとして20ビットのビット列が入力され、対数変換器はそれを対数変換して8ビット(256階調)のデータ(画素値)を出力する。

【0004】図10は、従来の超音波診断装置における対数変換を示す模式図である。エコーデータ500の全ビット長 L (例えば20ビット)が対数変換器502に入力され、対数変換器502はこれを対数変換して、例えば8ビットの対数データを出力する。

【0005】

【発明が解決しようとする課題】エコーデータの取り得る範囲が広い場合、すなわち対数変換器への入力語長(入力ビット数)が大きい場合には、近似計算では多くのクロック数が必要となる。そのため、演算時間が長くなるという問題や、高速なプロセッサを用いることにより装置コストが増加するという問題があった。また、テーブル参照による構成では、入力語長が大きくなるほど、テーブルを格納するメモリの所要容量が増大するという問題があった。

【0006】本発明は上記問題点を解決するためになされたもので、ビット数の多いエコーデータに対して、少ないクロック数で高速に対数演算でき、または容量の小さな対数テーブルで対数変換が実現される超音波診断装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る超音波診断装置は、エコーデータとしての入力ビット列を所定位置で分割して複数の部分ビット列を生成し、当該複数の部分ビット列のうち、その表現値が0でなく、かつ前記入力ビット列中にて最も上位側に位置する優位部分ビット列を特定する前処理手段と、前記優位部分ビット列に対して、その前記表現値の対数を表す対数ビット列を求める対数変換手段と、前記入力ビット列中での前記優位部分ビット列の位置に応じたオフセットビット列を出力するオフセット生成手段と、前記対数ビット列と前記オフセットビット列とを加算して、前記入力ビット列を対数変換したものに相当する出力ビット列を出力する加算手段とを含み、前記出力ビット列が超音波画像を構成する画素データとして利用される。

【0008】本発明によれば、エコーデータを表す所定長の入力ビット列を所定位置で区切る。これにより生成されるビット列の複数の切片がそれぞれ部分ビット列である。ここで、部分ビット列は互いに重なりを有さない。各部分ビット列の表現値は、当該部分ビット列を一つの二進数と見たときの、その二進数の値である。入力ビット列は、その下位側の部分が実質的なエコーデータを表し、残りの上位側の部分は空白を表す(すなわちその表現値が0である)ビット列で埋められる。入力ビッ

3

4

ト列のうちエコーデータを実質的に表す下位側のビット列（以下、エコーデータ実効ビット列と呼ぶ）の桁数（以下、エコーデータの実効桁数）はエコーデータの大きさに応じて変動する。優位部分ビット列は、そのエコーデータ実効ビット列の最も上位の桁を含んだ部分ビット列である。

$$Y = \text{Log} X_t \dots\dots\dots (1)$$

エコーデータの実効桁数（上位を連続して埋める0の桁を除いた桁数）をLtとし、そのうち優位部分ビット列（表現値Xs）に含まれる桁数をLsとすると、対数Yは

$$Y = \text{Log}(X_s \cdot 2^{L_t - L_s}) = \text{Log} X_s + \dots\dots\dots (2)$$

なお、ここで、

$$\text{Log} 2 \cdot (L_t - L_s) \dots\dots\dots$$

である。(3)

【0012】対数変換手段は、優位部分ビット列の表現値を対数変換する。すなわち、対数変換手段は、優位部分ビット列を入力され、その表現値Xsの対数を表す対数ビット列を出力する。この対数ビット列は(2)式右辺第1項に対応する。対数変換手段は、例えばCPUを用いた演算により対数ビット列を求めてもよいし、メモリに格納した対数テーブルを検索して対数ビット列を求めてもよい。

【0013】オフセット生成手段は、入力ビット列中での優位部分ビット列の位置に応じたオフセットビット列を出力する。このオフセットビット列は(2)式右辺第2項に対応し、(3)式を用いて表される。

【0014】(2)式が示すように、入力ビット列を対数変換したものに相当する出力ビット列は、対数変換手段により得られる対数ビット列と、オフセット生成手段により得られるオフセットビット列との和で表される。加算手段は、これら対数ビット列とオフセットビット列とを加算し、その加算結果に応じた出力ビット列を生成し出力する。

【0015】他の本発明に係る超音波診断装置は、エコーデータとしての入力ビット列のそれぞれ所定位置を占め、集合的に前記入力ビット列を包含するn個（nは2以上の自然数）の部分ビット列であり、第k部分ビット列（kは1 ≤ k ≤ n-1なる自然数）とその下位側に連なる第(k+1)部分ビット列とが互いにkビットの重複ビット列を有する前記部分ビット列を生成し、その表現値が2^k以上である前記第k部分ビット列及び、第n部分ビット列のうち、前記入力ビット列中にて最も上位側に位置する優位部分ビット列を特定する前処理手段と、前記優位部分ビット列に対して、その前記表現値の対数を表す対数ビット列を求める対数変換手段と、前記入力ビット列中での前記優位部分ビット列の位置に応じたオフセットビット列を出力するオフセット生成手段と、前記対数ビット列と前記オフセットビット列とを加算して、前記入力ビット列を対数変換したものに相当す

【0009】エコーデータ（値Xt）の対数Yを、比例係数を含んだ次式で定義する。なお、以下、“Log”は常用対数を意味する。

【0010】

【数1】

次の近似式で表される。

【0011】

【数2】

【数3】

る出力ビット列を出力する加算手段とを含み、前記出力ビット列が超音波画像を構成する画素データとして利用される。

【0016】本発明によれば、第1～第nの部分ビット列はそれぞれ、エコーデータを表す所定長の入力ビット列の所定範囲に位置するビット列である。入力ビット列中における第(k+1)部分ビット列の存在範囲は、第k部分ビット列の存在範囲より下位側にずれて位置するが、これら2つの存在範囲は互いに部分的にオーバーラップするように設定される。つまり、第k部分ビット列の下位のkビットと、第(k+1)部分ビット列の上位のkビットとは共通のビット列である。このように、隣接する2つの部分ビット列は重複部分を有するので、エコーデータ実効ビット列の最も上位の桁は2つの部分ビット列に含まれる場合がある。本発明では、エコーデータ実効ビット列の最上位桁を含んだ第k部分ビット列であって、かつその表現値が2^k以上であるものを優位部分ビット列とする。この条件を満たす部分ビット列は1個または0個である。0個の場合とは、エコーデータ実効ビット列の最上位桁が第(k+1)部分ビット列に含まれている場合であり、この場合には第(k+1)部分ビット列が優位部分ビット列となる。このように特定された優位部分ビット列に対して、上述のように対数ビット列及びオフセットビット列を求め、それらを加算して出力ビット列が生成され、出力される。本発明では(1)式を近似した(2)式において、優位部分ビット列の表現値Xsに対応する桁数Lsをある程度以上とすることにより、良好な近似精度を確保することができる。

【0017】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0018】[実施形態1]図1は、本実施形態に係る超音波診断装置の全体構成を示す概略のブロック図である。図1において、プローブ2は超音波の送受波を行うものであり、複数の振動素子からなるアレイ振動子を含

む。そのアレイ振動子によって超音波ビームが形成され、それが電子走査される。その電子走査方式としては電子リニア走査や電子セクタ走査などを挙げることができる。

【0019】送受信部4は、送信ビームフォーマー及び受信ビームフォーマーとして機能するものであり、送受信部4からプローブ2へ送信信号が供給され、プローブ2からの受信信号に対しては送受信部4において整相加算等の処理がなされる。

【0020】送受信部4から出力された受信信号は対数変換部6に入力され、その受信信号すなわちエコーデータが対数圧縮される。その対数変換後の受信信号が表示処理部としてのDSC（デジタルスキャンコンバータ）8に送られ、そこで受信信号に対する座標変換、補間処理などがなされ、これにより超音波画像が形成される。その超音波画像は表示部10に表示される。

【0021】本装置は対数変換部6に特徴を有する。まず、対数変換部6にて行われる対数変換処理の原理を説明する。送受信部4から出力されたエコーデータが対数変換部6の入力ビット列（値 X_t 、ビット長 L ）とな

$$Y' = \cdot \text{Log}(X_s \cdot 2^F) \\ = \cdot (\text{Log} X_s + s)$$

なお、ここで、 F は入力ビット列のうち優位部分ビット列より下位に位置するビット数であり次式で表される。

$$F = L(s+1) + L(s+2) + \dots + L_n \\ \dots (5)$$

またオフセットビット列 s は次式で定義される。

【0026】

$$s = F \cdot \text{Log} 2$$

図2は、以上の原理に基づく対数変換部6の構成例を示す概略のブロック図であり、この例はエコーデータを2つの部分ビット列に分割する場合、すなわち $n = 2$ の場合を示している。送受信部4からのエコーデータである入力ビット列は、レジスタ20に格納される。入力ビット列のビット長 L に対応して、レジスタ20のビット数も L を有する。レジスタ20に格納されたエコーデータは、上位側の L_1 ビットの部分ビット列 D_1 と残りの下位側の L_2 ビット（ $L_1 + L_2 = L$ ）の部分ビット列 D_2 に分割して、それぞれ別個に読み出すことができる。これら部分ビット列 D_1 、 D_2 のうち、スイッチ22により選択されたものが対数変換器24に入力される。

【0027】対数変換器24は、入力された部分ビット列の表現値を対数変換し、その対数変換後の対数ビット列を出力する。例えば、対数変換器24はROMやRAMなどを用いた対数変換テーブルを備え、入力される部分ビット列に基づいてテーブルを検索して、検索されたアドレスにあらかじめ格納された対数ビット列を読み出して出力する。基本的に、対数変換テーブルは、部分ビット列のビットパターンの種類に応じたアドレス数を有する。具体的には、部分ビット列 D_1 、 D_2 のビット長 L

*る。対数変換部6はこの入力ビット列に対して、(1)式で定義される対数 Y を近似的に表す対数ビット列を生成して出力する。

【0022】入力ビット列は所定位置で分割され、 n 個（ n は2以上）の部分ビット列 D_i （ $i = 1, 2, \dots, n$ ）が生成される。ここで i は、入力ビット列の上位側に位置する部分ビット列から昇順に付与するものとする。また各部分ビット列 D_i のビット長を L_i 、表現値を X_i で表す。ここで、 $L_1 \sim L_n$ の総和は L である。

【0023】部分ビット列のうち、表現値 X_i が0でなく、かつ最も上位側に位置するもの（すなわち i が最も小さいもの）を選択し、これを優位部分ビット列とする。例えば、 $i = s$ の部分ビット列 D_s が優位部分ビット列とする。対数変換部6は、優位部分ビット列より下位の部分ビット列、すなわち $i > s$ である全ての部分ビット列 D_i を0とする近似を行う。そして、対数 Y の近似値として、次式で表される Y' を求め、対数ビット列として出力する。

【0024】

【数4】

.....

【0025】

【数5】

($s < n$ の場合) ...

(【数6】の場合) (5')

..... (

1, L_2 のうち大きい方を L_m とすれば、対数変換テーブルに必要なアドレス数は 2^{L_m} である。すなわち、本装置の対数変換テーブルは、エコーデータの 2^L 個のビットパターンごとに対数ビット列を格納する対数変換テーブルに比べてはるかに少ない容量しか必要としない。二進数値 X_i を表すビットパターンに対応するアドレスには、 $\text{Log} X_i$ が対数ビット列として格納される。

【0028】また、対数変換器24は、CPUを用いて演算処理を行い、入力された部分ビット列の表現値に対応する対数ビット列を生成するように構成することもできる。この場合、CPUでの対数変換の演算は、部分ビット列 D_1 、 D_2 のいずれかを対象として行われる。すなわち、エコーデータ全体よりも短いビット長のデータを対象とした対数変換演算であるので、CPUの処理負荷が軽減される。

【0029】対数変換器24の対数変換テーブルの容量を低減し、またはCPUの処理負荷を軽減する上で、各部分ビット列 D_1 、 D_2 のビット長 L_1 、 L_2 はほぼ同じとすることが好ましい。

【0030】対数変換器24の出力端には加算器26を経由する第1の経路と、対数変換器24の出力を素通り

させる第2の経路とが設けられる。加算器26は、対数変換器24に入力された部分ビット列がD1であった場合に、その出力の対数ビット列に、所定のオフセットビット列を加算するために設けられている。オフセットビット列1が、部分ビット列D1の最下位ビットの位置に*

$$1 \quad L2 \cdot \text{Log} 2$$

第2経路は、対数変換器24に入力された部分ビット列がD2であった場合に対応したものであり、この場合には、(5')(6)式よりオフセットビット列2は0であるので、加算器は設けられていない。

【0032】スイッチ28は、対数変換器24の出力に設けられた第1経路及び第2経路のいずれかを選択して乗算器30に接続する。

【0033】乗算器30は、スイッチ28から出力される値に定数 を乗ずる。

【0034】制御回路32は、入力ビット列に応じてスイッチ22, 28の切り替えを制御する。

【0035】図3は、対数変換部6で行われる処理を説明するフロー図である。制御回路32は、レジスタ20から入力ビット列の上位側の部分ビット列D1を読み出し(S50)、そのビット列により表現される表現値X1が0であるか否かを判定し(S55)、その判定結果に基づいて、スイッチ22及びスイッチ28を連動させて切り替える。

【0036】具体的には、制御回路32は、表現値X1=0の場合には、対数変換器24に部分ビット列D1が入力されるようにスイッチ22を切り替え、加算器26経由の第1経路を選択するようにスイッチ28を切り替える。一方、制御回路32は表現値X1=0の場合には、対数変換器24に部分ビット列D2が入力されるようにスイッチ22を切り替え、対数変換器24の出力を素通りさせる第2経路を選択するようにスイッチ28を切り替える。

【0037】この切り替え動作により、X1=0の場合には(S55)、対数変換器24は部分ビット列D1を入力され、その値X1に対する対数LogX1を求めて出力する(S60)。加算器26は対数変換器24の出力にオフセットビット列1を加算して出力する(S65)。スイッチ28は加算器26の出力(LogX1+1)を乗算器30へ伝達する。

【0038】一方、X1=0の場合には(S55)、対数変換器24は部分ビット列D2を入力され、その値X2に対する対数LogX2を求めて出力する(S70)。スイッチ28は対数変換器24の出力を直接、乗算器30へ*

$$1 \quad (L2 + L3) \cdot \text{Log} 2$$

(8)

スイッチ28は、対数変換器24の出力に設けられた第1～第3の経路のいずれかを選択して乗算器30に接続する。乗算器30は、スイッチ28から出力される値に定数 を乗ずる。

*応じて、あらかじめ求められ、例えば加算器26に接続されたレジスタに格納される。1は(5),(6)式に基づいて次式で与えられる。

【0031】

【数7】

$$\dots\dots ($$

*伝達する。

【0039】このように、スイッチ28は、X1が0か否かに応じて(LogX1+1)及びLogX2のうちいずれかを選択して乗算器30へ出力し、乗算器30はその値に定数 を乗じる(S75)。その結果、対数変換部6は、X1=0の場合には、(4)式においてs=1とした値、X1=0の場合には、s=2とした値を出力する。

【0040】図4は、n=3の場合の対数変換部6の構成例を示す概略のブロック図であり、図4において、図2と同様の機能を有する構成要素には同一の符号を付す。この場合には、エコーデータは3つの部分ビット列に分割され、それらを上位側から順にD1, D2, D3とする。

【0041】スイッチ22は、レジスタ20から部分ビット列D1～D3のいずれかを選択して、対数変換器24へ出力する。

【0042】対数変換器24は、入力された部分ビット列の表現値の対数ビット列を出力する。対数変換器24は、ビット長L1～L3のうち最大のビット長のビット列を対数変換できるものであればよく、対数変換テーブルの容量の低減やCPU負荷の軽減が図られる。

【0043】対数変換器24の出力端には加算器26-1を経由する第1経路、加算器26-2を経由する第2経路、及び対数変換器24の出力を素通りさせる第3経路が設けられる。加算器26-1は、対数変換器24に入力された部分ビット列がD1であった場合に、その出力の対数ビット列に、オフセットビット列1を加算する。加算器26-2は、対数変換器24に入力された部分ビット列がD2であった場合に、その出力の対数ビット列に、オフセットビット列2を加算する。第3経路は入力された部分ビット列がD3であった場合に対応したものであり、この場合にはオフセットビット列3は0であるので、加算器は不要である。1, 2はそれぞれ(5),(6)式に基づいて次式で与えられる。

【0044】

【数8】

$$\dots\dots$$

【0045】図5は、図4に示す構成の対数変換部6で行われる処理を説明するフロー図である。制御回路32は、レジスタ20から上位の部分ビット列D1を読み出し(S100)、そのビット列により表現される表現値

X1が0であるか否かを判定する(S105)。X1=0の場合には、制御回路32はさらにレジスタ20から中位の部分ビット列D2を読み出し(S110)、そのビット列により表現される表現値X2が0であるか否かを判定する(S115)。制御回路32は、ステップS105及びS115での判定結果に基づいて、スイッチ22及びスイッチ28を連動させて切り替える。

【0046】具体的には、制御回路32は、X1=0の場合には、対数変換器24に部分ビット列D1が入力されるようにスイッチ22を切り替え、加算器26-1を経由する第1経路を選択するようにスイッチ28を切り替える。また、制御回路32はX1=0かつX2=0の場合には、対数変換器24に部分ビット列D2が入力されるようにスイッチ22を切り替え、加算器26-2を経由する第2経路を選択するようにスイッチ28を切り替える。さらに、制御回路32は、X1=0かつX2=0の場合には、対数変換器24に部分ビット列D3が入力されるようにスイッチ22を切り替え、対数変換器24の出力を素通りさせる第3経路を選択するようにスイッチ28を切り替える。

【0047】この切り替え動作により、X1=0の場合には(S105)、対数変換器24は部分ビット列D1を入力され、対数LogX1を出力する(S120)。加算器26-1は対数変換器24の出力にオフセットビット列1を加算して出力する(125)。スイッチ28は加算器26-1の出力(LogX1+1)を乗算器30へ伝達する。

【0048】X1=0かつX2=0の場合には(S115)、対数変換器24は部分ビット列D2を入力され、対数LogX2を出力する(S130)。加算器26-2は対数変換器24の出力にオフセットビット列2を加算して出力する(S135)。スイッチ28は加算器26-2の出力(LogX2+2)を乗算器30へ伝達する。

【0049】X1=0かつX2=0の場合には(S115)、対数変換器24は部分ビット列D3を入力され、対数LogX3を出力する(S140)。スイッチ28は対数変換器24の出力LogX3を乗算器30へ伝達する。

【0050】以上のように、スイッチ28は、(LogX1+1)、(LogX2+2)及びLogX3のうちいずれかを選択して乗算器30へ出力し、乗算器30はその値に定数を乗じて対数変換部6から出力する(S145)。

【0051】[実施形態2]本実施形態に係る超音波診断装置は、図1に示す上記第1の実施形態の装置と同様*

$$F = \{ L(j+1) - j \} \quad (0)$$

図6は、以上の原理に基づく対数変換部6の構成例を示す概略のブロック図であり、この例は入力ビット列に2つの部分ビット列を設定する場合、すなわちn=2の場合を示している。この対数変換部6が、図2に示すものと基本的に相違するのは、レジスタ20から抽出される

*の全体構成を有する。本装置と上記第1の実施形態とは対数変換部6の構成、処理において相違し、その他の点については基本的に同様である。よって以下、相違点のみを説明する。以下の説明において、第1の実施形態と同じ符号、記号は特に説明しない限り、同様のものを表す。

【0052】本装置の対数変換部6にて行われる対数変換処理の原理を説明する。送受信部4から出力されたエコーデータが対数変換部6の入力ビット列(値Xt, ビット長L)となる。対数変換部6はこの入力ビット列に対して、(1)式で定義される対数Yを近似的に表す対数ビット列を生成して出力する。

【0053】入力ビット列中にn個(nは2以上)の部分ビット列Di(i=1, 2, ..., n)が定義される。ここでiは、入力ビット列の上位側に位置する部分ビット列から昇順に付与するものとする。第1~第nの部分ビット列D1~Dnはそれぞれ、入力ビット列の所定範囲に位置するビット列である。入力ビット列中における部分ビット列D(k+1)の存在範囲は、部分ビット列Dkの存在範囲より下位側にずれて位置するが、これら2つの存在範囲は互いに部分的にオーバーラップするように設定される。つまり、部分ビット列Dkの下位のkビットと、部分ビット列D(k+1)の上位のkビットとは共通のビット列である。またn個の部分ビット列全体で入力ビット列全体をカバーする。

【0054】部分ビット列のうち、表現値Xiが2ⁱ以上であり、かつ最も上位側に位置するもの(すなわちiが最も小さいもの)を選択し、これを優位部分ビット列とする。もし、いずれの部分ビット列も表現値Xiが2ⁱ未満である場合には、最も下位の部分ビット列Dnを優位部分ビット列として選択する。例えば、i=sの部分ビット列Dsが優位部分ビット列とする。対数変換部6は、優位部分ビット列より下位の部分ビット列、すなわちi>sである全ての部分ビット列Diを0とする近似を行う。そして、対数Yの近似値として、(4)式で表されるY'を求め、対数ビット列として出力する。ここで、優位部分ビット列Dsより下位に位置するビット数Fは(5)(5')式に代えて次式で表される。なお、(10)式右辺の記号は、j=s~(n-1)についての総和を意味する。このFを用い、オフセットビット列sは(6)式で定義される。

【0055】

【数9】

$$(s < n \text{ の場合}) \quad \dots\dots\dots (1)$$

(2つの部分ビット列が互いに10ビットのオーバーラップを有する点、及び制御回路32での処理内容である。

【0056】図7は、図6に示す対数変換部6で行われる処理を説明するフロー図である。制御回路32は、レジスタ20から入力ビット列の上位側の部分ビット列D

1を読み出し(S200)、そのビット列により表現される表現値X1が2⁻¹以上であるか否かを判定し(S205)、その判定結果に基づいて、スイッチ22及びスイッチ28を連動させて切り替える。

【0057】具体的には、制御回路32は、表現値X1 > 2⁻¹の場合には、対数変換器24に部分ビット列D1が入力されるようにスイッチ22を切り替え、加算器26経由の第1経路を選択するようにスイッチ28を切り替える。一方、制御回路32は表現値X1 < 2⁻¹の場合には、対数変換器24に部分ビット列D2が入力されるようにスイッチ22を切り替え、対数変換器24の出力を素通りさせる第2経路を選択するようにスイッチ28*

$$1 \quad (L2 - 1) \cdot \text{Log} 2 \quad \dots\dots (1)$$

一方、X1 < 2⁻¹の場合には(S205)、対数変換器24は部分ビット列D2を入力され、その値X2に対する対数LogX2を求めて出力する(S220)。スイッチ28は対数変換器24の出力を直接、乗算器30へ伝達する。

【0060】このように、スイッチ28は、X1が2⁻¹以上か否かに応じて(LogX1+ 1)及びLogX2のうちいずれかを選択して乗算器30へ出力し、乗算器30はその値に定数を乗じる(S225)。その結果、対数変換部6は、X1 > 2⁻¹の場合には、(4)式においてs = 1とした値、X1 = 0の場合には、s = 2とした値を出力する。

【0061】一例として、26ビットの入力ビット列に対し、L1 = 13ビット、L2 = 16ビット、1 = 3ビットとされる。

【0062】図8は、n = 3の場合の対数変換部6の構成例を示す概略のブロック図である。この対数変換部6が、図4に示すものと基本的に相違するのは、レジスタ20から抽出される3つの部分ビット列のうち互いに隣合うもの同士がオーバーラップを有する点、及び制御回路32での処理内容である。

【0063】図9は、図8に示す対数変換部6で行われる処理を説明するフロー図である。制御回路32は、レジスタ20から上位の部分ビット列D1を読み出し(S300)、そのビット列により表現される表現値X1 > 2⁻¹であるか否かを判定する(S305)。X1 < 2⁻¹の場合には、制御回路32はさらにレジスタ20から中位の部分ビット列D2を読み出し(S310)、そのビット列により表現される表現値X2 > 2⁻²であるか否かを判定する(S315)。制御回路32は、ステップS305及びS315での判定結果に基づいて、スイッチ22及びスイッチ28を連動させて切り替える。

【0064】具体的には、制御回路32は、X1 > 2⁻¹の場合には、対数変換器24に部分ビット列D1が入力されるようにスイッチ22を切り替え、加算器26-1を経由する第1経路を選択するようにスイッチ28を切り*

$$1 \quad (L2 + L3 - 1 - 2) \cdot \text{Log} 2 \quad \dots\dots ($$

*を切り替える。

【0058】この切り替え動作により、X1 > 2⁻¹の場合には(S205)、対数変換器24は部分ビット列D1を入力され、その値X1に対する対数LogX1を求めて出力する(S210)。加算器26は対数変換器24の出力にオフセットビット列1を加算して出力する(S215)。スイッチ28は加算器26の出力(LogX1+ 1)を乗算器30へ伝達する。オフセットビット列1は(10)、(6)式に基づいて次式で与えられる。

【0059】
【数10】

*替える。また、制御回路32はX1 < 2⁻¹かつX2 > 2⁻²の場合には、対数変換器24に部分ビット列D2が入力されるようにスイッチ22を切り替え、加算器26-2を経由する第2経路を選択するようにスイッチ28を切り替える。さらに、制御回路32は、X1 < 2⁻¹かつX2 < 2⁻²の場合には、対数変換器24に部分ビット列D3が入力されるようにスイッチ22を切り替え、対数変換器24の出力を素通りさせる第3経路を選択するようにスイッチ28を切り替える。

【0065】この切り替え動作により、X1 > 2⁻¹の場合には(S305)、対数変換器24は部分ビット列D1を入力され、対数LogX1を出力する(S320)。加算器26-1は対数変換器24の出力にオフセットビット列1を加算して出力する(S325)。スイッチ28は加算器26-1の出力(LogX1+ 1)を乗算器30へ伝達する。

【0066】X1 < 2⁻¹かつX2 > 2⁻²の場合には(S315)、対数変換器24は部分ビット列D2を入力され、対数LogX2を出力する(S330)。加算器26-2は対数変換器24の出力にオフセットビット列2を加算して出力する(S335)。スイッチ28は加算器26-2の出力(LogX2+ 2)を乗算器30へ伝達する。

【0067】X1 < 2⁻¹かつX2 < 2⁻²の場合には(S315)、対数変換器24は部分ビット列D3を入力され、対数LogX3を出力する(S340)。スイッチ28は対数変換器24の出力LogX3を乗算器30へ伝達する。

【0068】以上のように、スイッチ28は、(LogX1+ 1)、(LogX2+ 2)及びLogX3のうちいずれかを選択して乗算器30へ出力し、乗算器30はその値に定数を乗じて対数変換部6から出力する(S345)。

【0069】1、2はそれぞれ(10)、(6)式に基づいて次式で与えられる。

【0070】
【数11】

$$2 \quad 1(3L3 - 2) \cdot \text{Log } 2$$

$$\dots\dots\dots (1 \quad 14$$

【発明の効果】本発明の超音波診断装置によれば、ビット数の多いエコーデータに対して、少ないクロック数で高速に対数演算でき、または容量の小さな対数テーブルで対数変換が実現できる。

【0071】また、優位部分ビット列の値が小さい場合は対数結果に誤差を生じるが、本発明のように誤差の大きい値の領域と優位部分ビット列の下位側の部分ビット列とをオーバーラップさせることにより、その誤差を低減させることができる。

【図面の簡単な説明】

【図1】 本実施形態に係る超音波診断装置の全体構成を示す概略のブロック図である。

【図2】 第1の実施形態においてn = 2の場合の対数変換部6の構成例を示す概略のブロック図である。

【図3】 図2の対数変換部6で行われる処理を説明するフロー図である。

【図4】 第1の実施形態においてn = 3の場合の対数変換部6の構成例を示す概略のブロック図である。 *

*【図5】 図4の対数変換部6で行われる処理を説明するフロー図である。

【図6】 第2の実施形態においてn = 2の場合の対数変換部6の構成例を示す概略のブロック図である。

【図7】 図6の対数変換部6で行われる処理を説明するフロー図である。

【図8】 第2の実施形態においてn = 3の場合の対数変換部6の構成例を示す概略のブロック図である。

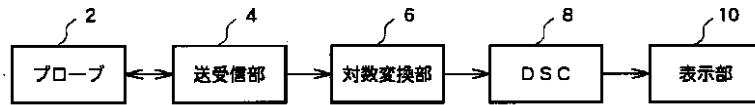
10 【図9】 図8の対数変換部6で行われる処理を説明するフロー図である。

【図10】 従来の超音波診断装置における対数変換を示す模式図である。

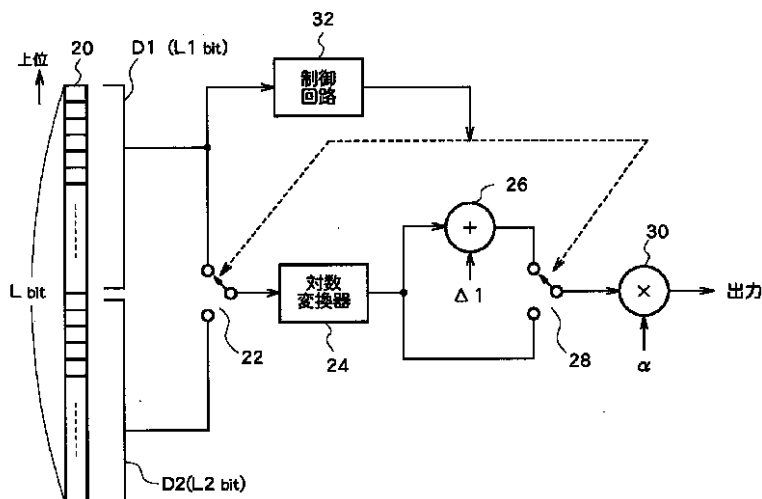
【符号の説明】

2 プローブ、4 送受信部、6 対数変換部、8 DSC、10 表示部、20 レジスタ、22, 28 スイッチ、24 対数変換器、26 加算器、30 乗算器、32 制御回路。

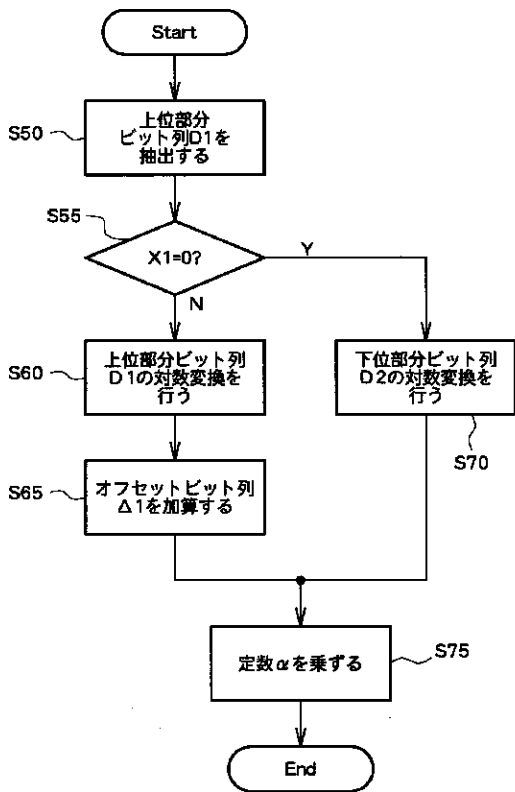
【図1】



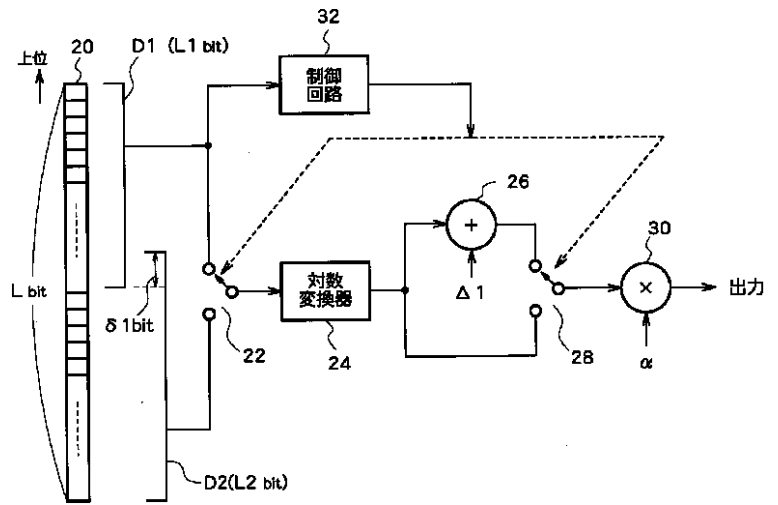
【図2】



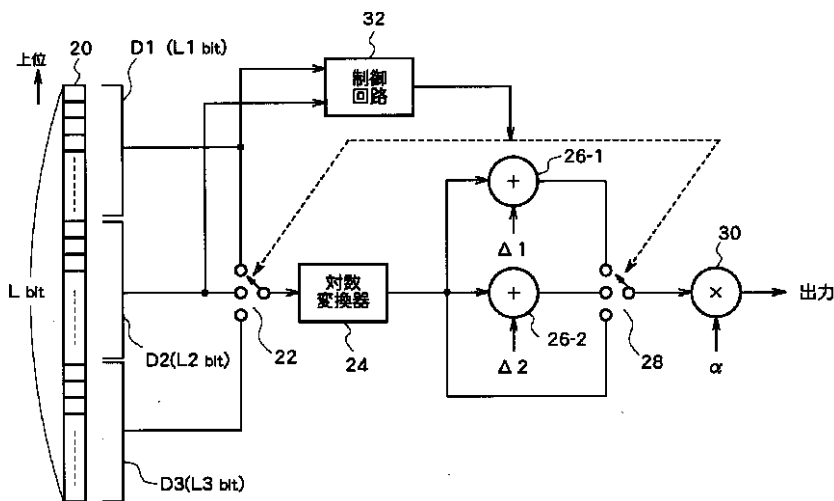
【図3】



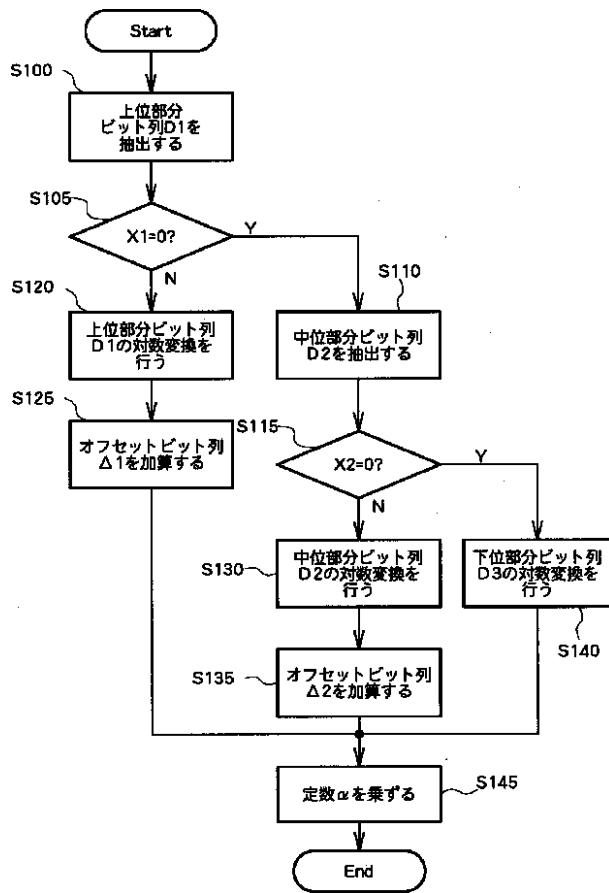
【図6】



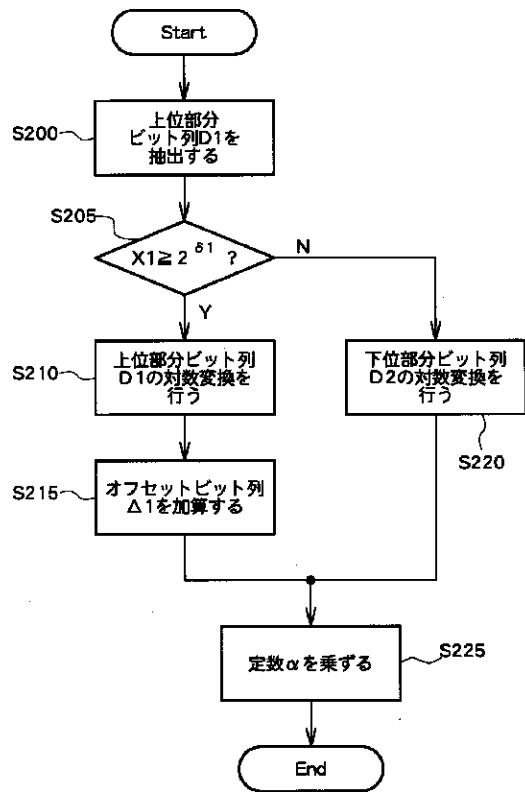
【図4】



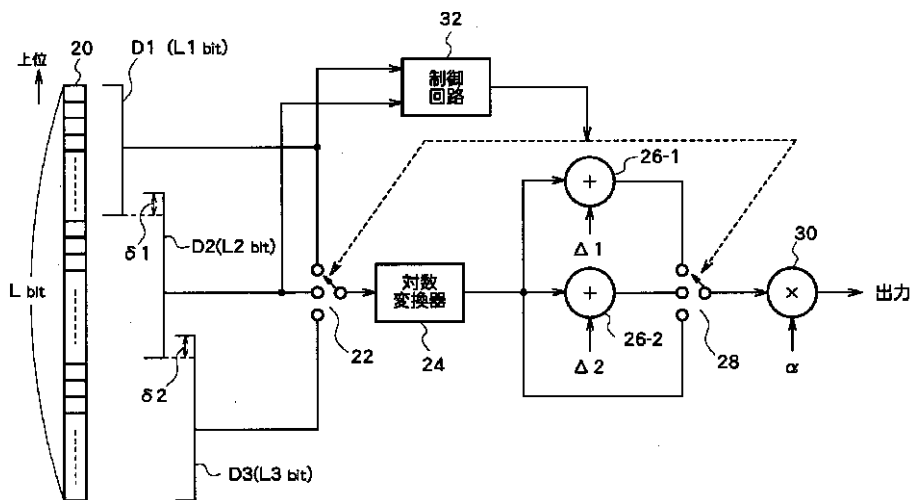
【図5】



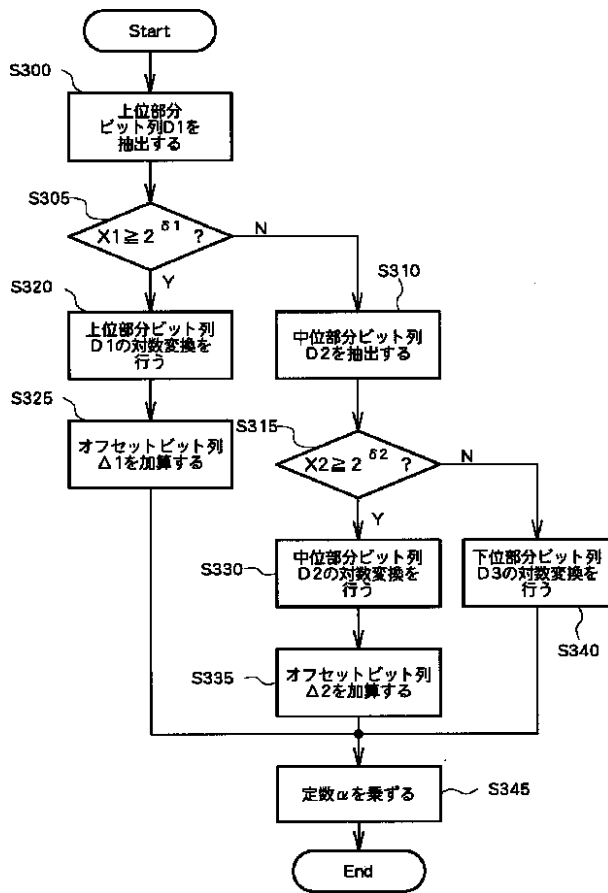
【図7】



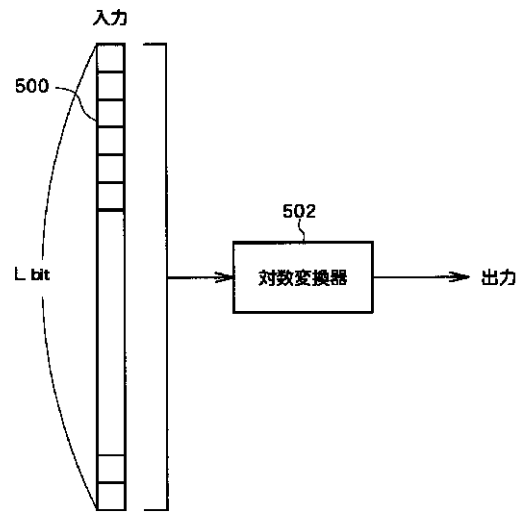
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 原田 烈光
 東京都三鷹市牟礼6丁目22番1号 アロカ
 株式会社内

Fターム(参考) 4C301 EE10 EE15 JB02 JB50
 4C601 EE07 EE12 JB60

专利名称(译)	超声诊断设备		
公开(公告)号	JP2003319937A	公开(公告)日	2003-11-11
申请号	JP2002129999	申请日	2002-05-01
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
[标]发明人	宫坂好一 尾形太 原田烈光		
发明人	宫坂 好一 尾形 太 原田 烈光		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C301/EE10 4C301/EE15 4C301/JB02 4C301/JB50 4C601/EE07 4C601/EE12 4C601/JB60 4C601/LL31		
其他公开文献	JP3954432B2		
外部链接	Espacenet		

摘要(译)

在超声诊断设备中，当回波数据的位数大时，对数转换的负担增加。解决方案：存储在寄存器20中的回波数据分为两个部分位串。控制电路32确定由高阶部分位串D1表示的值X1是否为0，并且当其为0时，D1由对数转换器24对数转换。加法器26将与回波数据位串中的D1的位置相对应的偏移位串 $\Delta 1$ 与对数 $\text{Log}X1$ 相加。控制电路32控制开关28，并将相加结果输出到乘法器30。另一方面，当 $X1 \neq 0$ 时，通过对数转换器24对数值为X2的低位部分比特串D2进行对数转换，并且将结果 $\text{Log}X2$ 输出到乘法器30。从对数转换单元输出乘以乘法器30中的常数 α 的数据作为通过近似对数转换回波数据而获得的数据。

