

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5337523号  
(P5337523)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

(51) Int.Cl. F I  
**H03K 17/687 (2006.01)** H03K 17/687 F  
**A61B 8/00 (2006.01)** A61B 8/00  
**G01N 29/44 (2006.01)** G01N 29/22 501

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2009-37338 (P2009-37338)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成21年2月20日(2009.2.20)	(74) 代理人	100100310 弁理士 井上 学
(65) 公開番号	特開2010-193329 (P2010-193329A)	(74) 代理人	100098660 弁理士 戸田 裕二
(43) 公開日	平成22年9月2日(2010.9.2)	(72) 発明者	花沢 聡 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部
審査請求日	平成24年2月2日(2012.2.2)	(72) 発明者	篠宮 敏夫 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

複数の電圧パルス発生回路が半導体基板上に形成されて成る半導体集積回路装置であって、

前記複数の電圧パルス発生回路のそれぞれは、第1端子に複数の異なる正電圧及び負電圧のいずれかが供給され、第2端子は出力端子に共通に接続されており、制御端子に入力される制御パルス信号に基づいて前記複数の異なる正電圧及び負電圧のパルス信号を発生するように構成され、

前記複数の電圧パルス発生回路のそれぞれは、ラッチ回路とP型アナログスイッチ及びN型アナログスイッチのいずれかを有しており、

前記P型アナログスイッチ及び前記N型アナログスイッチのそれぞれは、対応する導電型の第1MOSFET及び第2MOSFETを有し、前記第1MOSFETと前記第2MOSFETのソース端子同士が互いに接続され、前記電圧パルス発生回路の前記第1端子となる前記第1MOSFETのドレイン端子は前記複数の異なる正電圧及び負電圧のいずれか一つである第1の電圧が供給され、かつ、前記電圧パルス発生回路の前記第2端子となる前記第2MOSFETのドレイン端子は前記出力端子に接続されており、

前記ラッチ回路は、前記電圧パルス発生回路の前記制御端子に入力される前記制御パルス信号に基づいて対応する前記P型アナログスイッチ及び前記N型アナログスイッチのいずれかを制御するよう構成され、その基準電位が対応する前記第1MOSFETと前記第2MOSFETの共通接続されたソース端子の電位とされており、

10

20

前記複数の電圧パルス発生回路の一つである第1ラッチ回路及び第1N型アナログスイッチを有し、

前記第1N型アナログスイッチは、前記第1MOSFETに対応する第1のN型MOSFETと前記第2MOSFETに対応する第2のN型MOSFETとを有しており、

前記第1ラッチ回路の低電位側電源に前記第1のN型MOSFETと前記第2のN型MOSFETの共通接続されたソース端子が第1の浮動電圧として接続され、

前記ラッチ回路の高電位側電源に前記第1の浮動電圧よりも、低圧部電源として用いられる第2の電圧分だけ高い第3の電圧が供給され、

前記第1ラッチ回路は、

第1及び第2のP型MOSFETのソース端子に前記第3の電圧が供給され、

前記第1のP型MOSFETのドレイン端子に、前記第1及び第2のN型MOSFETのいずれよりも耐圧の低い第3のN型MOSFETのドレイン端子、前記第1及び第2のN型MOSFETのいずれよりも耐圧の低い第4のN型MOSFETのゲート端子、第3のP型MOSFETのドレイン端子、及び前記第1乃至第3のP型MOSFETのいずれよりも耐圧の低いP型MOSFETと前記第1及び第2のN型MOSFETのいずれよりも耐圧の低いN型MOSFETとの対から成る第1のインバータの高電位側が共通に接続され、

前記第2のP型MOSFETのドレイン端子に、前記第3のN型MOSFETのゲート端子、前記第4のN型MOSFETのドレイン端子、第4のP型MOSFETのドレイン端子、及び前記第1のインバータの入力端子が共通に接続され、

前記第1のインバータの出力端子に前記第1及び前記第2のN型MOSFETのゲート端子が共通に接続され、

前記第4及び前記第5のP型MOSFETのソース端子は共通に第1の電流源を介して前記第3の電圧に接続され、

前記第3のN型MOSFETのゲート端子に第1の容量の一方の電極及び第1のツェナーダイオードのカソードが共通に接続され、

前記第3のN型MOSFETのソース端子に前記第1の容量の他方の電極及び前記第1のツェナーダイオードのアノードが共通に接続され、

前記第4のN型MOSFETのゲート端子に第2の容量の一方の電極及び第2のツェナーダイオードのカソードが共通に接続され、

前記第4のN型MOSFETのソース端子に前記第2の容量の他方の電極及び前記第2のツェナーダイオードのアノードが共通に接続されて構成されることを特徴とする半導体集積回路装置。

**【請求項2】**

請求項1において、

前記複数の電圧パルス発生回路の一つである第2ラッチ回路及び第1P型アナログスイッチを有し、

前記第1P型アナログスイッチは、前記第1MOSFETに対応する第6のP型MOSFETと前記第2MOSFETに対応する第7のP型MOSFETとを有しており、

前記第2ラッチ回路の高電位側電源に前記第6のP型MOSFETと前記第7のP型MOSFETとのソース端子が第2の浮動電圧として接続され、

前記ラッチ回路の低電位側電源に前記第2の浮動電圧よりも、低圧部電源として用いられる第2の電圧分だけ低い第4の電圧が供給されることを特徴とする半導体集積回路装置

。

**【請求項3】**

複数の電圧パルス発生回路が半導体基板上に形成されて成る半導体集積回路装置であって、

前記複数の電圧パルス発生回路のそれぞれは、第1端子に複数の異なる正電圧及び負電圧のいずれかが供給され、第2端子は出力端子に共通に接続されており、制御端子に入力される制御パルス信号に基づいて前記複数の異なる正電圧及び負電圧のパルス信号を発生するように構成され、

10

20

30

40

50

前記複数の電圧パルス発生回路のそれぞれは、ラッチ回路とP型アナログスイッチ及びN型アナログスイッチのいずれかを有しており、

前記P型アナログスイッチ及び前記N型アナログスイッチのそれぞれは、対応する導電型の第1MOSFET及び第2MOSFETを有し、前記第1MOSFETと前記第2MOSFETのソース端子同士が互いに接続され、前記電圧パルス発生回路の前記第1端子となる前記第1MOSFETのドレイン端子は前記複数の異なる正電圧及び負電圧のいずれか一つである第1の電圧が供給され、かつ、前記電圧パルス発生回路の前記第2端子となる前記第2MOSFETのドレイン端子は前記出力端子に接続されており、

前記ラッチ回路は、前記電圧パルス発生回路の前記制御端子に入力される前記制御パルス信号に基づいて対応する前記P型アナログスイッチ及び前記N型アナログスイッチのいずれかを制御するよう構成され、その基準電位が対応する前記第1MOSFETと前記第2MOSFETの共通接続されたソース端子の電位とされており、

前記複数の電圧パルス発生回路の一つである第2ラッチ回路及び第1P型アナログスイッチを有し、

前記第1P型アナログスイッチは、前記第1MOSFETに対応する第6のP型MOSFETと前記第2MOSFETに対応する第7のP型MOSFETとを有しており、

前記第2ラッチ回路の高電位側電源に前記第6のP型MOSFETと前記第7のP型MOSFETとのソース端子が第2の浮動電圧として接続され、

前記ラッチ回路の低電位側電源に前記第2の浮動電圧よりも、低圧部電源として用いられる第2の電圧分だけ低い第4の電圧が供給され、

前記第2ラッチ回路は、

第5及び第6のN型MOSFETのソース端子に前記第4の電圧が供給され、

前記第5のN型MOSFETのドレイン端子に、前記第6及び第7のP型MOSFETのいずれよりも耐圧の低い第8のP型MOSFETのドレイン端子、前記第6及び第7のP型MOSFETのいずれよりも耐圧の低い第9のP型MOSFETのゲート端子、第7のN型MOSFETのドレイン端子、及び前記第5乃至第7のN型MOSFETのいずれよりも耐圧の低いN型MOSFETと前記第6及び第7のP型MOSFETのいずれよりも耐圧の低いP型MOSFETとの対から成る第2のインバータの低電位側が共通に接続され、

前記第6のN型MOSFETのドレイン端子に、前記第8のP型MOSFETのゲート端子、前記第9のP型MOSFETのドレイン端子、第8のN型MOSFETのドレイン端子、及び前記第2のインバータの入力端子が共通に接続され、

前記第2のインバータの出力端子に前記第6及び前記第7のP型MOSFETのゲート端子が共通に接続され、

前記第7及び前記第8のN型MOSFETのソース端子は共通に第2の電流源を介して前記第4の電圧に接続され、

前記第8のP型MOSFETのゲート端子に第3の容量の一方の電極及び第3のツェナーダイオードのアノードが共通に接続され、

前記第8のP型MOSFETのソース端子に前記第3の容量の他方の電極及び前記第3のツェナーダイオードのカソードが共通に接続され、

前記第9のP型MOSFETのゲート端子に第4の容量の一方の電極及び第4のツェナーダイオードのアノードが共通に接続され、

前記第9のP型MOSFETのソース端子に前記第4の容量の他方の電極及び前記第4のツェナーダイオードのカソードが共通に接続されて構成されることを特徴とする半導体集積回路装置。

【請求項4】

複数の電圧パルス発生回路が半導体基板上に形成されて成る半導体集積回路装置であって、

前記複数の電圧パルス発生回路のそれぞれは、第1端子に複数の異なる正電圧及び負電圧のいずれかが供給され、第2端子は出力端子に共通に接続されており、制御端子に入力される制御パルス信号に基づいて前記複数の異なる正電圧及び負電圧のパルス信号を発生

10

20

30

40

50

するように構成され、

前記複数の電圧パルス発生回路のそれぞれは、ラッチ回路とP型アナログスイッチ及びN型アナログスイッチのいずれかを有しており、

前記P型アナログスイッチ及び前記N型アナログスイッチのそれぞれは、対応する導電型の第1MOSFET及び第2MOSFETとを有し、前記第1MOSFETと前記第2MOSFETのソース端子同士が互いに接続され、前記電圧パルス発生回路の前記第1端子となる前記第1MOSFETのドレイン端子は前記複数の異なる正電圧及び負電圧のいずれか一つである第1の電圧が供給され、かつ、前記電圧パルス発生回路の前記第2端子となる前記第2MOSFETのドレイン端子は前記出力端子に接続されており、

前記ラッチ回路は、前記電圧パルス発生回路の前記制御端子に入力される前記制御パルス信号に基づいて対応する前記P型アナログスイッチ及び前記N型アナログスイッチのいずれかを制御するよう構成され、その基準電位が対応する前記第1MOSFETと前記第2MOSFETの共通接続されたソース端子の電位とされており、

前記複数の電圧パルス発生回路は、一単位のチャンネルに対応する複数チャンネル構成の超音波振動子を駆動する超音波診断装置用送信回路として機能するものであり、

前記複数の電圧パルス発生回路の一つである第1ラッチ回路及び第1N型アナログスイッチを有し、

前記第1N型アナログスイッチは、前記第1MOSFETに対応する第1のN型MOSFETと前記第2MOSFETに対応する第2のN型MOSFETとを有しており、

前記第1ラッチ回路の低電位側電源に前記第1のN型MOSFETと前記第2のN型MOSFETの共通接続されたソース端子が第1の浮動電圧として接続され、

前記ラッチ回路の高電位側電源に前記第1の浮動電圧よりも、低圧部電源として用いられる第2の電圧分だけ高い第3の電圧が供給されるものであり、

前記第1ラッチ回路は、

第1及び第2のP型MOSFETのソース端子に前記第3の電圧が供給され、

前記第1のP型MOSFETのドレイン端子に、前記第1及び第2のN型MOSFETのいずれよりも耐圧の低い第3のN型MOSFETのドレイン端子、前記第1及び第2のN型MOSFETのいずれよりも耐圧の低い第4のN型MOSFETのゲート端子、第3のP型MOSFETのドレイン端子、及び前記第1乃至第3のP型MOSFETのいずれよりも耐圧の低いP型MOSFETと前記第1及び第2のN型MOSFETのいずれよりも耐圧の低いN型MOSFETとの対から成る第1のインバータの高電位側が共通に接続され、

前記第2のP型MOSFETのドレイン端子に、前記第3のN型MOSFETのゲート端子、前記第4のN型MOSFETのドレイン端子、第4のP型MOSFETのドレイン端子、及び前記第1のインバータの入力端子が共通に接続され、

前記第1のインバータの出力端子に前記第1及び前記第2のN型MOSFETのゲート端子が共通に接続され、

前記第4及び前記第5のP型MOSFETのソース端子は共通に第1の電流源を介して前記第3の電圧に接続され、

前記第3のN型MOSFETのゲート端子に第1の容量の一方の電極及び第1のツェナーダイオードのカソードが共通に接続され、

前記第3のN型MOSFETのソース端子に前記第1の容量の他方の電極及び前記第1のツェナーダイオードのアノードが共通に接続され、

前記第4のN型MOSFETのゲート端子に第2の容量の一方の電極及び第2のツェナーダイオードのカソードが共通に接続され、

前記第4のN型MOSFETのソース端子に前記第2の容量の他方の電極及び前記第2のツェナーダイオードのアノードが共通に接続されて構成されることを特徴とする半導体集積回路装置。

【請求項5】

複数の電圧パルス発生回路が半導体基板上に形成されて成る半導体集積回路装置であって、

10

20

30

40

50

前記複数の電圧パルス発生回路のそれぞれは、第1端子に複数の異なる正電圧及び負電圧のいずれかが供給され、第2端子は出力端子に共通に接続されており、制御端子に入力される制御パルス信号に基づいて前記複数の異なる正電圧及び負電圧のパルス信号を発生するように構成され、

前記複数の電圧パルス発生回路のそれぞれは、ラッチ回路とP型アナログスイッチ及びN型アナログスイッチのいずれかを有しており、

前記P型アナログスイッチ及び前記N型アナログスイッチのそれぞれは、対応する導電型の第1MOSFET及び第2MOSFETとを有し、前記第1MOSFETと前記第2MOSFETのソース端子同士が互いに接続され、前記電圧パルス発生回路の前記第1端子となる前記第1MOSFETのドレイン端子は前記複数の異なる正電圧及び負電圧のいずれか一つである第1の電圧が供給され、かつ、前記電圧パルス発生回路の前記第2端子となる前記第2MOSFETのドレイン端子は前記出力端子に接続されており、

前記ラッチ回路は、前記電圧パルス発生回路の前記制御端子に入力される前記制御パルス信号に基づいて対応する前記P型アナログスイッチ及び前記N型アナログスイッチのいずれかを制御するよう構成され、その基準電位が対応する前記第1MOSFETと前記第2MOSFETの共通接続されたソース端子の電位とされており、

前記複数の電圧パルス発生回路は、一単位のチャネルに対応する複数チャネル構成の超音波振動子を駆動する超音波診断装置用送信回路として機能するものであり、

前記複数の電圧パルス発生回路の一つである第2ラッチ回路及び第1P型アナログスイッチを有し、

前記第1P型アナログスイッチは、前記第1MOSFETに対応する第6のP型MOSFETと前記第2MOSFETに対応する第7のP型MOSFETとを有しており、

前記第2ラッチ回路の高電位側電源に前記第6のP型MOSFETと前記第7のP型MOSFETとのソース端子が第2の浮動電圧として接続され、

前記ラッチ回路の低電位側電源に前記第2の浮動電圧よりも、低圧部電源として用いられる第2の電圧分だけ低い第4の電圧が供給されるものであり、

前記第2ラッチ回路は、

第5及び第6のN型MOSFETのソース端子に前記第4の電圧が供給され、

前記第5のN型MOSFETのドレイン端子に、前記第6及び第7のP型MOSFETのいずれよりも耐圧の低い第8のP型MOSFETのドレイン端子、前記第6及び第7のP型MOSFETのいずれよりも耐圧の低い第9のP型MOSFETのゲート端子、第7のN型MOSFETのドレイン端子、及び前記第5乃至第7のN型MOSFETのいずれよりも耐圧の低いN型MOSFETと前記第6及び第7のP型MOSFETのいずれよりも耐圧の低いP型MOSFETとの対から成る第2のインバータの低電位側が共通に接続され、

前記第6のN型MOSFETのドレイン端子に、前記第8のP型MOSFETのゲート端子、前記第9のP型MOSFETのドレイン端子、第8のN型MOSFETのドレイン端子、及び前記第2のインバータの入力端子が共通に接続され、

前記第2のインバータの出力端子に前記第6及び前記第7のP型MOSFETのゲート端子が共通に接続され、

前記第7及び前記第8のN型MOSFETのソース端子は共通に第2の電流源を介して前記第4の電圧に接続され、

前記第8のP型MOSFETのゲート端子に第3の容量の一方の電極及び第3のツェナーダイオードのアノードが共通に接続され、

前記第8のP型MOSFETのソース端子に前記第3の容量の他方の電極及び前記第3のツェナーダイオードのカソードが共通に接続され、

前記第9のP型MOSFETのゲート端子に第4の容量の一方の電極及び第4のツェナーダイオードのアノードが共通に接続され、

前記第9のP型MOSFETのソース端子に前記第4の容量の他方の電極及び前記第4のツェナーダイオードのカソードが共通に接続されて構成されることを特徴とする半導体集積回路装置。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、高電圧高速電力スイッチング回路や高耐圧高電力ドライバ回路を有する半導体集積回路装置に係り、特に超音波診断装置の送信回路を構成する高耐圧及び低耐圧の半導体素子を単結晶シリコンのような同一基板上に集積した半導体集積回路装置に関する。

## 【背景技術】

## 【0002】

従来、複数の電子スイッチング素子を用いて接地電位を含む正負複数の電位を有する電圧パルスで振動子を駆動する送信回路の模式的構成があった（例えば特許文献1参照）。 10

## 【0003】

また、従来、ゲート駆動回路部とMOSFETのゲートとを直流的に接続して駆動することによりAC結合容量を不要にした構成があった（例えば特許文献2参照）。

## 【0004】

また、従来、電子スイッチング素子として半導体素子である高耐圧CMOSFET(相補型電界効果型トランジスタ)と高耐圧ダイオードとを用いた超音波診断装置の送信回路があった（例えば非特許文献1参照）。

## 【先行技術文献】

## 【特許文献】

## 【0005】 20

【特許文献1】特開平9-234202号公報

【特許文献2】特開2008-252436号公報

## 【非特許文献】

## 【0006】

【非特許文献1】HV732 DATASHEET, Supertex inc.

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

図5は本発明に先立って発明者独自の視点から特許文献1に記載の第6図を捕らえ直したパルス発生装置の構成図である。図5に示すように、前記電子スイッチング素子として半導体素子である高耐圧CMOSFETを備えているが、例えば各電位の電位関係が $V_{PP1} > V_{PP2} > GND > V_{NN2} > V_{NN1}$ であるとき、S2或いはS4にオン信号が入力しN型高耐圧MOSFETがターンオンすると、S5がオフ信号でもS5によって制御されるN型高耐圧MOSFETの寄生ダイオードを通じて $V_{NN1} \sim GND$ 間、或いは $V_{NN2} \sim GND$ 間の導通が発生してしまう。なお、以降の図において丸で囲んだトランジスタやダイオードは高耐圧素子、囲んでいないものは低耐圧素子であることを示す。 30

## 【0008】

図6Aは本発明に先立って発明者独自の視点から非特許文献1に記載の代表図を捕らえ直したパルス発生装置の構成図である。非特許文献1は、図6Aに示すように、前記電子スイッチング素子として半導体素子である高耐圧CMOSFETと高耐圧ダイオードとを用いた超音波診断装置の送信回路について記載されている。VPP、VNN、或いはGNDのいずれかの電圧を出力する3レベルパルサ構成となっている。 40

## 【0009】

ソースが接地されたMOSFETのドレインと出力端子間に挿入された高耐圧ダイオードは、図5の説明で上述した課題であるS1或いはS2をオンしてOUT出力電圧をVPP1或いはVNN1にすると、MOSFETの寄生ダイオードを介してのVPP1～GND間或いはVNN1～GND間の導通を回避するに必須である。

## 【0010】

図6Bは図6Aの回路を動作させた場合のタイミングチャートである。図6Bにおいて、S3及びS4がオンするとOUT出力電圧は接地電位となるが、S3及びS4がオンの状態を保持 50

し続けても、高耐圧ダイオードがあるためOUT出力は $-VF$ 以上かつ $+VF$ 以下の範囲で、すなわち $OUT < |VF|$ の区間は、ハイインピーダンスとなる（図6Bの領域X参照）。ここで $VF$ とは高耐圧ダイオードの順電圧である。

【0011】

超音波診断システムに用いられる送受信回路は、多チャンネル化による画像分解能向上と装置小型化の両立のため、集積化が継続的に推進されている。送信回路においても、図6Aに示すような回路構成を単位チャンネルとして、半導体集積回路による多チャンネル集積化が進められているが、チャンネル数増加及びチャンネル間距離縮小によってチャンネル間のクロストークは増加する傾向にある。OUT出力がハイインピーダンスの状態であると、チャンネル間のクロストークによるノイズが重畳しやすくなる。そのノイズによるOUT出力電圧変化が振動子に伝わって、意図しない超音波を発生してしまう、いわゆる誤送信が第1の課題となる。

10

【0012】

図7Aは図6Aの回路構成にP型高耐圧MOSFETとN型高耐圧MOSFETのソースがそれぞれVP2及びVNN2に接続された回路を追加して5レベルパルサを実現する回路構成例である。例えば各電位の電位関係が $VPP1 > VPP2 > GND > VNN2 > VNN1$ であるとき、電源～GND間の導通を回避するために、前記P型高耐圧MOSFETとN型高耐圧MOSFETのドレインと出力端子間にはそれぞれ高耐圧ダイオード挿入が必須である。

【0013】

図7Bは図7Aの回路を動作させた場合のタイミングチャートである。図7Bにおいて、S5がオンするとOUT出力電圧は $VPP2 - VF$ となるが、それ以上の電圧でハイインピーダンスとなる。S6がオンした場合も同様である。そのため、S5或いはS6オン時に波形オーバーシュートしやすい（図7Bの領域Y参照）。すなわち、電源配線インピーダンス等の影響で波形オーバーシュートする場合、それを抑制できないという第2の課題がある。

20

【0014】

図8Aは図7Aの回路構成にP型高耐圧MOSFETとN型高耐圧MOSFETのソースがそれぞれVN2及びVPP2に接続された回路を追加して5レベルパルサを実現する回路構成例である。また、図8Bは図8Aの回路を動作させた場合のタイミングチャートである。この回路構成は、前記第2の課題である波形オーバーシュートの課題を解決することが出来る。また図7Bのタイミングチャートに示すような交互に電圧極性が変化するような波形に加えて、図8Bのタイミングチャートに示すような階段状5レベル波形も実現できる効果がある。しかし、半導体素子数が多く、チャンネル集積度が制限される第3の課題がある。また図8Aの回路構成では依然として前記第1の課題である誤送信を改善できない。

30

【0015】

本発明の目的は、超音波診断装置等に用いられる、接地電位を含む正負複数の電位を有する電圧パルスで振動子を駆動する送信回路において、前記課題である誤送信や波形オーバーシュートを改善するために出力がハイインピーダンス状態にならない回路構成を提供し、且つ前記送信回路を単位チャンネルとして複数チャンネルを集積したパルス発生回路を実現することにある。

【課題を解決するための手段】

40

【0016】

本発明の代表的な構成の一例を示せば以下のようなになる。すなわち、本発明の半導体集積回路装置は、複数の異なる正電圧及び負電圧、及び接地電圧がそれぞれ複数の半導体スイッチング素子の一方の端子に各別に接続され、かつ、前記複数の半導体スイッチング素子の他方の端子が出力端子として共通に接続されて成る電圧パルス発生回路が半導体基板上に形成されて成る半導体集積回路装置であって、前記電圧パルス発生回路が前記複数の半導体スイッチング素子の制御端子に入力される制御パルス信号に基づいて接地電位を含む正負複数の電位を有する電圧パルス信号を発生させるよう構成されることを特徴とする。

【発明の効果】

50

## 【 0 0 1 7 】

本発明の半導体集積回路装置によれば、出力がハイインピーダンス状態にならず、接地電位を含む正負複数の電位を有する電圧パルスで振動子を駆動する送信回路が少ない半導体素子数で実現可能であり、よって、例えば超音波診断装置用途のパルス送信回路において、複数チャンネルを集積して小型化を図ると共に、誤送信や波形オーバーシュートを改善して波形品質を良好ならしめることができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 8 】

【 図 1 A 】 本発明を適用した電圧パルス発生回路の回路構成図である。

【 図 1 B 】 本発明を適用した送信回路を動作させた場合のタイミングチャートである。

10

【 図 2 】 本発明を適用した電圧パルス発生回路の変形例を示す回路構成図である。

【 図 3 】 本発明の N 型アナログスイッチにおけるゲート制御回路の回路図及びタイミングチャートである。

【 図 4 】 本発明の P 型アナログスイッチにおけるゲート制御回路の回路図及びタイミングチャートである。

【 図 5 】 本発明に先立って発明者独自の視点から従来を送信回路を捉え直した送信回路の構成図である。

【 図 6 A 】 本発明に先立って発明者独自の視点から従来を送信回路を捉え直した送信回路の構成図である。

【 図 6 B 】 図 6 A の送信回路を動作させた場合のタイミングチャートである。

20

【 図 7 A 】 本発明に先立って発明者独自の視点から従来を送信回路を捉え直した送信回路の構成図である。

【 図 7 B 】 図 7 A の送信回路を動作させた場合のタイミングチャートである。

【 図 8 A 】 本発明に先立って発明者独自の視点から従来を送信回路を捉え直した送信回路の構成図である。

【 図 8 B 】 図 8 A の送信回路を動作させた場合のタイミングチャートである。

【 図 9 】 本発明を適用した複数チャンネル構成の電圧パルス発生回路が超音波診断装置用送信回路として共通の半導体基板上に一体に形成された半導体集積回路装置の構成図である。

## 【 発明を実施するための形態 】

30

## 【 0 0 1 9 】

本発明の半導体集積回路装置は、複数の異なる正電圧及び負電圧、及び接地電圧がそれぞれ複数の半導体スイッチング素子の一方の端子に各別に接続され、かつ、その複数の半導体スイッチング素子の他方の端子が出力端子として共通に接続されて成る電圧パルス発生回路が共通の半導体基板上に形成されて成る半導体集積回路装置であって、電圧パルス発生回路が複数の半導体スイッチング素子の制御端子に入力される制御パルス信号に基づいて接地電位を含む正負複数の電位を有する電圧パルス信号を発生させるよう構成される。

## 【 0 0 2 0 】

より具体的には、本発明の半導体集積回路装置は、ソース端子が最も絶対値の大きい第 1 の正電源に接続され、ドレイン端子が出力端子に接続された第 1 の P 型高耐圧 MOSFET と、ソース端子が最も絶対値の大きい第 1 の負電源に接続され、ドレイン端子が出力端子に接続された第 1 の N 型高耐圧 MOSFET と、第 2 の P 型高耐圧 MOSFET と第 3 の P 型高耐圧 MOSFET のゲート端子同士及びソース端子同士が接続され、前記第 2 の P 型 MOSFET のドレイン端子が第 2 の正電源に接続され、前記第 3 の P 型高耐圧 MOSFET のドレイン端子が出力端子に接続された構成から成る第 1 の P 型アナログスイッチと、第 2 の N 型高耐圧 MOSFET と第 3 の N 型高耐圧 MOSFET のゲート端子同士及びソース端子同士が接続され、前記第 2 の N 型高耐圧 MOSFET のドレイン端子が出力端子に接続され、前記第 3 の N 型高耐圧 MOSFET のドレイン端子が第 2 の負電源に接続された構成から成る第 1 の N 型アナログスイッチと、第 4 の N 型高耐圧 MOSFET と第 5 の N 型高耐圧 MOSFET のゲート端子同士及びソース端子同士が接続され、前記第 4 の N 型高耐圧 M

40

50

OSFETのドレイン端子が出力端子に接続され、前記第5のN型高耐圧MOSFETのドレイン端子が接地された構成から成る第2のN型アナログスイッチと、前記第1のP型高耐圧MOSFETと第1のN型高耐圧MOSFETと第1のP型アナログスイッチと第1のN型アナログスイッチと第2のN型アナログスイッチのそれぞれのゲート端子電圧制御手段とを具備する。

【0021】

この構成により、出力がハイインピーダンス状態にならず、接地電位を含む正負複数の電位を有する電圧パルスで振動子を駆動する送信回路が少ない半導体素子数で実現可能であり、よって複数チャネルを集積し、且つ誤送信や波形オーバーシュートを改善した波形品質の良い超音波診断装置用途に適した半導体集積回路装置を実現することができる。

【0022】

以下、本発明の実施例について図面を用いて説明する。実施例の各ブロックを構成する回路素子は公知の低耐圧及び高耐圧CMOSFET、ダイオード、抵抗、容量等であり、集積回路技術によって、単結晶シリコンのような単一の半導体基板上に形成される。

【実施例1】

【0023】

図1Aは本発明を適用した送信回路の実施例を示したものである。本実施例の電圧パルス発生回路は以下の特徴を有する半導体集積回路装置として実現される。すなわち、電圧パルス発生回路は、複数の異なる正電圧（ $VPP1 \sim VPPk$ （ $k$ は2以上の整数とする））及び負電圧（ $VNN1 \sim VNNm$ （ $m$ は2以上の整数とする））、及び接地電圧（GND）がそれぞれ複数の半導体スイッチング素子の一方の端子に各別に接続され、他方の端子が出力端子（OUT）として共通に接続された構成であり、単一の半導体基板上に一体的に形成される。この電圧パルス発生回路は、複数の半導体スイッチング素子の制御端子（ $S1 \sim Ss$ （ $s$ はスイッチング素子の数であり、例えば図1Aでは5である））に入力される制御パルス信号に基づいて、接地電位（GND）を含む正負複数の電位が組み合わせられた波形パターンを有する電圧パルス信号を発生させて出力端子（OUT）へ出力する。例えば図1Aにおいては、本実施例の半導体集積回路装置は、パルス発生回路部10、20、30、及びGNDレベルダンピング回路部40から構成され、出力端子OUTと接続される振動子50を、正電圧 $VPP1$ 、 $VPP2$ 、負電圧 $VNN1$ 、 $VNN2$ 、及びGNDの5つの電位を有する電圧パルスで駆動できる構成となっている。本実施例では、各レベルの電位関係を電位の高い順に $VPP1$ 、 $VPP2$ 、GND、 $VNN2$ 、 $VNN1$ とする。

【0024】

複数の半導体スイッチング素子を構成する2つの半導体スイッチング素子を含むパルス発生回路部10は、半導体スイッチング素子であるP型MOSFET 11及びN型MOSFET 12と、それぞれのゲート端子を駆動するゲート駆動回路部13及び14とで構成される。より具体的には、P型MOSFET 11のゲート端子と制御端子 $S1$ とがゲート駆動回路部13を介して互いに接続され、かつ、P型MOSFET 11のソース端子に複数の異なる正電圧のうち最も絶対値の大きい第1の電圧（例えば図1Aでは正電圧 $VPP1$ ）が供給され、かつ、P型MOSFET 11のドレイン端子が出力端子OUTに接続されて成り、N型MOSFET 12のゲート端子と制御端子 $S2$ とがゲート駆動回路部14を介して互いに接続され、かつ、N型MOSFET 12のソース端子に複数の異なる負電圧のうち最も絶対値の大きい第1の電圧（例えば図1Aでは負電圧 $VNN1$ ）が供給され、かつ、N型MOSFET 12のドレイン端子が出力端子OUTに接続されて成る。

【0025】

複数の半導体スイッチング素子を構成する1つの半導体スイッチング素子を含むパルス発生回路部20は、第1のP型MOSFET 21と第2のP型MOSFET 22とのソース端子同士が互いに接続され、かつ、第1のP型MOSFET 21と第2のP型MOSFET 22とのゲート端子同士が互いに接続され、かつ、第1のP型MOSFET 21のドレイン端子に複数の異なる正電圧及び負電圧のいずれか一つである第1の電圧（例えば図1Aでは正電圧 $VPP2$ ）が供給され、かつ、第2のP型MOSFET 22のドレイン端子が出力端子OUTに接続されて成るP型アナログスイッチと、前記P型アナログスイッチのゲート端子を駆動するゲート駆動回路部23とで構成される。例えば、P型高耐圧MOSFET 21及び22のゲート端子同士及びソース端子同士が接続

10

20

30

40

50

され、P型高耐圧MOSFET21のドレイン端子が正電源VPP2に接続され、P型高耐圧MOSFET22のドレイン端子が出力端子OUTに接続され、それらのゲート端子を駆動する浮動電圧型低耐圧ゲート駆動回路部23を有して構成され、共通ゲート端子と制御端子S3とは、浮動電圧型低耐圧ゲート駆動回路部23を介して互いに接続される。

【 0 0 2 6 】

浮動電圧型低耐圧ゲート駆動回路部23としては、制御端子S3から入力される制御信号に基づいてP型アナログスイッチ回路20のゲート端子にゲート制御信号を与えるラッチ回路が好適である。例えば、ラッチ回路の高電位側電源に第1のP型MOSFET 21と第2のP型MOSFET 22とのソース端子が第2のP型MOSFET 22のドレイン端子に接続された出力端子OUTの電圧によって変動する第2の浮動電圧として接続され、ラッチ回路の低電位側電源に第1のP型MOSFET 21のドレイン端子に供給される第1の電圧VPP2より低い低圧部電源として用いられる第2の電圧分だけ低い第4の電圧が供給される。

10

【 0 0 2 7 】

ラッチ回路は第3及び第4のN型MOSFETのソース端子に第4の電圧が供給され、第3のN型MOSFETのドレイン端子に、第1及び第2のP型MOSFET 21、22のいずれよりも耐圧の低い第7のP型MOSFETのドレイン端子、第1及び第2のP型MOSFET 21、22のいずれよりも耐圧の低い第8のP型MOSFETのゲート端子、第5のN型MOSFETのドレイン端子、及び第1乃至第5のN型MOSFETのいずれよりも耐圧の低いN型MOSFETと第1及び第2のP型MOSFET 21、22のいずれよりも耐圧の低いP型MOSFETとの対から成る第2のインバータの低電位側が共通に接続され、第4のN型MOSFETのドレイン端子に、第7のP型MOSFETのゲート端子、第8のP型MOSFETのドレイン端子、第6のN型MOSFETのドレイン端子、及び第2のインバータの入力端子が共通に接続され、第2のインバータの出力端子に第1及び第2のP型MOSFET 21、22のゲート端子が共通に接続され、第5及び第6のN型MOSFETのソース端子は共通に第2の電流源を介して第4の電圧に接続され、第7のP型MOSFETのゲート端子に第3の容量の一方の電極及び第3のツェナーダイオードのアノードが共通に接続され、第7のP型MOSFETのソース端子に第3の容量の他方の電極及び第3のツェナーダイオードのカソードが共通に接続され、第8のP型MOSFETのゲート端子に第4の容量の一方の電極及び第4のツェナーダイオードのアノードが共通に接続され、第8のP型MOSFETのソース端子に第4の容量の他方の電極及び第4のツェナーダイオードのカソードが共通に接続されて構成される。

20

30

【 0 0 2 8 】

複数の半導体スイッチング素子を構成する1つの半導体スイッチング素子を含むパルス発生回路部30は、第1のN型MOSFET 32と第2のN型MOSFET 31とのソース端子同士が互いに接続され、かつ、第1のN型MOSFET 32と第2のN型MOSFET 31とのゲート端子同士が互いに接続され、かつ、第1のN型MOSFET 32のドレイン端子に複数の異なる正電圧及び負電圧のいずれか一つである第1の電圧（例えば図1Aでは負電圧VNN2）が供給され、かつ、第2のN型MOSFET 31のドレイン端子が出力端子OUTに接続されて成るN型アナログスイッチと、前記N型アナログスイッチのゲート端子を駆動するゲート駆動回路部33とで構成される。例えば、N型高耐圧MOSFET31及び32のゲート端子同士及びソース端子同士が接続され、N型高耐圧MOSFET31のドレイン端子が出力端子OUTに接続され、N型高耐圧MOSFET32のドレイン端子が負電源VNN2に接続され、それらのゲート端子を駆動する浮動電圧型低耐圧ゲート駆動回路部33を有して構成され、共通ゲート端子と制御端子S4とは、浮動電圧型低耐圧ゲート駆動回路部33を介して互いに接続される。

40

【 0 0 2 9 】

複数の半導体スイッチング素子を構成する1つの半導体スイッチング素子を含むパルス発生回路部40は、第1のN型MOSFET 42と第2のN型MOSFET 41とのソース端子同士が互いに接続され、かつ、第1のN型MOSFET 42と第2のN型MOSFET 41とのゲート端子同士が互いに接続され、かつ、第1のN型MOSFET 42のドレイン端子に複数の異なる電圧のいずれか一つである第1の電圧（例えば図1Aでは接地電位GND）が供給され、かつ、第2のN型MOSFET 41のドレイン端子が出力端子OUTに接続されて成るN型アナログスイッチと、前

50

記N型アナログスイッチのゲート端子を駆動するゲート駆動回路部43とで構成される。例えば、N型高耐圧MOSFET41及び42のゲート端子同士及びソース端子同士が接続され、N型高耐圧MOSFET41のドレイン端子が出力端子OUTに接続され、N型高耐圧MOSFET42のドレイン端子が接地電位GNDに接続され、それらのゲート端子を駆動する浮動電圧型低耐圧ゲート駆動回路部43を有して構成され、共通ゲート端子と制御端子S5とは、浮動電圧型低耐圧ゲート駆動回路部43を介して互いに接続される。

#### 【 0 0 3 0 】

浮動電圧型低耐圧ゲート駆動回路部33、43としては、制御端子S4、S5から入力される制御信号に基づいてN型アナログスイッチ回路30、40のゲート端子にゲート制御信号を与えるラッチ回路が好適である。例えば、ラッチ回路の低電位側電源に第1のN型MOSFET 32、42と第2のN型MOSFET 31、41とのソース端子が第2のN型MOSFET 31、41のドレイン端子に接続された出力端子OUTの電圧によって変動する第1の浮動電圧として接続され、ラッチ回路の高電位側電源に第1のN型MOSFET 32、42のドレイン端子に供給される第1の電圧VNN2、GNDより低い低圧部電源として用いられる第2の電圧分だけ高い第3の電圧が供給される。

#### 【 0 0 3 1 】

ラッチ回路は第3及び第4のP型MOSFETのソース端子に第3の電圧が供給され、第3のP型MOSFETのドレイン端子に、第1及び第2のN型MOSFET 32、42、31、41のいずれよりも耐圧の低い第7のN型MOSFETのドレイン端子、第1及び第2のN型MOSFET 32、42、31、41のいずれよりも耐圧の低い第8のN型MOSFETのゲート端子、第5のP型MOSFETのドレイン端子、及び第1乃至第5のP型MOSFETのいずれよりも耐圧の低いP型MOSFETと第1及び第2のN型MOSFET 32、42、31、41のいずれよりも耐圧の低いN型MOSFETとの対から成る第1のインバータの高電位側が共通に接続され、第4のP型MOSFETのドレイン端子に、第7のN型MOSFETのゲート端子、第8のN型MOSFETのドレイン端子、第6のP型MOSFETのドレイン端子、及び第1のインバータの入力端子が共通に接続され、第1のインバータの出力端子に第1及び前記第2のN型MOSFETのゲート端子が共通に接続され、第5及び第6のP型MOSFETのソース端子は共通に第1の電流源を介して第3の電圧に接続され、第7のN型MOSFETのゲート端子に第1の容量の一方の電極及び第1のツェナーダイオードのカソードが共通に接続され、第7のN型MOSFETのソース端子に第1の容量の他方の電極及び第1のツェナーダイオードのアノードが共通に接続され、第8のN型MOSFETのゲート端子に第2の容量の一方の電極及び第2のツェナーダイオードのカソードが共通に接続され、第8のN型MOSFETのソース端子に第2の容量の他方の電極及び第2のツェナーダイオードのアノードが共通に接続されて構成される。

#### 【 0 0 3 2 】

次に、図1Aのパルス発生回路部10の動作について説明する。図1Bは図1Aの回路を動作させた場合のタイミングチャートである。パルス発生回路部10は図1Bのタイミングチャートに示すように、最も絶対値の大きい正電圧VPP1或いは負電圧VNN1の電圧パルスを発生する機能を有する。

#### 【 0 0 3 3 】

通常P型高耐圧MOSFET11及びN型高耐圧MOSFET12には半導体基板上の低占有面積化、高速動作化、及び低耐圧論理回路との親和性の観点からドレイン・ソース間が高耐圧でゲート・ソース間が低耐圧であるLDMOS(Laterally Diffused MOS)が使用される。従って、前段の低耐圧論理入力信号は低耐圧MOSFETを用いたドライブバッファ等で構成されるゲート駆動回路部13及び14を経て、AC結合容量を介してP型高耐圧MOSFET11及びN型高耐圧MOSFET12の低耐圧ゲートを駆動する。

#### 【 0 0 3 4 】

AC結合容量は10nF程度が必要で半導体基板上での集積化が困難なため外付部品となるが、ゲート駆動回路部とMOSFETのゲートとを直流的に接続して駆動することによりAC結合容量が不要な構成も可能である(例えば特許文献2参照)。

#### 【 0 0 3 5 】

図1 A のパルス発生回路部20はP型アナログスイッチであり、図 1 B のタイミングチャートに示すように正電圧VPP2のパルスを発生する機能を有する。

【 0 0 3 6 】

図 1 A のパルス発生回路部20の動作について図4を用いて説明する。図4におけるVA及びOUTは、それぞれ図1 A におけるVPP2及びOUTに対応し、図4におけるPSW1及びPSW2は図 1 A におけるP型高耐圧MOSFET21及び22に対応する。

【 0 0 3 7 】

図4のA部は図1 A の浮動電圧型低耐圧ゲート駆動回路部23に対応し、PSW1及びPSW2を駆動する浮動電圧型低耐圧ゲート駆動回路の回路構成の一例である。A部は基本的にラッチ回路構成であり、回路の電源レールの高電圧側はSW間のフローティング状態のソースに接続され、低電圧側はVA-VDDにバイアスされている。VAには前記のようにVPP2が印加されており、VDDは5V程度が用いられる。

【 0 0 3 8 】

PSW1及びPSW2はゲート共通のため同時にオン又はオフする。SWをオンするにはSW\_ON端子をHレベル、SW\_OFF端子をLレベルにする。このときM6がオンし、M2のゲートソース間に接続されたツェナーダイオードZ2に電流源Iへの電流パスができることにより、Z2に5V程度のツェナー電圧が発生すると共に容量C2が充電されてM2がオンする。これと同時にSW\_ON Boost 端子に数十nsec程度のHレベルパルスを印加してM7をオンさせることにより、前記M2オン動作の高速性を改善することができ、特に超音波診断装置の送信パルサー用途に好適である。このときM3とM4から成るインバータの入力にHレベルが印加され、その出力であるLレベルがSWのゲートに印加されることによりSWがオンして、出力端子OUTにVA端子に供給されている電圧VPP2が印加される。

【 0 0 3 9 】

SWをオフするにはSW\_ON端子をLレベル、SW\_OFF端子をHレベルにする。このときM5がオンし、M1のゲートソース間に接続されたツェナーダイオードZ1に電流源Iへの電流パスができることにより、Z1に5V程度のツェナー電圧が発生すると共に容量C1が充電されてM1がオンする。これと同時にSW\_OFF Boost 端子に数十nsec程度のHレベルパルスを印加してM8をオンさせることにより、前記M1オン動作の高速性を改善することができる。このときM4のソース電位はノードSと同電位となるため、SWがオフする。

【 0 0 4 0 】

SWがオフ状態のとき、出力端子OUTの電位は同じく出力端子OUTに接続された他の回路からのバイアス電圧で決まる。このバイアス電圧は図1 B に示すとおり、最も低い電位VNN1から最も高い電位VPP1までの値を取り得る。図4において、出力端子OUTの電位が他端の電位VAより低い場合、ノードSの電位はVA-VFとなりSW2の寄生ダイオードが耐圧保護を行う。また、出力端子OUTの電位が他端の電位VAより高い場合、ノードS電位はOUT-VFとなり、N型高耐圧MOSFETの M5、M6、M7、M8が上部低耐圧素子の耐圧保護を行う。

【 0 0 4 1 】

図1 A のパルス発生回路部30はN型アナログスイッチであり、タイミングチャートに示すように負電圧VNN2のパルスを発生する機能を有する。

【 0 0 4 2 】

図 1 A のパルス発生回路部30の動作について図3を用いて説明する。図3におけるVA及びOUTは、それぞれ図1 A におけるVNN2及びOUTに対応し、図3におけるNSW1及びNSW2は図 1 A におけるN型高耐圧MOSFET32及び31に対応する。

【 0 0 4 3 】

図3のA部は図1 A の浮動電圧型低耐圧ゲート駆動回路部33に対応し、NSW1及びNSW2を駆動する浮動電圧型低耐圧ゲート駆動回路の回路構成の一例である。図4に示す浮動電圧型低耐圧ゲート駆動回路の反回路構成となっている。A部は基本的にラッチ回路構成であり、回路の電源レールの高電圧側はVA+VDDにバイアスされ、低電圧側はSW間のフローティング状態のソースに接続されている。VAには前記のようにVNN2が印加されており、VDDは5V程度が用いられる。

10

20

30

40

50

## 【 0 0 4 4 】

NSW1及びNSW2はゲート共通のため同時にオン又はオフする。SWをオンするにはSW\_ON端子をLレベル、SW\_OFF端子をHレベルにする。このときM6がオンし、M2のゲートソース間に接続されたツェナーダイオードZ2に電流源Iへの電流パスができることにより、Z2に5V程度のツェナー電圧が発生すると共に容量C2が充電されてM2がオンする。これと同時にSW\_ON Boost端子に数十nsec程度のLレベルパルス印加してM7をオンさせることにより、前記M2オン動作の高速性を改善することができる。このときM3とM4から成るインバータの入力にLレベルが印加され、その出力であるHレベルがSWのゲートに印加されることによりSWがオンして、出力端子OUTにVA端子に供給されている電圧VNN2が印加される。

## 【 0 0 4 5 】

SWをオフするにはSW\_ON端子をHレベル、SW\_OFF端子をLレベルにする。このときM5がオンし、M1のゲートソース間に接続されたツェナーダイオードZ1に電流源Iへの電流パスができることにより、Z1に5V程度のツェナー電圧が発生すると共に容量C1が充電されてM1がオンする。これと同時にSW\_OFF Boost端子に数十nsec程度のLレベルパルス印加してM8をオンさせることにより、前記M1オン動作の高速性を改善することができる。このときM3のソース電位はノードSと同電位となるため、SWがオフする。

## 【 0 0 4 6 】

SWがオフ状態のとき、出力端子OUTの電位は同じく出力端子OUTに接続された他の回路からのバイアス電圧で決まる。このバイアス電圧は図1Bに示すとおり、最も低い電位VNN1から最も高い電位VPP1までの値を取り得る。図3において、出力端子OUTの電位が他端の電位VAより高い場合、ノードSの電位はVA+VFとなりSW2の寄生ダイオードが耐圧保護を行う。また、出力端子OUTの電位が他端の電位VAより低い場合、ノードS電位はOUT+VFとなり、P型高耐圧MOSFETのM5、M6、M7、M8が下部低耐圧素子の耐圧保護を行う。

## 【 0 0 4 7 】

図1AのGNDレベルダンピング回路部40はN型アナログスイッチであり、タイミングチャートに示すようにオン時速やかに出力端子OUTの電位をGNDレベルに引き戻す機能を有する。

## 【 0 0 4 8 】

図1AのGNDレベルダンピング回路部40の動作について図3を用いて説明する。図3におけるVA及びOUTは、それぞれ図1AにおけるGND及びOUTに対応し、図3におけるNSW1及びNSW2は図1AにおけるN型高耐圧MOSFET42及び41に対応する。

## 【 0 0 4 9 】

図3のA部は図1Aの浮動電圧型低耐圧ゲート駆動回路部43に対応し、NSW1及びNSW2を駆動する浮動電圧型低耐圧ゲート駆動回路の回路構成の一例である。GNDレベルダンピング回路部40の動作原理はパルス発生回路部30の動作原理と同様である。従って、浮動電圧型低耐圧ゲート駆動回路部43の動作原理は浮動電圧型低耐圧ゲート駆動回路部33の動作原理と同様に図3のA部の動作原理として説明することができ、これは前記の通りである。

## 【 0 0 5 0 】

以上、本実施例によれば、超音波診断装置用途に適した0V～±100V程度の複数電圧レベルを有する数MHz程度の超音波電圧パルスを生成する送信回路を、2つの高耐圧MOSFETのゲート端子同士及びソース端子同士が接続され、前記ゲート端子が浮動電圧型低耐圧ゲート駆動回路によって駆動されるアナログスイッチを複数用いることによって、より低半導体基板面積で大規模な形で実現できる。その結果、出力がハイインピーダンス状態になるような不感帯が無い場合チャンネル間クロストークのような外来ノイズ耐性に優れ、かつ波形オーバーシュートの少ない良好な品質のパルス波形を実現できるという効果が得られる。

## 【 実施例 2 】

## 【 0 0 5 1 】

図9は図1Aに示す電圧パルス発生回路を単位チャンネルとして複数チャンネル構成の電圧パルス発生回路を単結晶シリコンのような共通の半導体基板上に一体に(モノリシックに)形成した半導体集積回路装置の一実施例を示す図である。それぞれの単位チャンネルの出

10

20

30

40

50

力OUT1～OUTn（nは2以上の整数とする）が各別にそれぞれn個の振動子に接続され、チャンネル毎に独立にn個の振動子を駆動できる構成となっている。

【0052】

各チャンネルの電圧パルス発生回路は、複数の異なる正電圧（VPP1～VPPk（kは2以上の整数とする））及び負電圧（VNN1～VNNm（mは2以上の整数とする））、及び接地電圧（GND）がそれぞれ複数の半導体スイッチング素子の一方の端子に各別に接続され、他方の端子が出力端子（OUTi（iは1以上n以下の整数とする））として共通に接続された構成であり、複数の半導体スイッチング素子の制御端子（S1\_i～Ss\_i（sはスイッチング素子の数であり、例えば図9では各チャンネル共に5である））に入力される制御パルス信号に基づいて接地電位（GND）を含む正負複数の電位が組み合わせられた波形パターンを有する電圧パルス信号を発生させて出力端子（OUTi）へ出力する。このようなチャンネルiの電圧パルス発生回路がチャンネル数nだけ共通の半導体基板上に一体に集積・形成される。複数の電圧パルス発生回路は、その各々が一単位のチャンネルiに対応する複数チャンネル構成の超音波振動子を駆動する超音波診断装置用送信回路として機能する。

10

【0053】

単位チャンネルの構成は図8Aに示した従来の単位チャンネル構成と比較して、上述のように、少ない半導体素子数で実現することができる。すなわち、複数チャンネルの電圧パルス発生回路の各々において半導体素子数を少なくする効果がある。そのため、図9に示す複数チャンネル構成の電圧パルス発生回路においては回路面積削減の効果がより顕著に発揮される。

20

【0054】

以上、本実施例によれば、出力がハイインピーダンス状態になるような不感帯が無いためチャンネル間クロストークのような外来ノイズ耐性に優れ、かつ波形オーバーシュートの少ない、接地電位を含む正負複数の電位を有する電圧パルス発生回路を少ない半導体素子数で実現可能であり、超音波診断装置用途に適した波形品質の良い送信回路を、図1Aに示す回路を単位チャンネルとして複数チャンネルを単結晶シリコンのような単一の半導体基板上に形成した図9に示すようなモノリシックICとして実現することができる。

【0055】

尚、本実施例は図1Aにおいて、パルス発生回路部20はP型アナログスイッチ、パルス発生回路部30及びGNDレベルダンピング回路部40はN型アナログスイッチを用いた構成となっているが、図2に示すようにそれぞれの回路部においてP型、N型いずれのアナログスイッチを用いても実施可能である。

30

【0056】

また、本実施例は図1Aのパルス発生回路部10をP型もしくはN型のアナログスイッチに置き換えて、アナログスイッチのみを用いた構成でも実現できる。

【0057】

また、本実施例は図2に示すように正負n種類の電位に接地電位を加えた(2n+1)レベルの電位を有する構成としても実施可能である。

【符号の説明】

【0058】

- 10... パルス発生回路部、
- 20... P型アナログスイッチ、
- 30,40... N型アナログスイッチ、
- 50... 振動子、
- 23,33,43,A... アナログスイッチの浮動電圧型低耐圧ゲート駆動回路、
- 13,14... ゲートドライブバッファ（ゲート駆動回路部）、
- I... 電流源、
- Sn(nは2以上の整数)... ゲート電圧制御入力信号、
- 11,21,22,MP5,MP6,MP7,MP8,PSW1,PSW2... P型高耐圧MOSFET、
- 12,31,32,41,42,MN5,MN6,MN7,MN8,NSW1,NSW2... N型高耐圧MOSFET、

40

50

MP1,MP2,MP3... P型低耐圧MOSFET、  
MN1,MN2,MN4... N型低耐圧MOSFET、  
VPPn(nは2以上の整数)... 正電位高電圧電源、  
VNNn(nは2以上の整数)... 正電位高電圧電源、  
GND... 送信回路のグラウンド、  
VA... アナログスイッチ供給電圧、  
VDD... 正電位低電圧電源、  
OUT... 出力端子、  
S... アナログスイッチのソース端子。

【図1A】

【図1B】

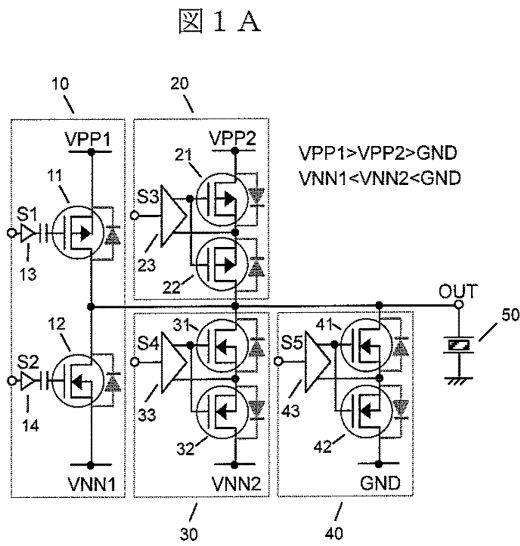
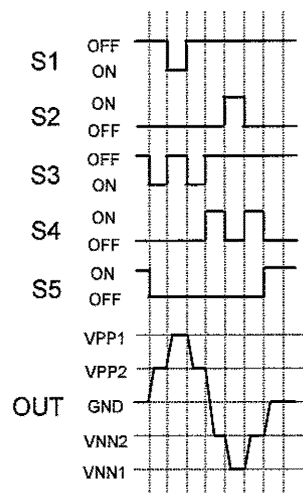
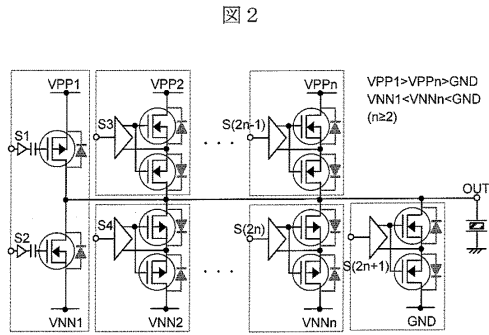


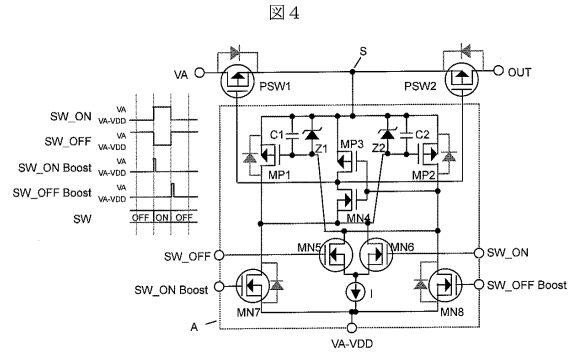
図1B



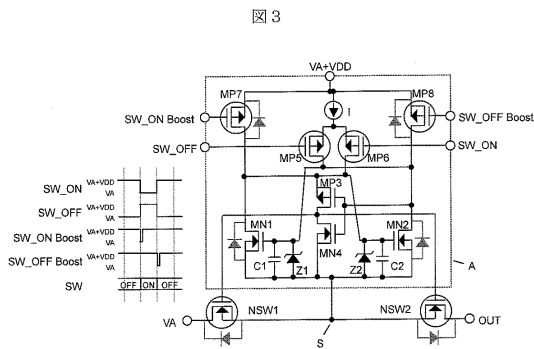
【 図 2 】



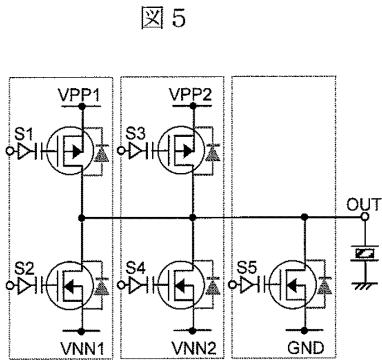
【 図 4 】



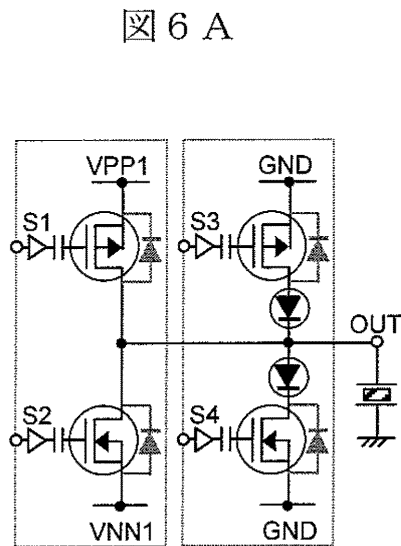
【 図 3 】



【 図 5 】

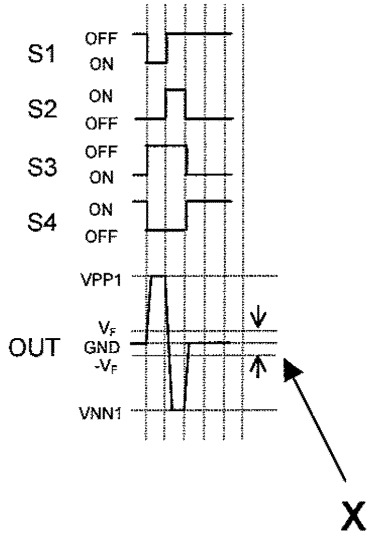


【 図 6 A 】



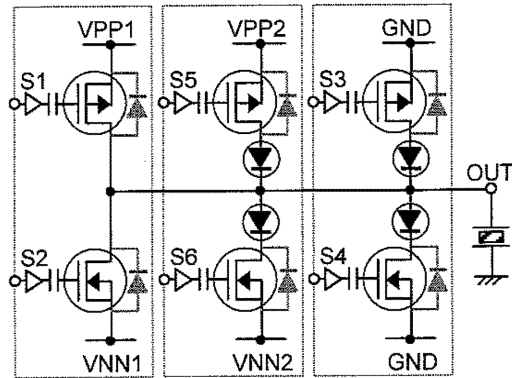
【 図 6 B 】

図 6 B



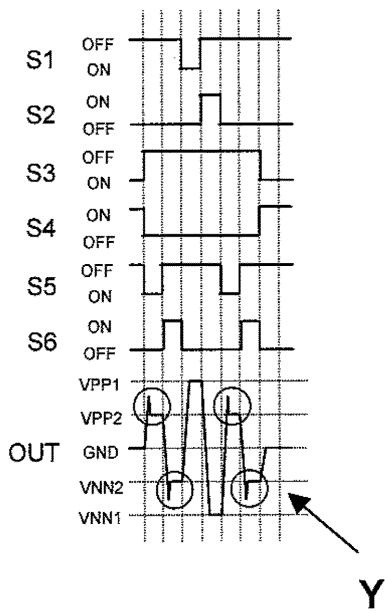
【 図 7 A 】

図 7 A



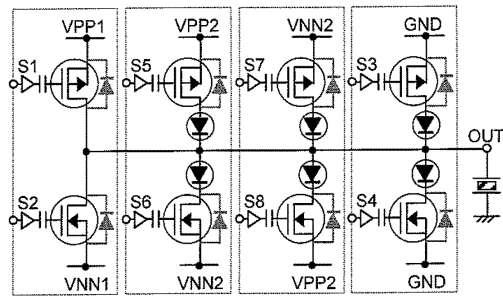
【 図 7 B 】

図 7 B

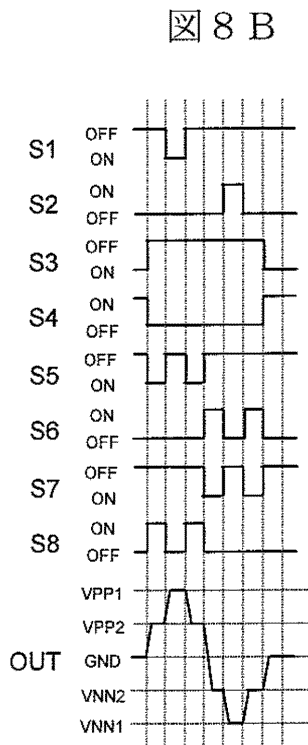


【 図 8 A 】

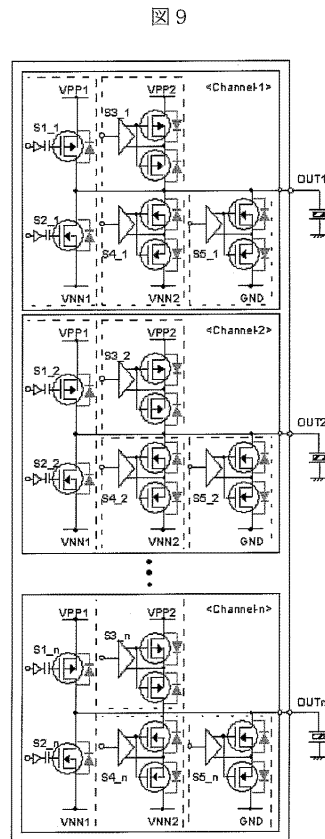
図 8 A



【 図 8 B 】



【 図 9 】



---

フロントページの続き

(72)発明者 吉澤 弘泰

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部

審査官 栗栖 正和

(56)参考文献 特開平11-056839(JP,A)

特開2008-252436(JP,A)

特開2006-261790(JP,A)

特開2010-042146(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70

A61B 8/00

G01N 29/44

专利名称(译)	半导体集成电路器件		
公开(公告)号	<a href="#">JP5337523B2</a>	公开(公告)日	2013-11-06
申请号	JP2009037338	申请日	2009-02-20
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	花沢 聡 篠宮 敏夫 吉澤 弘泰		
发明人	花沢 聡 篠宮 敏夫 吉澤 弘泰		
IPC分类号	H03K17/687 A61B8/00 G01N29/44		
CPC分类号	H03K17/74 H03K17/6874		
FI分类号	H03K17/687.F A61B8/00 G01N29/22.501 G01N29/34		
F-TERM分类号	2G047/AC13 2G047/BC13 2G047/CA01 2G047/EA10 2G047/GB02 2G047/GF06 2G047/GF09 4C601/EE02 4C601/EE13 4C601/HH01 4C601/HH03 4C601/HH05 4C601/HH12 5J055/AX02 5J055/AX38 5J055/AX64 5J055/BX16 5J055/CX01 5J055/DX13 5J055/DX14 5J055/DX22 5J055/DX56 5J055/DX85 5J055/EX07 5J055/EY12 5J055/EY21 5J055/EZ12 5J055/FX05 5J055/FX12 5J055/GX01		
代理人(译)	井上 学 户田裕二		
审查员(译)	正和Kurusu		
其他公开文献	JP2010193329A5 JP2010193329A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供这样的电路配置，使得输出器被置于高阻抗状态，以便改善在由电压脉冲驱动振动器的传输电路中的错误传输或波形过冲，并且提供一种半导体集成电路器件，其中集成了多个通道。解决方案：传输电路包括传统的脉冲发生电路10，向其提供第一高绝对值的正电压VPP1和负电压VNN1；P型模拟开关型脉冲发生电路20，向其提供第二高绝对值的正电压VPP2；N型模拟开关型脉冲发生电路30，向其提供第二高绝对值的负电压VNN2；以及提供接地电位的N型模拟开关型接地电平阻尼电路40。在这种传输电路中，电路10,20,30和40分别连接到输出端OUT。根据开关控制信号S1-S5，电路10,20,30和40分别接通和断开，从而驱动超声波振动器50。

