

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4946572号
(P4946572)

(45) 発行日 平成24年6月6日 (2012.6.6)

(24) 登録日 平成24年3月16日 (2012.3.16)

(51) Int.Cl.	F I
H O 3 K 17/687 (2006.01)	H O 3 K 17/687 F
H O 3 K 19/0175 (2006.01)	H O 3 K 19/00 1 O 1 A
G O 1 S 7/524 (2006.01)	H O 3 K 19/00 1 O 1 F
A 6 1 B 8/00 (2006.01)	G O 1 S 7/52 Q
	A 6 1 B 8/00

請求項の数 15 (全 13 頁)

(21) 出願番号	特願2007-90207 (P2007-90207)	(73) 特許権者	000005108
(22) 出願日	平成19年3月30日 (2007.3.30)		株式会社日立製作所
(65) 公開番号	特開2008-252436 (P2008-252436A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成20年10月16日 (2008.10.16)	(74) 代理人	100100310
審査請求日	平成21年9月28日 (2009.9.28)		弁理士 井上 学
		(72) 発明者	花沢 聡
			東京都青梅市新町六丁目16番地の3 株
			式会社日立製作所 マイクロデバイス事業
			部内
		(72) 発明者	吉澤 弘泰
			東京都青梅市新町六丁目16番地の3 株
			式会社日立製作所 マイクロデバイス事業
			部内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

入力端子と、

前記入力端子に接続され、前記入力端子から入力された第1の基準電位を有する第1の電圧パルス信号を前記第1の基準電位より高い第2の基準電位を有する第2の電圧パルス信号に変換して出力する第1の駆動回路部と、

前記第1の駆動回路部の出力に接続され、前記第2の基準電位と接地電位との電位差を振幅として外部の出力負荷を駆動する第4の電圧パルス信号を、前記第1の駆動回路部の出力から入力された前記第2の電圧パルス信号に基づいて生成して出力する第2の駆動回路部と、

前記第2の駆動回路部の出力に接続され、前記第2の駆動回路部が出力した前記第4の電圧パルス信号を前記出力負荷に出力する出力端子と、

第1の電源電圧が印加されるよう構成された第1の電源電圧端子と、

前記第1の電源電圧より高い第2の電源電圧が印加されるよう構成された第2の電源電圧端子と、

第3の電源電圧が印加されるよう構成された第3の電源電圧端子とを具備して成り、

前記第1の駆動回路部と前記第2の駆動回路部とは単一の半導体基板上に一体に集積化され、

前記第1の駆動回路部の出力と前記第2の駆動回路部の入力とは互いに直流電氣的に結

合され、

前記第 2 の駆動回路部は、前記第 2 の電圧パルス信号に基づいて、前記第 2 の電源電圧端子を介して前記第 2 の駆動回路部に印加される前記第 2 の電源電圧から前記第 4 の電圧パルス信号を生成し、

前記第 2 の電源電圧と、前記第 2 の電源電圧を基準として前記第 1 の駆動回路部に含まれる内部電源回路により生成される第 4 の電源電圧とを用いて前記第 2 の駆動回路部の入力ゲート電圧振幅を生成し、

前記第 1 の駆動回路部は、前記第 1 の電圧パルス信号に基づく第 3 の電圧パルス信号を電流パルス信号に変換する電圧電流変換回路と、前記電圧電流変換回路の出力から入力された前記電流パルス信号を基準電位が前記第 1 の基準電位から前記第 2 の基準電位に変化するように前記第 2 の電圧パルス信号に変換する電流電圧変換回路とを含んで成ることを特徴とする半導体集積回路装置。

10

【請求項 2】

請求項 1 において、

前記第 1 の駆動回路部よりも前記第 2 の駆動回路部のほうが高い耐圧を有することを特徴とする半導体集積回路装置。

【請求項 3】

請求項 2 において、

前記第 1 の駆動回路部は前記入力端子と前記電圧電流変換回路の入力との間に接続された電圧レベル変換回路を更に含んで成り、

20

前記電圧レベル変換回路を通して、前記第 1 の基準電位と第 1 の振幅とを有する前記第 1 の電圧パルス信号が、前記第 1 の基準電位と第 2 の振幅とを有する前記第 3 の電圧パルス信号に変換される

ことを特徴とする半導体集積回路装置。

【請求項 4】

請求項 3 において、

第 1 の電源電圧が印加されるよう構成された第 1 の電源電圧端子と、前記第 1 の電源電圧より高い第 2 の電源電圧が印加されるよう構成された第 2 の電源電圧端子と、第 3 の電源電圧が印加されるよう構成された第 3 の電源電圧端子とを更に具備して成り、

前記第 1 の駆動回路部の前記電圧レベル変換回路は前記第 1 および第 3 の電源電圧端子に接続され、前記第 1 の駆動回路部の前記電圧電流変換回路は前記第 3 の電源電圧端子に接続され、前記第 1 の駆動回路部の前記電流電圧変換回路は前記第 2 および第 3 の電源電圧端子に接続され、前記第 2 の駆動回路部は前記第 2 の電源電圧端子に接続され、

30

前記第 2 の駆動回路部は、前記第 2 の電圧パルス信号に基づいて、前記第 2 の電源電圧端子を介して前記第 2 の駆動回路部に印加される前記第 2 の電源電圧から前記第 4 の電圧パルス信号を生成する

ことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 において、

前記出力負荷は超音波振動子であり、前記第 2 の駆動回路部は前記超音波振動子を駆動する振動子駆動回路部であり、前記第 1 の駆動回路部は前記振動子駆動回路部を構成する入力ゲートを駆動するゲート駆動回路部であり、前記ゲート駆動回路部および前記振動子駆動回路部をもって超音波診断装置用送信回路を構成する

40

ことを特徴とする半導体集積回路装置。

【請求項 6】

請求項 5 において、

前記ゲート駆動回路部と前記振動子駆動回路部との対から成る前記送信回路をチャンネルの一単位として前記チャンネルを複数備え、複数の前記チャンネルに相当する複数の前記送信回路が単一の半導体基板上に一体に形成されて成る

ことを特徴とする半導体集積回路装置。

50

【請求項 7】

第 1 の耐圧を有する第 1 の駆動回路部と、
前記第 1 の駆動回路部の後段に接続され、前記第 1 の耐圧より高い第 2 の耐圧を有する
第 2 の駆動回路部と
を具備して成り、

前記第 1 の駆動回路部は、前記第 1 の基準電位を有する入力電圧信号を電流に変換する
電圧電流変換回路と、前記電流信号を前記第 1 の基準電位より高い第 2 の基準電位を有す
る電圧信号に変換する電流電圧変換回路とを含んで成り、

第 2 の電源電圧を基準として、前記第 1 の駆動回路部の前記電流電圧変換回路における
ソースフォロワ回路を含む内部電源回路により前記第 2 の駆動回路部の入力ゲート電圧振
幅を生成する

ことを特徴とする半導体集積回路装置。

10

【請求項 8】

請求項 7 において、

前記第 2 の駆動回路部を駆動するのに必要な電圧と一定の差を保った出力電圧を電圧パ
ルス振幅とする前記電圧信号を前記第 2 の駆動回路部に出力する

ことを特徴とする半導体集積回路装置。

【請求項 9】

請求項 8 において、

前記第 1 の駆動回路部は、前記電圧電流変換回路の入力側に接続された電圧レベル変換
回路を更に含んで成り、かつ、入力された第 1 の基準電位を有する第 1 の電圧パルス信号
を前記第 1 の基準電位より高い第 2 の基準電位を有する第 2 の電圧パルス信号に変換して
出力するよう構成され、

20

前記電圧レベル変換回路を通して前記第 1 の基準電位と第 1 の振幅とを有する前記第 1
の電圧パルス信号が前記第 1 の基準電位と第 2 の振幅とを有する第 3 の電圧パルス信号に
変換され、前記電圧電流変換回路および前記電流電圧変換回路を通して前記第 3 の電圧パ
ルス信号が前記第 2 の電圧パルス信号に変換される

ことを特徴とする半導体集積回路装置。

【請求項 10】

請求項 9 において、

第 1 の電源電圧が印加されるよう構成された第 1 の電源電圧端子と、前記第 1 の電源電
圧より高い前記第 2 の電源電圧が印加されるよう構成された第 2 の電源電圧端子と、第 3
の電源電圧が印加されるよう構成された第 3 の電源電圧端子とを更に具備して成り、

30

前記第 1 の駆動回路部は前記第 1、第 2、および第 3 の電源電圧端子に接続され、前記
第 2 の駆動回路部は前記第 2 の電源電圧端子に接続され、

前記第 2 の駆動回路部は、前記第 2 の電圧パルス信号に基づいて、前記第 2 の電源電圧
端子を介して前記第 2 の駆動回路部に印加される前記第 2 の電源電圧から前記第 4 の電圧
パルス信号を生成する

ことを特徴とする半導体集積回路装置。

40

【請求項 11】

請求項 7 において、

前記第 2 の駆動回路部は超音波振動子を駆動する振動子駆動回路部であり、前記第 1 の
駆動回路部は前記振動子駆動回路部を構成する入力ゲートを駆動するゲート駆動回路部で
あり、前記ゲート駆動回路部および前記振動子駆動回路部をもって超音波診断装置用送信
回路を構成し、

前記ゲート駆動回路部と前記振動子駆動回路部との対から成る前記送信回路をチャネル
の一単位として前記チャネルを複数備え、複数の前記チャネルに相当する複数の前記送信
回路が単一の半導体基板上に一体に形成されて成る

ことを特徴とする半導体集積回路装置。

【請求項 12】

50

第 1 の耐圧を有する第 1 の駆動回路部と、
前記第 1 の駆動回路部の後段に接続され、前記第 1 の耐圧より高い第 2 の耐圧を有する
第 2 の駆動回路部と
を具備して成り、

前記第 1 の駆動回路部は、第 1、第 2、および第 3 の動作電圧で動作するよう構成され
、所定の第 3 の電位に基づき所定の電位差を有する第 2 の電位を生成する回路を有し、

第 2 の電源電圧と、前記第 2 の電源電圧を基準として前記第 1 の駆動回路部に含まれる
内部電源回路により生成される第 4 の電源電圧とを用いて前記第 2 の駆動回路部の入力ゲ
ート電圧振幅を生成し、

前記第 2 の駆動回路部は前記第 2 の電位を動作電圧として動作し、

前記第 1 の駆動回路部から前記第 2 の駆動回路部への信号伝達は、入力電圧信号を電流
に変換する電圧電流変換回路と、前記電流信号を電圧信号に変換する電流電圧変換回路と
によって行われる

ことを特徴とする半導体集積回路装置。

【請求項 1 3】

請求項 1 2 において、

前記第 1 の駆動回路部は、前記電圧電流変換回路の入力側に接続された電圧レベル変換
回路を更に含んで成り、かつ、入力された第 1 の基準電位を有する第 1 の電圧パルス信号
を前記第 1 の基準電位より高い第 2 の基準電位を有する第 2 の電圧パルス信号に変換して
出力するよう構成され、

前記電圧レベル変換回路を通して前記第 1 の基準電位と第 1 の振幅とを有する前記第 1
の電圧パルス信号が前記第 1 の基準電位と第 2 の振幅とを有する第 3 の電圧パルス信号に
変換され、前記電圧電流変換回路および前記電流電圧変換回路を通して前記第 3 の電圧パ
ルス信号が前記第 2 の電圧パルス信号に変換される

ことを特徴とする半導体集積回路装置。

【請求項 1 4】

請求項 1 3 において、

第 1 の電源電圧が印加されるよう構成された第 1 の電源電圧端子と、前記第 1 の電源電
圧より高い第 2 の電源電圧が印加されるよう構成された第 2 の電源電圧端子と、第 3 の電
源電圧が印加されるよう構成された第 3 の電源電圧端子とを更に具備して成り、

前記第 1 の駆動回路部は前記第 1、第 2、および第 3 の電源電圧端子に接続され、前記
第 2 の駆動回路部は前記第 2 の電源電圧端子に接続され、

前記第 2 の駆動回路部は、前記第 2 の電圧パルス信号に基づいて、前記第 2 の電源電圧
端子を介して前記第 2 の駆動回路部に印加される前記第 2 の電源電圧から前記第 4 の電圧
パルス信号を生成する

ことを特徴とする半導体集積回路装置。

【請求項 1 5】

請求項 1 2 において、

前記第 2 の駆動回路部は超音波振動子を駆動する振動子駆動回路部であり、前記第 1 の
駆動回路部は前記振動子駆動回路部を構成する入力ゲートを駆動するゲート駆動回路部で
あり、前記ゲート駆動回路部および前記振動子駆動回路部をもって超音波診断装置用送信
回路を構成し、

前記ゲート駆動回路部と前記振動子駆動回路部との対から成る前記送信回路をチャネル
の単位として前記チャネルを複数備え、複数の前記チャネルに相当する複数の前記送信
回路が単一の半導体基板上に一体に形成されて成る

ことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高電圧高速電力スイッチング回路や高耐圧高電力ドライバ回路を有する半導

10

20

30

40

50

体集積回路装置に係り、特に超音波診断装置の送信回路を構成する高耐圧及び低耐圧の半導体素子を単結晶シリコンのような同一基板上に集積した半導体集積回路装置に関する。

【背景技術】

【0002】

従来、所定の入力パルスを高圧パルスに変換して送出する駆動回路部と、高圧パルスによりスイッチング駆動され超音波プローブへ励振用の出力パルスを送出する出力トランジスタとを有する超音波診断装置の送信回路があった（例えば特許文献1参照）。その他に、プラズマディスプレイパネルを駆動する送信回路（例えば特許文献2および3参照）、あるいは家電用、自動車用、産業用などの高耐圧パワー集積回路を駆動する送信回路（例えば特許文献4参照）において、同様に前置された駆動回路部とその後段に接続された出力トランジスタとを有する送信回路があった。

10

【0003】

また、従来、レベル変換部とバッファ部とから成り論理パルスを入力し次段のゲート部を駆動するゲート駆動回路部と、出力トランジスタとクランプ回路部とを含むゲート部から成り次段の超音波振動子を駆動する振動子駆動回路部とが容量を介して結合された超音波診断装置の送信回路があった（例えば非特許文献1参照）。

【0004】

【特許文献1】特公平6-53113号公報

【特許文献2】特開2005-340624号公報

【特許文献3】特開2000-156495号公報

【特許文献4】特開平11-205112号公報

【非特許文献1】スーパーテックス社（Supertex inc.）HV732データシート

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

超音波診断システムに用いられる送受信回路は、多チャンネル化による画像分解能向上や3次元画像取得等のため集積化が継続的に推進されている。図4は本発明に先立って発明者独自の視点から特許文献1に記載の第1図を捉え直した送信回路の構成図である。また、図5は本発明に先立って発明者独自の視点から非特許文献1に記載の代表図を捉え直した送信回路の構成図である。これらの送信回路においても、図4、あるいは図5に示すような回路構成を単位チャンネルとして、多チャンネル集積化が求められているが、その低電圧動作部と高電圧動作部が混在した回路構成のため集積化が困難であり、これを解決する多チャンネル集積化による高密度実装の実現が課題となっている。また、超音波プローブ種類の電圧-音圧変換効率の差異、診断部位、及び診断方法等により、必要な出力パルス振幅が異なること、及びダンパー動作チャンネルは通常0V動作であることから、送信回路の出力パルス振幅は0V～±200V程度まで可変である必要がある。

30

【0006】

特許文献1には、論理パルスを入力し次段のゲートを駆動するゲート駆動回路部と、振動子を駆動する振動子駆動回路部が直流的に結合された超音波診断装置の送信回路が記載されている。図4に示すように、高耐圧npnバイポーラトランジスタ及び高耐圧nチャンネルMOSFET(MOS電界効果型トランジスタ)を用いて、入力パルス振幅に比例した R_c/R_a^* ($V_{IH}-V_{IL}$)の一定振幅出力パルスを実現する送信回路の例が記載されている。なお、以降の図において丸で囲んだトランジスタは高耐圧、囲んでいないものは低耐圧であることを示す。

40

【0007】

特許文献1の回路は、ゲート駆動回路部と振動子駆動回路部が直流的に結合された送信回路である。この構成は外付容量が不要となり、かつその接続に必要であったゲート駆動回路出力端子と振動子駆動回路入力端子が不要となるため、多チャンネル集積化が容易な構成であるが、この回路形式においてはトランジスタを全て高耐圧トランジスタにする必要がある。一般に高耐圧トランジスタの半導体基板上の占有面積は低耐圧トランジスタのそれに比べてかなり大きく、多チャンネル集積化を進める上でこの点が障壁となる。また、出

50

力パルス振幅は入力パルス振幅に比例した $R_c/R_a \cdot (V_{IH}-V_{IL})$ となり、出力パルス振幅を可変にするには入力パルス振幅を可変する必要がある。すなわち、出力パルス振幅可変幅は入力パルス振幅可変幅で決まり、例えば R_c/R_a を100V以上の出力パルス振幅が出せるように定めた場合、数V程度の小振幅パルスを出力することが原理的に困難であるという問題があった。この点については、特許文献2～4に記載の送信回路構成においても同様である。

【0008】

一方、非特許文献1には、論理パルスを入力し次段のゲートを駆動するゲート駆動回路部と、振動子を駆動する振動子駆動回路部が交流的に結合された超音波診断装置の送信回路について記載されている。図5に示すように、ゲート駆動回路部に低耐圧CMOSFET(相補型MOSFET)、振動子駆動回路部に高耐圧CMOSFETを用いて、ゲート駆動回路は外付容量を介して交流的に振動子駆動回路を駆動し、また振動子駆動回路印加電圧+HV、及び-HVを変化させることにより出力パルス振幅可変を実現する送信回路の例が記載されている。

10

【0009】

非特許文献1の回路は、ゲート駆動回路部と振動子駆動回路部が外付容量を介して交流的に結合された送信回路である。この回路形式においては出力パルス振幅を0V～±200V程度まで可変にすることが可能となる。しかし、1つの外付容量の接続に2つの端子が必要となり、パッケージ総端子数の増加や、外付容量の実装制約によりチャンネル集積化が制限されるという問題があった。

【0010】

20

本発明の目的は、ゲート駆動回路部出力と振動子駆動回路部入力とが直流的に接続されていると共に、可能な限り半導体基板占有面積において有利な低耐圧トランジスタを用いて、出力パルスの高電位/低電位側共に0V～±200V程度まで可変の送信回路を提供することにある。

【課題を解決するための手段】

【0011】

本発明の代表的な構成の一例を示せば以下のようなになる。すなわち、本発明の半導体集積回路装置は、入力端子と、前記入力端子に接続され、前記入力端子から入力された第1の基準電位を有する第1の電圧パルス信号を前記第1の基準電位より高い第2の基準電位を有する第2の電圧パルス信号に変換して出力する第1の駆動回路部と、前記第1の駆動回路部の出力に接続され、前記第2の基準電位と接地電位との電位差を振幅として外部の出力負荷を駆動する第4の電圧パルス信号を、前記第1の駆動回路部の出力から入力された前記第2の電圧パルス信号に基づいて生成して出力する第2の駆動回路部と、前記第2の駆動回路部の出力に接続され、前記第2の駆動回路部が出力した前記第4の電圧パルス信号を前記出力負荷に出力する出力端子とを具備して成り、前記第1の駆動回路部と前記第2の駆動回路部とは単一の半導体基板上に一体に集積化され、前記第1の駆動回路部の出力と前記第2の駆動回路部の入力とは互いに直流電氣的に結合され、前記第1の駆動回路部は、前記第1の電圧パルス信号に基づく第3の電圧パルス信号を電流パルス信号に変換する電圧電流変換回路と、前記電圧電流変換回路の出力から入力された前記電流パルス信号を基準電位が前記第1の基準電位から前記第2の基準電位に変化するように前記第2の電圧パルス信号に変換する電流電圧変換回路とを含んで成ることを特徴とする。

30

40

【発明の効果】

【0012】

本発明によれば、超音波診断装置用途に適した0V～±200V程度の出力パルス振幅可変範囲を有する送信回路を小面積の半導体基板上に実現でき、ひいては複数チャンネルを集積した半導体集積回路装置としてかかる送信回路を実現可能である。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施例について図面を用いて説明する。実施例の各ブロックを構成する回路素子は公知の低耐圧及び高耐圧CMOSFET、ダイオード、抵抗、容量等であり、集積回

50

路技術によって、単結晶シリコンのような単一の半導体基板上に形成される。

【実施例 1】

【0014】

図1は本発明を適用した送信回路の第一の実施例を示したものである。本実施例の送信回路は以下の特徴を有する半導体集積回路装置として実現される。すなわち、本実施例の半導体集積回路装置は、入力端子INP、INNと、入力端子INP、INNに接続され、入力端子INP、INNから入力された第1の基準電位を有する第1の電圧パルス信号を第1の基準電位より高い第2の基準電位を有する第2の電圧パルス信号に変換して出力する第1の駆動回路部10と、第1の駆動回路部10の出力に接続され、外部の出力負荷30を駆動する第4の電圧パルス信号を第1の駆動回路部10の出力から入力された第2の電圧パルス信号に基づいて生成して出力する第2の駆動回路部20と、第2の駆動回路部20の出力に接続され、第2の駆動回路部20が出力した第4の電圧パルス信号を出力負荷30に出力する出力端子OUTとを具備して成る。第1の駆動回路部10と第2の駆動回路部20とは単一の半導体基板上に一体に集積化されており、また、第1の駆動回路部10の出力と第2の駆動回路部20の入力とは互いに直流電氣的に結合されている。第1の駆動回路部10は、第1の電圧パルス信号に基づく電圧パルス信号を電流パルス信号に変換する電圧電流変換回路104、106と、電圧電流変換回路104、106の出力から入力された電流パルス信号を第2の電圧パルス信号に変換する電流電圧変換回路108、110とを含んで成る。

10

【0015】

通常、第1の駆動回路部10よりも第2の駆動回路部20のほうが高い耐圧を有することになる。また、第1の駆動回路部10は入力端子INP、INNと電圧電流変換回路104、106の入力との間に接続された電圧レベル変換回路100、102を更に含んで構成されるようにすれば好適である。この場合、電圧レベル変換回路100、102を通して第1の基準電位を有する第1の電圧パルス信号が、第1の基準電位を有する第3の電圧パルス信号に変換されることになる。

20

【0016】

第3の電源電圧が印加されるよう構成された第3の電源電圧端子VDD、-VDDと第3の電源電圧より高い第2の電源電圧が印加されるよう構成された第2の電源電圧端子+HV、-HVとを更に具備して構成されるようにすれば好適である。この場合、第1の駆動回路部10は第1の電源電圧端子VLL、第2の電源電圧端子+HV、-HV、及び第3の電源電圧端子VDD、-VDDに接続され、第2の駆動回路部20は第2の電源電圧端子+HV、-HVに接続される。第2の駆動回路部20は、第2の電源電圧端子+HV、-HVを介して第2の駆動回路部20に印加される第2の電源電圧を基準として第2の電圧パルス信号から第4の電圧パルス信号を生成する。また、第2の駆動回路部20に印加される第2の電源電圧を基準として、第1の駆動回路部10のソースフォロワ回路を含む内部電源回路により第2の駆動回路部20の入力ゲート電圧振幅を生成するように構成すれば好適である。

30

【0017】

この半導体集積回路装置を超音波診断装置用送信回路に適用した場合、出力負荷30は超音波振動子であり、第2の駆動回路部20は超音波振動子30を駆動する振動子駆動回路部であり、第1の駆動回路部10は振動子駆動回路部20を構成する入力ゲート200、202を駆動するゲート駆動回路部である。従って、ゲート駆動回路部10および振動子駆動回路部20をもって超音波診断装置用送信回路を構成することとなる。

40

【0018】

本実施例の半導体集積回路装置は、第1の耐圧を有する第1の駆動回路部10と、第1の駆動回路部10の後段に接続され、第1の耐圧より高い第2の耐圧を有する第2の駆動回路部20とを具備して成ると捉えることもできる。ここで、第1の駆動回路部10は、入力電圧信号を電流に変換する電圧電流変換回路104、106と、電流信号を電圧信号に変換する電流電圧変換回路108、110とを含んで成る。104、106、108、110において第2の耐圧が必要な箇所に第2の耐圧を有する素子を用いる。この場合、第2の駆動回路部20を駆動するのに必要な電圧と一定の差を保った出力電圧を電圧パルス振幅とする電圧信号を第2の駆動回

50

路部20に出力するよう構成すれば好適である。

【0019】

第1の駆動回路部10は、第1、第2、及び第3の動作電圧で動作するよう構成され、所定の第3の電位に基づき所定の電位差を有する第2の電位を生成する回路を有するようになるのも好適である。この場合、第2の駆動回路部20は第2の電位を動作電圧として動作し、第1の駆動回路部10から第2の駆動回路部20への信号伝達は、入力電圧信号を電流に変換する電圧電流変換回路104、106と、電流信号を電圧信号に変換する電流電圧変換回路108、110とによって行われる。

【0020】

本実施例においては、例えば図1に図示するように、出力端子OUTと接続される振動子30を、上凸、及び下凸の両極性の電圧出力パルスで駆動できる構成とすることができる。本送信回路はゲート駆動回路部10、及び振動子駆動回路部20から構成される。ゲート駆動回路部10は、例えば上凸電圧出力パルス制御用論理入力端子INP、及び下凸電圧出力パルス制御用論理入力端子INNに接続される電圧レベル変換部100及び102と、電圧－電流変換部104及び106と、電流－電圧変換部108及び110とで構成するのが好適である。振動子駆動回路部20は、例えばゲート駆動回路部10の出力GP及びGNに接続される高耐圧pチャネルMOSFET200、及び高耐圧nチャネルMOSFET202と、各々のゲート保護用のツェナーダイオード212及び214、抵抗208及び210と、出力分離用の高耐圧ダイオード204及び206とで構成するのが好適である。

【0021】

図2に、図1の具体的な構成例を示す。図中の符号10、20、30、100、102、104、106、108、110、200、202、204、206、208、210、212、214はそれぞれ図1の同符号に対応する回路ブロックや回路素子を示している。まず、上凸電圧出力パルス制御用論理入力端子INPから高耐圧pチャネルMOSFET200の信号経路に関して説明する。

【0022】

電圧レベル変換部100は、INPに入力されたVLLの電圧パルス振幅を次段の電圧－電流変換部104の動作電源電圧に等しいVDDに変換する。すなわち、INPでのハイレベル入力電圧 $V_{ih}=V_{LL}$ 、ローレベル入力電圧 $V_{il}=0V$ は電圧レベル変換部100の出力112ではそれぞれハイレベル出力電圧 $V_{oh}=V_{DD}$ 、ローレベル出力電圧 $V_{ol}=0V$ となる。この変換はラッチ回路114により実現される。電圧－電流変換部104は、前段の電圧レベル変換部100の出力電圧パルス信号を電流パルス信号に変換する。104は抵抗 R_1 、 R_2 、 R_3 、 R_4 と、カレントミラー回路116、118と、高耐圧nチャネルMOSFET120とで構成される。電圧レベル変換部100の出力112がハイレベルのときは、カレントミラー116がVDDを基準電圧としているので抵抗 R_1 には電位差が生じず、カレントミラー116のコピー元には電流は流れない。一方、出力112がローレベルのときは抵抗 R_1 の両端には $V_{DD}-2*V_{gs}$ の電位差が生じ、 $(V_{DD}-2*V_{gs})/R_1$ で表される電流が流れる。この V_{gs} はカレントミラー116を構成する低耐圧pチャネルMOSFETのゲート－ソース間電圧を指す。すなわち、出力112での電圧パルスはこの抵抗 R_1 により電流パルスに変換される。この電流パルスはカレントミラー116により、 $-V_{DD}$ をソース側基準電圧とするカレントミラー118へ折り返され、電流コピーが行われる。高耐圧nチャネルMOSFET120は、カレントミラー118のコピー先の低耐圧nチャネルMOSFETのドレイン－ソース間に絶対定格以上の高電圧が印加されるのを防ぐために挿入してあり、 $(R_4/(R_3+R_4)-1)*V_{DD}$ で表されるゲート電位は高耐圧nチャネルMOSFET120が適切に動作するように R_3 、 R_4 を設定する。なお、本構成例ではカレントミラー116、118の電流コピー精度を上げるためカスコード型の構成で示してある。以降で説明するカレントミラー128、146、158に関しても同様である。

【0023】

電流－電圧変換部108は、前段の電圧－電流変換部104の出力電流パルス信号を電圧パルス振幅 $|V_{GSp}|$ で、かつ次段の振動子駆動回路部20の高耐圧pチャネルMOSFET200のソース端子印加電圧+HVに等しいハイレベル出力電圧 $V_{oh}=+HV$ を有する電圧パルス信号に変換する。ここで、 $|V_{GSp}|$ は高耐圧pチャネルMOSFET200が動作するのに最適なゲート－ソース間印加

電圧のことを指す。108は電流－電圧変換、及びBufferを行う122と、振動子駆動回路部20の高耐圧pチャネルMOSFET200のゲートを駆動する振幅 $|VGS_p|$ を+HVを基準電位として生成する124とで構成される。前述の電圧－電流変換部104にて生成された電流パルスは122の抵抗R7により再び電圧パルスに変換される。カレントミラー116、118のミラー比をどちらも1:1とした場合、抵抗R7にて変換される電圧パルス振幅は $(VDD - 2 \cdot V_{gs}) \cdot R7 / R1$ で表される。この電圧パルスは122のBuffer126への入力となり、通常この電圧パルス振幅は $|VGS_p|$ と同じに設定される。Buffer126の出力電圧GPの振幅は前述のように高耐圧pチャネルMOSFET200のゲートを駆動する振幅であることから $|VGS_p|$ である必要があり、このBuffer126のノード132で決まるローレベル出力電圧+HV－ $|VGS_p|$ は124にて生成される。124は、カレントミラー128と、抵抗R5、R6と、容量C1、C2と、高耐圧nチャネルMOSFET130と、高耐圧pチャネルMOSFET136とで構成される。カレントミラー128のコピー元に流れる電流は $(VDD - 2 \cdot V_{gs}) / R6$ で表される。この V_{gs} はカレントミラー128を構成する低耐圧nチャネルMOSFETのゲート－ソース間電圧を指す。カレントミラー128のミラー比を1:1とした場合、抵抗R5にて変換されるノード134の電位は+HV－ $(VDD - 2 \cdot V_{gs}) \cdot R5 / R6$ で表される。このノード134の電位は、前述のようにノード132の電位が+HV－ $|VGS_p|$ となるように定められる。すなわち、 $(VDD - 2 \cdot V_{gs}) \cdot R5 / R6 = |VGS_p| + |V_{gs136}|$ を満たすようにR5、R6を決定する。この $|V_{gs136}|$ はソースフォロワ動作する高耐圧pチャネルMOSFET136のゲート－ソース間電圧のことを指す。高耐圧nチャネルMOSFET130は、カレントミラー128のコピー先の低耐圧nチャネルMOSFETのドレイン－ソース間に絶対定格以上の高電圧が印加されるのを防ぐために挿入してあり、高耐圧nチャネルMOSFET120と同様に $(R4 / (R3 + R4) - 1) \cdot VDD$ で表されるゲート電位は高耐圧nチャネルMOSFET130が適切に動作するようにR3、R4を設定する。容量C1は高耐圧pチャネルMOSFET136のゲート電位安定化を目的に挿入してある。容量C2はソースフォロワ出力であるノード132と+HVとの間に挿入され、高耐圧pチャネルMOSFET200のゲートを駆動するために出力駆動能力が高められたBuffer126で消費される瞬時電流を供給するバイパスコンデンサとして機能する。

【0024】

カレントミラー118、128において－VDDをソース側基準電圧としているため、上凸電圧出力パルス制御用論理入力端子INPから高耐圧pチャネルMOSFET200の信号経路は+HV=0Vのダンパー動作チャネルとしても動作可能であり、+HVは0～+200V程度まで任意に変えられる。

【0025】

次に、下凸電圧出力パルス制御用論理入力端子INNから高耐圧nチャネルMOSFET202の信号経路に関して説明する。動作原理は前述した上凸電圧出力パルス制御用論理入力端子INPから高耐圧pチャネルMOSFET200の信号経路と基本的に同一である。

【0026】

図2において、電圧レベル変換部102は、INNに入力されたVLLの電圧パルス振幅を次段の電圧－電流変換部106の動作電源電圧に等しいVDDに変換する。すなわち、INNでのハイレベル入力電圧 $V_{ih} = VLL$ 、ローレベル入力電圧 $V_{il} = 0V$ は電圧レベル変換部102の出力140ではそれぞれローレベル出力電圧 $V_{ol} = 0V$ 、ハイレベル出力電圧 $V_{oh} = VDD$ となる。この変換はラッチ回路142により実現される。

【0027】

電圧－電流変換部106は、前段の電圧レベル変換部102の出力電圧パルス信号を電流パルス信号に変換する。106はBuffer144と、抵抗R8、R9、R10と、カレントミラー回路146と、高耐圧pチャネルMOSFET148とで構成される。電圧レベル変換部102の出力140がハイレベルのときは、カレントミラー146がVDDを基準電圧としているので抵抗R8には電位差が生じず、カレントミラー146のコピー元には電流は流れない。一方、出力140がローレベルのときは抵抗R8の両端には $VDD - 2 \cdot V_{gs}$ の電位差が生じ、 $(VDD - 2 \cdot V_{gs}) / R8$ で表される電流が流れる。この V_{gs} はカレントミラー146を構成する低耐圧pチャネルMOSFETのゲート－ソース間電圧を指す。すなわち、出力140での電圧パルスはこの抵抗R8により電流パルスに変換される。高耐圧pチャネルMOSFET148は、カレントミラー146のコピー先の低耐圧pチャネルMOSFET200のゲートを駆動する振幅であることから $|VGS_p|$ である必要があり、このBuffer144のノード142で決まるローレベル出力電圧+HV－ $|VGS_p|$ は144にて生成される。144は、カレントミラー146と、抵抗R8、R9、R10と、容量C3、C4と、高耐圧nチャネルMOSFET148と、高耐圧pチャネルMOSFET148とで構成される。カレントミラー146のコピー元に流れる電流は $(VDD - 2 \cdot V_{gs}) / R9$ で表される。この V_{gs} はカレントミラー146を構成する低耐圧nチャネルMOSFETのゲート－ソース間電圧を指す。カレントミラー146のミラー比を1:1とした場合、抵抗R8にて変換されるノード142の電位は+HV－ $(VDD - 2 \cdot V_{gs}) \cdot R8 / R9$ で表される。このノード142の電位は、前述のようにノード140の電位が+HV－ $|VGS_p|$ となるように定められる。すなわち、 $(VDD - 2 \cdot V_{gs}) \cdot R8 / R9 = |VGS_p| + |V_{gs148}|$ を満たすようにR8、R9を決定する。この $|V_{gs148}|$ はソースフォロワ動作する高耐圧pチャネルMOSFET148のゲート－ソース間電圧のことを指す。高耐圧nチャネルMOSFET148は、カレントミラー146のコピー先の低耐圧nチャネルMOSFETのドレイン－ソース間に絶対定格以上の高電圧が印加されるのを防ぐために挿入してあり、高耐圧nチャネルMOSFET120と同様に $(R10 / (R9 + R10) - 1) \cdot VDD$ で表されるゲート電位は高耐圧nチャネルMOSFET148が適切に動作するようにR9、R10を設定する。容量C3は高耐圧pチャネルMOSFET148のゲート電位安定化を目的に挿入してある。容量C4はソースフォロワ出力であるノード142と+HVとの間に挿入され、高耐圧pチャネルMOSFET200のゲートを駆動するために出力駆動能力が高められたBuffer144で消費される瞬時電流を供給するバイパスコンデンサとして機能する。

SFETのドレインソース間に絶対定格以上の高電圧が印加されるのを防ぐために挿入してあり、 $R10/(R9+R10)*VDD$ で表されるゲート電位は高耐圧pチャネルMOSFET148が適切に動作するようにR9、R10を設定する。本電圧－電流変換部106は、前述した上凸電圧出力パルス制御用の電圧－電流変換部104のカレントミラー118に相当する電流折返しが不要である。このため、その電流折返しによって生じる伝播遅延を補償するBuffer144を遅延Bufferとして信号経路に挿入して、上凸電圧出力パルス経路との伝播遅延時間差を補償している。

【0028】

電流－電圧変換部110は、前段の電圧－電流変換部106の出力電流パルス信号を電圧パルス振幅VGSnで、かつ次段の振動子駆動回路部20の高耐圧nチャネルMOSFET202のソース端子印加電圧-HVに等しいローレベル出力電圧Vol=-HVを有する電圧パルス信号に変換する。ここで、VGSnは高耐圧nチャネルMOSFET202が動作するのに最適なゲートソース間印加電圧のことを指す。110は電流－電圧変換、及びBufferを行う150と、振動子駆動回路部20の高耐圧nチャネルMOSFET202のゲートを駆動する振幅VGSnを-HVを基準電位として生成する152とで構成される。前述の電圧－電流変換部106にて生成された電流パルスは150の抵抗R13により再び電圧パルスに変換される。カレントミラー146のミラー比を1：1とした場合、抵抗R13にて変換される電圧パルス振幅は $(VDD-2*Vgs)*R13/R8$ で表される。この電圧パルスは150のBuffer154への入力電圧となり、通常この電圧パルス振幅はVGSnと同じに設定される。Buffer154の出力電圧GNの振幅は前述のように高耐圧nチャネルMOSFET202のゲートを駆動する振幅であることからVGSnである必要があり、このBuffer154のノード156で決まるハイレベル出力電圧-HV+VGSnは152にて生成される。152は、カレントミラー158と、抵抗R11、R12と、容量C3、C4と、高耐圧pチャネルMOSFET160と、高耐圧nチャネルMOSFET162とで構成される。カレントミラー158のコピー元に流れる電流は $(VDD-2*Vgs)/R11$ で表される。このVgsはカレントミラー158を構成する低耐圧pチャネルMOSFETのゲートソース間電圧を指す。カレントミラー158のミラー比を1：1とした場合、抵抗R12にて変換されるノード164の電位は $-HV+(VDD-2*Vgs)*R12/R11$ で表される。このノード164の電位は、前述のようにノード156の電位が-HV+VGSnとなるように定められる。すなわち、 $(VDD-2*Vgs)*R12/R11=VGSn+Vgs162$ を満たすようにR11、R12を決定する。このVgs162はソースフォロワ動作する高耐圧nチャネルMOSFET162のゲートソース間電圧のことを指す。高耐圧pチャネルMOSFET160は、カレントミラー158のコピー先の低耐圧pチャネルMOSFETのドレインソース間に絶対定格以上の高電圧が印加されるのを防ぐために挿入してあり、高耐圧pチャネルMOSFET148と同様に $R10/(R9+R10)*VDD$ で表されるゲート電位は高耐圧pチャネルMOSFET160が適切に動作するようにR9、R10を設定する。容量C3は高耐圧nチャネルMOSFET162のゲート電位安定化を目的に挿入してある。容量C4はソースフォロワ出力であるノード156と-HVとの間に挿入され、高耐圧nチャネルMOSFET202のゲートを駆動するために出力駆動能力が高められたBuffer154で消費される瞬時電流を供給するバイパスコンデンサとして機能する。

【0029】

カレントミラー146、158において+VDDをソース側基準電圧としているため、下凸電圧出力パルス制御用論理入力端子INNから高耐圧nチャネルMOSFET202の信号経路は-HV=0Vのダンパー動作チャネルとしても動作可能であり、-HVは0～-200V程度まで任意に変えられる。

【0030】

次に、振動子駆動回路部20に関して説明する。図2において、振動子駆動回路部20は、高耐圧pチャネルMOSFET200と、高耐圧nチャネルMOSFET202と、高耐圧ダイオード204、206と、抵抗208、210と、ツェナーダイオード212、214とで構成される。高耐圧pチャネルMOSFET200、及び高耐圧nチャネルMOSFET202は、前述のようにゲート駆動回路部10のノードGP及びGNにおける出力電圧パルスによってそれぞれのゲートが駆動される。

【0031】

図3に示すように、ゲート駆動回路部10と振動子駆動回路部20との対から成る送信回路をチャンネルの一単位としてそのチャンネルを複数(1～n)備え、複数のチャンネル1～nに

10

20

30

40

50

相当する n 個の送信回路が単一の半導体基板上に一体に形成されて構成される。具体的には、本送信回路は図 1 に示す回路を単位チャネルとして、ドライバ動作チャネルやダンパー動作チャネルの複数の出力端子 OUT を短絡した構成で実施される場合があるので、高耐圧 p チャネル MOSFET200、及び高耐圧 n チャネル MOSFET202 のドレイン出力は、それぞれ高耐圧ダイオード 204、206 を介した後に短絡して 1 つの出力 OUT とする構成をとることで、異チャネル間の出力信号分離を行っている。抵抗 208、210、及びツェナーダイオード 212、214 はそれぞれ高耐圧 p チャネル MOSFET200、及び高耐圧 n チャネル MOSFET202 のゲートソース間過電圧印加を保護する目的で挿入している。

【0032】

このように本発明によれば、0～±200V 程度まで上凸、下凸の出力バースト動作、及びダンパー動作が可能な送信回路を、図 1 に示す回路を単位チャネルとして複数チャネルを単結晶シリコンのような単一の半導体基板上に形成したモノリシック IC として実現することができる。

【0033】

尚、本実施例は図 1 において、上凸、若しくは下凸のどちらか一方の極性の電圧出力パルスで駆動できる構成、すなわち上凸電圧出力パルス制御用論理入力端子 INP から高耐圧 p チャネル MOSFET200 の信号経路、若しくは下凸電圧出力パルス制御用論理入力端子 INN から高耐圧 n チャネル MOSFET202 の信号経路のみでも実施できる。

【0034】

また、本実施例が図 3 に示すような、複数の出力端子 OUT を短絡した構成で実施される場合、複数チャネルをそれぞれ異なる ±HV に適切に設定した組み合わせを 1 つのチャネルとして、バースト波形より高品質な擬似ガウシアン波形を出力することも可能である。

【0035】

また、本実施例において、図 1 の振動子駆動回路部 20 の高耐圧 p チャネル MOSFET200、及び高耐圧 n チャネル MOSFET202 はバイポーラトランジスタや IGBT といった他のトランジスタにも置き換え可能であることから、本実施例に示す高電圧パルス発生回路の他に出力負荷を電流駆動するドライバ回路としても実施可能である。

【0036】

以上、本実施例によれば、超音波診断装置用途に適した 0V～±200V 程度の出力パルス振幅可変範囲を有する送信回路（ドライバ回路）を、ゲート駆動回路部と振動子駆動回路部との直流的接続により、外付容量不要による単位チャネル当りの必要端子数削減および実装制約緩和を図り、また可能な限り低耐圧トランジスタを用いたことによる単位チャネル当りの半導体基板面積低減を図った形で実現できる。このことから、複数チャネルを集積した半導体集積回路装置を小チップ面積で実現できるという効果が得られる。

【図面の簡単な説明】

【0037】

【図 1】本発明を適用した送信回路のブロック構成図である。

【図 2】本発明を適用した送信回路の具体的な構成例を示す図である。

【図 3】図 1 の回路をチャネルの一単位とした複数チャネル出力短絡送信回路の一例を示す図である。

【図 4】本発明に先立って発明者独自の視点から従来の送信回路を捉え直した送信回路の構成図である。

【図 5】本発明に先立って発明者独自の視点から従来の送信回路を捉え直した送信回路の構成図である。

【符号の説明】

【0038】

INP…上凸電圧出力パルス制御用論理入力端子、INN…下凸電圧出力パルス制御用論理入力端子、OUT…出力端子、VLL…論理入力部電源、VDD…低圧部高電位側電源、-VDD…低圧部低電位側電源、+HV…高圧部高電位側電源、-HV…高圧部低電位側電源、GND…送信回路のグラウンド、10…ゲート駆動回路部、20…振動子駆動回路部、30…振動子。

10

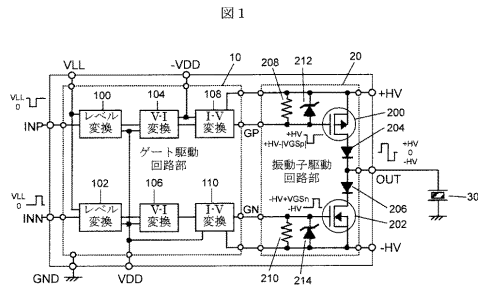
20

30

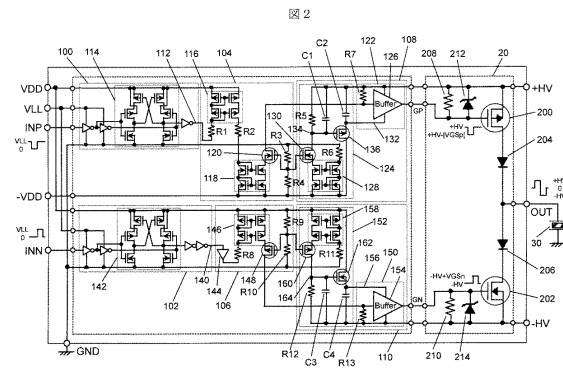
40

50

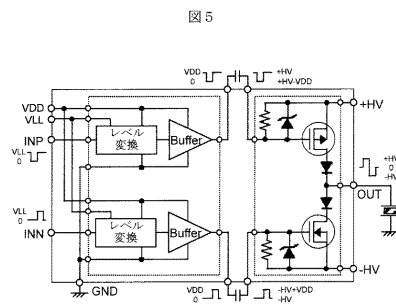
【図 1】



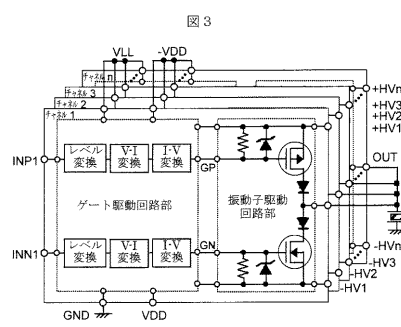
【図 2】



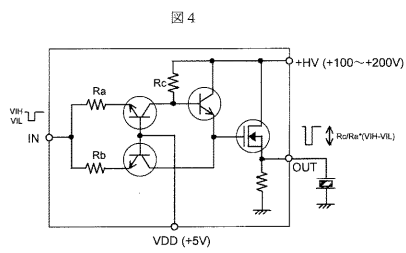
【図 5】



【図 3】



【図 4】



フロントページの続き

- (56)参考文献 特開2006-101997 (JP, A)
特開昭62-117533 (JP, A)
特開平07-231247 (JP, A)
特開2000-152930 (JP, A)
特開平11-056839 (JP, A)
特開2004-358133 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K	17/00-17/70
H03K	19/0175
G01S	7/524
A61B	8/00

专利名称(译)	半导体集成电路器件		
公开(公告)号	JP4946572B2	公开(公告)日	2012-06-06
申请号	JP2007090207	申请日	2007-03-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	花沢 聡 吉澤 弘泰		
发明人	花沢 聡 吉澤 弘泰		
IPC分类号	H03K17/687 H03K19/0175 G01S7/524 A61B8/00		
CPC分类号	H02M7/538 H03K3/356113 H03K19/018521		
FI分类号	H03K17/687.F H03K19/00.101.A H03K19/00.101.F G01S7/52.Q A61B8/00 G01S7/524.Q H03K19/0175.210 H03K19/0175.220		
F-TERM分类号	4C601/EE12 4C601/EE13 4C601/GB06 4C601/GB22 4C601/GB41 4C601/HH01 5J055/AX47 5J055/AX65 5J055/BX16 5J055/CX03 5J055/CX11 5J055/DX22 5J055/DX43 5J055/DX85 5J055/EX07 5J055/EX19 5J055/EY01 5J055/EY12 5J055/EY13 5J055/EY21 5J055/EZ04 5J055/EZ07 5J055/EZ65 5J055/FX12 5J055/FX19 5J055/FX21 5J055/GX01 5J055/GX02 5J056/AA04 5J056/BB14 5J056/BB51 5J056/CC02 5J056/CC21 5J056/DD29 5J056/DD51 5J056/DD55 5J056/DD56 5J056/FF08 5J056/GG06 5J083/AA02 5J083/AB17 5J083/AC18 5J083/AC31 5J083/AE08 5J083/BA01 5J083/CA04 5J083/CA12 5J083/CB01		
代理人(译)	井上 学		
审查员(译)	正和Kurusu		
其他公开文献	JP2008252436A5 JP2008252436A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种半导体集成电路器件，其中通过使用用于超声波诊断系统等的传输电路在高两者上变化高达0至±200V来集成具有多个通道的传输电路。小区域中振荡器驱动电路的高压电源的电位侧和低电位侧。 Σ SOLUTION：栅极驱动电路部分10将输入电压脉冲转换为电流脉冲，将电流脉冲重新转换为电压脉冲，从而实现具有高电位侧电压+ HV和低电位侧电压的输入电压脉冲的电压电平移位 - HV作为基准施加到振荡器驱动电路部分20，并且栅极驱动电路部分10产生栅极驱动电路10的输出缓冲器的电压脉冲幅度，其接收具有高电势侧电压+ HV的移位电压脉冲。以相同的方式作为参考施加到振荡器驱动电路部分20的低电位侧电压-HV。栅极驱动电路部分10和输出负载驱动电路部分20以直流方式连接。 Σ

【图2】

