

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-10874

(P2020-10874A)

(43) 公開日 令和2年1月23日(2020.1.23)

(51) Int.Cl.

A61B 8/14 (2006.01)

F1

A61B 8/14

テーマコード(参考)

4C601

審査請求 未請求 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願2018-135702 (P2018-135702)
 (22) 出願日 平成30年7月19日(2018.7.19)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 110001210
 特許業務法人YK I 国際特許事務所
 (72) 発明者 金子 琢哉
 東京都千代田区丸の内一丁目6番6号 株
 式会社日立製作所内
 (72) 発明者 梶山 新也
 東京都千代田区丸の内一丁目6番6号 株
 式会社日立製作所内
 Fターム(参考) 4C601 EE02 EE13 GB06 GB18 JB02
 JB09

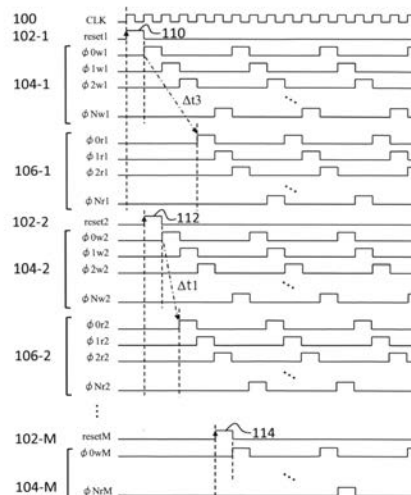
(54) 【発明の名称】 超音波診断装置及び電子回路

(57) 【要約】

【課題】並列的に動作する複数のメモリセル列からの複数の受信信号を加算する際にノイズが増強されてしまう。

【解決手段】超音波プローブ内の電子回路は、複数のサブビームフォーマー及び制御部を有する。各サブビームフォーマーは、M個の遅延回路及び加算回路を有する。各遅延回路は、N個のメモリセルからなるメモリセル列を有する。M個のメモリセルにおいて使用開始段数がばらつくように、M個のメモリセル列の循環的動作の条件(例えばスタートトリガのタイミング)が不揃いとされている。

【選択図】図6



【特許請求の範囲】**【請求項 1】**

M個の受信信号を遅延するM個の遅延回路であって、各遅延回路が第1段から第N段までのN個のメモリセルからなるメモリセル列を有し、並列的に動作するM個の遅延回路と、

前記M個の遅延回路から出力されたM個の受信信号を加算する加算回路と、
前記遅延回路ごとに、設定された遅延時間に応じて前記メモリセル列の循環的動作を制御する制御部と、

を含み、

前記M個の遅延回路に含まれるM個のメモリセル列における使用開始段数がばらつくように、前記M個のメモリセル列の循環的動作の条件が不揃いとされている、
ことを特徴とする超音波診断装置。

10

【請求項 2】

請求項1記載の超音波診断装置において、

前記各遅延回路においては、スタートトリガに従って前記メモリセル列の循環的動作が開始され、

前記制御部は、前記M個の遅延回路に与えられるM個のスタートトリガのタイミングを不揃いにする、

ことを特徴とする超音波診断装置。

20

【請求項 3】

請求項2記載の超音波診断装置において、

前記制御部は、前記各遅延回路に設定される遅延時間に従って、前記M個のスタートトリガのタイミングを修正する、

ことを特徴とする超音波診断装置。

【請求項 4】

請求項1記載の超音波診断装置において、

前記各遅延回路においては、オフセットに対応する段数のメモリセルから前記メモリセル列の循環的動作が開始され、

前記制御部は、前記M個の遅延回路に与えられるM個のオフセットを不揃いにする、

ことを特徴とする超音波診断装置。

30

【請求項 5】

請求項4記載の超音波診断装置において、

前記制御部は、前記各遅延回路に設定される遅延時間に従って、前記M個のオフセットを修正する、

ことを特徴とする超音波診断装置。

【請求項 6】

請求項1記載の超音波診断装置において、

前記制御部は、

前記遅延回路ごとに設けられ、前記N個のメモリセルに対して与えられるN個の制御信号を生成する生成回路と、

40

前記M個の遅延回路の中で配線変更が必要な遅延回路ごとに、前記N個の制御信号の配線を変更し、配線変更後のN個の制御信号を出力する配線変更回路と、

を含み、

前記M個の遅延回路にわたって、前記配線変更後のN個の制御信号の配線が不揃いとされている、

ことを特徴とする超音波診断装置。

【請求項 7】

請求項6記載の超音波診断装置において、

前記各配線変更回路は、配線変更前のN個の制御信号、及び、当該配線変更前のN個の制御信号に対して所定段数分だけシフトした関係にある配線変更後のN個の制御信号が入

50

力される選択回路であり、

前記選択回路は、非シフトモードにおいて前記配線変更前のN個の制御信号を選択し、シフトモードにおいて前記配線変更後のN個の制御信号を選択する、ことを特徴とする超音波診断装置。

【請求項8】

請求項6記載の超音波診断装置において、二次元配線された複数の振動素子からなる振動素子アレイを含み、前記振動素子アレイに対して二次元配線された複数のサブアレイが設定され、前記サブアレイ単位で前記サブアレイに対して前記M個の遅延回路が接続され、前記複数のサブアレイにわたって前記配線変更後のN個の制御信号の配線が不揃いとされている、ことを特徴とする超音波診断装置。

10

【請求項9】

超音波プローブ内に設けられ、M個の受信信号を遅延するM個の遅延回路であって、各遅延回路が第1段から第N段までのN個のメモリセルからなるメモリセル列を有し、並列的に動作するM個の遅延回路と、

前記超音波プローブ内に設けられ、前記M個の遅延回路から出力されたM個の受信信号を加算する加算回路と、

前記超音波プローブ内に設けられ、前記遅延回路ごとに、設定された遅延時間に応じて前記メモリセル列の循環的動作を制御する制御部と、

20

を含み、

前記M個の遅延回路に含まれるM個のメモリセル列における使用開始段数がばらつくように、M個のメモリセル列の循環的動作の条件が不揃いとされている、

ことを特徴とする電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は超音波診断装置及び電子回路に関し、特に、超音波プローブ内での遅延処理に関する。

30

【背景技術】

【0002】

超音波ビームを二次元走査してボリュームデータを取得するために、二次元振動素子アレイを備えた超音波プローブ(3Dプローブ)が利用される。3Dプローブ内には、一般に、電子回路が設けられ、それはサブビームフォーミングを実行する複数のサブビームフォーマーを有する。各サブビームフォーマーは、複数の遅延回路と加算回路とを含み、複数の受信信号が複数の遅延回路において遅延処理された上で、遅延処理後の複数の受信信号が加算回路で加算される。複数のサブビームフォーマーから出力された複数の受信信号が装置本体へ出力される。以上においては、受信時の処理について説明したが、送信時においても必要に応じてサブビームフォーミングが実行される。

40

【0003】

各サブビームフォーマー内において、個々の遅延回路は、例えば、メモリセル列を有する(特許文献1及び非特許文献1を参照)。メモリセル列を構成する各メモリセルは、サンプル&ホールド回路として働く。メモリセル列はリングメモリのように循環的に使用される。換言すればメモリセル列は循環的動作を行う。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第6205481号明細書

【非特許文献】

50

【 0 0 0 5 】

【非特許文献1】Chao Chen, et al., A Front-End ASIC With Receive Sub-array Beamforming Integrated With a 32×32 PZT Matrix Transducer for 3-D Transesophageal Echocardiography, IEEE Journal of Solid-State Circuits, Vol.52, No.4, 2017.

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

サブビームフォーマー内の複数のメモリセル列において、特定の段数に属する複数のメモリセルに対して同じノイズが混入することがあり、あるいは、そのような複数のメモリセルにおいて同じノイズが生じることもある。そのようなノイズは、メモリセル列の循環的動作に伴って周期的に生じるものであり、複数の受信信号の加算段階で増強され、S/N比を悪化させる要因となる。

10

【 0 0 0 7 】

なお、非特許文献1には、メモリセル列に対して1つの拡張メモリセルを追加的に配置し、拡張メモリセルの使用及び不使用を選択することによって、ノイズ発生タイミングを分散化することが記載されている。このような構成を採用する場合、メモリセル数の増大という別の問題が生じる。

【 0 0 0 8 】

本発明の目的は、複数のメモリセル列に由来するノイズを解消又は低減することにある。あるいは、本発明の目的は、メモリセル数の増大を回避しつつ、複数のメモリセル列に由来するノイズを解消又は低減することにある。

20

【課題を解決するための手段】

【 0 0 0 9 】

本発明に係る超音波診断装置は、M個の受信信号を遅延するM個の遅延回路であって、各遅延回路が第1段から第N段までのN個のメモリセルからなるメモリセル列を有し、並列的に動作するM個の遅延回路と、前記M個の遅延回路から出力されたM個の受信信号を加算する加算回路と、前記遅延回路ごとに、設定された遅延時間に応じて前記メモリセル列の循環的動作を制御する制御部と、を含み、前記M個の遅延回路に含まれるM個のメモリセル列における使用開始段数がばらつくように、前記M個のメモリセル列の循環的動作の条件が不揃いとされている、ことを特徴とする。

30

【 0 0 1 0 】

本発明に係る電子回路は、超音波プローブ内に設けられ、M個の受信信号を遅延するM個の遅延回路であって、各遅延回路が第1段から第N段までのN個のメモリセルからなるメモリセル列を有し、並列的に動作するM個の遅延回路と、前記超音波プローブ内に設けられ、前記M個の遅延回路から出力されたM個の受信信号を加算する加算回路と、前記超音波プローブ内に設けられ、前記遅延回路ごとに、設定された遅延時間に応じて前記メモリセル列の循環的動作を制御する制御部と、を含み、前記M個の遅延回路に含まれるM個のメモリセル列における使用開始段数がばらつくように、前記M個のメモリセル列の循環的動作の条件が不揃いとされている、ことを特徴とする。

40

【発明の効果】

【 0 0 1 1 】

本発明によれば、複数のメモリセル列に由来するノイズを解消又は低減できる。あるいは、本発明によれば、メモリセル数の増大を回避しつつ、複数のメモリセル列に由来するノイズを解消又は低減できる。

【図面の簡単な説明】

【 0 0 1 2 】

【図1】実施形態に係る超音波診断装置を示すブロック図である。

【図2】遅延回路を示す回路図である。

【図3】周期的ノイズの発生を説明するための図である。

【図4】周期的ノイズの抑圧結果を示す図である。

50

【図 5】第 1 実施例を示すブロック図である。

【図 6】第 1 実施例を示すタイミングチャートである。

【図 7】第 2 実施例を示すブロック図である。

【図 8】第 2 実施例を示すタイミングチャートである。

【図 9】第 1 実施例で生じ得る現象を示すタイミングチャートである。

【図 10】第 1 実施例の変形例を示すタイミングチャートである。

【図 11】第 3 実施例を示す概念図である。

【図 12】第 3 実施例を示すブロック図である。

【図 13】第 3 実施例におけるシフト回路の第 1 例を示すブロック図である。

【図 14】第 3 実施例におけるシフト回路の第 2 例を示すブロック図である。

10

【発明を実施するための形態】

【0013】

以下、実施形態を図面に基づいて説明する。

【0014】

(1) 実施形態の概要

実施形態に係る超音波診断装置は、M 個の遅延回路、加算回路、及び、制御部を有する。各遅延回路は、第 1 段から第 N 段までの N 個のメモリセルからなるメモリセル列を有する。加算回路は、M 個の遅延回路から出力された M 個の受信信号を加算する。制御部は、遅延回路ごとに、設定された遅延時間に応じてメモリセル列の循環的動作を制御する。M 個の遅延回路に含まれる M 個のメモリセル列における使用開始段数がばらつくように、M 個のメモリセル列の循環的動作の条件が不揃いとされている。これにより、個々のメモリセル列からのノイズの出力タイミングが不揃いとなるので、加算回路でのノイズの増強が回避される。上記構成によれば、ノイズ抑圧のためにメモリセル数を増やす必要がないという利点も得られる。

20

【0015】

M 及び N はそれぞれ 2 以上の整数である。実施形態において、M 個の遅延回路が有する M 個のメモリセル列は、互いに同期して並列的に動作するものである。個々のメモリセル列はリングメモリのように循環的に動作する。もっとも、実施形態において、個々のメモリセルはアナログ記憶素子で構成され、メモリセル列はランダムアクセスメモリとして機能する。

30

【0016】

実施形態においては、各遅延回路において、スタートトリガに従ってメモリセル列の循環的動作が開始され、制御部は、M 個の遅延回路の動作を規定する M 個のスタートトリガのタイミングを不揃いにする。スタートトリガのタイミングを不揃いにするにより、複数のメモリセル列の相互間において、使用開始段数が不揃いとなる。これにより加算段階でのノイズの増強が抑制される。

【0017】

制御部が、各遅延回路に設定される遅延時間に従って、M 個のスタートトリガのタイミングを修正するようにしてもよい。スタートトリガのタイミングを操作しても、遅延時間に応じて、複数のメモリセル列の間で使用開始段数が揃ってしまうこともある。そのような事態が生じることをスタートトリガのタイミングの修正により回避するものである。

40

【0018】

実施形態においては、各遅延回路において、オフセットに対応する段数のメモリセルからメモリセル列の循環的動作が開始され、制御部は、M 個の遅延回路に与えられる M 個のオフセットを不揃いにする。オフセットを不揃いにするにより、複数のメモリセル列の相互間において、使用開始段数が不揃いとなる。これにより加算段階でのノイズの増強が抑制される。

【0019】

制御部が、各遅延回路に設定される遅延時間に従って、M 個のオフセットを修正するようにしてもよい。オフセットを操作しても、遅延時間に応じて、使用開始段数が部分的に

50

揃ってしまうこともある。そのような事態が生じることをスタートトリガのタイミングの修正により回避するものである。

【 0 0 2 0 】

実施形態において、制御部は、遅延回路ごとに設けられ、N個のメモリセルに対して与えられるN個の制御信号を生成する生成回路と、M個の遅延回路の中で配線変更が必要な遅延回路ごとに、N個の制御信号の配線を変更し、配線変更後のN個の制御信号を出力する配線変更回路と、を含み、M個の遅延回路にわたって、配線変更後のN個の制御信号の配線が不揃いとされている。この構成は、N個の制御信号とN個のメモリセルとの対応関係を遅延回路ごとに変化させて、使用開始段数を不揃いにするものである。M個の遅延回路の中で、配線変更が必要となる遅延回路の個数は、一般に、M - 1個である。もっとも、M個の遅延回路にわたって、N個の制御信号の配線が揃わない限りにおいて、配線変更対象となる遅延回路の個数は任意である。配線変更がハードウェアによって行われてもよい。N個の制御信号は、例えば、N個の書き込み制御信号、及び/又は、N個の読み出し制御信号である。

10

【 0 0 2 1 】

実施形態において、各配線変更回路は、配線変更前のN個の制御信号、及び、当該配線変更前のN個の制御信号に対して所定段数分だけシフトした関係にある配線変更後のN個の制御信号が入力される選択回路であり、選択回路は、非シフトモードにおいて配線変更前のN個の制御信号を選択し、シフトモードにおいて配線変更後のN個の制御信号を選択する。この構成によれば、加算後のノイズの有無等に応じて、非シフトモード又はシフトモードを選択することが可能となる。

20

【 0 0 2 2 】

実施形態に係る超音波診断装置は、二次元配線された複数の振動素子からなる振動素子アレイを含み、振動素子アレイに対して二次元配線された複数のサブアレイが設定され、サブアレイ単位でサブアレイに対してM個の遅延回路が接続され、複数のサブアレイにわたって配線変更後のN個の制御信号の配線が不揃いとされている。この構成によれば、複数のサブアレイにわたって(複数のサブビームフォーマーにわたって)、ノイズ発生タイミングを分散させることが可能となる。

【 0 0 2 3 】

実施形態に係る電子回路は、超音波プローブ内に設けられた、M個の遅延回路、加算回路、及び、制御部を有する。各遅延回路は第1段から第N段までのN個のメモリセルからなるメモリセル列を有する。加算回路は、M個の遅延回路から出力されたM個の受信信号を加算するものである。制御部は、遅延回路ごとに、設定された遅延時間に応じてメモリセル列の循環的動作を制御するものである。M個の遅延回路に含まれるM個のメモリセル列における使用開始段数がばらつくように、M個のメモリセル列の循環的動作の条件が不揃いとされる。これにより、個々のメモリセル列からのノイズの出力タイミングが揃わなくなるので、加算回路でのノイズの増強が回避される。

30

【 0 0 2 4 】

(2) 実施形態の詳細

図1には、実施形態に係る超音波診断装置の構成がブロック図として示されている。この超音波診断装置は、病院等の医療機関に設置され、生体(被検者)への超音波の送受波により超音波画像を形成する医療用の装置である。

40

【 0 0 2 5 】

超音波診断装置は、大別して、超音波プローブ10及び装置本体12からなる。超音波プローブ10は、いわゆる3Dプローブであり、それは二次元振動素子アレイ14及び電子回路16を含む。二次元振動素子アレイ14は、二次元配線された数千個、数万個又は数十万個の振動素子14aからなるものである。二次元振動素子アレイ14には、複数のサブアレイ15が設定されている。各サブアレイ15はメインビームフォーミングでの処理単位をなすものである。各サブアレイ15内においてサブビームフォーミングが適用される。各サブアレイ15は、図示の例において、1番(#1)からM番(#M)までのM

50

個の振動素子によって構成される（図 1 においてそれらは直線的に並んでいるが、実際には二次元配線されている）。超音波プローブ 10 内において、複数段階のサブビームフォーミングが実行されてもよい。

【0026】

電子回路 16 は 1 又は複数の半導体集積回路を含む。具体的には、電子回路 16 は、複数のサブビームフォーマー 24、制御部（プローブ制御部）18、波形メモリ 20 及び遅延データメモリ 22 を有している。各サブビームフォーマー 24 は、送信時において、遅延処理された複数の送信信号を生成し、それを複数の振動素子へ並列的に供給する。各サブビームフォーマー 24 は、受信時において、複数の振動素子からの複数の受信信号を遅延処理してサブビームフォーミング信号を生成し、それを装置本体 12 へ出力する。

10

【0027】

具体的には、各サブビームフォーマー 24 は、複数の送受信器 26、加算回路 28 等を有する。サブレイ 15 を構成する複数の振動素子に対して複数の送受信器 26 が一対一の関係をもって接続されている。各送受信器 26 は、メモリセル列を含む遅延回路 30 を有する。また、各送受信器 26 は、送信アンプ 32、送受切替スイッチ 34、及び、受信アンプ（リニアアンプ）36 を有する。送信アンプ 32 に代えてパルサーが設けられてもよい。遅延回路 30 は、送信時において、遅延処理された送信信号を生成し、受信時において、受信信号を遅延処理するものである。つまり、それは送受信兼用回路である。

【0028】

制御部 18 は、後述するシステムコントローラ 50 によって制御されるローカルコントローラとしての制御回路である。制御部 18 は、各サブビームフォーマー 24 の動作を制御するものであり、例えば、各サブビームフォーマー 24 での遅延処理を制御するものである。そのために制御部 18 から各サブビームフォーマー 24 へ制御信号 38 が与えられている。

20

【0029】

波形メモリ 20 内には送信信号を構成する波形データが格納されている。必要に応じて、その波形データが各サブビームフォーマー 24 へ送られる。遅延データメモリ 22 内には、システムコントローラ 50 から転送されてきたディレイデータが格納される。ディレイデータが制御部 18 において生成されてもよい。制御部 18 は、ディレイデータを各サブビームフォーマー 24 へ転送し、あるいは、各サブビームフォーマー 24 をディレイデータに従って制御する。図 1 に示されている電子回路 16 の構成は一例に過ぎないものである。超音波プローブ 10 は、例えば、体表当接型プローブ又は体腔内挿入型プローブである。図示の構成例において、超音波プローブ 10 と装置本体 12 はケーブルによって接続されている。

30

【0030】

続いて、装置本体 12 について説明する。装置本体 12 内には電子回路としてのメインビームフォーマー 40 が設けられている。メインビームフォーマー 40 には、複数のサブビームフォーマーから出力された複数のサブビームフォーミング信号（サブレイ受信信号）が入力されている。メインビームフォーマー 40 は、それらの信号に対して整相加算（遅延加算）を適用し、これによってビームデータを生成する。例えば、1つのボリュームデータは複数のフレームデータにより構成される。1つのフレームデータは複数のビームデータにより構成される。1つのビームデータは深さ方向に並ぶ複数のエコーデータにより構成される。

40

【0031】

画像形成部 42 は、フレームデータに基づいて二次元超音波画像としての断層画像を形成し、あるいは、ボリュームデータに基づいて三次元超音波画像を形成するプロセッサにより構成される。三次元超音波画像は、組織を立体的に表現した超音波画像である。そのためのレンダリング方法として、ボリュームレンダリング法、サーフェイスレンダリング法等が知られている。ドプラ情報に基づいて超音波画像が形成されてもよい。画像形成部 42 で形成された超音波画像のデータが表示処理部 44 を介して表示器 46 に送られてい

50

る。表示器 46 には超音波画像が表示される。表示処理部 44 は、画像合成機能、カラー演算機能、グラフィック画像生成機能等を有するプロセッサにより構成される。表示器 46 は、液晶表示器、有機 EL 表示デバイス、その他によって構成され得る。

【0032】

システムコントローラ 50 は、図 1 に示されている各構成の動作を制御するものであり、それには、送受信制御、特に超音波プローブ 10 内の制御部 18 の制御が含まれる。システムコントローラ 50 は、CPU 及び動作プログラムにより構成される。システムコントローラ 50 には操作パネル 52 が接続されている。操作パネル 52 は、複数のスイッチ、複数のボタン、トラックボール、キーボード等を有する入力デバイスである。

【0033】

システムコントローラ 50 から超音波プローブ 10 内の制御部 18 へ制御データ 54 が送られている。制御部 18 はその制御データに従って超音波プローブ 10 内の各構成、特に各サブビームフォーマー 24 を制御する。システムコントローラ 50 から制御部 18 へクロックが供給されている。

【0034】

図 2 には、サブビームフォーマー 24 が示されている。サブビームフォーマー 24 は、M 個の送受信器 26 - 1 ~ 26 - M を含む。それらは同一の構成を有している。ここでは送受信器 26 - 1 をとりあげ、その構成について説明する。

【0035】

送受信器 26 - 1 は遅延回路 30 を有している。遅延回路 30 はメモリセル列 60 を有し、そのメモリセル列 60 は、並列に設けられた N 個のメモリセル 60 a からなる。個々のメモリセル 60 a は、例えばアナログメモリ (キャパシタ) 60 a により構成される。換言すれば、個々のメモリセル 60 a は、その前後に設けられた一対のスイッチ 62 a , 64 a を含めて、サンプルアンドホールド (S & H) 回路として機能する。メモリセル列 60 の前段にはスイッチ列 62 が設けられ、それらは N 個のスイッチ 62 a からなる。メモリセル列 60 の後段にはスイッチ列 64 が設けられ、それも N 個のスイッチ 64 a からなる。

【0036】

入力信号 66 は、スイッチ列 62 によって選択された、例えば k 番目のメモリセルに格納される。設定された遅延時間後、スイッチ列 64 の作用によって、k 番目のメモリセルから信号が読み出され、それが出力信号 68 としてバッファ 70 を経由して外部へ出力される。k 番目のメモリセルへの信号の書き込み後、k + 1 番目のメモリセルへの信号の書き込みが行われ、設定された遅延時間後、その k + 1 番目のメモリセルから信号が読み出され、上記同様に出力される。メモリセル列 60 がリングメモリのように循環的に使用されて、個々の信号が遅延処理される。換言すれば、メモリセル列が循環的動作を行う。受信時においては、遅延回路 30 を利用していわゆる受信ダイナミックフォーカスを行うことが可能である。

【0037】

スイッチ列 62 及びスイッチ列 64 の動作は図 1 に示した制御部によって制御される。図 2 においては、個々のスイッチの動作を制御するための制御信号が記号 によって示されている。に続く添え字 1 ~ N はメモリセルの番号 (段数) を示しており、それに続く w 及び r はそれぞれ書き込み及び読み出しを示している。それに続く番号は、サブビームフォーマーの番号を示している。その番号は 1 ~ M までである。M 個の送受信器 26 - 1 ~ 26 - M から出力された M 個の受信信号が加算回路によって加算され、これによってサブビームフォーミング信号が生成される。

【0038】

M 個のメモリセル列における特定の段数のメモリセルに対して横断的に共通のノイズ 72 が混入し、あるいは、特定の段数のメモリセルにおいて共通のノイズが生じた場合、加算回路で M 個のノイズが加算される結果、大きな周期的ノイズが生じる。これは S / N 比を悪化させ、ひいては超音波画像の画質を劣化させる。そのような現象は、半導体集積回

10

20

30

40

50

路上に複数のサブビームフォーマーを構築した場合において生じ易い。ノイズが生じる原因として、回路特性のパラッキ、回路レイアウトに起因する寄生容量やクロストーク、等が挙げられる。

【0039】

図3には、その現象が示されている。1番からM番までの受信信号200-1~200-Mが加算回路において加算されると、加算後の信号202において、比較的大きい周期的なノイズ203が生じる。なお、本願明細書では、各図において既に説明した要素には同一の符号を付し、その説明を省略することにする。

【0040】

実施形態に係る制御方法によれば、以下に詳しく説明するように、加算段階においてM個のノイズの時相が分散化されるように、M個のメモリセル列の使用開始段数が制御される。その結果、図4に示されるように、加算後の信号204においてノイズが目立たなくなる。

【0041】

図5及び図6には第1実施例が示されている。第1実施例は、M個の遅延回路へ与えるM個のリセット信号(スタートトリガ)のタイミングを不揃いとすることにより、M個の遅延回路(M個のメモリセル列)にわたって、使用開始段数を不揃いにするものである。

【0042】

図5には、制御回路25Aが示されている。図1に示した制御部内には、サブビームフォーマーごとに図5に示す制御回路25Aが設けられている。サブビームフォーマーの中に制御回路25Aが設けられてもよい。制御回路25Aは、デコード回路74A、書き込み制御ブロック78A、及び、読み出し制御ブロック80Aを有している。デコード回路74Aには、装置本体又は制御部内のコアモジュールから制御データ76Aが与えられている。制御データ76Aは、図示の例において、遅延データ82、クロック84及びリセットデータ86を含むものである。

【0043】

書き込み制御ブロック78Aは、M個の遅延回路に対応したM個の書き込み制御モジュールからなる。個々の書き込み制御モジュールは、N個のメモリセルからなるメモリセル列に与えるN個の書き込み制御信号を生成する。読み出し制御ブロック80Aは、M個の遅延回路に対応したM個の読み出し制御モジュールからなる。個々の読み出し制御モジュールは、N個のメモリセルからなるメモリセル列に与えるN個の読み出し制御信号を生成する。書き込み制御ブロック78A及び読み出し制御ブロック80Aは、デコード回路74Aから供給される制御データに従って動作する。

【0044】

第1実施例では、リセットデータ86がM個のリセット信号により構成され、M個のリセット信号がM個の書き込み制御モジュール及びM個の読み出し制御モジュールに与えられている。個々のリセット信号はスタートトリガとして機能するものである。M個のリセット信号によるM個のリセットタイミングは不揃いとされており、そのようなM個のリセット信号をM個の書き込み制御モジュール及びM個の読み出し制御モジュールに並列的に与えることにより、遅延回路ごとに、使用開始段数を異ならせることが可能となる。

【0045】

図6には、第1実施例におけるサブビームフォーマーの動作が示されている。サブビームフォーマー内にはM個の遅延回路(つまりM個のメモリセル列)が含まれる。符号100はクロックを示している。符号102-1は、1番目の遅延回路の動作を規定する1番目のリセット信号つまり1番目のスタートトリガを示している。102-2は、2番目の遅延回路の動作を規定する1番目のリセット信号つまり1番目のスタートトリガを示している。符号102-Mは、最後のM番目の遅延回路の動作を規定するM番目のリセット信号つまりM番目のスタートトリガを示している。それらのリセット信号102-1, 102-2, 102-Mの時相は、互いに相違しており、時間軸上において分散化されている。図6に示す例では、1番目からM番目までにわたってリセット信号のタイミングが順番

10

20

30

40

50

にずらされているが、不規則又はランダム（疑似ランダム）にずらされてもよい。

【0046】

符号104-1は、1番目の遅延回路に与えられるN個の書き込み制御信号を示している。符号106-1は、1番目の遅延回路に与えられるN個の読み出し制御信号を示している。それらの信号はいずれも各メモリセルの前後に設けられたスイッチをオンオフ制御する信号である。N個の書き込み制御信号104-1及びN個の読み出し制御信号106-1は、1番目のリセット信号102-1（具体的にはリセットパルス110）を時間的な基準としつつ、生成されるものである。なお、1番目のメモリセル列における第1段のメモリセルについての遅延時間が t_3 で示されている。

【0047】

符号104-2は、2番目の遅延回路に与えられるN個の書き込み制御信号を示している。符号106-2は、2番目の遅延回路に与えられるN個の読み出し制御信号を示している。N個の書き込み制御信号104-2及びN個の読み出し制御信号106-2は、2番目のリセット信号102-2（具体的にはリセットパルス112）を時間的な基準としつつ、生成される。なお、2番目のメモリセル列における第1段のメモリセルについての遅延時間が t_1 で示されている。

【0048】

符号104-Mは、M番目の遅延回路に与えられるN個の書き込み制御信号を示している（但し、図示されているものはその一部である）。M番目の遅延回路に与えられるN個の書き込み制御信号104-M及びM番目の遅延回路に与えられるN個の読み出し制御信号は、M番目のリセット信号102-M（具体的にはリセットパルス114）を時間的な基準として生成される。

【0049】

上記第1実施例によれば、個々のサブビームフォーマー内において、M個のメモリセル列における使用開始段数を分散化することができる。よって、例えば、複数の遅延回路間において遅延時間が揃っているような場合において、各時相において同じ段数のメモリセルから複数の信号が同時に読み出されて、これにより加算段階においてノイズが増強されてしまう問題を効果的に抑制することが可能である。

【0050】

なお、M個のリセット信号は、例えば、送受信開始タイミングで生成され、受信ビームの形成ごとに生成され、遅延時間の切り替えごとに生成される。それら以外のタイミングでM個のリセット信号が生成されてもよい。

【0051】

図7及び図8には第2実施例が示されている。第2実施例は、M個の遅延回路の動作を規定するM個のオフセット（開始メモリセルのずらし量）を不揃いとすることにより、M個の遅延回路（M個のメモリセル列）にわたって、使用開始段数を不揃いにするものである。

【0052】

図7には、制御回路25Bが示されている。サブビームフォーマーごとに図7に示す制御回路25Bが設けられる。上記のように、サブビームフォーマーの中に制御回路25Bが設けられてもよい。制御回路25Bは、デコード回路74B、書き込み制御ブロック78B、及び、読み出し制御ブロック80Bを有している。デコード回路74Bには、装置本体又は制御部内のコアモジュールから制御データ76Bが与えられている。制御データ76Bは、図示の例において、遅延データ82、クロック84及びリセット信号90を含み、更に、オフセットデータ88を含んでいる。

【0053】

書き込み制御ブロック78Bは、基本的に、図5に示した書き込み制御ブロック78Aと同様の構成を有している。読み出し制御ブロック80Bは、基本的に、図5に示した読み出し制御ブロック80Aと同様の構成を有している。

【0054】

10

20

30

40

50

第2実施例では、リセット信号90はM個の遅延回路に対して共通の1つの信号である。一方、オフセットデータ88は、M個のオフセット(オフセット信号)により構成され、M個のオフセットがM個の書き込み制御モジュール及びM個の読み出し制御モジュールに並列的に与えられている。

【0055】

図8には、第2実施例におけるサブビームフォーマーの動作が示されている。上記のように、リセット信号102は、M個の遅延回路(M個のメモリセル列)について共通の信号である。実際には、リセット信号102中のリセットパルス106を時間的基準として、M個の遅延回路が並列的に同期して動作する。

【0056】

符号103-1は1番目のオフセットを示しており(オフセット値:0)、符号103-2は2番目のオフセットを示しており(オフセット値:1)、符号103-MはM番目のオフセットを示している(オフセット値:M-1)。個々のオフセットは、リセットパルスにて定義される基準時刻からの書き込み開始タイミングの遅れ量を規定するものである。M番目の遅延回路に近づくに従って最初の空白期間が増大しているが、そのような空白期間は実際に使用されない期間なので、それが問題となることはない。

【0057】

上記第2実施例によれば、個々のサブビームフォーマー内において、不統一のオフセットを利用することにより、M個のメモリセル列間において、使用開始段数を不揃いにするのが可能である。これにより、加算段階におけるノイズの増強という問題を解消又は軽減することが可能である。図8に示す例では、1番目からM番目までにわたってオフセットが線形に増大されているが、不規則又はランダムにオフセットがずらされてもよい。

【0058】

なお、M個のオフセットは、例えば、送受信開始タイミングで生成され、受信ビームの形成ごとに生成され、遅延時間の切り替えごとに生成される。それら以外のタイミングでM個のリセット信号が生成されてもよい。

【0059】

図9及び図10を用いて上記第1実施例の変形例について説明する。図9に示されているように、第1実施例によれば、スタートトリガのタイミングを順次ずらすことによって、M個のメモリセル列の使用開始段数を不揃いにするのが可能である。もっとも、個々のメモリセルに与えられる遅延時間によっては、同じ段数に属する複数のメモリセルからの同時読み出しという現象が生じてしまうこともある。例えば、図9において、1番目のメモリセル列の初段メモリセルに対して設定された遅延量は t_3 である。2番目のメモリセル列の初段のメモリセルに対して設定された遅延量は t_2 である。符号126で示すように、2つのメモリセル列間では、スタートトリガのタイミングが異なるものの、遅延量との関係で、2つの初段メモリセルから同時に信号が読み出されている。

【0060】

このような場合、例えば、図10に示されるように、スタートトリガのタイミングを修正することにより、同じ段数からの同時読み出しを避けることが可能である。すなわち、遅延量に基づいて同じ段数からの一定数以上の同時読み出しが予測されるような場合には、スタートトリガのタイミングを修正して、同時読み出しを回避するものである。第2実施例についても同じような問題が生じ得るので、それを回避するために、遅延時間に応じてオフセットを修正すればよい。

【0061】

もっとも、このような変形例によると、演算及び制御が複雑になるので、超音波プローブ内の電子回路の処理に余裕がある場合において、変形例を採用するのが望ましい。

【0062】

次に、図11乃至図14に基づいて第3実施例について説明する。第1実施例及び第2実施例においては、N個の制御信号の生成過程において分散化が図られていたが、第3実施例はN個の制御信号に対してそれらの生成後につまり事後的に分散化を図るものであり

10

20

30

40

50

、特に、ハードウェア回路を利用して事後的に分散化を図るものである。

【 0 0 6 3 】

図 1 1 には、振動素子アレイ 1 4 の一部が示されている。振動素子アレイ 1 4 は複数の振動素子 1 4 a により構成され、複数の振動素子 1 4 a には複数の送受信器 1 5 2 が接続されている。複数の送受信器 1 5 2 により送受信器アレイ 1 5 0 が構成される。振動素子アレイ 1 4 に対しては複数のサブアレイ 1 5 が設定され、個々のサブアレイ 1 5 ごとにサブビームフォーマー 1 5 4 が設けられる。各サブビームフォーマー 1 5 4 は複数の送受信器 1 5 2 及び加算回路を含む。

【 0 0 6 4 】

第 3 実施例では、複数のサブアレイ 1 5 (つまり複数のサブビームフォーマー 1 5 4) にわたって、後述する配線シフト数 (不揃いのためのパラメータ) がランダムに設定されている。また、個々のサブアレイ 1 5 内においても振動素子 1 4 a 単位での配線シフト数がランダムに設定されている。符号 1 5 6 及び 1 5 8 で示すシンボル (a ~ h) は、それぞれ異なる配線シフト数を示している。その中には配線シフト数として 0 が含まれてもよい。実際には、メモリセル列が N 個のメモリセルで構成される場合、N - 1 個の配線シフト数 (1 ~ N - 1 の数値) を選択し得る。符号 1 5 6 は、素子単位での配線シフト数を示している。図示の例では、サブアレイ間において、かつ、サブアレイ内において、配線シフト数がランダムに設定されている。符号 1 5 8 は、二段階のサブビームフォーミングを行う場合における二段階目の遅延加算での配線シフト数を示している。そのような遅延加算でもノイズ増強が生じないように配線シフト数が空間的にランダムに設定されている。

【 0 0 6 5 】

図 1 2 には、第 3 実施例における制御回路 2 5 C が示されている。サブビームフォーマーごとに図 1 2 に示す制御回路 2 5 C が設けられている。上記のように、サブビームフォーマーの中に制御回路 2 5 C が設けられてもよい。制御回路 2 5 C は、デコード回路 7 4 C、書き込み制御ブロック 7 8 C、及び、読み出し制御ブロック 8 0 C を有している。デコード回路 7 4 C には、制御データ 7 6 C が与えられている。制御データ 7 6 C は、図示の例において、遅延データ 8 2、クロック 8 4、リセット信号 9 0 を含み、モード選択信号 1 4 8 が含まれている。書き込み制御ブロック 7 8 C は、基本的に、図 5 に示した書き込み制御ブロック 7 8 A と同様の構成を有している。読み出し制御ブロック 8 0 C は、基本的に、図 5 に示した読み出し制御ブロック 8 0 A と同様の構成を有している。

【 0 0 6 6 】

第 3 実施例においては、制御回路 2 5 C の後段に、又は、その出力部として、図 1 3 及び図 1 4 において例示されている配線変更部が設けられる。図 1 3 には、配線シフト数を 1 とした配線変更部が示されており、その配線変更部は、書き込み制御用配線変更回路 1 3 2 及び読み出し制御用配線変更回路 1 3 4 により構成されている。そのような配線変更部は、例えば、1 番目のサブビームフォーマー内に設けられる。

【 0 0 6 7 】

書き込み制御用配線変更回路 1 3 2 は、N 個の書き込み制御信号 (符号 1 3 0 を参照) 又はそれに対して 1 つ配線が上位側にシフトされた N 個の書き込み制御信号を選択的に出力する回路である。具体的には、書き込み制御用配線変更回路 1 3 2 は、選択回路 1 3 8 を有し、それは N 個のセクタ 1 4 0 によって構成される。N 個のセクタ 1 4 0 には、N 個の書き込み制御信号がそのまま入力されており、また、N 個の書き込み制御信号の配線を 1 段階上流側へシフトさせることによって構成された配線変更後の N 個の書き込み制御信号が入力されている。N 個のセクタ 1 4 0 は、モード選択信号 1 4 6 に従って、入力されている 2 種類の N 個の書き込み制御信号の内のいずれかを選択する。読み出し制御用配線偏向回路 1 3 4 は、N 個の読み出し制御信号 (符号 1 4 0 を参照) 又はそれに対して 1 つ配線が上位側にシフトされた N 個の読み出し制御信号を選択的に出力する回路である。それは上記の書き込み制御用配線変更回路 1 3 2 と同一の構成を有する。

【 0 0 6 8 】

図 1 4 には、配線シフト数を 2 とした配線変更部が示されており、その配線変更部は、

書き込み制御用配線変更回路 1 3 2 及び読み出し制御用配線変更回路 1 3 4 により構成されている。そのような配線変更部は、例えば、2 番目のサブビームフォーマー内に設けられる。他の配線変更部も上記同様に構成することが可能である。例えば、図 1 1 に示したシンボル a に対応するものが図 1 3 に示した配線変更部であり、図 1 1 に示したシンボル b に対応するものが図 1 4 に示した配線変更部である。ちなみに、配線シフト数が 0 の場合、配線変更部を設ける必要がない。典型的には、M 個のメモリセル列に対して、M - 1 個の配線変更部が設けられる。ランダムに配線シフト数を設定する場合には、M 個のメモリセルに対して、M 個の配線変更部が設けられることもあるし、配線変更部の欠落が 2 以上になることもある。

【 0 0 6 9 】

第 3 実施例によっても、サブビームフォーマー単位での加算段階においてノイズが増強されてしまう問題を回避又は軽減することが可能である。第 3 実施例においては、更に、サブレイ間でのノイズの増強（2 段階目の加算でのノイズの増強）という問題も回避又は軽減することが可能である。もっとも、複数段階のビームフォーミングのそれぞれにおいて第 1 実施例又は第 2 実施例として説明した技術が適用されてもよい。なお、第 3 実施例においては、ハードウェアにより配線変更を行ったが、それをソフトウェアで行うことも可能である。

【 0 0 7 0 】

上記の第 1 実施例、第 2 実施例及び第 3 実施例によれば、複数のメモリセル列を並列動作させる場合において、特定段の複数のメモリセルからノイズが同時に出力されてそれらが加算されてしまう問題を解消又は軽減できる。例えば、ノイズ発生タイミングを N 段階に分散化させることにより、ノイズの強度を $(N)^{1/2}$ 又はそれに近いものにすることが可能となる。その場合において、メモリセルの追加配置は不要であるので、その面での制御及び構成の複雑さを回避できる。

【 符号の説明 】

【 0 0 7 1 】

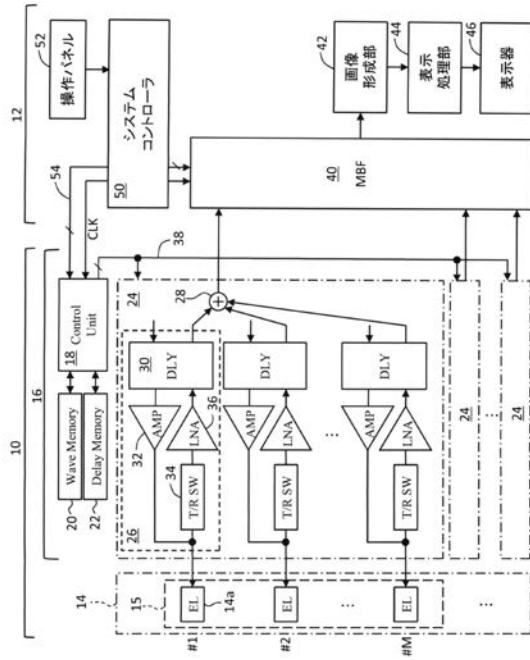
1 0 超音波プローブ、1 2 装置本体、1 4 二次元振動素子アレイ、1 8 制御部、2 4 サブビームフォーマー、2 6 送受信器、3 0 遅延回路、6 0 メモリセル列。

10

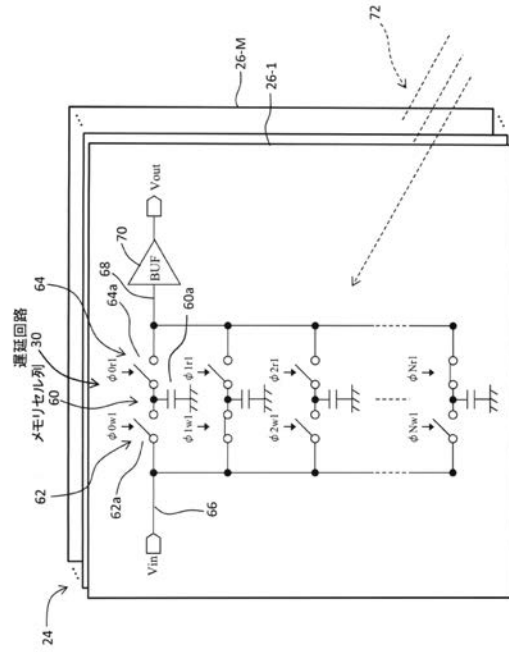
20

30

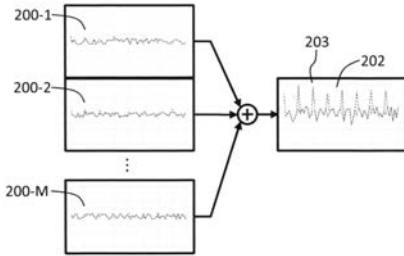
【図 1】



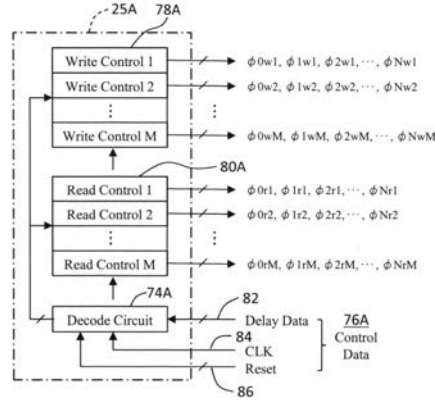
【図 2】



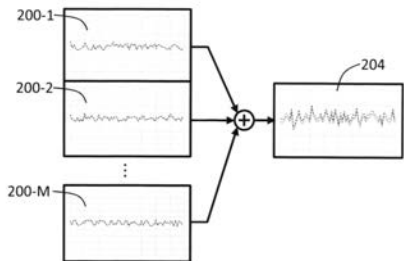
【図 3】



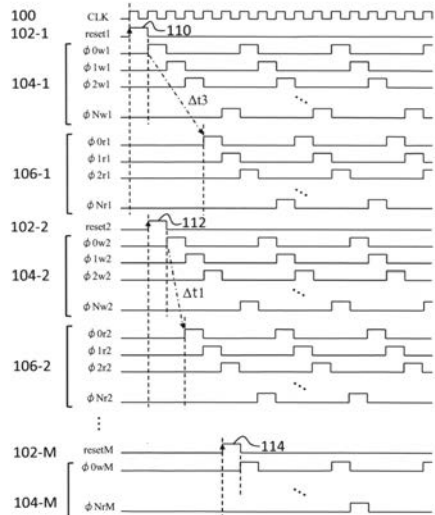
【図 5】



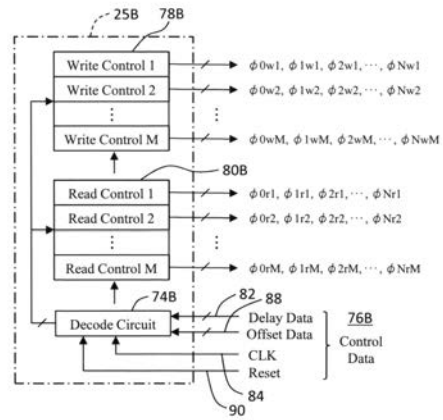
【図 4】



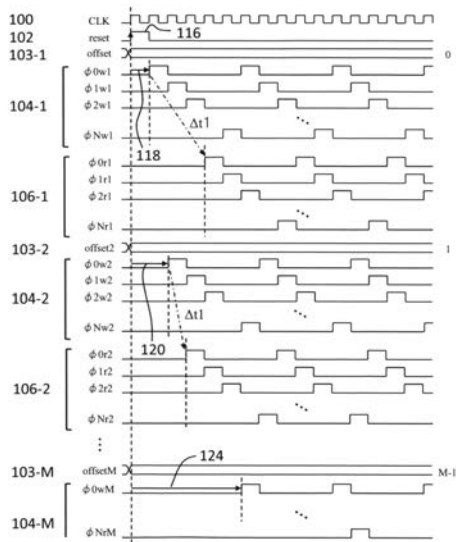
【 図 6 】



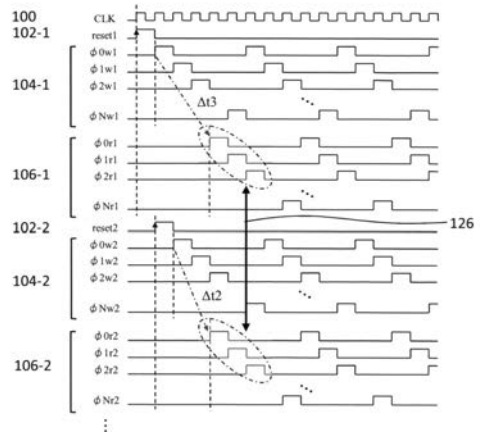
【 図 7 】



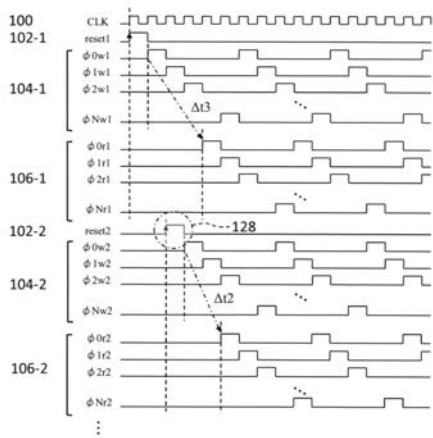
【 図 8 】



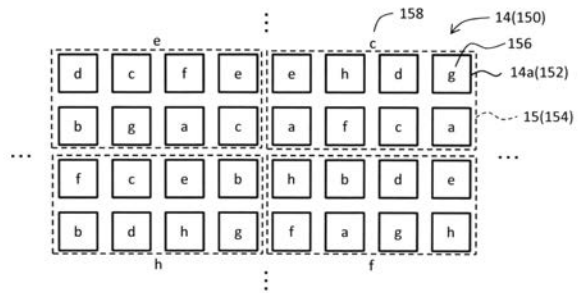
【 図 9 】



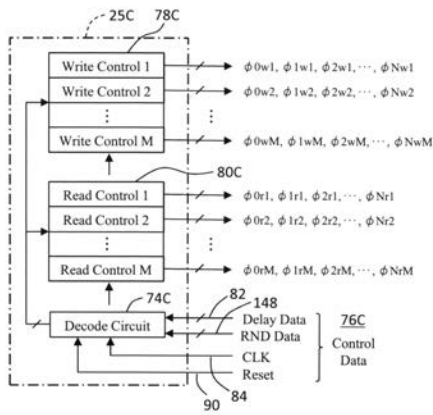
【図 10】



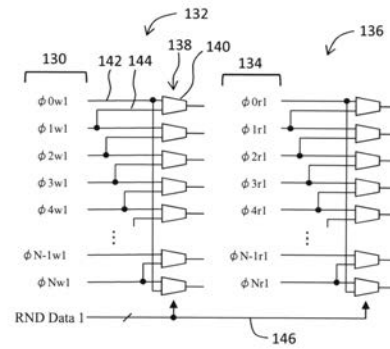
【図 11】



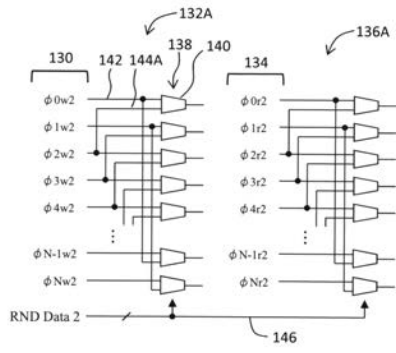
【図 12】



【図 13】



【 図 1 4 】



专利名称(译)	超声波诊断装置和电子电路		
公开(公告)号	JP2020010874A	公开(公告)日	2020-01-23
申请号	JP2018135702	申请日	2018-07-19
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	金子琢哉 梶山新也		
发明人	金子 琢哉 梶山 新也		
IPC分类号	A61B8/14		
CPC分类号	A61B8/12 A61B8/488 G01S7/52026 G01S7/52077 G01S7/5208 G01S15/8925 G01S15/8927 A61B8/4444 A61B8/52 A61B8/54 A61B8/565		
FI分类号	A61B8/14		
F-TERM分类号	4C601/EE02 4C601/EE13 4C601/GB06 4C601/GB18 4C601/JB02 4C601/JB09		
外部链接	Espacenet		

摘要(译)

为了解决在添加来自并行操作的多个存储单元列的多个接收信号时噪声增加的问题。解决方案：超声探头中的电子电路包括多个子波束形成器和控制部分。每个子波束形成器包括M个延迟电路和加法电路。每个延迟电路包括由N个存储单元组成的存储单元列。使M个存储单元列的循环操作条件（例如启动触发的时间）不规则，以便在M个存储单元中改变使用开始的阶段数。图6

