

【特許請求の範囲】**【請求項 1】**

階段状に振幅を変化させた送信信号を出力する超音波の送信回路であって、
前記階段状の振幅に対応した互いに異なる複数の電位の出力タイミングを制御する出力制御部と、
前記出力制御部から出力される各電位ごとに当該各電位の目標値を超える過剰電位を抑制する電位抑制部と、
を有する、
ことを特徴とする超音波の送信回路。

【請求項 2】

請求項 1 に記載の送信回路において、
前記出力制御部は、電源から得られる前記複数の電位の出力タイミングを制御し、
前記電位抑制部は、前記出力制御部と前記電源との間に前記過剰電位を抑制する電荷の経路を形成して当該過剰電位を抑制する、
ことを特徴とする超音波の送信回路。

10

【請求項 3】

請求項 1 または 2 に記載の送信回路において、
前記出力制御部は、 N 個 (N は自然数) の正電位と N 個の負電位からなる互いに異なる $2N$ 個の電位に対応した $2N$ 個の出力回路を備え、
前記電位抑制部は、 $2N$ 個の出力回路の各々に対応した $2N$ 個の抑制回路を備え、
前記各出力回路は、当該各出力回路に対応した前記各電位の出力タイミングを制御し、
前記各抑制回路は、当該各抑制回路に対応した前記各出力回路から出力される前記各電位の過剰電位を抑制する、
ことを特徴とする超音波の送信回路。

20

【請求項 4】

請求項 3 に記載の送信回路において、
前記各出力回路は、当該各出力回路に対応した電源から得られる前記各電位の出力タイミングを制御し、
前記各抑制回路は、当該各抑制回路に対応した前記各出力回路と当該各出力回路に対応した前記電源との間に当該各出力回路の前記過剰電位を抑制する電荷の経路を形成する、
ことを特徴とする超音波の送信回路。

30

【請求項 5】

請求項 3 または 4 に記載の送信回路において、
前記出力制御部は、 N 個の正電位と N 個の負電位からなる互いに異なる $2N$ 個 (N は 3 または 4) の電位に対応した $2N$ 個の出力回路を備え、
前記電位抑制部は、 $2N$ 個の出力回路と同数の $2N$ 個の抑制回路を備える、
ことを特徴とする超音波の送信回路。

【請求項 6】

請求項 3 から 5 のいずれか 1 項に記載の送信回路を有する超音波医用装置であって、
電源間において貫通電流の経路を形成する前記各出力回路と前記各抑制回路が同時に導通状態とならないように、前記 $2N$ 個の出力回路と前記 $2N$ 個の抑制回路の動作タイミングを制御する制御部をさらに有する、
ことを特徴とする超音波医用装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、超音波の送信回路に関し、特に、階段状に振幅を変化させた送信信号を出力する送信回路に関する。

【背景技術】**【0002】**

50

超音波を送波する装置、例えば超音波診断装置や超音波治療装置は、超音波の送信回路を備えており、従来から、様々な超音波の送信回路が提案されている。

【0003】

例えば、特許文献1には、PチャンネルMOSFET(MOS型FET)とNチャンネルMOSFETの組を備え、上凸と下凸の両極性の電圧出力パルスを出力して超音波の振動子を駆動する送信回路が記載されている。

【0004】

また、PチャンネルMOSFETとNチャンネルMOSFETの組を複数接続することにより、階段状に振幅を変化させた波形を形成することができる。例えば非特許文献1には、PチャンネルMOSFETとNチャンネルMOSFETの組を2つ接続することにより、階段状に振幅を変化させた送信信号を出力する送信回路が提案されている。非特許文献1に記載された送信回路は、HIFU(High-Intensity Focused Ultrasound)の送信に利用することができる。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許第4946572号公報

【非特許文献】

【0006】

【非特許文献1】Keisuke Takada, Jumpei Okada, Kotaro Nakamura, Shin Yoshizawa, and Shin-ichiro Uemura, 「High Voltage Staircase Drive Circuit for Triggered High-Intensity Focused Ultrasound Treatment」, Japanese Journal of Applied Physics 51 (2012) 07GF23

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

MOSFETなどを利用したスイッチング回路により階段状に振幅を変化させた波形を形成すると、例えば非特許文献1の図3(Fig. 3)に説明されるように、例えば振幅となる電位の変化タイミングにおいてスパイク状の過剰電位が発生する。過剰電位は、送信信号の波形を崩してしまい、さらに、スイッチング回路を構成するMOSFETの温度上昇やアバランシェ破壊などの原因にもなる。

30

【0008】

本発明は、このような背景事情に鑑みて成されたものであり、その目的は、過剰電位を抑制する超音波の送信回路を提供することにある。

【課題を解決するための手段】

【0009】

上記目的にかなう好適な超音波の送信回路は、階段状に振幅を変化させた送信信号を出力する超音波の送信回路であって、前記階段状の振幅に対応した互いに異なる複数の電位の出力タイミングを制御する出力制御部と、前記出力制御部から出力される各電位ごとに当該各電位の目標値を超える過剰電位を抑制する電位抑制部と、を有することを特徴とする。

40

【0010】

上記構成によれば、階段状の振幅に対応した互いに異なる複数の電位について各電位ごとに過剰電位を抑制することができる。これにより、階段状に振幅を変化させた送信信号の波形が整えられる。また、例えば、MOSFETなどを利用したスイッチング回路により階段状に振幅を変化させた送信信号を形成する場合に、スイッチング回路を構成するMOSFETの温度上昇やアバランシェ破壊などを抑制することができる。

【0011】

ちなみに、上記送信回路は、超音波画像による診断に適した一般的な超音波診断装置の送信回路として利用ことができ、また、一般的な超音波診断装置よりも強力な治療用

50

超音波、例えば強力集束超音波（HIFU：High Intensity Focused Ultrasound）を送波する超音波治療装置や超音波治療システムの送信回路としても好適である。超音波診断装置、超音波治療装置、超音波治療システムなどを含む超音波医用装置に上記送信回路を利用すれば、正弦波に近い送信信号の波形により負荷である振動素子の温度上昇を抑制できる。その結果として、例えば、送信のためのエネルギー効率が向上し、振動素子に投入される送信エネルギー量が増加する。

【0012】

望ましい具体例において、前記出力制御部は、電源から得られる前記複数の電位の出力タイミングを制御し、前記電位抑制部は、前記出力制御部と前記電源との間に前記過剰電位を抑制する電荷の経路を形成して当該過剰電位を抑制する、ことを特徴とする。

10

【0013】

望ましい具体例において、前記出力制御部は、 N 個（ N は自然数）の正電位と N 個の負電位からなる互いに異なる $2N$ 個の電位に対応した $2N$ 個の出力回路を備え、前記電位抑制部は、 $2N$ 個の出力回路の各々に対応した $2N$ 個の抑制回路を備え、前記各出力回路は、当該各出力回路に対応した前記各電位の出力タイミングを制御し、前記各抑制回路は、当該各抑制回路に対応した前記各出力回路から出力される前記各電位の過剰電位を抑制する、ことを特徴とする。

【0014】

望ましい具体例において、前記各出力回路は、当該各出力回路に対応した電源から得られる前記各電位の出力タイミングを制御し、前記各抑制回路は、当該各抑制回路に対応した前記各出力回路と当該各出力回路に対応した前記電源との間に当該各出力回路の過剰電位を抑制する電荷の経路を形成する、ことを特徴とする。

20

【0015】

また、上記送信回路を有する好適な超音波医用装置は、電源間において貫通電流の経路を形成する前記各出力回路と前記各抑制回路が同時に導通状態とならないように、前記 $2N$ 個の出力回路と前記 $2N$ 個の抑制回路の動作タイミングを制御する制御部をさらに有する、ことを特徴とする。

【発明の効果】

【0016】

本発明により、過剰電位を抑制する超音波の送信回路が提供される。例えば、本発明の好適な態様によれば、階段状の振幅に対応した互いに異なる複数の電位について各電位ごとに過剰電位を抑制することができる。

30

【図面の簡単な説明】

【0017】

【図1】本発明の実施において好適な超音波の送信回路の全体構成図である。

【図2】図1の送信回路が備える正電位側回路の具体例を示す図である。

【図3】図1の送信回路が備える接地回路の具体例を示す図である。

【図4】図1の送信回路が備える負電位側回路の具体例を示す図である。

【図5】図1の送信回路の動作の具体例を示す図である。

【図6】過剰電位の具体例を示す図である。

40

【図7】抑制回路を利用しない送信信号の比較例を示す図である。

【図8】抑制回路を利用した送信信号の具体例を示す図である。

【図9】送信回路の変形例を示す図である。

【図10】図9の送信回路100が備える正電位側回路の具体例を示す図である。

【図11】図9の送信回路100が備える負電位側回路の具体例を示す図である。

【図12】送信電源の段数 N と消費電力の関係を説明するための図である。

【発明を実施するための形態】

【0018】

図1は、本発明の実施において好適な超音波の送信回路の全体構成図である。図1に示す超音波の送信回路100は、4つの出力回路と4つの抑制回路と2つの接地回路を備え

50

ている。送信回路100は、互いに異なる複数の電位を発生する電源に接続され、その電源から得られる各電位を利用して、階段状に振幅を変化させた超音波の送信信号を出力する。送信回路100は、出力端子OPから送信信号を出力して超音波の振動素子30を駆動する。なお、振動素子30が複数個ある場合には送信回路100も複数個とされ、例えば、1つの送信回路100により1つの振動素子30が駆動される。

【0019】

図2は、送信回路100(図1)が備える正電位側回路の具体例を示す図である。図2には、出力回路12Pと抑制回路22Nと出力回路11Pと抑制回路21Nの具体的な回路構成例が図示されている。

【0020】

出力回路12Pは、電源から得られる第2正電位を出力端子OP(図1)へ出力するタイミングを制御する。電源は目標値+HV2の第2正電位を発生し、出力タイミングは入力端子12Pから入力される信号に応じて制御される。出力回路12Pは、PチャンネルMOS型FET(PMOS)と出力分離用のダイオードDとPMOSのゲート保護用に設けられるツェナーダイオード(ZD)と抵抗Rを備えている。

10

【0021】

出力回路12PのPMOSは、入力端子12Pから入力される信号に応じて制御され、ソースドレイン間のオン状態(導通)とオフ状態(非導通)を変化させる。出力回路12PのPMOSは、例えば、入力端子12Pから入力される信号の電位が+HV2の場合にオフ状態となり、+HV2-Vgsの場合にオン状態となる。なお、Vgsは、出力回路12PのPMOSのゲートソース間電位である。

20

【0022】

そして、出力回路12PのPMOSのソースドレイン間がオン状態の時に、目標値+HV2の第2正電位を発生する電源から、PMOSとダイオードDを介して、出力端子OPに電荷が供給される。これにより、出力端子OPが第2正電位となり、振動素子30(図1)に第2正電位が印加される。

【0023】

抑制回路22Nは、出力回路12Pから出力される第2正電位の目標値+HV2を超える過剰電位(後に詳述)を抑制する。抑制回路22Nは、NチャンネルMOS型FET(NMOS)と出力分離用のダイオードDとNMOSのゲート保護用に設けられるツェナーダイオード(ZD)と抵抗Rを備えている。

30

【0024】

抑制回路22NのNMOSは、入力端子22Nから入力される信号に応じて制御され、ソースドレイン間のオン状態(導通)とオフ状態(非導通)を変化させる。抑制回路22NのNMOSは、例えば、入力端子22Nから入力される信号の電位が+HV2+Vgsの場合にオン状態となり、+HV2の場合にオフ状態となる。なお、Vgsは、抑制回路22NのNMOSのゲートソース間電位である。

【0025】

そして、抑制回路22NのNMOSのソースドレイン間がオン状態の時に、出力回路12Pから出力端子OP(図1)に出力される過剰電位を引き起こす電荷が、抑制回路22NのダイオードDとNMOSを介して、目標値+HV2の第2正電位を発生する電源に引き込まれる。これにより、出力回路12Pから出力される第2正電位が目標値である+HV2を維持するように制御される。

40

【0026】

出力回路11Pは、電源から得られる第1正電位を出力端子OP(図1)へ出力するタイミングを制御する。電源は目標値+HV1の第1正電位を発生し、出力タイミングは入力端子11Pから入力される信号に応じて制御される。出力回路11Pは、出力回路12Pと同じ回路構成を備えており、出力回路11PのPMOSは、入力端子11Pから入力される信号に応じて制御され、ソースドレイン間のオン状態(導通)とオフ状態(非導通)を変化させる。出力回路11PのPMOSは、例えば、入力端子11Pから入力される

50

信号の電位が $+HV1$ の場合にオフ状態となり、 $+HV1 - Vgs$ の場合にオン状態となる。なお、 Vgs は、出力回路 11P の PMOS のゲートソース間電位である。

【0027】

そして、出力回路 11P の PMOS のソースドレイン間がオン状態の時に、目標値 $+HV1$ の第 1 正電位を発生する電源から、PMOS とダイオード D を介して、出力端子 OP に電荷が供給される。これにより、出力端子 OP が第 1 正電位となり、振動素子 30 (図 1) に第 1 正電位が印加される。

【0028】

抑制回路 21N は、出力回路 11P から出力される第 1 正電位の目標値 $+HV1$ を超える過剰電位 (後に詳述) を抑制する。抑制回路 21N は、抑制回路 22N と同じ回路構成を備えており、入力端子 21N から入力される信号に応じて制御されソースドレイン間のオン状態 (導通) とオフ状態 (非導通) を変化させる。抑制回路 21N の NMOS は、例えば、入力端子 21N から入力される信号の電位が $+HV1 + Vgs$ の場合にオン状態となり、 $+HV1$ の場合にオフ状態となる。なお、 Vgs は、抑制回路 21N の NMOS のゲートソース間電位である。

10

【0029】

そして、抑制回路 21N の NMOS のソースドレイン間がオン状態の時に、出力回路 11P から出力端子 OP (図 1) に出力される過剰電位を引き起こす電荷が、抑制回路 21N のダイオード D と NMOS を介して、目標値 $+HV1$ の第 1 正電位を発生する電源に引き込まれる。これにより、出力回路 11P から出力される第 1 正電位が目標値である $+HV1$ を維持するように制御される。

20

【0030】

図 3 は、送信回路 100 (図 1) が備える接地回路の具体例を示す図である。図 3 には 2 つの接地回路 GP, GN の具体的な回路構成例が図示されている。2 つの接地回路 GP, GN は、例えば、送信回路 100 (図 1) から送信信号を出力しない非送信時に送信回路 100 の出力端子 OP の電位を 0V (ゼロボルト) に固定化 (安定化) する。また、2 つの接地回路 GP, GN により、不要な送信信号を低減し望ましくは除去することができる。

【0031】

接地回路 GP は、Pチャネル MOS 型 FET (PMOS) と出力分離用のダイオード D と PMOS のゲート保護用に設けられるツェナーダイオード (ZD) と抵抗 R を備えている。接地回路 GP の PMOS は、入力端子 GP から入力される信号に応じて制御され、ソースドレイン間のオン状態 (導通) とオフ状態 (非導通) を変化させる。接地回路 GP の PMOS は、例えば、入力端子 GP から入力される信号の電位が GND (接地) の場合にオフ状態となり、 $GND - Vgs$ の場合にオン状態となる。なお、 Vgs は接地回路 GP の PMOS のゲートソース間電位である。

30

【0032】

そして、接地回路 GP の PMOS のソースドレイン間がオン状態の時に、接地 (GND) から PMOS とダイオード D を介して出力端子 OP に電荷が供給される。これにより、出力端子 OP が負電位にならないように制御される。

40

【0033】

一方、接地回路 GN は、Nチャネル MOS 型 FET (NMOS) と出力分離用のダイオード D と NMOS のゲート保護用に設けられるツェナーダイオード (ZD) と抵抗 R を備えている。接地回路 GN の NMOS は、入力端子 GN から入力される信号に応じて制御され、ソースドレイン間のオン状態 (導通) とオフ状態 (非導通) を変化させる。接地回路 GN の NMOS は、例えば、入力端子 GN から入力される信号の電位が $GND + Vgs$ の場合にオン状態となり、GND の場合にオフ状態となる。なお、 Vgs は、接地回路 GN の NMOS のゲートソース間電位である。

【0034】

そして、接地回路 GN の NMOS のソースドレイン間がオン状態の時に、出力端子 OP

50

の正電位を引き起こす電荷が、接地回路GNのダイオードDとNMOSを介して、接地(GND)に引き込まれる。これにより、出力端子OPが正電位にならないように制御される。

【0035】

図4は、送信回路100(図1)が備える負電位側回路の具体例を示す図である。図4には、出力回路12Nと抑制回路22Pと出力回路11Nと抑制回路21Pの具体的な回路構成例が図示されている。

【0036】

出力回路12Nは、電源から得られる第2負電位を出力端子OP(図1)へ出力するタイミングを制御する。電源は目標値-HV2の第2負電位を発生し、出力タイミングは入力端子12Nから入力される信号に応じて制御される。出力回路12Nは、NチャンネルMOS型FET(NMOS)と出力分離用のダイオードDとNMOSのゲート保護用に設けられるツェナーダイオード(ZD)と抵抗Rを備えている。

10

【0037】

出力回路12NのNMOSは、入力端子12Nから入力される信号に応じて制御され、ソースドレイン間のオン状態(導通)とオフ状態(非導通)を変化させる。出力回路12NのNMOSは、例えば、入力端子12Nから入力される信号の電位が-HV2+Vgsの場合にオン状態となり、-HV2の場合にオフ状態となる。なお、Vgsは、出力回路12NのNMOSのゲートソース間電位である。

【0038】

そして、出力回路12NのNMOSのソースドレイン間がオン状態の時に、出力端子OPにおける電荷が、ダイオードDとNMOSを介して、目標値-HV2の第2負電位を発生する電源に引き込まれる。これにより、出力端子OPが第2負電位となり、振動素子30(図1)に第2負電位が印加される。

20

【0039】

抑制回路22Pは、出力回路12Nから出力される第2負電位の目標値-HV2の絶対値を超える過剰電位(後に詳述)を抑制する。抑制回路22Pは、PチャンネルMOS型FET(PMOS)と出力分離用のダイオードDとPMOSのゲート保護用に設けられるツェナーダイオード(ZD)と抵抗Rを備えている。

【0040】

抑制回路22PのPMOSは、入力端子22Pから入力される信号に応じて制御され、ソースドレイン間のオン状態(導通)とオフ状態(非導通)を変化させる。抑制回路22PのPMOSは、例えば、入力端子22Pから入力される信号の電位が-HV2の場合にオフ状態となり、-HV2-Vgsの場合にオン状態となる。なお、Vgsは、抑制回路22PのPMOSのゲートソース間電位である。

30

【0041】

そして、抑制回路22PのPMOSのソースドレイン間がオン状態の時に、目標値-HV2の第2負電位を発生する電源から、PMOSとダイオードDを介して出力端子OP(図1)に電荷が供給される。これにより、出力回路12Nから出力される第2負電位が目標値である-HV2を維持するように制御される。

40

【0042】

出力回路11Nは、電源から得られる第1負電位を出力端子OP(図1)へ出力するタイミングを制御する。電源は目標値-HV1の第1負電位を発生し、出力タイミングは入力端子11Nから入力される信号に応じて制御される。出力回路11Nは、出力回路12Nと同じ回路構成を備えており、出力回路11NのNMOSは、入力端子11Nから入力される信号に応じて制御され、ソースドレイン間のオン状態(導通)とオフ状態(非導通)を変化させる。出力回路11NのNMOSは、例えば、入力端子11Nから入力される信号の電位が-HV1+Vgsの場合にオン状態となり、-HV1の場合にオフ状態となる。なお、Vgsは、出力回路11NのNMOSのゲートソース間電位である。

【0043】

50

そして、出力回路 1 1 N の N M O S のソースドレイン間がオン状態の時に、出力端子 O P における電荷が、ダイオード D と N M O S を介して、目標値 - H V 1 の第 1 負電位を発生する電源に引き込まれる。これにより、出力端子 O P が第 1 負電位となり、振動素子 3 0 (図 1) に第 1 負電位が印加される。

【 0 0 4 4 】

抑制回路 2 1 P は、出力回路 1 1 N から出力される第 1 負電位の目標値 - H V 1 の絶対値を超える過剰電位 (後に詳述) を抑制する。抑制回路 2 1 P は、抑制回路 2 2 P と同じ回路構成を備えており、入力端子 2 1 P から入力される信号に応じて制御されソースドレイン間のオン状態 (導通) とオフ状態 (非導通) を変化させる。抑制回路 2 1 P の P M O S は、例えば、入力端子 2 1 P から入力される信号の電位が - H V 1 の場合にオフ状態となり、 - H V 1 - V g s の場合にオン状態となる。なお、V g s は、抑制回路 2 1 P の P M O S のゲートソース間電位である。

10

【 0 0 4 5 】

そして、抑制回路 2 1 P の P M O S のソースドレイン間がオン状態の時に、目標値 - H V 1 の第 1 負電位を発生する電源から、P M O S とダイオード D を介して出力端子 O P (図 1) に電荷が供給される。これにより、出力回路 1 1 N から出力される第 1 負電位が目標値である - H V 1 を維持するように制御される。

【 0 0 4 6 】

図 5 は、送信回路 1 0 0 (図 1) の動作の具体例を示す図である。図 5 には、送信回路 1 0 0 を構成する各回路 (図 2 ~ 図 4) の駆動タイミング、つまり、各回路が備える M O S 型 F E T (P M O S または N M O S) のオン状態 (O N) とオフ状態 (O F F) の制御タイミングの具体例が図示されている。図 5 に示す具体例において、送信回路 1 0 0 は、理想サイン波 (理想的な正弦波) を模擬した階段状送信波形の送信信号 (階段状に振幅を変化させた送信信号) を出力する。

20

【 0 0 4 7 】

まず、4 つの出力回路 (1 1 P , 1 2 P , 1 1 N , 1 2 N) の駆動タイミングについて説明する。時刻 t 0 において、4 つの出力回路は全てオフ状態であり、階段状送信波形の振幅は G N D (接地) となる。

【 0 0 4 8 】

そして、時刻 t 1 において、出力回路 1 1 P がオン状態となり、出力回路 1 1 P から第 1 正電位 (目標値 + H V 1) が出力され、階段状送信波形の振幅が第 1 正電位 (目標値 + H V 1) となる。さらに、時刻 t 2 において、出力回路 1 2 P がオン状態となり、出力回路 1 2 P から第 2 正電位 (目標値 + H V 2) が出力され、階段状送信波形の振幅が第 2 正電位 (目標値 + H V 2) となる。

30

【 0 0 4 9 】

出力回路 1 2 P は、時刻 t 2 から時刻 t 3 までオン状態とされる。これにより、時刻 t 2 から時刻 t 3 までの期間において、階段状送信波形の振幅が第 2 正電位となる。また、出力回路 1 1 P は、時刻 t 1 から時刻 t 4 までオン状態とされる。これにより、時刻 t 1 から時刻 t 2 までの期間と時刻 t 3 から時刻 t 4 までの期間において、階段状送信波形の振幅が第 1 正電位となる。なお、時刻 t 2 から時刻 t 3 の期間は、出力回路 1 2 P から第 2 正電位が出力されているため、出力回路 1 1 P がオフ状態とされてもよい。

40

【 0 0 5 0 】

時刻 t 4 において出力回路 1 1 P がオン状態からオフ状態に切り替えられると、その直後の時刻 t 5 において、出力回路 1 1 N がオン状態となり、出力回路 1 1 N から第 1 負電位 (目標値 - H V 1) が出力され、階段状送信波形の振幅が第 1 負電位 (目標値 - H V 1) となる。なお、時刻 t 4 と時刻 t 5 は、出力回路 1 1 P と出力回路 1 1 N が同時にオン状態とならないように、望ましくは時刻 t 4 と時刻 t 5 の期間ができるだけ短くなるように決定される。

【 0 0 5 1 】

そして、時刻 t 6 において、出力回路 1 2 N がオン状態となり、出力回路 1 2 N から第

50

2 負電位 (目標値 - HV2) が出力され、階段状送信波形の振幅が第 2 負電位 (目標値 - HV2) となる。

【0052】

出力回路 12N は、時刻 t6 から時刻 t7 までオン状態とされる。これにより、時刻 t6 から時刻 t7 までの期間において、階段状送信波形の振幅が第 2 負電位となる。また、出力回路 11N は、時刻 t5 から時刻 t8 までオン状態とされる。これにより、時刻 t5 から時刻 t6 までの期間と時刻 t7 から時刻 t8 までの期間において、階段状送信波形の振幅が第 1 負電位となる。なお、時刻 t6 から時刻 t7 の期間は、出力回路 12N から第 2 負電位が出力されているため、出力回路 11N がオフ状態とされてもよい。

【0053】

時刻 t8 において出力回路 11N がオン状態からオフ状態に切り替えられると、その直後の時刻 t9 において、出力回路 11P がオン状態となり、出力回路 11P から第 1 正電位 (目標値 + HV1) が出力され、階段状送信波形の振幅が第 1 正電位 (目標値 + HV1) となる。なお、時刻 t8 と時刻 t9 は、出力回路 11N と出力回路 11P が同時にオン状態とならないように、望ましくは時刻 t8 と時刻 t9 の期間ができるだけ短くなるように決定される。

【0054】

そして、時刻 t9 から時刻 t10 までの期間において、時刻 t1 から時刻 t8 までの期間と同じ制御が実行され、時刻 t10 以降において、4 つの出力回路が全てオフ状態となり階段状送信波形の振幅は GND (接地) となる。これにより、図 5 に示す具体例では、2 周期分の理想サイン波に対応した階段状送信波形の送信信号が出力される。

【0055】

4 つの出力回路 (11P, 12P, 11N, 12N) の駆動タイミングについて説明したが、送信回路 100 (図 1) において 4 つの出力回路のみを駆動させ、4 つの抑制回路 (21N, 22N, 21P, 22P) を駆動させないと、各出力回路から電位の目標値を超える過剰電位が生じてしまう恐れがある。

【0056】

図 6 は、過剰電位の具体例を示す図である。図 6 には、横軸を時刻とし縦軸に振幅 (電位) を示した送信信号波形が図示されている。図 6 の波形は、4 つの抑制回路を駆動させない場合 (4 つの抑制回路を設けない場合) の具体例であり、非特許文献 1 の Fig. 3 (b) に図示される波形である。

【0057】

例えば、各出力回路が備える MOS 型 FET (PMOS または NMOS) のオフ状態 (OFF) とオン状態 (ON) を切り替えるスイッチング動作により、各出力回路からスパイク状のノイズ電圧 (スパイクノイズ電圧) が出力される。なお、オン状態からオフ状態に遷移する際のノイズ電圧はフライバック電圧と呼ばれる場合もある。これらのノイズ電圧を各出力回路からそのまま出力してしまうと、例えば図 6 において楕円枠で示すようにノイズ電圧 (スパイクノイズ電圧やフライバック電圧) が重畳された送信信号となってしまう。これらのノイズ電圧は、送信信号波形の形状を崩してしまい、さらに、各出力回路が備える MOS 型 FET の温度上昇やアバランシェ破壊の原因にもなる。

【0058】

そこで、図 1 の送信回路 100 が備える 4 つの抑制回路 (21N, 22N, 21P, 22P) は、4 つの出力回路 (11P, 12P, 11N, 12N) から出力される過剰電位 (例えばスパイクノイズ電圧) を抑制する。

【0059】

図 5 に戻り、4 つの抑制回路 (21N, 22N, 21P, 22P) の駆動タイミングについて説明する。抑制回路 22N は、出力回路 12P から出力される第 2 正電位の目標値 + HV2 を超える過剰電位 (例えばスパイクノイズ電圧) を抑制する。そのため、出力回路 12P がオン状態とオフ状態を切り替えるタイミング (例えば時刻 t2 と時刻 t3) を含む期間において、抑制回路 22N がオン状態とされる。図 5 に示す具体例では、時刻 t

10

20

30

40

50

0からの全期間において抑制回路22Nがオン状態とされる。

【0060】

なお、抑制回路22Nを常にオン状態とするのであれば、抑制回路22Nが備える出力分離用のダイオードD(図2参照)のカソード端子を直接的に第2正電位(目標値+HV2)の電源に接続する変形回路構成が採用されてもよい。

【0061】

抑制回路21Nは、出力回路11Pから出力される第1正電位の目標値+HV1を超える過剰電位(例えばスパイクノイズ電圧)を抑制する。そのため、出力回路11Pがオン状態とオフ状態を切り替えるタイミング(例えば時刻t1と時刻t4)を含む期間において、抑制回路21Nがオン状態とされる。

10

【0062】

但し、抑制回路21Nは、出力回路12Pと同時にオン状態とならないように制御される。例えば、図5に示す具体例のように、抑制回路21Nは、時刻t0からオン状態とされ、出力回路12Pがオン状態となる時刻t2の直前にオフ状態とされる。そして、出力回路12Pがオフ状態となる時刻t3の直後に抑制回路21Nがオン状態とされる。これにより、第2正電位(目標値+HV2)から出力回路12Pと抑制回路21Nを通り第1正電位(目標値+HV1)に流れる電源間の貫通電流を生じさせない制御が実現される。

【0063】

抑制回路22Pは、出力回路12Nから出力される第2負電位の目標値-HV2の絶対値を超える過剰電位(例えばスパイクノイズ電圧)を抑制する。そのため、出力回路12Nがオン状態とオフ状態を切り替えるタイミング(例えば時刻t6と時刻t7)を含む期間において、抑制回路22Pがオン状態とされる。図5に示す具体例では、時刻t0からの全期間において抑制回路22Pがオン状態とされる。

20

【0064】

なお、抑制回路22Pを常にオン状態とするのであれば、抑制回路22Pが備える出力分離用のダイオードD(図4参照)のアノード端子を直接的に第2負電位(目標値-HV2)の電源に接続する変形回路構成が採用されてもよい。

【0065】

抑制回路21Pは、出力回路11Nから出力される第1負電位の目標値-HV1の絶対値を超える過剰電位(例えばスパイクノイズ電圧)を抑制する。そのため、出力回路11Nがオン状態とオフ状態を切り替えるタイミング(例えば時刻t5と時刻t8)を含む期間において、抑制回路21Pがオン状態とされる。

30

【0066】

但し、抑制回路21Pは、出力回路12Nと同時にオン状態とならないように制御される。例えば、図5に示す具体例のように、抑制回路21Pは、時刻t0からオン状態とされ、出力回路12Nがオン状態となる時刻t6の直前にオフ状態とされる。そして、出力回路12Nがオフ状態となる時刻t7の直後に抑制回路21Pがオン状態とされる。これにより、第1負電位(目標値-HV1)から抑制回路21Pと出力回路12Nを通り第2負電位(目標値-HV2)に流れる電源間の貫通電流を生じさせない制御が実現される。

【0067】

なお、2つの接地回路GP,GNは、送信回路100(図1)から階段状送信波形の送信信号を出力しない非送信時にオン状態とされ、送信信号の振幅をGND(接地)に安定化する。そのため、例えば図5に示す具体例のように、接地回路GPと接地回路GNは、時刻t0からオン状態とされ、階段状送信波形が出力される時刻t1の直前にオフ状態とされる。また、階段状送信波形が終了する時刻t10の直後から、接地回路GPと接地回路GNはオン状態とされる。

40

【0068】

図7は、抑制回路を利用しない送信信号の比較例を示す図である。図7には、送信回路100(図1)において4つの抑制回路を駆動させない場合(4つの抑制回路を設けない場合)に得られる送信信号の具体例が図示されている。

50

【 0 0 6 9 】

図 7 (a) (b) には、それぞれ、周波数が 2 5 0 K H z (キロヘルツ) と 1 M H z (メガヘルツ) である送信信号の波形が図示されている。なお、図 7 の比較例において、第 2 正電位の目標値 + H V 2 は + 2 0 V (ボルト) 、第 2 負電位の目標値 - H V 2 は - 2 0 V 、第 1 正電位の目標値 + H V 1 は + 7 . 9 V 、第 1 負電位の目標値 - H V 1 は - 7 . 9 V である。

【 0 0 7 0 】

図 7 の比較例では、4 つの抑制回路により過剰電位 (例えばスパイクノイズ電圧) が抑制されていないため、特に、周波数が 2 5 0 K H z の送信信号において、第 2 正電位の目標値である + 2 0 V と第 2 負電位の目標値である - 2 0 V を超える高電位出力 (楕円枠内) が顕著に表れている。なお、図 7 の比較例において、周波数が 1 M H z の場合における最大温度上昇は摂氏 + 3 0 . 9 度であり、消費電力は 3 . 2 2 W であった。

10

【 0 0 7 1 】

図 8 は、抑制回路を利用した送信信号の具体例を示す図である。図 8 には、送信回路 1 0 0 (図 1) において 4 つの抑制回路を駆動させた場合に得られる送信信号の具体例が図示されている。

【 0 0 7 2 】

図 8 (a) (b) には、それぞれ、周波数が 2 5 0 K H z (キロヘルツ) と 1 M H z (メガヘルツ) である送信信号の波形が図示されている。また、図 7 の比較例と同じく図 8 の具体例においても、第 2 正電位の目標値 + H V 2 は + 2 0 V (ボルト) 、第 2 負電位の目標値 - H V 2 は - 2 0 V 、第 1 正電位の目標値 + H V 1 は + 7 . 9 V 、第 1 負電位の目標値 - H V 1 は - 7 . 9 V である。

20

【 0 0 7 3 】

図 8 の具体例では、4 つの制御回路により過剰電位 (例えばスパイクノイズ電圧) が抑制されているため、特に、第 2 正電位の目標値である + 2 0 V と第 2 負電位の目標値である - 2 0 V を超える高電位出力が殆ど発生していない。また、図 7 の波形と比較して図 8 の具体例の波形は全体的に整形されている。

【 0 0 7 4 】

なお、図 8 の具体例において、周波数が 1 M H z の場合における最大温度上昇は摂氏 + 1 6 . 4 度であり、消費電力は 2 . 3 6 W であった。図 7 の比較例に対し、図 8 の具体例における最大温度上昇は摂氏 1 4 . 5 度低く (- 1 4 . 5 度) 、消費電力は 7 3 . 3 パーセントであった。

30

【 0 0 7 5 】

図 9 は、送信回路 1 0 0 の変形例を示す図である。図 9 の送信回路 1 0 0 は、互いに異なる複数の電位を発生する電源に接続され、その電源から得られる各電位を利用して、階段状に振幅を変化させた超音波の送信信号を出力する。送信回路 1 0 0 は、出力端子 O P から送信信号を出力して超音波の振動素子 3 0 を駆動する。なお、振動素子 3 0 が複数個ある場合には送信回路 1 0 0 も複数個とされ、例えば、1 つの送信回路 1 0 0 により 1 つの振動素子 3 0 が駆動される。

【 0 0 7 6 】

図 9 の送信回路 1 0 0 において、出力回路 1 2 P から第 2 正電位が出力され、出力回路 1 1 P から第 1 正電位が出力され、出力回路 1 2 N から第 2 負電位が出力され、出力回路 1 1 N から第 1 負電位が出力される。図 9 の送信回路 1 0 0 は、第 2 正電位が第 1 正電位よりも大きく、第 2 負電位が第 1 負電位よりも小さい (第 2 負電位の絶対値が第 1 負電位の絶対値よりも大きい) 場合に利用される。

40

【 0 0 7 7 】

図 1 0 は、送信回路 1 0 0 (図 9) が備える正電位側回路の具体例を示す図である。図 1 0 には、出力回路 1 2 P と出力回路 1 1 P と抑制回路 2 1 N の具体的な回路構成例が図示されている。

【 0 0 7 8 】

50

出力回路 1 2 P は、電源から得られる第 2 正電位を出力端子 O P (図 9) へ出力するタイミングを制御する。電源は目標値 + H V 2 の第 2 正電位を発生し、出力タイミングは入力端子 1 2 P から入力される信号に応じて制御される。出力回路 1 2 P は、P チャネル M O S 型 F E T (P M O S) と P M O S のゲート保護用に設けられるツェナーダイオード (Z D) と抵抗 R を備えている。

【 0 0 7 9 】

出力回路 1 2 P の P M O S は、入力端子 1 2 P から入力される信号に応じて制御され、ソースドレイン間のオン状態 (導通) とオフ状態 (非導通) を変化させる。出力回路 1 2 P の P M O S は、例えば、入力端子 1 2 P から入力される信号の電位が + H V 2 の場合にオフ状態となり、+ H V 2 - V g s の場合にオン状態となる。なお、V g s は、出力回路 1 2 P の P M O S のゲートソース間電位である。

10

【 0 0 8 0 】

そして、出力回路 1 2 P の P M O S のソースドレイン間がオン状態の時に、目標値 + H V 2 の第 2 正電位を発生する電源から、P M O S を介して、出力端子 O P に電荷が供給される。これにより、出力端子 O P が第 2 正電位となり、振動素子 3 0 (図 9) に第 2 正電位が印加される。

【 0 0 8 1 】

図 1 0 の出力回路 1 2 P の P M O S は、ドレイン端子とソース端子との間にボディダイオード (寄生ダイオードとも呼ばれる) を備えており、ボディダイオードを介してドレイン端子側からソース端子側へ電流が流れる。そして、出力回路 1 2 P から出力端子 O P に出力される過剰電位を引き起こす電荷が、ボディダイオードを介して、目標値 + H V 2 の第 2 正電位を発生する電源に引き込まれる。これにより、出力回路 1 2 P から出力される第 2 正電位が目標値である + H V 2 を維持するように制御される。つまり、ボディダイオードが抑制回路 2 2 N (図 1 , 図 2) として機能する。なお、ボディダイオードは、P M O S の外部に設けられてもよい。

20

【 0 0 8 2 】

図 1 0 の出力回路 1 1 P , 抑制回路 2 1 N は、図 2 の出力回路 1 1 P , 抑制回路 2 1 N と同じ回路構成であり同じ機能を備えている。つまり、図 1 0 の出力回路 1 1 P は、電源から得られる第 1 正電位を出力端子 O P (図 9) へ出力するタイミングを制御する。電源は目標値 + H V 1 の第 1 正電位を発生し、出力タイミングは入力端子 1 1 P から入力される信号に応じて制御される。また、図 1 0 の抑制回路 2 1 N は、出力回路 1 1 P から出力される第 1 正電位の目標値 + H V 1 を超える過剰電位を抑制する。抑制回路 2 1 N は、入力端子 2 1 N から入力される信号に応じて制御されソースドレイン間のオン状態 (導通) とオフ状態 (非導通) を変化させる。そして、抑制回路 2 1 N の N M O S のソースドレイン間がオン状態の時に、出力回路 1 1 P から出力端子 O P に出力される過剰電位を引き起こす電荷が、抑制回路 2 1 N のダイオード D と N M O S を介して、目標値 + H V 1 の第 1 正電位を発生する電源に引き込まれる。これにより、出力回路 1 1 P から出力される第 1 正電位が目標値である + H V 1 を維持するように制御される。

30

【 0 0 8 3 】

図 1 1 は、送信回路 1 0 0 (図 9) が備える負電位側回路の具体例を示す図である。図 1 1 には、出力回路 1 2 N と出力回路 1 1 N と抑制回路 2 1 P の具体的な回路構成例が図示されている。

40

【 0 0 8 4 】

出力回路 1 2 N は、電源から得られる第 2 負電位を出力端子 O P (図 9) へ出力するタイミングを制御する。電源は目標値 - H V 2 の第 2 負電位を発生し、出力タイミングは入力端子 1 2 N から入力される信号に応じて制御される。出力回路 1 2 N は、N チャネル M O S 型 F E T (N M O S) と N M O S のゲート保護用に設けられるツェナーダイオード (Z D) と抵抗 R を備えている。

【 0 0 8 5 】

出力回路 1 2 N の N M O S は、入力端子 1 2 N から入力される信号に応じて制御され、

50

ソースドレイン間のオン状態（導通）とオフ状態（非導通）を変化させる。出力回路 1 2 N の N M O S は、例えば、入力端子 1 2 N から入力される信号の電位が $-H V 2 + V g s$ の場合にオン状態となり、 $-H V 2$ の場合にオフ状態となる。なお、 $V g s$ は、出力回路 1 2 N の N M O S のゲートソース間電位である。

【 0 0 8 6 】

そして、出力回路 1 2 N の N M O S のソースドレイン間がオン状態の時に、出力端子 O P における電荷が、N M O S を介して、目標値 $-H V 2$ の第 2 負電位を発生する電源に引き込まれる。これにより、出力端子 O P が第 2 負電位となり、振動素子 3 0（図 9）に第 2 負電位が印加される。

【 0 0 8 7 】

図 1 1 の出力回路 1 2 N の N M O S は、ソース端子とドレイン端子との間にボディダイオード（寄生ダイオードとも呼ばれる）を備えており、ボディダイオードを介してソース端子側からドレイン端子側へ電流が流れる。したがって、目標値 $-H V 2$ の第 2 負電位を発生する電源から、ボディダイオードを介して、出力端子 O P に電荷を供給することができる。これにより、出力回路 1 2 N から出力される第 2 負電位が目標値である $-H V 2$ を維持するように制御される。つまり、ボディダイオードが抑制回路 2 2 P（図 1，図 4）として機能する。なお、ボディダイオードは、N M O S の外部に設けられてもよい。

【 0 0 8 8 】

図 1 1 の出力回路 1 1 N，抑制回路 2 1 P は、図 4 の出力回路 1 1 N，抑制回路 2 1 P と同じ構成であり同じ機能を備えている。つまり、図 1 1 の出力回路 1 1 N は、電源から得られる第 1 負電位を出力端子 O P（図 9）へ出力するタイミングを制御する。電源は目標値 $-H V 1$ の第 1 負電位を発生し、出力タイミングは入力端子 1 1 N から入力される信号に応じて制御される。また図 1 1 の抑制回路 2 1 P は、出力回路 1 1 N から出力される第 1 負電位の目標値 $-H V 1$ の絶対値を超える過剰電位を抑制する。抑制回路 2 1 P は、入力端子 2 1 P から入力される信号に応じて制御されソースドレイン間のオン状態（導通）とオフ状態（非導通）を変化させる。そして、抑制回路 2 1 P の P M O S のソースドレイン間がオン状態の時に、目標値 $-H V 1$ の第 1 負電位を発生する電源から、P M O S とダイオード D を介して出力端子 O P に電荷が供給される。これにより、出力回路 1 1 N から出力される第 1 負電位が目標値である $-H V 1$ を維持するように制御される。

【 0 0 8 9 】

図 9 の送信回路 1 0 0 が備える正電位側回路の具体例（図 1 0）と負電位側回路の具体例（図 1 1）は以上のとおりである。なお、図 9 の送信回路 1 0 0 が備える 2 つの接地回路 G P，G N の具体的な回路構成例は、図 3 の具体例と同じであるため説明を省略する。

【 0 0 9 0 】

また、図 9 の送信回路 1 0 0 は、図 5 の具体例に従って動作する。但し、図 9 の送信回路 1 0 0 では、出力回路 1 2 P の P M O S が備えるボディダイオード（図 1 0 参照）が抑制回路 2 2 N として機能し、出力回路 1 2 N の N M O S が備えるボディダイオード（図 1 1 参照）が抑制回路 2 2 P として機能する。したがって、図 9 の送信回路 1 0 0 の動作を図 5 の具体例で実現するにあたっては、図 5 における抑制回路 2 2 N と抑制回路 2 2 P のタイミングチャートが不要となる。

【 0 0 9 1 】

以上に詳述した送信回路 1 0 0（図 1 または図 9）は、例えば、診断用の超音波画像を形成する一般的な超音波診断装置の送信回路として利用することができる。また、一般的な超音波診断装置よりも強力な治療用超音波を送波する装置に送信回路 1 0 0 が設けられてもよい。例えば、強力集束超音波（H I F U : High Intensity Focused Ultrasound）を送波する超音波治療装置や超音波治療システムに送信回路 1 0 0 が利用されてもよい。この場合、超音波治療装置や超音波治療システムは、例えば図 5 に示す動作の具体例に従って送信回路 1 0 0 を制御する送信制御部を備えることが望ましい。

【 0 0 9 2 】

また、送信回路 1 0 0 により強力集束超音波（H I F U）の送信信号を出力する場合に

10

20

30

40

50

は、例えば、第2正電位の目標値 + HV2 が + 125 ~ + 250 V (ボルト) とされ、第2負電位の目標値 - HV2 が - 125 ~ - 250 V とされ、第1正電位の目標値 + HV1 が + 50 ~ + 80 V とされ、第1負電位の目標値 - HV1 が - 50 ~ - 80 V とされる。なお、図1 ~ 図4を利用して説明した送信回路100の回路構成であれば、電位の目標値の大きさを + HV1 > + HV2 , - HV1 < - HV2 とすることも可能である。そして、強力集束超音波 (HIFU) の場合には、例えば、数十から数百周期の連続的な送信信号が出力される。

【0093】

また、以上の説明では、2つの正電位 (第1正電位と第2正電位) と2つの負電位 (第1負電位と第2負電位) の回路構成を示したが、正電位と負電位の個数 N (N は自然数) は N = 2 に限定されない。例えば、N = 3, 4, 5, ... と、正電位と負電位の個数 N (送信電源の段数 N) は適宜に設定することができる。送信電源の段数 N は、例えば、送信信号の波形、送信回路の回路規模、送信回路の消費電力などを考慮しつつ最適な段数に設定することが可能である。

10

【0094】

図12は、送信電源の段数 N と消費電力の関係を説明するための図である。図12には横軸を送信電源の段数 N として縦軸を消費電力 W とした消費電力の実測例が図示されている。

【0095】

図12には、送信回路が送信信号の電位を変更する際に生じる消費電力 (1) と、送信回路を構成する MOS 型 FET (PMOS または NMOS) がオフ状態の場合に消費する消費電力 (2) と、消費電力 (1) (2) を合算したトータル消費電力 (3) が図示されている。

20

【0096】

消費電力 (1) は、送信電源の段数 N (N 個の正電位と N 個の負電位) が増加するにしたがって小さくなる。これは段数 N が増加するにしたがって段数間の電位差が小さくなるためである。これに対し、消費電力 (2) は、送信電源の段数 N (N 個の正電位と N 個の負電位) が増加するにしたがって大きくなる。

【0097】

その結果、図12に示す実測例において、トータル消費電力 (3) は、段数 N が3または4において最小となっている。したがって、図12の実測例において、トータル消費電力を最小としたいのであれば、N = 3 または N = 4 とすることが望ましい。例えば、N = 3 であれば、3つの正電位と3つの負電位と GND からなる構成が最適な回路構成の一例である。

30

【0098】

以上、本発明の好適な実施形態を説明したが、上述した実施形態は、あらゆる点で単なる例示にすぎず、本発明の範囲を限定するものではない。本発明は、その本質を逸脱しない範囲で各種の変形形態を包含する。

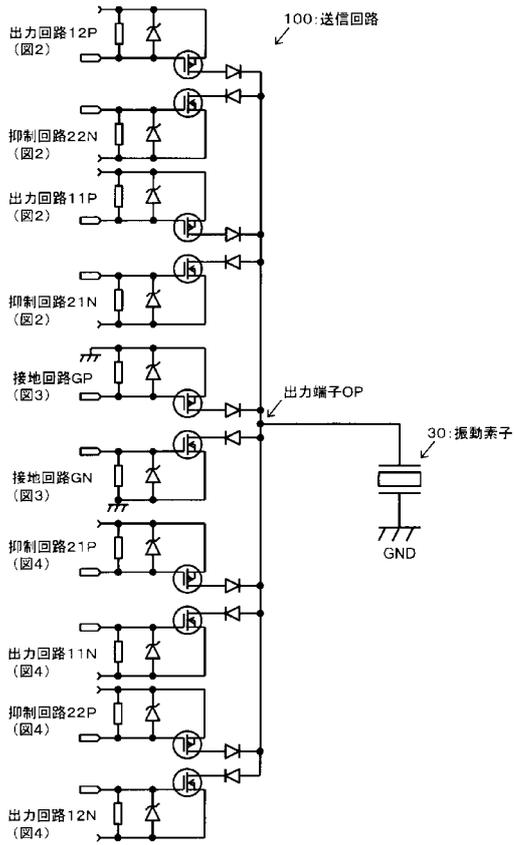
【符号の説明】

【0099】

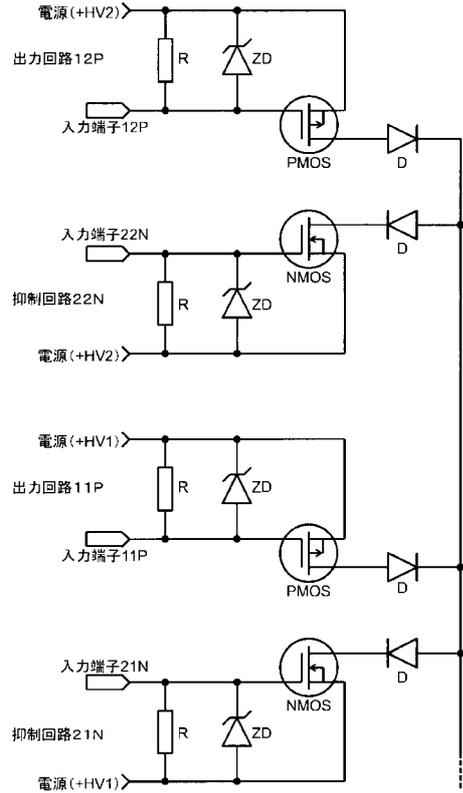
11, 12 出力回路、21, 22 抑制回路、30 振動素子、100 送信回路。

40

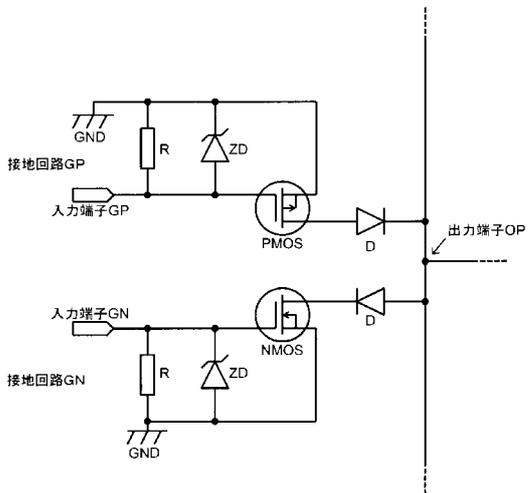
【 図 1 】



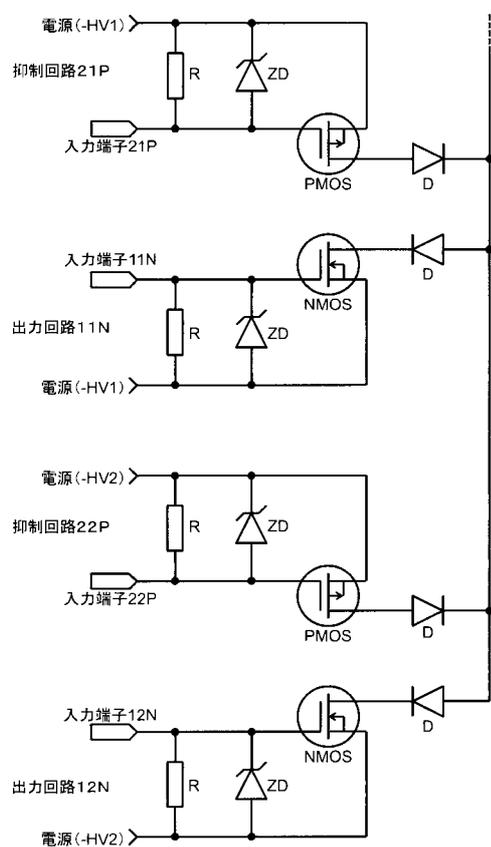
【 図 2 】



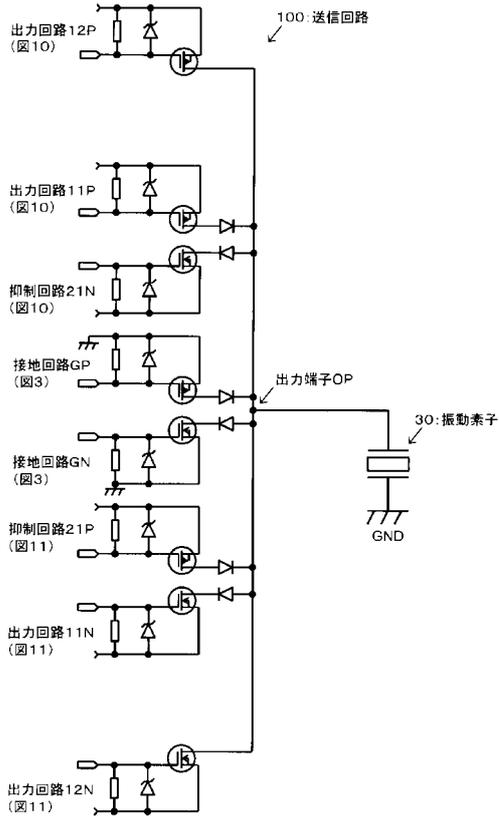
【 図 3 】



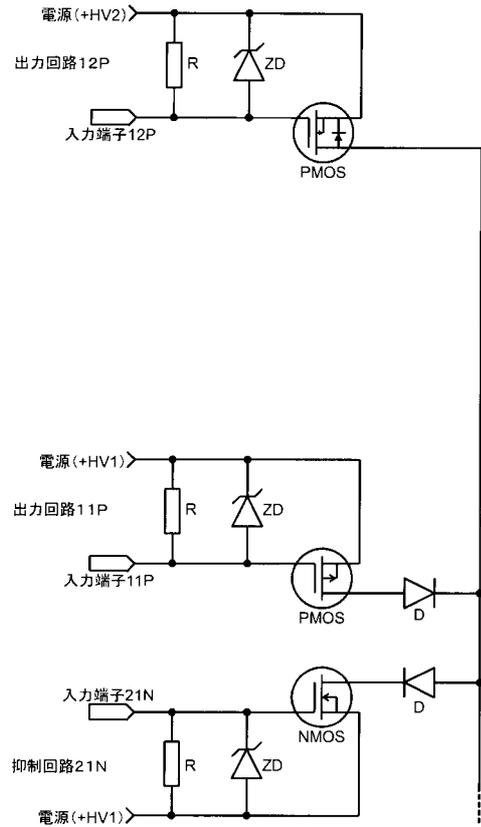
【 図 4 】



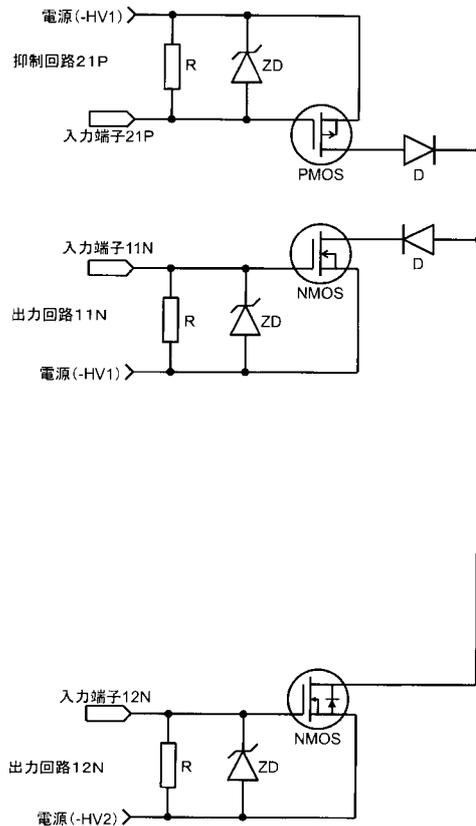
【 图 9 】



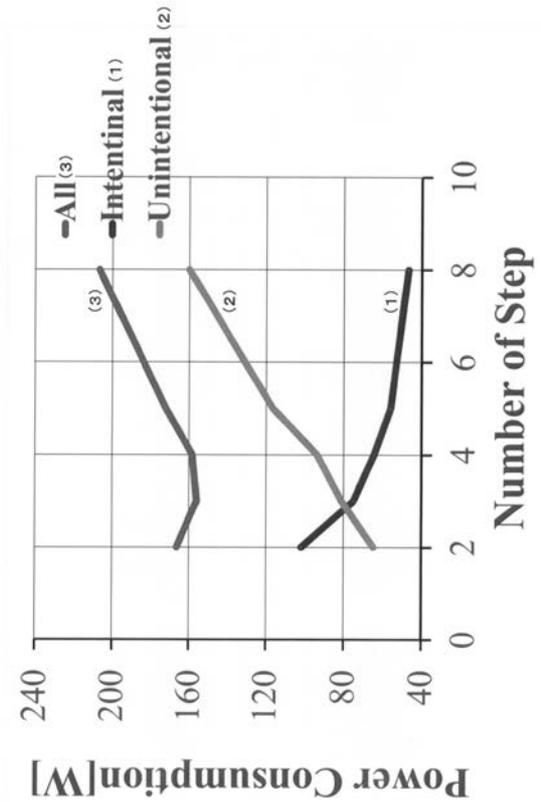
【 图 10 】



【 图 11 】



【 图 12 】



フロントページの続き

(72)発明者 神保 勇人

宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

(72)発明者 玉野 聡

東京都三鷹市牟礼6丁目2番1号 日立アロカメディカル株式会社内

Fターム(参考) 4C601 EE09 EE10 HH01 HH04

5J055 AX25 BX16 CX03 CX11 DX12 DX22 DX41 EY01 GX01 GX04

5J056 AA05 BB24 BB46 DD13 DD28 DD55 DD56 EE15 FF10 GG13

KK01

专利名称(译)	超声波传输电路		
公开(公告)号	JP2017123893A	公开(公告)日	2017-07-20
申请号	JP2016003202	申请日	2016-01-12
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	国立大学法人东北大学 株式会社日立制作所		
[标]发明人	梅村晋一郎 吉澤晋 神保勇人 玉野聡		
发明人	梅村 晋一郎 吉澤 晋 神保 勇人 玉野 聡		
IPC分类号	A61B8/00 H03K17/687 H03K19/0175		
FI分类号	A61B8/00 H03K17/687.F H03K19/00.101.F		
F-TERM分类号	4C601/EE09 4C601/EE10 4C601/HH01 4C601/HH04 5J055/AX25 5J055/BX16 5J055/CX03 5J055/CX11 5J055/DX12 5J055/DX22 5J055/DX41 5J055/EY01 5J055/GX01 5J055/GX04 5J056/AA05 5J056/BB24 5J056/BB46 5J056/DD13 5J056/DD28 5J056/DD55 5J056/DD56 5J056/EE15 5J056/FF10 5J056/GG13 5J056/KK01		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于抑制过大电位的超声波传输电路。传输电路（100）输出其中幅度逐步改变的传输信号。多个输出电路（11P，12P，11N，12N）控制与阶梯式振幅对应的多个相互不同的电位的输出定时。发送电路100包括与多个输出电路中的每一个相对应的多个抑制电路（21P，22P，21N，22N）。每个抑制电路形成用于抑制对应于抑制电路的每个输出电路和对应于输出电路的电源之间的输出电路的过电位的充电路径。结果，对于每个电位，抑制了超过电位目标值的过剩电位。点域1

