

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-506638

(P2009-506638A)

(43) 公表日 平成21年2月12日(2009.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO4R 17/00</b> (2006.01)	HO4R 17/00 332B	4C601
<b>A61B 8/00</b> (2006.01)	A61B 8/00	5D019
<b>HO4R 31/00</b> (2006.01)	HO4R 17/00 330J	
	HO4R 31/00 330	
	HO4R 17/00 330H	

審査請求 有 予備審査請求 有 (全 39 頁)

(21) 出願番号 特願2008-528009 (P2008-528009)  
 (86) (22) 出願日 平成18年8月18日 (2006.8.18)  
 (85) 翻訳文提出日 平成20年4月21日 (2008.4.21)  
 (86) 国際出願番号 PCT/US2006/032294  
 (87) 国際公開番号 W02007/024671  
 (87) 国際公開日 平成19年3月1日 (2007.3.1)  
 (31) 優先権主張番号 11/210, 116  
 (32) 優先日 平成17年8月23日 (2005.8.23)  
 (33) 優先権主張国 米国 (US)

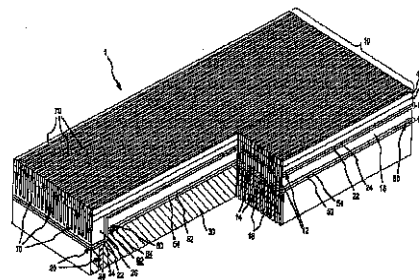
(71) 出願人 598123677  
 ゴア エンタープライズ ホールディング  
 ス, インコーポレイティド  
 アメリカ合衆国, デラウェア 19714  
 -9206, ニューアーク, ポスト オフ  
 イス ボックス 9206, ペーパー ミ  
 ル ロード 551  
 (74) 代理人 100099759  
 弁理士 青木 篤  
 (74) 代理人 100077517  
 弁理士 石田 敬  
 (74) 代理人 100087413  
 弁理士 古賀 哲次  
 (74) 代理人 100128495  
 弁理士 出野 知

最終頁に続く

(54) 【発明の名称】 改良された超音波プローブ変換器アセンブリ及び生産方法

(57) 【要約】

改良された超音波変換器アセンブリ、例えば厚さモード変換器アセンブリ、は、圧電材料を含む複数の素子、及び複数の素子の裏面に隣接して配設されたバッキング材料を含む。圧電材料とバッキング材料は側面の少なくとも一部を画定し、側面の少なくとも一部分に接触させて導電材料が配設される。素子は一つ又は複数のおもて面電極、及び一つ又は複数の裏面電極を含んでもよく、おもて面電極は側面部分に配設された導電材料に電氣的に連結されている。バッキング材料を通して少なくとも一つの埋め込まれた導電路を設けて、一つ又は複数の裏面電極と電氣的に接続することができる。大量加工処理方法では、複数の厚さモード超音波プローブ変換器アセンブリを生産することができ、マスバッキングを含む複数の連結された変換器サブアセンブリがタンデムで加工処理される。この方法では、マスバッキングを構成するバッキング材料のおもて面側にて少なくとも第一の材料層を連結することができ、サブアセンブリの切り離した後、第一の材料層の別々の部分が複数のサブアセンブリの各々と連結したままで残る。さらに、この方法では、サ



## 【特許請求の範囲】

## 【請求項 1】

おもて面及び前記おもて面の反対側の裏面を有しており圧電材料を含む複数の素子と；前記複数の素子の裏面に隣接するバッキング材料とを備えた超音波プローブ用変換器アセンブリであって、前記圧電材料及び前記バッキング材料が、前記圧電材料及びバッキング材料の両方を含む側面の少なくとも一部分を画定し、導電材料が前記側面の前記部分に接触して配設される、変換器アセンブリ。

## 【請求項 2】

前記複数の素子の少なくとも一つが、そのおもて面を画定するおもて面電極を含み、前記おもて面電極が前記導電材料と電氣的に接続されている、請求項 1 に記載の変換器アセンブリ。

10

## 【請求項 3】

前記複数の素子の二つ以上が各々、対応するおもて面を画定し前記導電材料と電氣的に接続されている、対応するおもて面電極を含む、請求項 2 に記載の変換器アセンブリ。

## 【請求項 4】

前記圧電材料及び前記バッキング材料が二つ以上の側面部分を画定し、その各々に導電材料が接触して配設され、それによって、前記導電材料が少なくとも二つの電氣的に絶縁された領域を形成し、そして、前記電氣的に絶縁された領域の各々が前記複数の素子の少なくとも一つと電氣的に接続されている、請求項 3 に記載の変換器アセンブリ。

## 【請求項 5】

前記複数の素子の各々がその裏面を画定する裏面電極をさらに含み、前記裏面電極の各々が前記導電材料から電氣的に絶縁されている、請求項 3 に記載の変換器アセンブリ。

20

## 【請求項 6】

前記素子が 1 D アレーの形態で配置されている、請求項 1 に記載の変換器アセンブリ。

## 【請求項 7】

前記素子が 2 D アレーの形態で配置されている、請求項 1 に記載の変換器アセンブリ。

## 【請求項 8】

前記導電材料が一つ以上の金属層を含む、請求項 1 に記載の変換器アセンブリ。

## 【請求項 9】

少なくとも一つの金属層が銅を含む、請求項 8 に記載の変換器アセンブリ。

30

## 【請求項 10】

少なくとも一つの金属層が、銅、金、クロム、ニッケル、及びニクロムから成る群から選択される、請求項 8 に記載の変換器アセンブリ。

## 【請求項 11】

前記導電材料がクロムを含む第一の層及び銅を含む第二の層を含む、請求項 8 に記載の変換器アセンブリ。

## 【請求項 12】

前記導電材料が硬化性導電材料を含む、請求項 1 に記載の変換器アセンブリ。

## 【請求項 13】

前記導電材料が、金属化された層から成る第一の成分及び硬化性導電材料から成る第二の成分を含む、請求項 12 に記載の変換器アセンブリ。

40

## 【請求項 14】

前記硬化性導電材料が銀充填エポキシを含む、請求項 12 に記載の変換器アセンブリ。

## 【請求項 15】

前記金属化された層が銅を含む、請求項 12 に記載の変換器アセンブリ。

## 【請求項 16】

前記バッキング材料が、前記複数の素子の裏面と隣接するおもて面、及び裏面を有し、前記側面が前記バッキング材料の裏面と隣接する少なくとも一つの端部を含む、請求項 1 に記載の変換器アセンブリ。

## 【請求項 17】

50

前記バッキング材料が、前記バッキング材料内部に埋め込まれた少なくとも一つの導電路を含み、前記導電路が前記バッキング材料の裏面から延在して、前記複数の素子の少なくとも一つと電氣的に接触する、請求項 1 に記載の変換器アセンブリ。

【請求項 18】

前記バッキング材料が、前記バッキング材料内部に埋め込まれた複数の導電路を含み、前記複数の導電路の各々が前記バッキング材料の裏面から延在して、前記複数の素子の対応する別々の一つと電氣的に接触する、請求項 17 に記載の変換器アセンブリ。

【請求項 19】

前記導電材料が少なくとも二つの電氣的に絶縁された領域から成り、前記電氣的に絶縁された領域の各々が少なくとも一つの素子のおもて面電極と電氣的に接続されており、前記複数の素子の各々がその裏面を画定する裏面電極をさらに含み、前記裏面電極の各々が前記導電材料から電氣的に絶縁されている、請求項 1 に記載の変換器アセンブリ。

10

【請求項 20】

前記おもて面電極の各々が他のおもて面電極の各々から電氣的に絶縁されている、請求項 19 に記載の変換器アセンブリ。

【請求項 21】

前記裏面電極の各々が他の裏面電極の各々から電氣的に絶縁されている、請求項 19 に記載の変換器アセンブリ。

【請求項 22】

複数の導電部分を有するバッキング材料であって、前記複数の導電部分が前記バッキング材料を通して延在しかつ電氣的絶縁材料によって分離されており、前記複数の導電部分が少なくとも一つの接地路と複数の信号路を含む、バッキング材料と；圧電材料を含む複数の超音波変換器素子であって、前記複数の超音波変換器素子が、前記少なくとも一つの導電性の接地路に電氣的に接続され、かつ前記複数の信号路の別々のものに電氣的に接続されている、複数の超音波変換器素子とを備えた超音波プローブ変換器アセンブリ。

20

【請求項 23】

おもて面及び前記おもて面の反対側の裏面を有しており圧電材料を含む複数の素子であって、前記素子の各々が、前記おもて面を画定するおもて面電極及び前記裏面を画定する裏面電極を有する、複数の素子と；複数の導電部分を有するバッキング材料であって、前記複数の導電部分が前記バッキング材料を通して延在し、前記導電部分が電氣的絶縁部分によって分離され、前記バッキング材料が前記裏面電極の裏面と隣接し、前記圧電材料及び前記バッキング材料が少なくとも一つの側面を画定し、前記側面が前記圧電材料及び前記バッキング材料の両方を含む、バッキング材料と；前記少なくとも一つの側面に接触して配設された導電材料であって、前記おもて面電極の少なくとも一つが前記導電材料と電氣的に接続され、前記裏面電極の少なくとも一つが前記バッキング材料の少なくとも一つの導電部分と電氣的に接続されている、導電材料とを備えた、超音波プローブ用変換器アセンブリ。

30

【請求項 24】

前記側面が前記バッキング材料の裏面と隣接する少なくとも一つの端部を含む、請求項 23 に記載の変換器アセンブリ。

40

【請求項 25】

前記バッキング材料が、前記バッキング材料内部に埋め込まれた少なくとも一つの導電路を含み、前記導電路が前記バッキング材料の裏面から前記側面の前記導電材料まで延在する、請求項 23 に記載の変換器アセンブリ。

【請求項 26】

前記おもて面電極の各々が電氣的に接地されている、請求項 23 に記載の変換器アセンブリ。

【請求項 27】

バッキング材料のおもて面側に圧電材料を設けるステップであって、前記圧電材料及び前記バッキング材料は側面の少なくとも一部分を画定する、ステップと；前記側面の少な

50

くとも前記部分に導電材料を配設するステップとを含む、超音波プローブ用変換器アセンブリを生産する方法。

【請求項 28】

前記導電材料の少なくとも一部分を前記バックング材料の少なくとも一部分を通して埋め込むステップをさらに含む、請求項 27 に記載の方法。

【請求項 29】

前記バックング材料が少なくとも第一のバックング部材及び第二のバックング部材を含み、前記埋め込むステップが、前記第一のバックング部材及び前記第二のバックング部材の少なくとも一方の側面の少なくとも一部分に前記導電材料の一部分を配設するステップと；前記第一のバックング部材及び前記第二のバックング部材を連結するステップとをさらに含む、前記導電材料の前記部分が前記第一のバックング部材と前記第二のバックング部材の間に延在する、請求項 28 に記載の方法。

10

【請求項 30】

前記導電材料の一部分を配設する前記ステップが、前記導電材料の前記部分を前記第一のバックング部材及び前記第二のバックング部材の少なくとも一方の側面の前記少なくとも一部分に金属化処理によって堆積するステップをさらに含む、請求項 29 に記載の方法。

【請求項 31】

前記配設するステップが、前記導電材料を前記圧電材料のおもて面側の少なくとも一部分に配設するステップをさらに含む、請求項 27 に記載の方法。

20

【請求項 32】

前記導電材料が少なくとも第一の金属層を含み、前記配設するステップが、前記第一の金属層を前記側面の前記少なくとも一部分に金属化処理によって堆積するステップをさらに含む、請求項 27 に記載の方法。

【請求項 33】

前記導電材料が第二の金属層をさらに含む、前記配設するステップが、前記第二の金属層を前記堆積された第一の金属に金属化処理によって堆積するステップをさらに含む、請求項 32 に記載の方法。

【請求項 34】

前記導電材料が硬化性導電層をさらに含む、前記配設するステップが、その硬化性導電材料を、前記側面の前記少なくとも一部分の上にある前記第一の金属層の一部分に適用するステップと；前記硬化性導電材料を硬化させるステップとをさらに含む、請求項 32 に記載の方法。

30

【請求項 35】

前記圧電材料のおもて面側の少なくとも一部分に前記導電材料を配設するステップと；前記圧電材料を、そのおもて面に配設された前記導電材料と共に分離して、複数の素子を画定するステップとをさらに含む、前記複数の素子の各々が、前記圧電材料のおもて面に配設された前記分離された導電材料によって画定される第一の電極を含む、請求項 27 に記載の方法。

【請求項 36】

別の導電材料を前記バックング材料のおもて面及び前記圧電材料の裏面のうち一方に配設するステップをさらに含む、請求項 35 に記載の方法。

40

【請求項 37】

前記別の導電材料を配設するステップが、前記別の導電材料を前記バックング材料のおもて面及び前記圧電材料の裏面のうち前記一方に金属化処理によって堆積するステップと；前記堆積された別の導電材料の一部分を除去して、前記側面の前記部分に配設された前記導電材料から前記堆積された別の導電材料を電気的に絶縁するステップとをさらに含む、請求項 36 に記載の方法。

【請求項 38】

前記分離するステップが、前記別の導電材料を前記圧電材料及びそのおもて面に配設さ

50

れた前記導電材料と共に分離するステップをさらに含み、前記複数の素子の各々が、前記ダイシングされた別の導電材料によって画定された第二の電極をさらに含む、請求項 36 に記載の方法。

【請求項 39】

前記バッキング材料内部に複数の導電路を埋め込むステップをさらに含み、前記複数の導電路が前記バッキング材料の裏面から前記複数の素子の別々のものの前記第二の電極まで延在する、請求項 38 に記載の方法。

【請求項 40】

前記バッキング材料が少なくとも第一のバッキング部材及び第二のバッキング部材を含み、前記埋め込むステップが、前記第一のバッキング部材及び前記第二のバッキング部材の少なくとも一方の側面の少なくとも一部分に追加の導電材料を配設して、前記複数の導電路を画定するステップと；前記第一のバッキング部材及び前記第二のバッキング部材を連結するステップとをさらに含む、請求項 39 に記載の方法。

10

【請求項 41】

前記埋め込むステップが、前記追加の導電材料を前記第一のバッキング部材及び前記第二のバッキング部材の少なくとも一方の前記側面の前記少なくとも一部分に金属化処理により堆積するステップと；前記堆積された追加の導電材料の一部を除去して前記複数の導電路を画定するステップとをさらに含む、請求項 40 に記載の方法。

【請求項 42】

音響整合材料を、前記圧電材料の前記おもて面側に配設された前記導電材料のおもて面に適用するステップをさらに含む、請求項 38 に記載の方法。

20

【請求項 43】

前記分離するステップが、前記音響整合材料を、前記導電材料、前記圧電材料及び前記別の導電材料と共に分離するステップをさらに含み、前記複数の素子の各々が、前記分離された音響整合材料によって画定される音響整合層をさらに含む、請求項 42 に記載の方法。

【請求項 44】

複数の厚さモード超音波プローブ変換器アセンブリの各々の少なくとも一つの構成要素に関連した複数の生産加工ステップを遂行するステップであって、前記複数の生産加工ステップ全体を通して、前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素が、前記複数の変換器アセンブリの別の一つの前記少なくとも一つの構成要素と連結されている、ステップと；前記遂行するステップの後で、前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素を、前記複数の変換器アセンブリの前記別の一つの前記少なくとも一つの構成要素から切り離すステップとを含む、複数の厚さモード超音波プローブ変換器アセンブリを生産する方法。

30

【請求項 45】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記複数の生産加工ステップの少なくとも一つが、第一の材料を第二の材料に結合するステップを含む、請求項 44 に記載の方法。

【請求項 46】

前記第一の材料が導電材料を含み、前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記結合するステップが、前記導電材料を前記第二の材料に配設するステップをさらに含む、請求項 45 に記載の方法。

40

【請求項 47】

前記配設するステップが、前記導電材料を前記第二の材料に金属化処理によって堆積するステップをさらに含む、請求項 46 に記載の方法。

【請求項 48】

前記第二の材料がバッキング材料を含む、請求項 46 に記載の方法。

【請求項 49】

前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素が対応するバッキ

50

ング部材を含み、前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材の裏面側からおもて面側へ延在する少なくとも一つの導電路を少なくとも部分的に画定する、請求項 48 に記載の方法。

【請求項 50】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材を通して延在する複数の導電路を少なくとも部分的に画定する、請求項 49 に記載の方法。

【請求項 51】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材の側面に沿って延在する導電路を少なくとも部分的に画定する、請求項 49 に記載の方法。

10

【請求項 52】

前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素が対応するバックング部材を含み、前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材のおもて面に電極の少なくとも一部分を画定する、請求項 48 に記載の方法。

【請求項 53】

前記第二の材料が前記圧電材料を含む、請求項 46 に記載の方法。

【請求項 54】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記圧電材料のおもて面に電極を少なくとも部分的に画定する、請求項 53 に記載の方法。

20

【請求項 55】

前記第一の材料が圧電材料を含み、前記第二の材料が導電材料を含む、請求項 45 に記載の方法。

【請求項 56】

複数の連結された厚さモード超音波プローブ変換器サブアセンブリを用意するステップであって、前記連結されたサブアセンブリの各々がバックング材料を含む、ステップと；少なくとも第一の材料層を、前記複数の連結されたサブアセンブリの各々を構成する前記バックング材料のおもて面側に連結するステップと；前記連結するステップの後で前記複数の連結されたサブアセンブリを切り離すステップとを含む、複数の厚さモード超音波プローブ変換器アセンブリを生産する方法であって、前記第一の材料層の別々の部分が前記複数の切り離されたサブアセンブリの各々に連結された状態で残る方法。

30

【請求項 57】

前記切り離すステップの前に、第二の材料層を、前記複数の連結されたサブアセンブリの各々を構成する前記圧電材料層のおもて面側に結合するステップをさらに含み、前記切り離すステップの後に、前記第二の材料層の別々の部分が前記複数のサブアセンブリの各々に連結された状態で残る、請求項 56 に記載の方法。

【請求項 58】

前記第一の材料層が圧電材料を含む、請求項 57 に記載の方法。

40

【請求項 59】

前記連結するステップ及び結合するステップの前に、導電材料を含む第三の材料層を前記バックング材料のおもて面側と前記圧電材料の第一の材料層の裏面側の間に設けるステップをさらに含み、前記切り離すステップの後に、前記導電材料の第三の材料層の別々の部分が前記複数のサブアセンブリの各々に連結された状態で残る、請求項 58 に記載の方法。

【請求項 60】

前記導電材料の第三の材料層を前記圧電材料層の裏面に金属化処理によって堆積するステップをさらに含み、請求項 59 に記載の方法。

【請求項 61】

50

前記第二の材料層が導電材料を含み、前記結合するステップが、前記導電材料の第二の材料層を前記圧電材料の第一の材料層に金属化処理によって堆積するステップを含む、請求項 59 に記載の方法。

【請求項 62】

前記切り離すステップの前に、前記複数の連結されたサブアセンブリの各々を構成する前記第一の材料層、第二の材料層及び第三の材料層を分離するステップをさらに含み、前記複数のサブアセンブリの各々で変換器素子のアレーが画定される、請求項 61 に記載の方法。

【請求項 63】

前記用意するステップの前に、前記サブアセンブリの各々の前記バックグ材料を通して複数の導電路を埋め込むステップをさらに含み、前記ダイシングするステップの後で、前記サブアセンブリの各々について、前記対応する複数の導電路が前記対応する複数の変換器素子の別々のものと電気的に連結される、請求項 62 に記載の方法。

10

【請求項 64】

少なくとも第一の細分化された複数の (subplurality) 前記連結された超音波プローブ変換器サブアセンブリについて、前記バックグ材料が少なくとも第一のバックグ部材及び第二のバックグ部材を含み、そして前記第一の細分化された複数のサブアセンブリの各々について、前記埋め込むステップが、前記第一のバックグ部材及び前記第二のバックグ部材の少なくとも一方の側面の少なくとも一部分に導電材料を配設して、前記対応する複数の導電路を画定するステップと；前記第一のバックグ部材を前記第二のバックグ部材に連結するステップとをさらに含み、前記対応する複数の導電路が前記第一及び第二のバックグ部材の間に介在する、請求項 63 に記載の方法。

20

【請求項 65】

前記第一の細分化された複数のサブアセンブリの各々について、前記配設するステップが、前記第一のバックグ部材及び前記第二のバックグ部材の少なくとも一方の前記側面の前記少なくとも一部分に前記導電材料を金属化処理によって堆積するステップと；前記堆積された導電材料の一部を除去して、前記対応する複数の導電路を画定するステップとをさらに含む、請求項 64 に記載の方法。

【請求項 66】

前記第一の細分化された複数のサブアセンブリの各々について、前記方法が、前記第一のバックグ部材及び前記第二のバックグ部材の少なくとも一方の別の側面の少なくとも一部分に導電材料を配設して、前記第一の細分化された複数のサブアセンブリの各々に対応する関係で少なくとも一つの導電路を画定するステップをさらに含む、請求項 64 に記載の方法。

30

【請求項 67】

前記結合するステップの前に、前記連結されたサブアセンブリの各々から前記圧電材料の第一の材料層の少なくとも一部分を除去するステップであって、前記圧電材料の第一の材料層の側面部分が前記複数の連結されたサブアセンブリの各々について画定され、前記第一の細分化された複数のサブアセンブリの各々について、前記対応する少なくとも一つの導電路が露出する、ステップと；前記切り離すステップの前に、前記連結されたサブアセンブリの各々を構成する前記圧電材料の第一の材料層の前記側面に導電材料層を配設するステップであって、前記第一の細分化された複数のサブアセンブリの各々について、前記導電材料層が前記対応する少なくとも一つの導電路と電気的に接触する、ステップとをさらに含む、請求項 66 に記載の方法。

40

【請求項 68】

前記結合するステップの前に、前記連結されたサブアセンブリの各々から前記圧電材料の第一の材料層の少なくとも一部分を除去するステップをさらに含み、前記圧電材料の第一の材料層の側面部分が前記複数の連結されたサブアセンブリの各々について画定される、請求項 61 に記載の方法であって、当該方法が、前記切り離すステップの前に、前記連結されたサブアセンブリの各々を構成する前記圧電材料の第一の材料層の前記側面に導電

50

材料層を配設するステップをさらに含み、前記切り離すステップの後に、前記圧電材料の第一の層の前記側面にある前記導電材料層の別々の部分が、前記複数のサブアセンブリの各々に連結された状態で残る、請求項 6 1 に記載の方法。

【請求項 6 9】

前記連結するステップ及び結合するステップの前に、前記連結されたサブアセンブリの各々から前記導電材料の第三の材料層の直線上に整列した部分を除去するステップをさらに含む、請求項 6 8 に記載の方法。

【請求項 7 0】

前記切り離すステップの前に、前記複数の連結されたサブアセンブリの各々を構成する前記第二の材料層のおもて面側に第三の材料層を取り付けるステップをさらに含み、前記切り離すステップの後で、前記第三の材料層の別々の部分が前記複数のサブアセンブリの各々に連結された状態で残る、請求項 5 7 に記載の方法。

10

【請求項 7 1】

前記第一の材料層、第二の材料層及び第三の材料層のうち第一のものが圧電材料を含む、請求項 7 0 に記載の方法。

【請求項 7 2】

前記第一の材料層、第二の材料層及び第三の材料層のうち第二のものが導電材料を含む、請求項 7 1 に記載の方法。

【請求項 7 3】

前記第一の材料層、第二の材料層及び第三の材料層のうち第三のものが音響整合材料を含む、請求項 7 2 に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、超音波画像プローブに関し、詳しくは改良された超音波プローブ変換器アセンブリ及び大量生産加工方法を含む関連生産方法に関する。

【背景技術】

【0 0 0 2】

超音波画像プローブの医療分野における応用は増加し続けている。例えば、超音波プローブは、外部画像化、腹腔鏡、内視鏡、及び血管内画像化の広汎な用途に用いられている。画像化プローブが提供する超音波画像は、診断目的に利用でき、及び/又は他の医療デバイス、例えば、外科及び治療処置に用いられる医療デバイスの位置決めを助けるために使用できる。

30

【0 0 0 3】

超音波画像プローブの応用が拡がり続けると共に、小型化されかつ生産の再現性及び生産効率が高い超音波プローブの設計もますます必要とされている。この点に関連して、超音波プローブのサイズが小さくなるにつれて、生産の再現性及び効率の向上を実現可能にすることは特に困難な課題になる。

【発明の開示】

【発明が解決しようとする課題】

40

【0 0 0 4】

上記に鑑みて、本発明の主な目的は、コンパクトであって、再現性があり効率的に生産できる、超音波プローブ変換器アセンブリを提供することである。

【0 0 0 5】

本発明の別の主な目的は、一つ以上の大量生産加工ステップを用いて高い生産効率並びに高い生産再現性を実現する、複数の超音波プローブ変換器アセンブリ、特に厚さモード変換器アセンブリを生産する方法を提供することである。

【課題を解決するための手段】

【0 0 0 6】

上記の目的及びその他の利点が本発明によって達成される。ある態様では、改良された

50

超音波プローブ変換器アセンブリは圧電材料を含む複数の素子を含み、各素子はおもて面と裏面を有し、変換器アセンブリは複数の素子の裏面に隣接したバッキング材料をさらに含む。注意すべきことは、圧電材料とバッキング材料が側面の少なくとも一部を画定し、変換器アセンブリは側面部分に配設された導電材料をさらに含むことである。圧電材料とバッキング材料の組み合わせによって画定される側面部分に導電材料を配設することによってコンパクトで容易に生産できる変換器アセンブリが得られ、このアセンブリにおいて、導電材料が変換器アセンブリで一つ以上の接地線又は信号線として機能しうる一つ以上の導電路の少なくとも一部を画定する。

【0007】

後者の点に関連して、変換器アセンブリを構成する素子の少なくとも一つが素子のおもて面を画定する電極を含んでもよい。さらに、おもて面電極を、側面部分に配設された導電材料に電氣的に接続することができる。さらに、変換器アセンブリを構成する複数の素子がそれぞれ、素子の対応するおもて面を画定しかつ側面部分に配設された導電材料に電氣的に接続されるおもて面電極を含んでもよい。

10

【0008】

ある配置では、複数の素子のおもて面電極が変換器アセンブリの接地電極として機能することができる。そのような配置では、各素子はさらに素子の裏面を画定する裏面電極を含んでもよく、裏面電極は互いにそして前記の側面に配設された導電材料から電氣的に絶縁され、変換器アセンブリの信号電極として機能する。

【0009】

別の配置では、圧電材料とバッキング材料が二つ以上の各々導電材料が配設された側面部分を画定してもよく、導電材料が少なくとも二つの電氣的に絶縁された領域を形成し、電氣的に絶縁された各領域は少なくとも一つの素子が電氣的に接続されている。そのような配置では、各素子のおもて面電極は電氣的に絶縁された領域の対応する一つに電氣的に接続されて、変換器アセンブリの信号電極として機能することができる。さらに、裏面電極はそのような配置の接地電極として機能することができる。

20

【0010】

いろいろな実施態様で、バッキング材料は複数の素子の裏面に、その横方向への拡がり全体にわたって直接接触してもよい。例えば、変換器アセンブリは、バッキング材料と各素子の裏面電極、圧電材料及びおもて面電極とが、面と面でその間に空洞を存在させることなく積層した形で連結されるように提供することができる。

30

【0011】

理解されるように、上記の配置における素子は一次元(1D)アレーを形成するように配置できる。あるいはまた、素子は容易に二次元(2D)アレーを形成するように配置することができる。いずれの場合にも、導電材料を側面に配設し、1D又は2Dアレーに電氣的に連結させることができる。

【0012】

上記のいずれの配置においても、側面部分(単数又は複数)に配設された導電材料は少なくとも部分的に互いに重なる及び/又は隣接する一つ又は複数の導電材料の層を含むことができる。例えば、導電材料の層は、銅、金、クロム、ニッケル、及びニクロムから成る群から選択される金属を含むことができる。ある配置では、導電材料はクロムを含む第一の金属層が銅を含む第二の金属層に重なる形で含んでもよい。このような配置は強い結合特性を生み出す。別のアプローチでは、側面部分(単数又は複数)に配設される導電材料は硬化性導電材料を含んでもよい。さらに詳しくは、導電材料は金属化層から成る第一の成分と硬化性導電材料、例えば銀充填エポキシ、から成る第二の成分を含んでもよい。

40

【0013】

関連した態様では、本発明の変換器アセンブリはバッキング材料に埋め込まれた少なくとも一つの導電路を含んでもよく、導電路は、バッキング材料の裏面から延在して複数の素子の少なくとも一つに電氣的に接触する。ある実施態様では、複数の導電路がバッキング材料の裏面からバッキング材料を通過してそのおもて面まで延在し、各導電路が複数の素

50

子の対応する別々の一つと電氣的に接触する。そのような実施態様では、各導電路は対応する変換器素子の信号電極と接触することができる。さらに、各素子のおもて面を画定する活性電極は接地目的で側面に配設された導電材料に電氣的に接触できる。導電材料はさらに導電路に接続することができ、導電路はパッキング材料に埋め込まれていても、埋め込まれていなくてもよい。

【0014】

本発明の上記の特徴は、厚さモード超音波プローブ変換器アセンブリにおいて実施されると特に有利である。そのようなアセンブリでは、関連する厚さは、変換器アセンブリの圧電材料の裏面側からおもて面側へ延在する方向、例えば音波伝播の方向、によって規定されるようなものである。この点に関連して、本発明の厚さモード変換器アセンブリは、半波長共振器として好適に動作しうる。例えば、変換器アセンブリを構成する圧電材料は、意図した公称動作周波数の約半波長の厚さを有してもよい。

10

【0015】

本発明の変換器アセンブリと合わせて、本発明の別の態様では、例えば厚さモード超音波プローブ変換器アセンブリなどの、超音波プローブ変換器アセンブリを生産する方法が提供される。この方法は、パッキング材料のおもて面側に圧電材料を提供するステップを含んでもよく、圧電材料とパッキング材料が側面の少なくとも一部を画定する。この方法はさらに、前記側面の少なくとも一部に導電材料を配設するステップを含んでもよい。

【0016】

別の関連した態様では、本発明の方法は、導電材料の少なくとも一部をパッキング材料の少なくとも一部を通して埋め込むステップを含んでもよい。これに関連して、パッキング材料は少なくとも第一のパッキング部材及び第二のパッキング部材を含んでもよく、前記埋め込むステップは、第一のパッキング部材及び第二のパッキング部材の少なくとも一つの側面の少なくとも一部に導電材料の一部を配設するステップ、及び前記導電材料の一部が第一のパッキング部材と第二のパッキング部材の間に延在するように、前記第一のパッキング部材と第二のパッキング部材を連結するステップをさらに含んでもよい。例えば、導電材料は側面部分に金属化処理によって堆積してもよい。

20

【0017】

あるアプローチでは、導電材料は複数の金属層を含んでもよく、各層は金属化処理によって配設される。別のアプローチでは、導電材料は複数の層を含んでもよく、少なくとも一つの層が金属化処理によって堆積され、別の層は硬化性導電層によって画定される。二つ以上の導電層が設けられる場合、層は少なくとも部分的に重なるか又は互いに直接に隣接（例えば、直接接触）してよい。

30

【0018】

本発明のさらに別の態様では、この方法は、圧電材料を圧電材料のおもて面側に配設された導電材料と共に分離して複数の素子を画定するステップを含んでもよく、複数の素子の各々は、圧電材料のおもて面側に配設された分離された導電材料によって画定される第一の電極を含む。さらに、別の導電材料をパッキング材料のおもて面側と圧電材料の裏面側の間に配設してもよい。さらに、分離するステップが、そのような別の導電材料を圧電材料及びそのおもて面側に配設された導電材料と共に分離するステップをさらに備えてもよく、複数の素子の各々は、分離された別の導電材料によって画定される第二の電極をさらに含む。上記の態様と合わせて、本発明の方法は、パッキング材料内部に複数の導電路を埋め込むステップをさらに備えてもよく、前記複数の導電路はパッキング材料の裏面から複数の素子の別々の一つの第二の電極まで延在する。

40

【0019】

ある実施態様では、圧電材料のおもて面側に配設された導電材料のおもて面側に音響整合材料を適用してもよい。さらに、分離するステップは、圧電材料及びそのおもて面側と裏面側に配設された導電材料と共に音響整合材料を分離することをさらに備えてもよい。

【0020】

さらに理解されるように、本発明の別の重要な態様では、複数の厚さモード超音波プロ

50

ーブ変換器アセンブリを生産する方法が本発明によって実現される。この方法は、複数の連結された厚さモード超音波プローブ変換器サブアセンブリ、すなわち、変換器サブアセンブリ・マスバックング (mass backing) を用意するステップを含み、そのようなサブアセンブリの各々はバックング材料を含む。この方法は、変換器サブアセンブリ・マスバックングを構成するバックング材料のおもて面側に少なくとも第一の材料層を連結するステップ、及び第一の材料層の別々の部分が複数の切り離されたサブアセンブリの各々に連結された状態で残るように、前記連結するステップの後で連結された複数のサブアセンブリを切り離すステップを含む。

【0021】

関連したある態様では、大量加工方法は、切り離すステップの前に、変換器サブアセンブリ・マスバックングを含む第一の材料層のおもて面側に第二の材料層を結合するステップを含んでもよい。ここでも、第二の材料層の別々の部分は、切り離すステップの後で複数のサブアセンブリの各々に連結された状態で残る。

10

【0022】

ある実施態様では、第一の材料層は圧電材料を含んでもよい。それに対応して、この方法は、第一の材料層の連結と上記の第二の材料層の結合の前に、バックング材料のおもて面側と第一の材料層の裏面側の間に、導電材料を含む第三の材料層を設けるステップを含んでもよい。ここでも、第三の導電材料の層の別々の部分は、切り離すステップの後で複数のサブアセンブリの各々に連結された状態で残る。あるアプローチでは、第三の導電材料の層は第一の圧電材料の層の裏面側に金属化処理によって堆積してもよい。

20

【0023】

上記の実施態様で、厚さモード変換器アセンブリの生産を助けるために、バックング材料、第一の材料層、第二の材料層及び第三の材料層は、積層法によって、それらの間に空洞が存在しないように連結してもよい。すなわち、例えば、各材料層は、その横方向の拡がり全体にわたって、おもて面層とそれに隣接する裏面層が面と面で直接接触しうる。

【0024】

上記の実施態様で、第二の材料層はまた、金属化処理によって圧電材料の第一の層のおもて面側に接続される導電材料を含んでもよい。さらに、この方法は、サブアセンブリの切り離すの前に、連結された複数のサブアセンブリの各々について、圧電材料の第一の層、導電材料の第二の層、及び導電材料を含む第三の層を分離するステップをさらに含んでもよく、複数のサブアセンブリの各々に変換器素子のアレーが画定される。

30

【0025】

例えば、変換器素子の各々は、分離された第二及び第三の導電材料の層によってそれぞれ画定される第一及び第二の電極 (例えば、おもて面及び裏面電極) を含んでもよく、圧電材料の層の対応する部分がある間に介在する。そのような配置と合わせて、この方法は、各サブアセンブリのバックング材料を通る複数の導電路を画定するステップをさらに含んでもよく、各サブアセンブリについて、対応する複数の導電路は上記の分離ステップの後で対応する複数の変換器素子の別々のものと電氣的に連結される。

【0026】

本発明の別の特徴として、複数の厚さモード超音波プローブ変換器アセンブリを生産する方法は、複数の厚さモード超音波プローブ変換器アセンブリの各々の少なくとも一つの構成要素に関連した複数の生産加工ステップを遂行するステップを含み、複数の生産加工ステップの全てを通して、複数の変換器アセンブリの各々の少なくとも一つの構成要素は複数の変換器アセンブリの別のものの対応する構成要素に連結され、複数の変換器アセンブリの各々の前記少なくとも一つの構成要素は前記複数の生産加工ステップの少なくとも一つのための固体圧電材料を含む。その後、この方法はさらに、複数の生産加工ステップを遂行した後、複数の変換器アセンブリの各々の対応する構成要素を切り離すステップを含む。

40

【0027】

上記の方法と合わせて、複数の生産加工ステップの少なくとも一つは、変換器アセンブ

50

り（複数）の各々の少なくとも一つの構成要素について、第一の材料を第二の材料に結合するステップを含んでもよい。一つのアプローチでは、第一の材料は導電材料を含んでもよく、変換器アセンブリ（複数）の各々の少なくとも一つの構成要素について、結合ステップは導電材料を第二の材料に配設するステップをさらに備えてもよい。例えば、導電材料は金属化処理によって配設してもよい。ある実施態様では、第二の材料はバッキング材料を含んでもよい。さらに変換器アセンブリ（複数）の各々の少なくとも一つの構成要素は対応するバッキング部材を含んでもよく、変換器アセンブリ（複数）の各々の構成要素について、配設するステップは、裏面側からおもて面側へ延在する少なくとも一つの導電路を少なくとも部分的に画定してもよい。理解されるように、配設するステップは、対応するバッキング部材を通して延在する複数の導電路を少なくとも部分的に画定してもよい。

10

#### 【0028】

本発明のその他の態様と対応する利点は、以下の詳しい説明を考察することで当業者に明らかになるであろう。

#### 【発明を実施するための最良の形態】

#### 【0029】

図1は、本発明のある実施態様を含む超音波プローブ変換器アセンブリ1を示す。以下で明らかになるが、変換器アセンブリ1は複数の同様な変換器アセンブリを一斉に生産することを容易にする仕方で生産され、それによって規模による高い生産効率を得られる。その観点から、大量生産加工の実施態様が後に説明される。

20

#### 【0030】

図1に示されるように、変換器アセンブリ1は、バッキング部材30のおもて面側に配設された複数の変換器素子10を含むことができる。バッキング部材30は非導電性の音響減衰材料を含むことができる。各変換器素子10は、第一の電極12と第二の電極14を備えてよく、圧電材料16がその間に配置されている。図示した実施態様に示されるように、変換器アセンブリ1は厚さモード型であってよい。

#### 【0031】

この点に関連して、単に例としてあげるだけであるが、圧電材料16は意図した公称動作周波数での約半波長の厚さを有してよい。しかし、他の厚さも可能であることは理解されるであろう。さらに、圧電材料16は、セラミック系材料（例えば、PZT（すなわち、ジルコン酸チタン酸鉛））、単結晶材料、又は当業者に公知の圧電材料と受動材料の複合材料、を含むことができる。好ましくは、圧電材料16は実質的に中実の固体（例えば、空洞を含まない固体）であって、共振圧電層が実現される。

30

#### 【0032】

さらに、図1に示されるように、各素子10のバッキング部材30と第一の電極12、圧電材料16及び第二の電極14とは、積層体の形で連結されてもよい。例えば、これらの構成要素のうち一つはそれぞれ、これらの構成要素の他の隣接する少なくとも一つと直接に面と面で、界面の横方向への拡がり全体にわたってその間に空洞を存在させずに接触できる。

#### 【0033】

図示した実施態様では、第二の電極14の各々は、バッキング部材30の裏面側からそのおもて面側へ延在する複数の導電路18の別々の一つと連結される。さらに、変換器素子10の各々の第一の電極12は、バッキング部材30の裏面側からバッキング部材30のおもて面側へ、（例えば、バッキング部材30と圧電材料16によって画定される）側面の少なくとも一部に沿って延在する少なくとも一つの導電路20に電氣的に連結される。導電路18と20は、変換器アセンブリ1の裏面側で、直接又は間接に、少なくとも一つの信号ケーブル、例えば、W.L. Gore & Associates, Inc.によって市販されているMICROFLAT信号ケーブル、に電氣的に連結することができる。

40

#### 【0034】

図1に示された配置では、各変換器素子10の第一の電極12は接地電極として機能す

50

ることができ、各変換器素子10の第二の電極14は信号電極として機能することができる。さらに、導電路20は、第一の電極12を信号ケーブルの接地線に電氣的に接続することができ、導電路18は第二の電極14を信号ケーブルの別の信号線に電氣的に接続することができる。

#### 【0035】

ある変形された配置では、導電路20を、上記側面の別の部分に沿って延在する複数の絶縁された導電路となるように画定あるいは分離できる。さらに、そのような絶縁された導電路は、信号ケーブルの別の信号線を信号電極として機能する第一の電極12に電氣的に接続することができ、そして少なくとも一つの導電路18は、信号ケーブルの少なくとも一つの接地線を接地電極として機能する第二の電極14に電氣的に接続することができる。後者に関連して、変形されたアプローチでは、第二の電極14を共通の接地線に電氣的に接続することができる。

10

#### 【0036】

さらに図1を参照すると、変換器素子10の各々は第一の音響整合材料40と第二の音響整合材料42をさらに含むことができる。第一の音響整合材料40及び第二の音響整合材料42は、所定の用途について、圧電材料16と目的の画像化領域(ROI)の間である程度の音響インピーダンス整合を提供するように機能する。例えば、超音波プローブ変換器アセンブリ1の典型的な医療的応用では、組織ROIの音響インピーダンスは約1.5 MRaylでありうる。これに対して、第一の音響整合材料40と第二の音響整合材料42は、それぞれ、音響インピーダンスが約5~15 MRayl及び約1.5~5 MRaylとなるようにすることができる。例として、音響整合材料40と42は、エポキシをベースとしてセラミック粒子(例えば、酸化アルミニウム粒子)が充填されたものであってよい。

20

#### 【0037】

導電路20は多くの様々な仕方で画定できる。図1に示したやり方では、導電路20は二つの隣接部分を含む。導電路20の第一の部分は、第一の導電層22、第一の導電層22の上にある第二の導電層24及び第二の導電層24の上にある第三の導電層26を備える。導電路20の第二の部分は、第一の導電層22と直接に電氣的接触している別の導電層28を備える。注意すべきは、第一の導電層22及び第二の導電層24は、圧電材料16のおもて面側全体に連続的に延在して、各変換器素子10の第一の電極12を画定してもよいことである。

30

#### 【0038】

例として、第一の導電層22及び/又は第二の導電層24は、銅、金、クロム、ニッケル、及びニクロムから成る群から選択される金属を含むことができる。図示した実施態様では、第一の導電層22は好適にはクロムを含んでよく、第二の導電層24は銅を含んでよく、クロムの層が高い結合性能を与え、銅の層が高い導電性を与える。第三の導電層26は、エポキシをベースとして金属粒子、例えば銀コーティングされたニッケルの球、が混合された材料を含んでもよい。さらに、導電層28も銅、金、クロム、ニッケル、及びニクロムから成る群から選択される金属を含むことができる。図示した実施態様では、導電層28は好適にはクロムの層とその上の銅の層を備えてもよい。そのようなエポキシをベースとする材料は圧力下で加熱して容易に硬化させることができる。

40

#### 【0039】

図示した配置では、変換器素子10の第二の電極14を、第一の導電層52及び第二の導電層54によって画定することができる。例として、第一の導電層52は圧電材料16の裏面側に、第二の導電層54はパッキング材料30のおもて面側に配設することができる。さらに、第一の導電層52及び第二の導電層54は、導電性接着材料、例えば光学グレードのエポキシ、によって接着することができる。理解されるであろうが、第一の導電層52及び/又は第二の導電層54は、銅、金、クロム、ニッケル、及びニクロムから成る群から選択される金属を含むことができる。あるアプローチでは、導電層52はクロムの層と銅の層を含んでもよく、導電層54はニクロムの層とその上の金の層を含む。

#### 【0040】

50

変換器素子 10 の第二の電極 14 を導電層 20 から電氣的に絶縁するために、絶縁チャンネル 60 を設けることができる。詳しくいうと、図 1 の配置において、絶縁チャンネル 60 はそれぞれ、バックグ部材 30 のおもて面側にある第一の導電層 52 を通って / 横切って、そして圧電材料 16 の裏面側に配設された第二の導電層 54 を通って / 横切って延在するように画定することができる、対向し整列したチャンネル 62 と 64 を備えてもよい。

#### 【0041】

変換器素子 10 を電氣的に絶縁するために、非導電材料 70 をそれらの間に設けることができる。例えば、室温加硫ゴム (RTVゴム) を変換器素子 10 のそれぞれの間の領域に配設して、変換器素子 10 を電氣的に絶縁し、しかも物理的に接合することができる。図示した実施態様では、変換器アセンブリ 1 は非導電性間隔保持部材 90 をさらに含む。

10

#### 【0042】

上述したように、変換器アセンブリ 1 のいろいろな特徴は、複数の同様の変換器アセンブリを少なくとも部分的にタンデムで生産できる大量生産加工に適している。すなわち、複数の変換器サブアセンブリに対して数多くの連続する生産加工ステップを実行することができる。この点に関連して、以下の説明を考察することで明らかになるように、ここに記載される大量加工方法は特定の形態の変換器アセンブリ 1 の生産に限定されない。

#### 【0043】

次に、複数の厚さモード超音波プローブ変換器アセンブリを生産するための大量生産加工 100 の実施態様を示す図 2A、2B を、例示的な厚さモード変換器アセンブリ構成について対応する加工ステップの実施態様を示す図 3 - 20 と合わせて参照する。図 2A、2B の加工方法 100 のステップ 102 では、複数の変換器アセンブリ、例えば M 個のアセンブリ、に組み込まれる複数のストリップのバックグ材料が用意される。図 3 の実施態様では、複数のバックグ材料ストリップ 230 が対応する側面 232 を上向きにして隣り合わせに並べて提供できる。このような配置は、バックグ材料ストリップ 230 を図示した位置で支持し維持するサイズの支持プレート (図示せず) にバックグ材料ストリップ 230 を載置することで容易になる場合がある。

20

#### 【0044】

注意すべきは、バックグ材料ストリップ 230 の各々が、複数の超音波プローブ変換器アセンブリを生産するのに使用されるサイズにできることである。例えば、各ストリップ 230 は、M 個の変換器サブアセンブリの生産に使用するために、複数の部分 230a、230b、・・・230m を含んでもよい。

30

#### 【0045】

バックグ材料ストリップ 230 の各々は、成形された音響減衰材料を含むことができる。これに関連して、音響減衰材料は、生産する超音波プローブ変換器アセンブリの意図した特定用途に合わせて予め定められた音響減衰度が得られるように選択できる。例えば、バックグ材料ストリップ 230 は、新しい音響減衰指数又は減衰係数が、少なくとも 1 db/cm/MHz、さらに好ましくは少なくとも 5 db/cm/MHz である一つ以上のエポキシベースの減衰材料を含むことができる。さらに、バックグ材料ストリップ 230 の各々は、二つ以上の隣接した層 ; 例えば、後ろ向きに配設される第一のエポキシベース材料 (例えば、比較的ソフトなポリマーが比較的硬いマトリクスに埋め込まれた複合材料) を含み、比較的硬く、比較的高い音響減衰指数 (例えば少なくとも 40 db/cm/MHz) を有する第一の層 ; 及び第一の層のおもて面側に接着され、第二のエポキシベース材料 (例えば、二成分エポキシ樹脂) を含み、音響減衰能力は低いが接着性能が高い第二の層、を含むことができる。

40

#### 【0046】

図 2A、2B の加工方法のステップ 104 では、ステップ 102 で用意されたバックグ材料ストリップの少なくとも第一のストリップ (単数又は複数) のおもて面 (例えば側面) に導電材料を配設してもよい。図 2A、2B の加工方法のステップ 106 では、ステップ 102 で用意されたバックグ材料の少なくとも第二のストリップ (単数又は複数) のお

50

もて面（例えば側面）に導電材料を配設してもよい。以下で説明するように、第一のストリップ及び／又は第二のストリップに配設される導電層は、一つ以上の導電路（例えば、信号線又は接地線として使用される導電路）を画定する、及び／又は画定するようにさらに加工される。

【0047】

図4の実施態様では、図3に示されたバッキング・ストリップ230の側面232に導電材料層228を単一加工処理で配設することができる。例えば、図4に示された導電材料層228は金属化処理で適用してもよい。あるアプローチでは、導電材料層228はクロム層と銅層を含んでよく、それらは各々成膜加工処理（例えば、スパッタリング、蒸着、電気めっき、又は電解）によって適用される。別のアプローチでは、導電材料層228はエポキシ材料を用いて所定位置に配設される金属箔（例えば、銅箔）を含んでもよい。必要に応じて、導電材料層228は硬化性導電層、例えば、銀充填エポキシを含んでもよい。

10

【0048】

図2A、2Bの加工方法のステップ108では、ステップ106の第二のバッキング材料ストリップに配設された導電材料の一部が除去されて、複数の導電路が画定される。図5に示された実施態様では、変換器サブアセンブリ部分230a、230b、・・・230mの各々で複数の導電路218が画定されているように、図4に示された第一の複数のバッキング・ストリップ230が加工処理されている。さらに詳しくは、あるアプローチでは、図4に示された導電材料層の一部をダイシング（dicing）加工処理で除去することによって、導電路218を画定してもよい。この点に関連して、第一の複数のバッキング材料・ストリップ230の各々にある導電材料層228の対応する一列になった部分が同じ加工処理で除去できることは理解されるであろう。別のアプローチでは、図4に示された導電材料層228の一部をエッチング加工処理で除去できる。導電路を画定する他の方法も当業者には明らかであろう。

20

【0049】

図2A、2Bの加工方法のステップ110では、ステップ104と108からの少なくとも一对の第一及び第二のストリップを結合して、第一のストリップにおける複数の導電路を第一及び第二のストリップの間に配置してもよい。さらに、ステップ110は、複数の変換器サブアセンブリの生産に使用されるマスバッキング変換器サブアセンブリを画定することに役立つ。

30

【0050】

図6に示された実施態様では、図4に示され、図5に示されたようにさらに加工処理された第一の複数のストリップのうち第一のものが、図4に示された第二の複数のバッキング・ストリップのうち第一のものに結合されて、変換器サブアセンブリ・マスバッキング280が得られる。詳しくは、バッキング・ストリップ230'の導電路218がその間に介在してマスバッキング280の裏面からおもて面へ延在するように、バッキング・ストリップ230'がストリップ230"と結合される。バッキング・ストリップ230'と230"の結合は、接着材料、例えば光学グレードのエポキシ、を用いて行うことができる。図6にさらに示されるように、間隔保持材料層234をバッキング・ストリップ230"の導電材料層228に結合することができる。例として、間隔保持材料層234はエポキシ及び／又は組み立てを容易にするため予備成形されたバッキング材料を含んでもよい。理解されるように、図6に示された加工処理を複数回遂行して、バッキング・ストリップ230'、230"が結合した、対応する複数の対を得ることができる。

40

【0051】

図2A、2Bの加工方法のステップ112では、結合した第一及び第二のバッキング材料ストリップの複数の対、例えばN個の対、を結合して、複数の変換器アセンブリ、例えば、M×N個の変換器アセンブリ、を生産するために使用される変換器サブアセンブリ・マスバッキングをさらに画定することができる。図7に示された実施態様では、N対の結合したバッキング・ストリップ230'、230"が結合されて、変換器サブアセンブリ・

50

マスバックング 280 をさらに画定する。これに関連して、結合したバックング・ストリップの各対 230' i、230" i、230' j、230" j、・・・230' n、230" n を図 7 に示されるように隣り合わせに並べて、硬化性エポキシ、例えば光学グレードのエポキシを用いて結合することができる。すなわち、結合したバックング・ストリップ 230'、230" の複数の組の隣接する領域に硬化性エポキシ材料を拡げることができる。次に、硬化性エポキシ材料が隣接する組の間を通るように、マスバックング 280 の裏面から真空引きする。次に、エポキシ材料を、例えば高い圧力で熱を加えることによって硬化させる。そして、さらなる加工処理の前に、マスバックング 280 のおもて面又は裏面に残ったエポキシ材料を除去（例えば、研磨除去）してもよい。理解されるであろうが、図 7 に示されたマスバックング変換器サブアセンブリ 280 は、その後のいくつかの連続する大量生産加工ステップを経て M x N 個の連結した超音波プローブ変換器サブアセンブリが得られ、それを分離して M x N 個の変換器アセンブリが得られる。

#### 【0052】

図 2A、2B の加工方法のステップ 114 では、図 2A、2B の前のステップから得られた変換器サブアセンブリ・マスバックングのおもて面が、予め定められた変換器素子のパターン及び横方向の素子分離パターンに従って（例えば、プレダイシング加工処理によって）別々の部分に分離される。このような初期分離ステップは、複数の変換器素子の組が画定され絶縁チャンネルが画定される、その後の分離ステップを容易にする。図 8 の実施態様では、図 7 に示された変換器サブアセンブリ・マスバックング 280 のおもて面が予め定められた変換器素子のパターンに従って分離される。図示されないが、図 7 に示された変換器サブアセンブリ・マスバックング 280 もまた、横方向の素子分離パターンに従って分離してもよい。例えば、このような分離加工処理は、ダイシング加工処理によって遂行できる。これに関連して、一つ以上のダイシング・ブレードを横方向の素子パターンに従ってマスバックング 280 を横切って進め、次に第二の横方向軸に沿って素子分離パターンに従って進めて、大量加工処理による有利さを実現できる。あるアプローチでは、単一のダイシング・ブレードをマスバックング 280 に対して、走査線のように前進させ、ずらし、そして前進させて大量加工処理による効率を実現してもよい。図 8 に示された分離の後、非導電性材料（例えば、RTV）を分離された部分の間に配設できる。

#### 【0053】

図 2A、2B の加工方法のステップ 116 では、ステップ 114 から得られた変換器サブアセンブリ・マスバックングのおもて面に導電材料を配設してもよい。図 9 に示された実施態様では、図 8 に示された変換器サブアセンブリ・マスバックング 280 のおもて面にわたって導電材料層 252 を配設してもよい。導電材料層 252 は金属化処理によって、例えばめっき処理によって配設できる。例として、導電層 252 は続けて適用されるクロム層と銅層を含んでもよい。

#### 【0054】

図 2A、2B の加工方法のステップ 118 では、分離された部分の間にある導電材料の領域を電氣的に絶縁するように、ステップ 114 に関して説明した予め定められた変換器素子パターンを横断する一つ以上の部分に沿った素子絶縁パターンに従って、ステップ 116 で配設された導電材料を分離してもよい。図 10 に示された実施態様では、図 9 に示された変換器サブアセンブリ・マスバックング 280 の導電材料層 252 が分離されて、バックング・ストリップ 230'、230" の各対の各サイドエッジに隣接する絶縁チャンネル 262 が画定される。例えば、各絶縁チャンネル 262 を、単一ダイシング加工処理によって複数のストリップ部分、例えば 230a、230b・・・230m、にわたって画定してもよい。

#### 【0055】

図 2A、2B の加工方法のステップ 120 では、ステップ 118 から得られた変換器サブアセンブリ・マスバックングのおもて面側に圧電材料を結合してもよい。これに関連して、結合の前に導電材料を圧電材料の裏面側に配設してもよく、導電材料の一部を除去してステップ 118 で言及した絶縁領域に重ねることができる。図 11 の実施態様では、圧電

10

20

30

40

50

材料層 216 が図 10 に示された変換器サブアセンブリ・マスバッキング 280 のおもて面側に結合される。これに関連して、圧電材料層 216 を図 10 のマスバッキング 280 に結合する前に、導電材料層 254 を圧電材料層 216 の裏面側に適用できる。例として圧電材料層 216 は PZT プレートによって画定できる。さらに、導電材料層 254 を圧電材料層 216 の裏面側に金属化処理によって、例えば裏面側にニクロムと金の層を続けてめっきすることによって、配設することができる。導電材料層 254 を横切って絶縁チャンネル 264 を、図 10 に示された絶縁チャンネル 262 と一致する箇所に、例えばダイシング加工処理によって、画定することができる。次に、圧電材料層 216 と導電材料層 254 の積層構造を一体化された構造として、例えばエポキシをベースとする接着材料を用いて結合して、マスバッキング 280 をさらに画定することができる。

10

#### 【0056】

図 2A、2B の加工方法のステップ 122 では、ステップ 120 で結合された圧電材料の一部を、例えばステップ 120 で得られた変換器サブアセンブリ・マスバッキングのおもて面側から除去して、対応する側面を有する一つ以上のチャンネル領域を画定してもよい。図 12 に示された実施態様では、図 11 に示された変換器サブアセンブリ・マスバッキング 280 から圧電材料層 216 の一部が除去される。詳しくは、その除去された部分が、結合したバッキング・ストリップ 230'、230" の各対を備えたバッキング・ストリップ 230" の側面に配設された導電材料層 228 に隣接する（例えば、接して重なる）チャンネル 290 を画定する。あるアプローチでは、圧電材料層 216 を通るチャンネル 290 を、ダイシング加工処理によって画定してもよい。ここでも、大量加工処理による生産効率の向上が得られるように、複数のバッキング・ストリップ部分 230a'、230b'、・・・230'm にわたって各ダイシング・ステップを単一の加工処理で遂行してもよい。

20

#### 【0057】

図 2A、2B の加工方法のステップ 124 では、圧電材料を通るチャンネル領域の側面を含む、ステップ 122 で得られた変換器サブアセンブリ・マスバッキングのおもて面側に、導電材料を配設してもよい。図 13 の実施態様では、図 12 に示された変換器サブアセンブリ・マスバッキングのおもて面側に導電材料層 222 が配設される。詳しくは、導電材料層 222 は圧電材料層 216 のおもて面側に加えて図 12 に示されたチャンネル 290 の底面及び側面にわたって延在する。後者に関連して、導電材料層 222 は圧電材料層 216 及びバッキング・ストリップ 230" の一部によって画定される側面に配設される。例えば、導電材料層 222 は金属化処理によって配設できる。あるアプローチでは、導電材料層 222 は圧電材料層 216 にスパッタされたクロムを含んでもよい。

30

#### 【0058】

図 14 の実施態様では、別の導電材料層 224 が図 13 に示されたマスバッキング 280 に適用される。詳しくは、導電材料層 224 は図 13 に示された導電材料層 222 のおもて面に配設される。導電材料層 224 は金属化処理によって配設できる。あるアプローチでは、導電材料層 224 は導電材料層 222 にスパッタされた銅を含んでもよい。

#### 【0059】

図 15 の実施態様では、硬化性の導電材料が図 14 に示された変換器アセンブリ・マスバッキング 280 の一部に配設される。詳しくは、硬化性の導電材料 226 が導電材料層 224 上に配設される。得られたマスバッキング 280 を次に圧力下で加熱して導電材料 226 を硬化する。導電材料 226 は、金属粒子が混入された硬化性のエポキシをベースとする材料を含むことができる。あるアプローチでは、導電材料 226 は銀が充填されたエポキシを含んでもよい。

40

#### 【0060】

図 2A、2B の加工方法のステップ 126 では、ステップ 124 で得られた変換器サブアセンブリ・マスバッキングのおもて面側に一つ以上の音響整合材料を配設してもよい。図 16 の実施態様では、図 15 に示された変換器サブアセンブリ・マスバッキング 280 のおもて面側に第一の音響整合材料層 240 が配設される。第一の音響整合材料層 240 は

50

、組み立てを容易にするため予備成形し、光学グレードのエポキシを用いてマスバッキング 280 に結合することができる。例えば、第一の音響整合材料層 240 は、約 5~15 MRayl という音響インピーダンスを有するセラミック粒子充填エポキシを含んでもよい。

#### 【0061】

図 17 に示された実施態様では、第二の音響整合材料層 242 が図 16 に示された変換器サブアセンブリ・マスバッキング 280 のおもて面側に配設される。詳しくは、図 16 に示された第一の音響整合材料層 240 上に第二の音響整合材料層 242 が配設される。第二の音響整合材料層 240 は、組み立てを容易にするため予備成形し、光学グレードのエポキシを用いてマスバッキング 280 に結合することができる。例えば、第二の音響整合材料層 242 は、約 1.5~5 MRayl という音響インピーダンスを有するセラミック粒子充填エポキシを含んでもよい。

10

#### 【0062】

図 2A、2B の加工方法のステップ 128 では、ステップ 126 で得られたマスバッキング 280 のおもて面側を分離して、複数の変換器素子、例えば M x N 組の素子を画定してもよい。図 18 の実施態様では、図 17 に示された変換器サブアセンブリ・マスバッキング 280 のおもて面側が分離され、各変換器サブアセンブリを含む複数の変換器素子 210 が画定される。あるアプローチでは、このような分離加工処理を、一つ又は複数のダイシング加工で遂行してもよい。すなわち、一つ又は複数のダイシング・ブレードを平行な第一の軸に沿って進め、次に向きを変えて、第一の軸に対して横方向の第二の平行な軸に沿って進めてもよい。

20

#### 【0063】

図 2A、2B の加工方法のステップ 130 では、ステップ 128 で得られた分離された変換器素子の各々の間に非導電材料を配設してもよい。図 19 の実施態様では、図 18 に示された変換器サブアセンブリ・マスバッキング 280 にそのおもて面側から非導電材料が適用されている。詳しくは、図 18 に示された変換器サブアセンブリを含む、分離された変換器素子 210 の各々の間に非導電材料が配設されている。

#### 【0064】

図 2A、2B の加工方法のステップ 132 では、ステップ 130 で得られた変換器サブアセンブリ・マスバッキングを、複数の超音波プローブ変換器アセンブリ、M x N 個のアセンブリ、を画定するように分離してもよい。図 20 の実施態様では、図 19 に示された変換器サブアセンブリ・マスバッキング 280 が分離されて複数の厚さモード超音波プローブ変換器アセンブリが得られる。詳しくは、図 19 に示された変換器サブアセンブリ・マスバッキング 280 が、M x N 個の変換器アセンブリに分離される。あるアプローチでは、この分離をダイシング加工処理によって遂行してもよい。理解されるように、図 20 に示された超音波プローブ変換器アセンブリの各々は、図 1 に示され上で説明された変換器アセンブリ 10 に対応するタイプであってよい。

30

#### 【0065】

図 3 - 20 に示された加工ステップの実施態様を様々に変更できることは当業者には明らかであり、本発明の範囲内にある。例えば、図 6 に図示されたバッキング・ストリップ 230'、230" の対、及び図 7 - 20 に図示されたバッキング・ストリップ 230'、230" の各対で用いられる第二のバッキング・ストリップ 230" は、図 4 及び引き続く図 6 - 20 で図示されたような側面に配設された導電材料層 228 を含まない、同じサイズのバッキング・ストリップで置き換えることができる。さらに、図 12 における変換器サブアセンブリ・マスバッキング 280 で画定されたチャンネル 290 は、バッキング・ストリップ 230" の比較的薄い網状部分のみが変換器サブアセンブリの隣接する各々の対を連結するように、マスバッキング 280 を通ってさらに延在するように画定されてもよい。さらに、図 13、14 及び 15 に示された導電層 222、224 及び 226 は変換器サブアセンブリ・マスバッキング 280 のおもて面側からその裏面側へほとんど全体にわたって延在しうる。その場合、図 20 に示された変換器サブアセンブリの分離の前のいずれかの時点で、裏側が上を向くように、変換器サブアセンブリ・マスバッキング 2

40

50

80をひっくり返してもよい。このような向きで、変換器サブアセンブリ・マスバックング280の裏面側の一部を、すぐ上で図12に関連して説明した加工処理の後で残るバックング・ストリップ230”の上記網状部分の厚さより少なくとも大きい深さまで除去、例えば研磨によって除去してもよい。このように変更されたアプローチを用いて、金属層22及び/又は24及び/又は導電材料26の一つ以上によって、導電路20が完全に画定される、図1の変換器アセンブリ1の変型バージョンを得ることができる。

#### 【0066】

図21には別の変更された配置の変換器アセンブリ300が示されている。変換器アセンブリ300の多くの特徴は、図1に関連して上に示して説明した特徴に対応している。したがって、図21では共通の参照数字が用いられ、注意される以下の変更された特徴を除き、上で述べた対応する説明があてはまる。特に、変換器アセンブリ300では、複数行の導電路18がバックング部材32の裏面側からおもて面側へ設けられている(例えば、3列の導電路18a、18b及び18c)。図示されているように、導電路18a、18b及び18cの各行は、変換器アセンブリ300にわたって延在する共通の複数の経路を含み、3行の導電路18a、18b及び18cは実質的に互いに平行である。さらに、複数の平行な絶縁チャンネル60a、60b、60c及び60dが、変換器素子10の各列において、3つの電極14a、14b及び14cが電気的に絶縁されてそれら絶縁チャンネルの間に画定されるように設けられる。絶縁チャンネル60a、60b、60c及び60dの各々は、第一の導電材料層52及び第二の導電材料層54を通して画定される、対応する対向したチャンネル62a、64a及び62b、64b及び62c、64c及び62d、64dによって画定されてもよい。理解されるように、変換器アセンブリ300は、複数行及び複数列のプローブ変換器アレーを与える。変換器アセンブリ300は大量生産加工処理に適しており、複数の同様な変換器アセンブリが少なくとも部分的にタンデムで生産できる。これに関連して、図3-20に示された加工ステップの実施態様を用いて、いくつかの注目すべき変型を含む複数の変換器アセンブリ300を生産することができる。特に、図6に関連して、(例えば、2つでなく)4つのバックング・ストリップ230を連結することができる。3つのバックング・ストリップ230の側面で3行の複数の導電路218が画定される。次に、図10に示された加工ステップの実施態様に関連して、4つの絶縁チャンネル262を4つのバックング部材230の各組に配設された導電材料層252にわたって設けることができる。それに対応して、図11に示された加工ステップの実施態様に関連して、4つのバックング材料ストリップ230の各組について、裏面側圧電材料216上に、4つの絶縁チャンネル264を導電材料層254にわたって設けることができる。上述した変更の他に、図3-20の加工ステップの実施態様は別の仕方で行って、複数の変換器アセンブリ300を大量加工処理の形で生産してもよい。

#### 【0067】

図22には別の変更された配置の変換器アセンブリ400が示されている。変換器アセンブリ400の多くの特徴は、図1の変換器アセンブリ1に関連して上述した特徴に対応している。したがって、それらの特徴には、図21で同じ参照数字が用いられ、以下で注意される特徴を除き、上で述べた対応する説明があてはまる。特に、変換器アセンブリ400では、素子列10aと素子行10bに配列された素子の2次元アレーが設けられている。それに対応して、複数の行の導電路18aと複数の列の導電路18bが設けられ、バックング部材32の裏面側からそのおもて面側へ延在する(例えば、図22には列18aの一部だけが示されている)。それに対応して、第二の電極14を画定する第一及び第二の導電材料層52と54並びに圧電材料16が、複数の第一の平行な軸に沿って、そして第一の複数の軸に対して横方向の(例えば、直角方向の)複数の第二の平行な軸に沿って、変換器素子10のアレーを画定するように(例えば、ダイシング加工処理によって)分離され、各第二の電極14は、導電路18aの行と導電路18bの列を含む導電路18の別々の一つに電気的に連結される。さらに、第一の導電材料22及び第二の導電材料24が、第一の音響材料層40及び第二の音響材料層42のおもて面側に(例えば、その下に配置されるのではなく)配置され、第一及び第二の音響材料層40と42は、変換器素子10を構

成する第二の電極 1 4 及び圧電材料 1 6 に対応する空間関係で（例えば、ダイシング加工処理によって）分離される。この配置では、第一及び第二の音響材料層 4 0、4 2 も、（例えば、導電材料を充填したエポキシ材料を含むことにより）導電性であってもよい。

#### 【 0 0 6 8 】

理解されるように、変換器アセンブリ 4 0 0 も大量生産加工処理に適しており、複数の同様な変換器アセンブリが少なくとも部分的にタンデムで生産できる。これに関連して、図 3 - 2 0 に示された加工ステップの実施態様を用いて、加工ステップの順序の変更やその他の変更の下で、複数の変換器アセンブリ 4 0 0 を生産することができる。特に、図 6 に関連して、所望の導電路 1 8 a の行の数より多くなるような、より多くの複数のパッキング・ストリップ 2 3 0 を連結することができる。理解されるように、導電路 2 1 8 の行の各々はパッキング・ストリップ 2 3 0 の対応する一つの側面に画定されてもよい。その場合、図 7 に示す得られたマスパッキングに関して、図 8 - 2 0 に示された大量加工ステップの実施態様を次により変更 / 順序変更することができる。

10

#### 【 0 0 6 9 】

図 8 に示された分離加工処理に関して、パッキング・ストリップ 2 3 0 のおもて面側を図 8 に示された第一の複数の平行な軸に対して横方向（例えば、直角方向）の平行な軸に沿って分離する、さらなる分離ステップを遂行してもよい。すなわち、このような追加の分離ステップを、複数の行と列の分離された部分を画定するパターンに従って用いることができる。理解されるように、このような分離された部分の各々は導電路 1 8 の対応する一つの上端を含んでもよい。

20

#### 【 0 0 7 0 】

次に、図 9、図 1 1、図 1 6、図 1 7 及び図 1 8 に対応するプロセス加工処理をこの順序で遂行することができる。さらに、図 1 8 の分離加工処理に関連して、図 8 に関連して上で述べた追加の分離ステップに対応するさらなる分離加工処理を遂行してもよい。詳しくは、図 1 8 に示された第一の複数の平行な軸に沿った分離に加えて、第二の複数の平行な軸に沿ってさらなる分離ステップを遂行してもよく、この第二の複数の平行な軸は第一の複数の分離軸に対して横方向（例えば、直角方向）である。理解されるように、横方向分離加工処理は、複数の行と列の変換器素子 1 0 を画定する役目をする。

#### 【 0 0 7 1 】

次に、図 1 9 の充填加工処理を遂行することができる。そして、図 1 2、1 3、1 4 及び 1 5 に対応する加工ステップをこの順序で遂行してもよい。理解されるように、図 1 2 に対応するチャンネル画定ステップは、今度は音響材料層 2 4 0 と 2 4 2 に加えて圧電材料層 2 1 6、導電材料層 2 5 2、2 5 4 を部分的に、そして端パッキング材料ストリップ 2 3 0 i”の一部を除去するステップを含んでもよい。さらに注意されることは、図 1 8 に関連して遂行されるクロス分離（例えば、クロスダイシング）加工処理が追加されたため、図 1 0 の絶縁チャンネル加工処理は実行する必要がないということである。

30

#### 【 0 0 7 2 】

さらに別の変更された配置の変換器アセンブリが図 2 3 に示されている。ここでも、変換器アセンブリ 5 0 0 の多くの特徴は、図 1 の変換器アセンブリ 1 に関連して上に示して説明した特徴に対応している。したがって、それらの特徴に関しては、図 2 3 で同じ参照数字が用いられ、以下で注意される特徴を除き、上で述べた対応する説明があてはまる。特に、変換器アセンブリ 5 0 0 では、変換器素子 1 0 の各々が、実質的に乃至完全に、互いに電氣的に絶縁される。すなわち、図 2 3 に示されるように、素子 1 0 の各々は、（例えば、導電材料層 2 2、2 4、2 6 及び 2 8 によって画定される）複数の導電路 2 0 の対応する一つに結合される。例えば、導電材料層 2 2、2 4、2 6 及び 2 8 は複数の電氣的に絶縁された領域に分離され、得られた導電路 2 0 の各々は素子 1 0 を構成する第一の電極 1 2 の対応する別々の一つと接触する。

40

#### 【 0 0 7 3 】

ここでも、変換器アセンブリ 5 0 0 は大量生産加工処理に適しており、複数の同様な変換器アセンブリが少なくとも部分的にタンデムで生産できる。これに関連して、図 3 - 2

50

0 に示された加工ステップの実施態様を用いて、二三の注目すべき変更を加えて、複数の変換器アセンブリ 500 を生産することができる。特に、図 6 に関連して、バックング・ストリップ 230 は、その側端に沿って延在する複数の導電部分に導電材料層 228 が分離されるようにしてもよい。さらに、図 18 に対応する分離ステップに関連して、分離領域がさらにマスパッキング 280 内に延在するように（例えば、導電材料層 222、224 及び 226 によって画定されて得られた各部分を電氣的に絶縁するように）分離加工処理を変更することができる。上述の変更の他に、図 3 - 20 の加工ステップの実施態様を別のやり方で実行して複数の変換器アセンブリ 500 を大量加工処理の形で生産することができる。

【0074】

上述した実施態様のその他の変更や拡張は当業者には明らかであろう。そのような変更や拡張は、以下の特許請求の範囲で定められる本発明の範囲内にある。

【図面の簡単な説明】

【0075】

【図 1】本発明の第一の実施態様に係わる超音波プローブ変換器アセンブリを示す等角切欠図である。

【図 2 A】本発明を構成する、超音波プローブ変換器アセンブリの大量生産方法のある実施態様を示す流れ図である。

【図 2 B】本発明を構成する超音波プローブ変換器アセンブリの大量生産加工のある実施態様を示す流れ図である。

【図 3】大量生産加工で用いることができる複数のバックング材料ストリップを示す図である。

【図 4】図 3 の複数のバックング材料ストリップへの導電層の適用を示す図である。

【図 5 A】図 4 に示された導電材料層の一部の除去によって複数のバックング・ストリップに画定される複数の導電路を示す図である。

【図 5 B】図 5 A の一部を示す拡大図である。

【図 6】図 4 の第一のバックング・ストリップと図 5 A の第二のバックング・ストリップを結合して形成された変換器サブアセンブリ・マスパッキングを示す図である。

【図 7】図 6 に示されたように結合されて、変換器サブアセンブリ・マスパッキングをさらに画定する、第一及び第二のバックング・ストリップの複数の結合した対を示す図である。

【図 8】図 8 の変換器サブアセンブリ・マスパッキングにおいておもて面側の部分を分離した状態を示す図である。

【図 9】図 8 の変換器サブアセンブリ・マスパッキングにおいておもて面側に導電材料層を配設した状態を示す図である。

【図 10】図 9 の変換器サブアセンブリ・マスパッキングにおいて図 9 に示された導電材料層の一部を除去した状態を示す図である。

【図 11】導電層の一部が除去されている、図 10 の変換器サブアセンブリ・マスパッキングにおいておもて面側の導電層と圧電材料層を結合した状態を示す図である。

【図 12】図 11 の変換器サブアセンブリ・マスパッキングにおいてマスパッキングのおもて面側の一部を除去してチャンネルを画定した状態を示す図である。

【図 13】図 12 の変換器サブアセンブリ・マスパッキングにおいておもて面側に第一の導電材料層を配設した状態を示す図である。

【図 14】図 12 の変換器サブアセンブリ・マスパッキングにおいておもて面側に第二の導電材料層を配設した状態を示す図である。

【図 15】図 14 の変換器サブアセンブリ・マスパッキングにおいて図 14 に示されたチャンネルに第三の導電材料層を配設した状態を示す図である。

【図 16】図 15 の変換器サブアセンブリ・マスパッキングにおいておもて面側に第一の音響材料層を配設した状態を示す図である。

【図 17】図 16 の変換器サブアセンブリ・マスパッキングにおいておもて面側に第二の

10

20

30

40

50

音響材料層を配設した状態を示す図である。

【図18】図17の変換器サブアセンブリ・マスバックングにおいておもて面側部分を分離してマスバックングのおもて面側の変換器素子を画定した状態を示す図である。

【図19】図18の変換器サブアセンブリ・マスバックングにおいてマスバックングのおもて面側で変換器素子の間に非導電材料を配設した状態を示す図である。

【図20】図19の変換器サブアセンブリ・マスバックングにおいてマスバックングを別々の超音波プローブ変換器アセンブリに分離した状態を示す図である。

【図21】本発明の第二の実施態様に係わる超音波プローブ変換器アセンブリを示す等角切欠図である。

【図22】本発明の第三の実施態様に係わる超音波プローブ変換器アセンブリを示す等角切欠図である。

【図23】本発明の第四の実施態様に係わる超音波プローブ変換器アセンブリを示す等角切欠図である。

【図1】

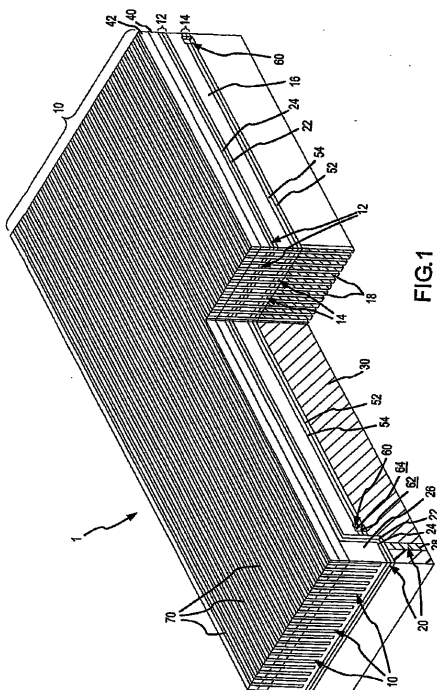


FIG.1

【図2A】

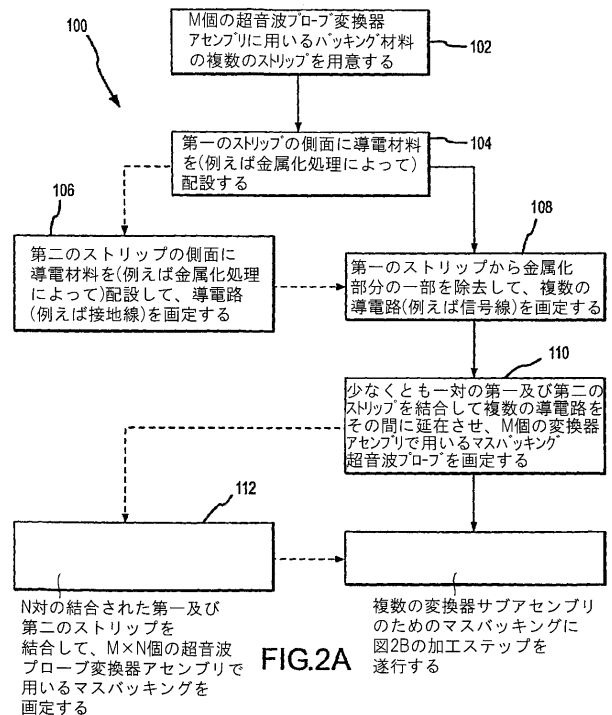


FIG.2A

【 図 2 B 】

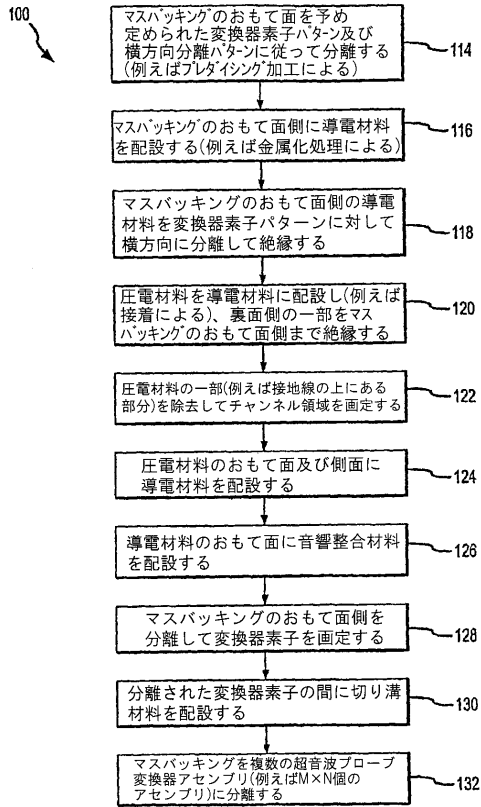


FIG.2B

【 図 3 】

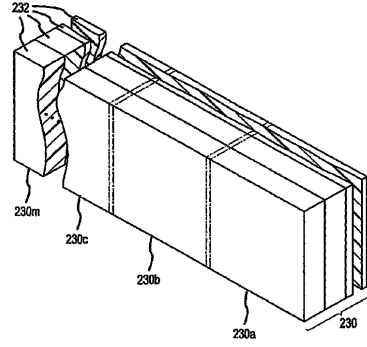


FIG.3

【 図 4 】

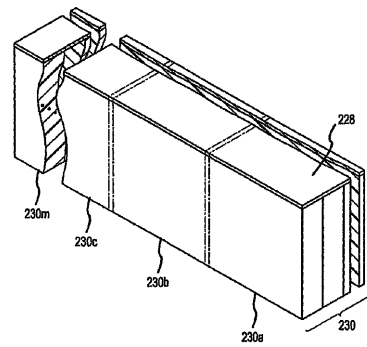


FIG.4

【 図 5 A 】

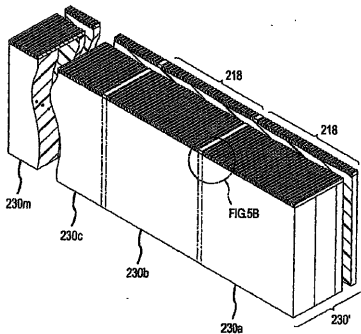


FIG.5A

【 図 5 B 】

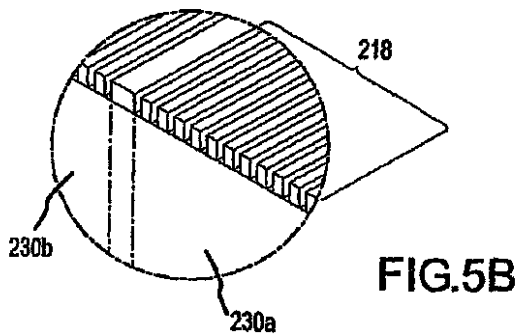


FIG.5B

【 図 6 】

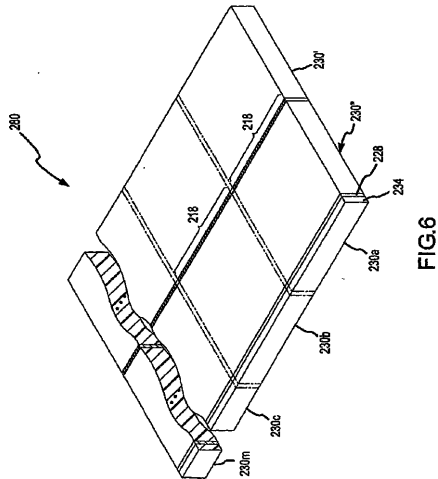


FIG.6

【 図 7 】

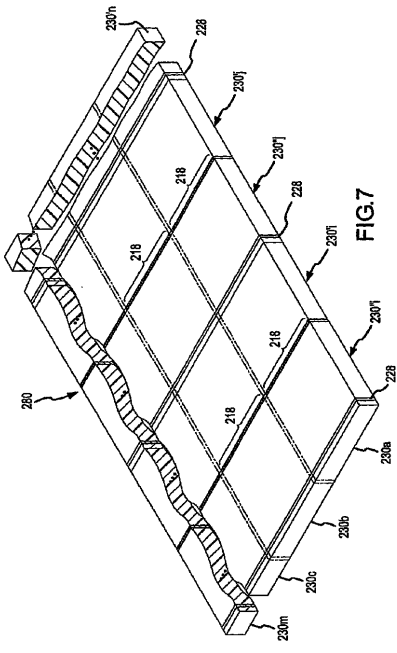


FIG.7

【 図 8 】

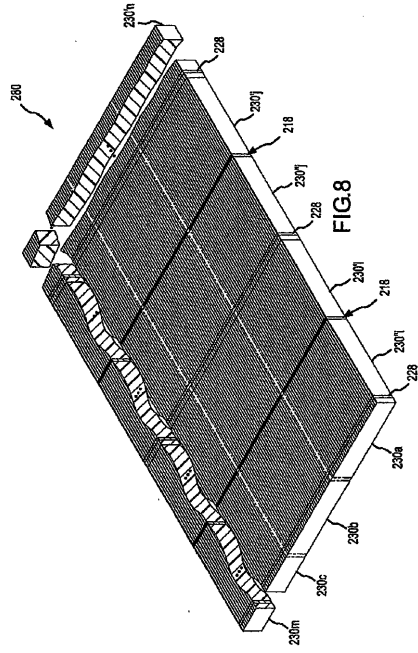


FIG.8

【 図 9 】

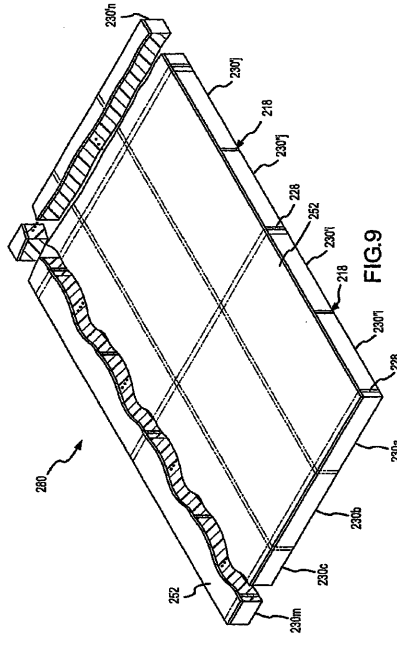


FIG.9

【 図 10 】

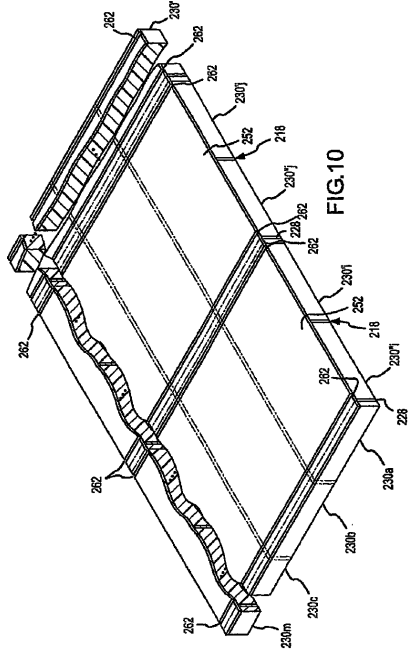


FIG.10

【 図 1 1 】

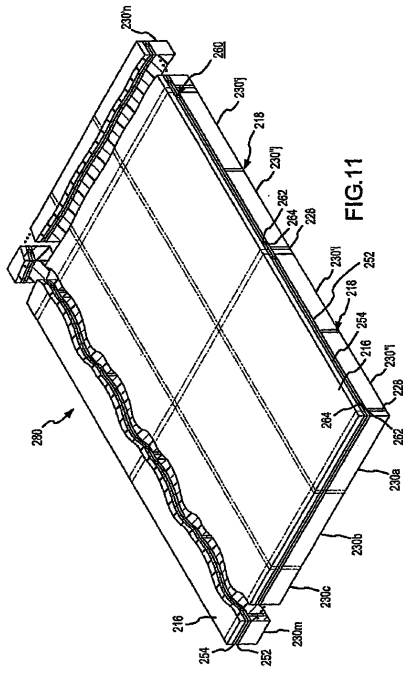


FIG.11

【 図 1 2 】

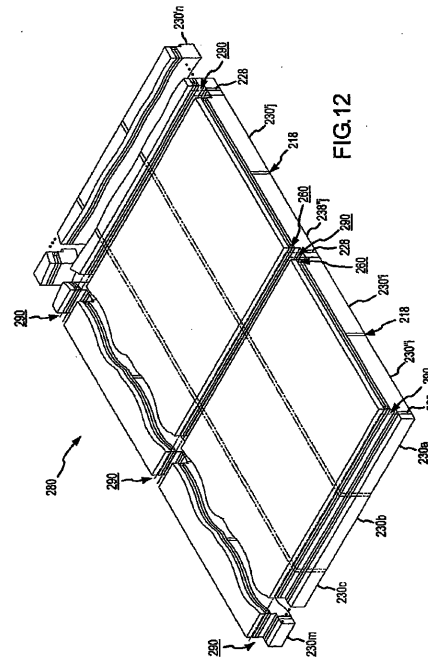


FIG.12

【 図 1 3 】

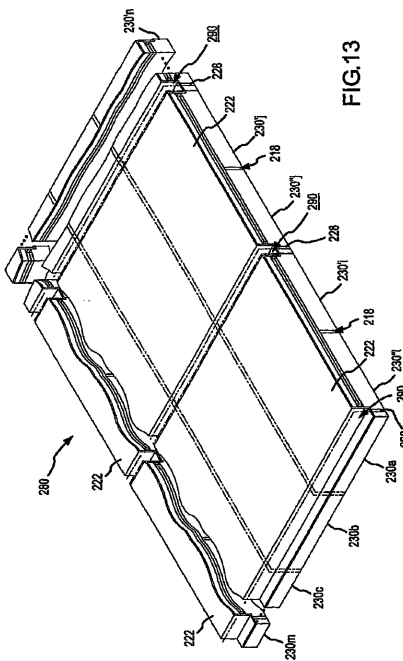


FIG.13

【 図 1 4 】

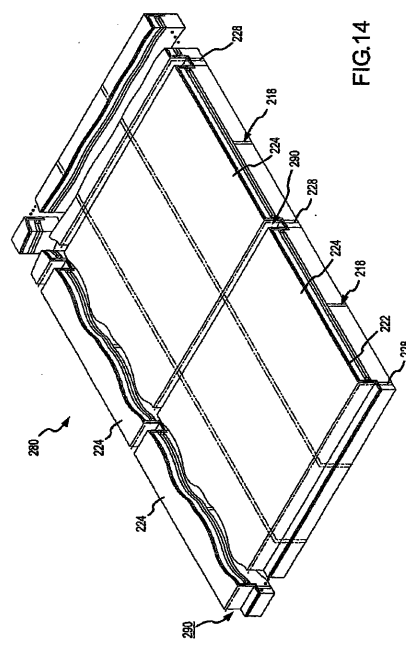


FIG.14

【 図 1 5 】

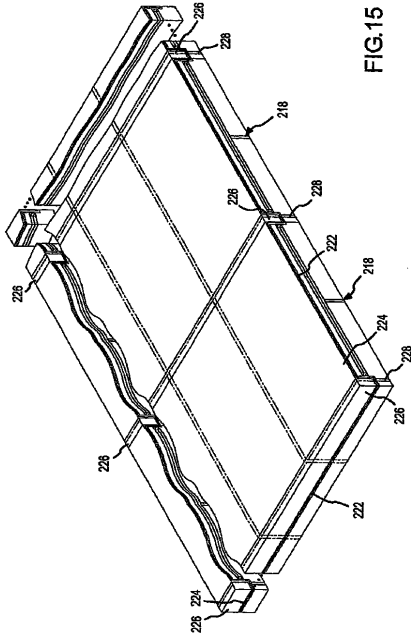


FIG.15

【 図 1 6 】

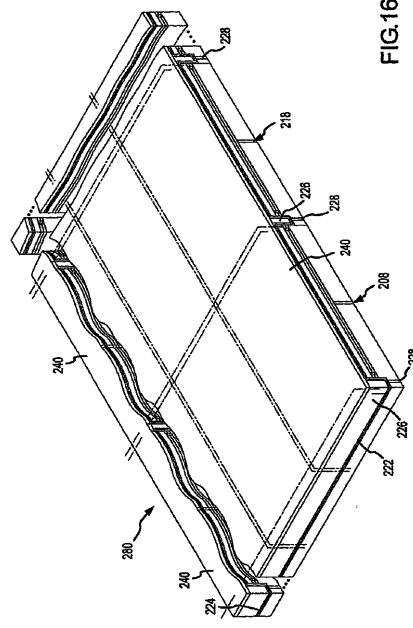


FIG.16

【 図 1 7 】

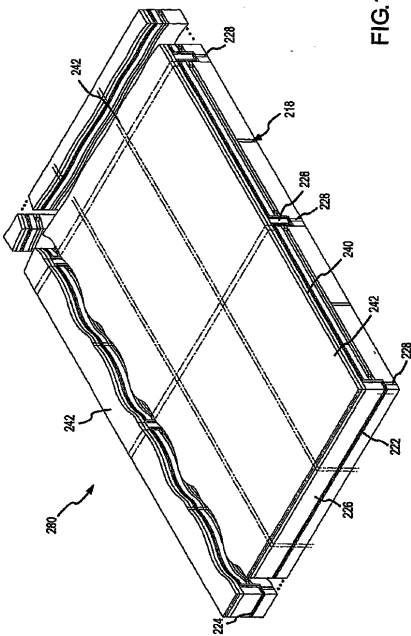


FIG.17

【 図 1 8 】

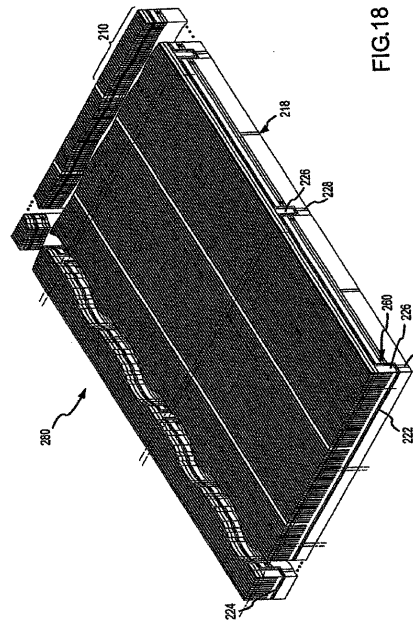


FIG.18

【 図 1 9 】

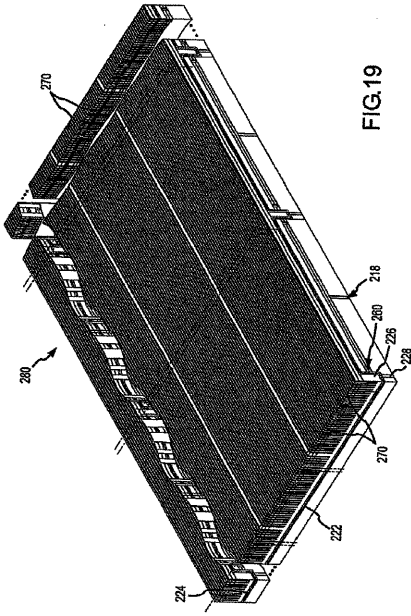


FIG.19

【 図 2 0 】

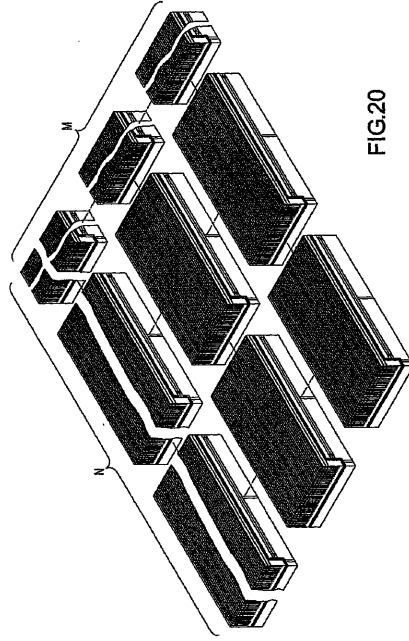


FIG.20

【 図 2 1 】

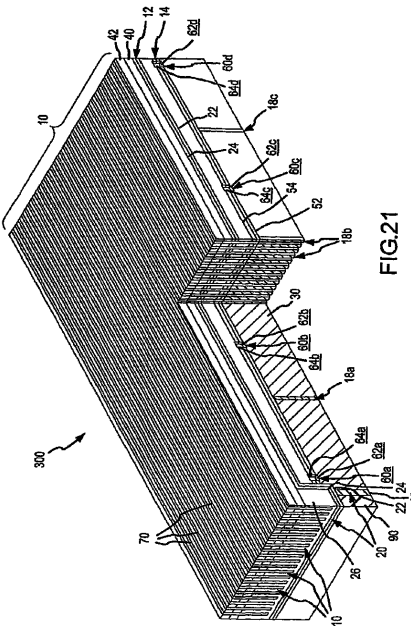


FIG.21

【 図 2 2 】

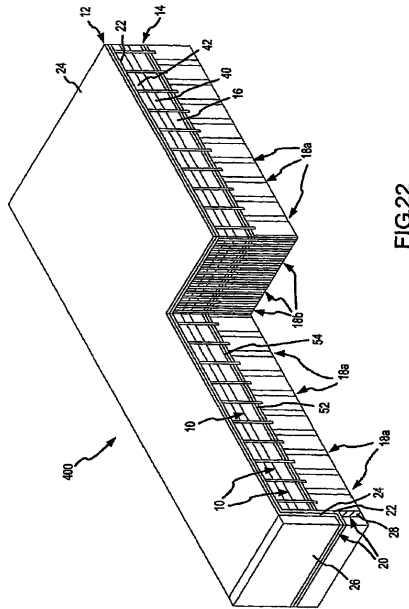


FIG.22



配設するステップをさらに含む、請求項 1 に記載の方法。

【請求項 5】

前記配設するステップが、前記堆積するステップ及び前記適用するステップのうち少なくとも 1 つの一部として、導電材料を前記圧電材料のおもて面側の少なくとも一部分に配設するステップをさらに含む、請求項 4 に記載の方法。

【請求項 6】

前記配設するステップ及び前記適用するステップのうち少なくとも 1 つにおいて配設された前記導電材料が、前記側面の前記部分の上に延在し前記おもて面側を連続的に横切って延在する少なくとも 1 つの導電層を含む、請求項 5 に記載の方法。

【請求項 7】

前記導電材料が少なくとも第一の金属層を含み、前記配設するステップが、前記第一の金属層を前記側面の前記少なくとも一部分に金属化処理によって堆積するステップをさらに含む、請求項 1 に記載の方法。

【請求項 8】

前記導電材料が第二の金属層をさらに含み、前記配設するステップが、前記第二の金属を前記堆積された第一の金属に金属化処理によって堆積するステップをさらに含む、請求項 7 に記載の方法。

【請求項 9】

前記導電材料が硬化性導電層をさらに含み、前記配設するステップが、その硬化性導電材料を、前記側面の前記少なくとも一部分の上にある前記第一の金属層の一部分に適用するステップと；前記硬化性導電材料を硬化させるステップとをさらに含む、請求項 7 に記載の方法。

【請求項 10】

前記圧電材料のおもて面側の少なくとも一部分に前記導電材料を配設するステップと；前記圧電材料を、そのおもて面に配設された前記導電材料と共に分離して、複数の素子を画定するステップとをさらに含み、前記複数の素子の各々が、前記圧電材料のおもて面に配設された前記分離された導電材料によって画定される第一の電極を含む、請求項 1 に記載の方法。

【請求項 11】

別の導電材料を前記バッキング材料のおもて面及び前記圧電材料の裏面のうち一方に配設するステップをさらに含む、請求項 10 に記載の方法。

【請求項 12】

前記別の導電材料を配設するステップが、前記別の導電材料を前記バッキング材料のおもて面及び前記圧電材料の裏面のうち前記一方に金属化処理によって堆積するステップと；前記堆積された別の導電材料の一部分を除去して、前記側面の前記部分に配設された前記導電材料から前記堆積された別の導電材料を電氣的に絶縁するステップとをさらに含む、請求項 11 に記載の方法。

【請求項 13】

前記分離するステップが、前記バッキング材料のおもて面及び前記圧電材料の裏面のうち前記一方に配設された前記別の導電材料を前記圧電材料及びそのおもて面に配設された前記導電材料と共に分離するステップをさらに含み、前記複数の素子の各々が、前記ダイシングされた別の導電材料によって画定された第二の電極をさらに含む、請求項 11 に記載の方法。

【請求項 14】

前記バッキング材料内部に複数の導電路を埋め込むステップをさらに含み、前記複数の導電路が前記バッキング材料の裏面から前記複数の素子の別々のものの前記第二の電極まで延在する、請求項 13 に記載の方法。

【請求項 15】

前記バッキング材料が少なくとも第一のバッキング部材及び第二のバッキング部材を含み、前記埋め込むステップが、前記第一のバッキング部材及び前記第二のバッキング部材

の少なくとも一方の側面の少なくとも一部分に追加の導電材料を配設して、前記複数の導電回路を画定するステップと；前記第一のバックング部材及び前記第二のバックング部材を連結するステップとをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 6】

前記埋め込むステップが、前記追加の導電材料を前記第一のバックング部材及び前記第二のバックング部材の少なくとも一方の前記側面の前記少なくとも一部分に金属化処理により堆積するステップと；前記堆積された追加の導電材料の一部を除去して前記複数の導電回路を画定するステップとをさらに含む、請求項 1 5 に記載の方法。

【請求項 1 7】

複数の前記配設するステップのうち少なくとも一つが、導電材料をスパッタリング、蒸着、電気めっき及び電解からなる群から選択される少なくとも一つの金属化処理によって堆積するステップを含む、請求項 1 5 に記載の方法。

【請求項 1 8】

複数の前記配設するステップのうち少なくとも一つが、硬化性導電材料を前記圧電材料及び前記バックング材料に適用するステップと、前記硬化性導電材料を硬化させるステップとを含む、請求項 1 7 に記載の方法。

【請求項 1 9】

音響整合材料を、前記圧電材料の前記おもて面側に配設された前記導電材料のおもて面に適用するステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 2 0】

前記分離するステップが、前記音響整合材料を、前記導電材料、前記圧電材料及び前記別の導電材料と共に分離するステップをさらに含み、前記複数の素子の各々が、前記分離された音響整合材料によって画定される音響整合層をさらに含む、請求項 1 9 に記載の方法。

【請求項 2 1】

複数の厚さモード超音波プローブ変換器アセンブリの各々の少なくとも一つの構成要素に関連した複数の生産加工ステップを遂行するステップであって、前記複数の生産加工ステップ全体を通して、前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素が、前記複数の変換器アセンブリの別の一つの前記少なくとも一つの構成要素と連結されている、ステップと；前記遂行するステップの後で、前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素を、前記複数の変換器アセンブリの前記別の一つの前記少なくとも一つの構成要素から切り離すステップとを含む、複数の厚さモード超音波プローブ変換器アセンブリを生産する方法。

【請求項 2 2】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記複数の生産加工ステップの少なくとも一つが、第一の材料を第二の材料に結合するステップを含む、請求項 2 1 に記載の方法。

【請求項 2 3】

前記第一の材料が導電材料を含み、前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記結合するステップが、前記導電材料を前記第二の材料に配設するステップをさらに含む、請求項 2 2 に記載の方法。

【請求項 2 4】

前記配設するステップが、前記導電材料を前記第二の材料に金属化処理によって堆積するステップをさらに含む、請求項 2 3 に記載の方法。

【請求項 2 5】

前記第二の材料がバックング材料を含む、請求項 2 3 に記載の方法。

【請求項 2 6】

前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素が対応するバックング部材を含み、前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材の裏面側からおもて面側へ延在

する少なくとも一つの導電路を少なくとも部分的に画定する、請求項2 5に記載の方法。

【請求項 2 7】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材を通して延在する複数の導電路を少なくとも部分的に画定する、請求項2 6に記載の方法。

【請求項 2 8】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材の側面に沿って延在する導電路を少なくとも部分的に画定する、請求項2 6に記載の方法。

【請求項 2 9】

前記複数の変換器アセンブリの各々の前記少なくとも一つの構成要素が対応するバックング部材を含み、前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記対応するバックング部材のおもて面に電極の少なくとも一部分を画定する、請求項2 5に記載の方法。

【請求項 3 0】

前記第二の材料が前記圧電材料を含む、請求項2 3に記載の方法。

【請求項 3 1】

前記変換器アセンブリの各々の前記少なくとも一つの構成要素について、前記配設するステップが、前記圧電材料のおもて面に電極を少なくとも部分的に画定する、請求項3 0に記載の方法。

【請求項 3 2】

前記第一の材料が圧電材料を含み、前記第二の材料が導電材料を含む、請求項2 2に記載の方法。

【請求項 3 3】

複数の連結された厚さモード超音波プローブ変換器サブアセンブリを用意するステップであって、前記連結されたサブアセンブリの各々がバックング材料を含む、ステップと；少なくとも第一の材料層を、前記複数の連結されたサブアセンブリの各々を構成する前記バックング材料のおもて面側に連結するステップと；前記連結するステップの後で前記複数の連結されたサブアセンブリを切り離すステップとを含む、複数の厚さモード超音波プローブ変換器アセンブリを生産する方法であって、前記第一の材料層の別々の部分が前記複数の切り離されたサブアセンブリの各々に連結された状態で残る方法。

【請求項 3 4】

前記切り離すステップの前に、第二の材料層を、前記複数の連結されたサブアセンブリの各々を構成する前記圧電材料層のおもて面側に結合するステップをさらに含み、前記切り離すステップの後に、前記第二の材料層の別々の部分が前記複数のサブアセンブリの各々に連結された状態で残る、請求項3 3に記載の方法。

【請求項 3 5】

前記第一の材料層が圧電材料を含む、請求項3 4に記載の方法。

【請求項 3 6】

前記連結するステップ及び結合するステップの前に、導電材料を含む第三の材料層を前記バックング材料のおもて面側と前記圧電材料の第一の材料層の裏面側の間に設けるステップをさらに含み、前記切り離すステップの後に、前記導電材料の第三の材料層の別々の部分が前記複数のサブアセンブリの各々に連結された状態で残る、請求項3 5に記載の方法。

【請求項 3 7】

前記導電材料の第三の材料層を前記圧電材料層の裏面に金属化処理によって堆積するステップをさらに含み、請求項3 6に記載の方法。

【請求項 3 8】

前記第二の材料層が導電材料を含み、前記結合するステップが、前記導電材料の第二の材料層を前記圧電材料の第一の材料層に金属化処理によって堆積するステップを含む、請

求項 3 6 に記載の方法。

【請求項 3 9】

前記切り離すステップの前に、前記複数の連結されたサブアセンブリの各々を構成する前記第一の材料層、第二の材料層及び第三の材料層を分離するステップをさらに含み、前記複数のサブアセンブリの各々で変換器素子のアレーが画定される、請求項 3 8 に記載の方法。

【請求項 4 0】

前記用意するステップの前に、前記サブアセンブリの各々の前記バックグ材料を通して複数の導電路を埋め込むステップをさらに含み、前記ダイシングするステップの後で、前記サブアセンブリの各々について、前記対応する複数の導電路が前記対応する複数の変換器素子の別々のものと電氣的に連結される、請求項 3 9 に記載の方法。

【請求項 4 1】

少なくとも第一の細分化された複数の (subplurality) 前記連結された超音波プローブ変換器サブアセンブリについて、前記バックグ材料が少なくとも第一のバックグ部材及び第二のバックグ部材を含み、そして前記第一の細分化された複数のサブアセンブリの各々について、前記埋め込むステップが、前記第一のバックグ部材及び前記第二のバックグ部材の少なくとも一方の側面の少なくとも一部分に導電材料を配設して、前記対応する複数の導電路を画定するステップと；前記第一のバックグ部材を前記第二のバックグ部材に連結するステップとをさらに含み、前記対応する複数の導電路が前記第一及び第二のバックグ部材の間に介在する、請求項 4 0 に記載の方法。

【請求項 4 2】

前記第一の細分化された複数のサブアセンブリの各々について、前記配設するステップが、前記第一のバックグ部材及び前記第二のバックグ部材の少なくとも一方の前記側面の前記少なくとも一部分に前記導電材料を金属化处理によって堆積するステップと；前記堆積された導電材料の一部を除去して、前記対応する複数の導電路を画定するステップとをさらに含む、請求項 4 1 に記載の方法。

【請求項 4 3】

前記第一の細分化された複数のサブアセンブリの各々について、前記方法が、前記第一のバックグ部材及び前記第二のバックグ部材の少なくとも一方の別の側面の少なくとも一部分に導電材料を配設して、前記第一の細分化された複数のサブアセンブリの各々に対応する関係で少なくとも一つの導電路を画定するステップをさらに含む、請求項 4 1 に記載の方法。

【請求項 4 4】

前記結合するステップの前に、前記連結されたサブアセンブリの各々から前記圧電材料の第一の材料層の少なくとも一部分を除去するステップであって、前記圧電材料の第一の材料層の側面部分が前記複数の連結されたサブアセンブリの各々について画定され、前記第一の細分化された複数のサブアセンブリの各々について、前記対応する少なくとも一つの導電路が露出する、ステップと；前記切り離すステップの前に、前記連結されたサブアセンブリの各々を構成する前記圧電材料の第一の材料層の前記側面に導電材料層を配設するステップであって、前記第一の細分化された複数のサブアセンブリの各々について、前記導電材料層が前記対応する少なくとも一つの導電路と電氣的に接触する、ステップとをさらに含む、請求項 4 3 に記載の方法。

【請求項 4 5】

前記結合するステップの前に、前記連結されたサブアセンブリの各々から前記圧電材料の第一の材料層の少なくとも一部分を除去するステップをさらに含み、前記圧電材料の第一の材料層の側面部分が前記複数の連結されたサブアセンブリの各々について画定される、請求項 3 8 に記載の方法であって、当該方法が、前記切り離すステップの前に、前記連結されたサブアセンブリの各々を構成する前記圧電材料の第一の材料層の前記側面に導電材料層を配設するステップをさらに含み、前記切り離すステップの後に、前記圧電材料の第一の層の前記側面にある前記導電材料層の別々の部分が、前記複数のサブアセンブリの

各々に連結された状態に残る、請求項3 8に記載の方法。

【請求項 4 6】

前記連結するステップ及び結合するステップの前に、前記連結されたサブアセンブリの各々から前記導電材料の第三の材料層の直線上に整列した部分を除去するステップをさらに含む、請求項4 5に記載の方法。

【請求項 4 7】

前記切り離すステップの前に、前記複数の連結されたサブアセンブリの各々を構成する前記第二の材料層のおもて面側に第三の材料層を取り付けるステップをさらに含み、前記切り離すステップの後で、前記第三の材料層の別々の部分が前記複数のサブアセンブリの各々に連結された状態に残る、請求項3 4に記載の方法。

【請求項 4 8】

前記第一の材料層、第二の材料層及び第三の材料層のうち第一のものが圧電材料を含む、請求項4 7に記載の方法。

【請求項 4 9】

前記第一の材料層、第二の材料層及び第三の材料層のうち第二のものが導電材料を含む、請求項4 8に記載の方法。

【請求項 5 0】

前記第一の材料層、第二の材料層及び第三の材料層のうち第三のものが音響整合材料を含む、請求項4 9に記載の方法。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2006/032294

A. CLASSIFICATION OF SUBJECT MATTER INV. B06B1/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) B06B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 810 009 A (MINE YOSHITAKA [JP] ET AL) 22 September 1998 (1998-09-22)	1-21,27
Y	column 3, line 49 - column 5, line 22; figure 2	22-26, 28-43
X	US 4 385 255 A (YAMAGUCHI KEIKI [JP] ET AL) 24 May 1983 (1983-05-24) figure 9	1
X	EP 1 132 149 A2 (MATSUSHITA ELECTRIC IND CO LTD [JP]) 12 September 2001 (2001-09-12) paragraph [0136] - paragraph [0140]; figure 14	1
	----- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search  12 April 2007		Date of mailing of the international search report  09/05/2007
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Thomas, Judith

## INTERNATIONAL SEARCH REPORT

International application No PCT/US2006/032294
---

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004/239212 A1 (KIKUCHI MANABU [JP] ET AL) 2 December 2004 (2004-12-02) paragraph [0024] - paragraph [0029]; figures 3,6	22-26, 28-43
X	EP 0 383 972 A1 (SIEMENS AG [DE]) 29 August 1990 (1990-08-29) page 4, line 48 - line 54; figures 2,3	1
X	EP 1 384 525 A (MATSUSHITA ELECTRIC IND CO LTD [JP]) 28 January 2004 (2004-01-28) paragraph [0103] - paragraph [0108]; paragraph [0120] - paragraph [0123]; claims 22-29	44-73
X,P	JP 2005 253029 A (ALOKA CO LTD) 15 September 2005 (2005-09-15) abstract	44
X	EP 1 382 301 A (ALOKA CO LTD [JP]) 21 January 2004 (2004-01-21) abstract paragraph [0021] - paragraph [0022]	44

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US2006/032294**Box II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1.  As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
  
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3.  As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/US2006 /032294

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-43

Subject 1 concerns an ultrasound transducer which provides the advantage of a very compact form obtained by a specific connection of the signal and ground electrodes along a common surface of the backing member and the piezoelectric elements.

---

2. claims: 44-73

subject 2 concerns a specific production process of a transducer array by combining a plurality of transducer assemblies during production and disconnecting them after production.

---

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2006/032294

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5810009	A	22-09-1998	NONE	
US 4385255	A	24-05-1983	NONE	
EP 1132149	A2	12-09-2001	CA 2332158 A1 US 2001021807 A1	07-09-2001 13-09-2001
US 2004239212	A1	02-12-2004	NONE	
EP 0383972	A1	29-08-1990	AT 98530 T DE 58906448 D1 JP 2246700 A JP 2960093 B2 US 5045746 A	15-01-1994 27-01-1994 02-10-1990 06-10-1999 03-09-1991
EP 1384525	A	28-01-2004	CN 1478439 A US 6984922 B1	03-03-2004 10-01-2006
JP 2005253029	A	15-09-2005	NONE	
EP 1382301	A	21-01-2004	CN 1480100 A US 2006119222 A1 US 2004011134 A1	10-03-2004 08-06-2006 22-01-2004

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100093665

弁理士 蛸谷 厚志

(74)代理人 100146466

弁理士 高橋 正俊

(72)発明者 ジッパロ, マイケル ジョセフ

アメリカ合衆国, コロラド 80138, パーカー, イースト ヒルズ ドライブ 6775

(72)発明者 ジョンソン, モニカ ページ

アメリカ合衆国, コロラド 80121, グリーンウッド ビレッジ, シー 18 - 367, ユニバーシティ プールバード 5910

(72)発明者 オークリー, クライド ジェラルド

アメリカ合衆国, コロラド 80112, センテニアル, サウス クサンティア ストリート 7308

(72)発明者 ディーツ, デニス レイモンド

アメリカ合衆国, コロラド 80120, リトルトン, サウス ラウサン サークル 7038

(72)発明者 ラ プレー, マイケル ロバート

アメリカ合衆国, コロラド 80121, センテニアル, サウス フィルバート コート 6128

(72)発明者 ドンハウ, マーク ナサニエル

アメリカ合衆国, デラウェア 19713, ニューアーク, オハイオ ステイト ドライブ 31

Fターム(参考) 4C601 EE13 GA02 GA03 GB04 GB06 GB14 GB19 GB20 GB24 GB30

GB31 GB45

5D019 AA25 AA26 BB02 EE02 FF04 GG01 GG06 HH03

## 【要約の続き】

ブアセンブリの切り離しの前に、マスバックングのおもて面側にて別の材料層を結合することができ、それによって大量加工処理の効率をさらに高める。

专利名称(译)	改进的超声波探头换能器组件和制造方法		
公开(公告)号	<a href="#">JP2009506638A</a>	公开(公告)日	2009-02-12
申请号	JP2008528009	申请日	2006-08-18
[标]申请(专利权)人(译)	戈尔企业控股股份有限公司		
申请(专利权)人(译)	戈尔企业控股股份有限公司雷开球德		
[标]发明人	ジッパロマイケルジョセフ ジョンソンモニカページ オークリークライドジェラルド ディーツデニスレイモンド ラブレマイケルロバート ドンハウマークナサニエル		
发明人	ジッパロ,マイケル ジョセフ ジョンソン,モニカ ページ オークリー,クライド ジェラルド ディーツ,デニス レイモンド ラブレ,マイケル ロバート ドンハウ,マーク ナサニエル		
IPC分类号	H04R17/00 A61B8/00 H04R31/00		
CPC分类号	B06B1/0629 A61B8/4483 A61B8/4494 Y10T29/42 Y10T29/49005 Y10T29/49007 Y10T29/49156 Y10T29/49789 Y10T29/49798		
FI分类号	H04R17/00.332.B A61B8/00 H04R17/00.330.J H04R31/00.330 H04R17/00.330.H		
F-TERM分类号	4C601/EE13 4C601/GA02 4C601/GA03 4C601/GB04 4C601/GB06 4C601/GB14 4C601/GB19 4C601/GB20 4C601/GB24 4C601/GB30 4C601/GB31 4C601/GB45 5D019/AA25 5D019/AA26 5D019/BB02 5D019/EE02 5D019/FF04 5D019/GG01 5D019/GG06 5D019/HH03		
代理人(译)	青木 笃 石田 敬 高桥雅俊		
优先权	11/210116 2005-08-23 US		
其他公开文献	JP4913814B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

一种改进的超声换能器组件，例如厚度模式换能器组件，包括多个元件，包括压电材料和邻近多个元件的后表面设置的背衬材料。压电材料和背衬材料限定侧表面的至少一部分，并且导电材料设置为与侧表面的至少一部分接触。元件可包括一个或多个前侧电极和一个或多个后侧电极，并且前侧电极电连接到设置在侧面部分上的导电材料。可以穿过背衬材料提供至少一个掩埋导电路径，以与一个或多个背面电极电连接。在质量处理方法中，可以生产多个厚度模式超声探针换能器组件，并且串联处理包括质量背衬的多个耦合换能器子组件。在该方法中，至少第一材料层可以连接在构成质量背衬的背衬材料的正面上，并且在分离子组件之后，第一材料层的单独部分被多个分开。保持连接到每个子装配。此外，在该方法中，在拆卸子组件之前，可以在质量背衬的前侧上接合另一材料层，从而进一步提高了批量处理的效率。

