

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-509774

(P2008-509774A)

(43) 公表日 平成20年4月3日(2008.4.3)

(51) Int.Cl.

A 6 1 B	8/00	(2006.01)
H 0 1 L	21/60	(2006.01)
G 0 1 N	29/24	(2006.01)
H 0 4 R	17/00	(2006.01)
H 0 4 R	31/00	(2006.01)

F 1

A 6 1 B	8/00	
H 0 1 L	21/60	3 1 1 Q
G 0 1 N	29/24	5 0 2
H 0 4 R	17/00	3 3 2 A
H 0 4 R	31/00	3 3 0

テーマコード(参考)

2 G 0 4 7

4 C 6 0 1

5 D 0 1 9

5 F 0 4 4

審査請求 未請求 予備審査請求 未請求 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2007-526679 (P2007-526679)
 (86) (22) 出願日 平成17年8月15日 (2005.8.15)
 (85) 翻訳文提出日 平成19年2月16日 (2007.2.16)
 (86) 國際出願番号 PCT/IB2005/052686
 (87) 國際公開番号 WO2006/018805
 (87) 國際公開日 平成18年2月23日 (2006.2.23)
 (31) 優先権主張番号 60/602,583
 (32) 優先日 平成16年8月18日 (2004.8.18)
 (33) 優先権主張国 米国(US)

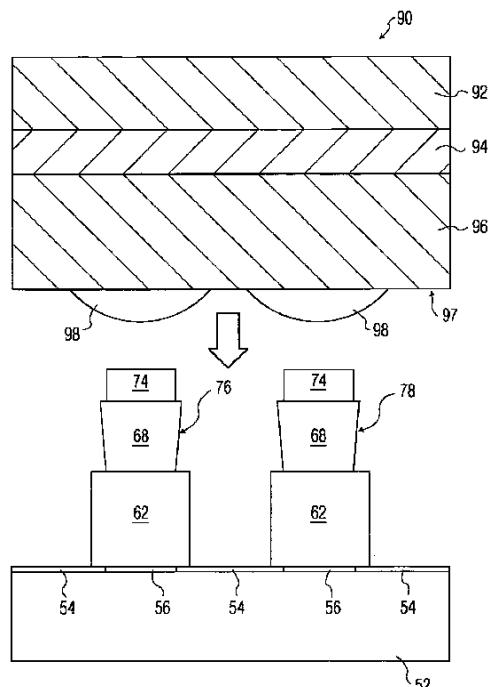
(71) 出願人 590000248
 コーニングレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5 6 2 1 ベーー アインドーフェン フルーネヴァウツウェッハ
 1
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100145377
 弁理士 杉山 公一

最終頁に続く

(54) 【発明の名称】 2次元超音波トランステューサアレイ

(57) 【要約】

超音波トランステューサ(100)は、集積回路(52)、及び集積回路にフリップチップバンプ(76、78)を介して結合された音響素子(92、94、96)のアレイを有する。フリップチップバンプは1:1より大きいアスペクト比を有する高アスペクト比バンプを有する。アスペクト比はバンプ高さ(82)のバンプ幅(84)に対する比から成る。



【特許請求の範囲】**【請求項 1】**

集積回路；及び

前記集積回路にフリップチップバンプを介して結合された音響素子のアレイであり、前記フリップチップバンプが1：1より大きいアスペクト比を有する高アスペクト比バンプを有し、前記アスペクト比はバンプ高さのバンプ幅に対する比から成る、音響素子のアレイ；

を有する超音波トランスデューサ。

【請求項 2】

前記高アスペクト比バンプが、少なくとも2つのフリップチップバンプの層状部分を有する、請求項1に記載の超音波トランスデューサ。10

【請求項 3】

前記高アスペクト比バンプの高さが、前記少なくとも2つのフリップチップバンプの層状部分の各層状部分の高さの和から成る、請求項2に記載の超音波トランスデューサ。

【請求項 4】

前記フリップチップバンプの最上層部分の幅が、該フリップチップバンプの最下層部分の幅のおよそ50%より小さい、請求項2に記載の超音波トランスデューサ。

【請求項 5】

前記高アスペクト比フリップチップバンプがおよそ $100\mu m$ のピッチを有する、請求項1に記載の超音波トランスデューサ。20

【請求項 6】

前記フリップチップバンプの第1の層状部分が、第1のフォトレジスト層の開口を該第1のフォトレジスト層の該フリップチップバンプの位置に形成するための、フォトレジスト堆積、マスクパターニング、及びエッチング処理のプロセスと、その後の、該第1のフォトレジスト層の該開口を充たす、フリップチップバンプ材料の電解析出とによって形成されている、請求項2に記載の超音波トランスデューサ。

【請求項 7】

前記フリップチップバンプ材料が金属を有する、請求項6に記載の超音波トランスデューサ。

【請求項 8】

前記フリップチップバンプの次の層状部分が、次のフォトレジスト層の開口を該次のフォトレジスト層の該フリップチップバンプの位置に形成するための、フォトレジスト堆積、マスクパターニング、及びエッチング処理のプロセスと、その後の、該次のフォトレジスト層の該開口を充たす、前記フリップチップバンプ材料の電解析出とによって形成されている、請求項6に記載の超音波トランスデューサ。30

【請求項 9】

前記次のフォトレジスト層の前記開口が、前記第1のフォトレジスト層の前記開口より小さい、請求項8に記載の超音波トランスデューサ。

【請求項 10】

第1の層状部分が第1幅を有し、後続の層状部分が前記第1幅より小さい後続幅を有する、請求項2に記載の超音波トランスデューサ。40

【請求項 11】

前記フリップチップバンプが、高アスペクト比の電気鋳造された金属部を有する、請求項1に記載の超音波トランスデューサ。

【請求項 12】

前記電気鋳造された金属部が、X線ディープエッチングリソグラフィプロセスによって形成されている、請求項11に記載の超音波トランスデューサ。

【請求項 13】

前記高アスペクト比バンプが、2段、3段又は4段の何れかのめっきされたバンプを有する、請求項1に記載の超音波トランスデューサ。50

【請求項 14】

前記フリップチップバンプが、第1層の埋込バンプ及び次層の埋込バンプを有し、前記次層の埋込バンプが先行する層の対応する埋込バンプの頂部に結合されている、請求項1に記載の超音波トランスデューサ。

【請求項 15】

前記次層の埋込バンプが、先行する層の埋込バンプの幅より小さい幅のバンプを有する、請求項14に記載の超音波トランスデューサ。

【請求項 16】

前記フリップチップバンプが、複数層の金のボールボンディング埋込バンプを有する、請求項14に記載の超音波トランスデューサ。 10

【請求項 17】

食道壁を介する超音波心臓イメージング用に設計されたマトリックス型経食道トランスデューサを更に有し、且つおよそ2500個から3000個の音響素子を有する請求項1に記載の超音波トランスデューサ。

【請求項 18】

超音波トランスデューサとの使用に適合された超音波画像診断システムであって、前記超音波トランスデューサが：

集積回路；及び

前記集積回路にフリップチップバンプを介して結合された圧電素子のアレイであり、前記フリップチップバンプが1：1より大きいアスペクト比を有する高アスペクト比バンプを有し、前記アスペクト比はバンプ高さのバンプ幅に対する比から成る、音響素子のアレイ； 20

を有する、超音波画像診断システム。

【請求項 19】

超音波トランスデューサの製造方法であって：

集積回路にフリップチップバンプのアレイを形成する形成工程であり、該フリップチップバンプが1：1より大きいアスペクト比を有する高アスペクト比バンプを有する形成工程；及び

圧電素子のアレイを前記集積回路に前記高アスペクト比バンプを介して結合する結合工程； 30

を有する製造方法。

【請求項 20】

前記高アスペクト比バンプが、フリップチップバンプの少なくとも2つの層状部分を有する、請求項19に記載の製造方法。

【請求項 21】

前記フリップチップバンプの最上層の層状部分の幅が、該フリップチップバンプの最下層の層状部分の幅のおよそ50%より小さい、請求項20に記載の製造方法。

【請求項 22】

前記フリップチップバンプの第1の層状部分が、第1のフォトレジスト層の開口を該第1のフォトレジスト層の該フリップチップバンプの位置に形成するための、フォトレジスト堆積、マスクパターニング、及びエッチング処理のプロセスと、その後の、該第1のフォトレジスト層の該開口を充たす、フリップチップバンプ材料の電解析出とによって形成され、且つ前記フリップチップバンプの次の層状部分が、次のフォトレジスト層の開口を該次のフォトレジスト層の該フリップチップバンプの位置に形成するための、フォトレジスト堆積、マスクパターニング、及びエッチング処理のプロセスと、その後の、該次のフォトレジスト層の該開口を充たす、前記フリップチップバンプ材料の電解析出とによって形成される、請求項20に記載の製造方法。 40

【請求項 23】

前記フリップチップバンプが、高アスペクト比の電気鋳造された金属部を有する、請求項19に記載の製造方法。 50

【請求項 2 4】

前記電気鋳造された金属部が、X線ディープエッティングリソグラフィプロセスによって形成される、請求項23に記載の製造方法。

【請求項 2 5】

前記高アスペクト比バンプが、2段、3段又は4段の何れかのめっきされたバンプを有する、請求項19に記載の製造方法。

【請求項 2 6】

前記フリップチップバンプが、第1層の埋込バンプ及び次層の埋込バンプを有し、前記次層の埋込バンプが、先行する層の対応する埋込バンプの頂部に結合され、且つ、該先行する層の埋込バンプの幅より小さい幅のバンプを有する、請求項19に記載の製造方法。 10

【請求項 2 7】

前記集積回路がおよそ5μmから50μmの厚さを有する、請求項19に記載の製造方法。

【請求項 2 8】

1つ又は複数の集積回路ダイ；及び

前記1つ又は複数の集積回路ダイの表面に結合された、アスペクト比が1：1より大きい高アスペクト比のフリップチップバンプのアレイ；
を有する半導体ウェハ。

【請求項 2 9】

前記高アスペクト比がおよそ10：1である、請求項28に記載の半導体ウェハ。 20

【請求項 3 0】

1つ又は複数の超音波トランステューサの音響素子のアレイを更に有し、前記音響素子のアレイが前記1つ又は複数の集積回路ダイに前記高アスペクト比のフリップチップバンプを介して結合されており、且つ前記1つ又は複数の集積回路ダイが、超音波トランステューサの制御処理機能及び信号処理機能の少なくとも一方を果たす回路を含む、請求項28に記載の半導体ウェハ。

【請求項 3 1】

前記高アスペクト比バンプが、フリップチップバンプの少なくとも2つの層状部分を有する、請求項28に記載の半導体ウェハ。

【請求項 3 2】

前記フリップチップバンプの最上層の層状部分の幅が、該フリップチップバンプの最下層の層状部分の幅のおよそ50%より小さい、請求項31に記載の半導体ウェハ。 30

【請求項 3 3】

前記フリップチップバンプの第1の層状部分が、第1のフォトレジスト層の開口を該第1のフォトレジスト層の該フリップチップバンプの位置に形成するための、フォトレジスト堆積、マスクパターニング、及びエッティング処理のプロセスと、その後の、該第1のフォトレジスト層の該開口を充たす、フリップチップバンプ材料の電解析出とによって形成され、且つ前記フリップチップバンプの次の層状部分が、次のフォトレジスト層の開口を該次のフォトレジスト層の該フリップチップバンプの位置に形成するための、フォトレジスト堆積、マスクパターニング、及びエッティング処理のプロセスと、その後の、該次のフォトレジスト層の該開口を充たす、前記フリップチップバンプ材料の電解析出とによって形成される、請求項31に記載の半導体ウェハ。 40

【請求項 3 4】

前記フリップチップバンプが、高アスペクト比の電気鋳造された金属部を有する、請求項28に記載の半導体ウェハ。

【請求項 3 5】

前記電気鋳造された金属部が、X線ディープエッティングリソグラフィプロセスによって形成される、請求項34に記載の半導体ウェハ。

【請求項 3 6】

前記高アスペクト比バンプが、2段、3段又は4段の何れかのめっきされたバンプを有 50

する、請求項 28 に記載の半導体ウェハ。

【請求項 37】

前記フリップチップバンプが、第1層の埋込バンプ及び次層の埋込バンプを有し、前記次層の埋込バンプが、先行する層の対応する埋込バンプの頂部に結合され、且つ、該先行する層の埋込バンプの幅より小さい幅のバンプを有する、請求項 28 に記載の半導体ウェハ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、超音波医療で使用されるトランスデューサアレイに関し、より具体的には、フリップチップ型 2 次元アレイのための高アスペクト比のバンプを実現する方法及び装置に関する。 10

【背景技術】

【0002】

超音波医療では、超音波画像診断中に超音波又は音波を送信及び受信するために、2 次元トランスデューサアレイが一般に使用されている。最新の 2 次元アレイは、一般に、3000 程度のトランスデューサ素子を有する平面アレイを含んでいる。超音波トランスデューサ設計の 1 つの類型では、アレイの全トランスデューサ素子が集積回路 (IC) の表面に搭載され、導電性バンプを用いたフリップチップ技術によって該表面に個々に電気的に接続される。この IC は、例えばビーム形成や信号増幅などのため、素子の電気制御を提供する。 20

【0003】

図 1 は、超音波トランスデューサの典型的な設計の一例を示している。超音波トランスデューサ 10 は、集積回路 14 の表面にフリップチップ導電性バンプ 16 を介して結合された音響素子 12 の平面アレイを含んでいる。導電性バンプ 16 と、集積回路 14 と、音響素子 12 の平面アレイとの間の領域内は、フリップチップのアンダーフィル材料を有している。トランスデューサ 10 は更にトランスデューサ基体 20 及び相互接続ケーブル 22 を含んでいる。相互接続ケーブル 22 は、集積回路 14 と外部ケーブル (図示せず) との間を相互接続するためのものである。集積回路 14 は相互接続ケーブル 22 に、技術的に既知の技術を用いてボンディングワイヤ 24 を介して電気的に結合されている。 30

【0004】

フリップチップ組立ては、集積回路 (IC) のベアチップを裏返した構成で基板に直接搭載することを可能にする技術である。IC チップはダイとも呼ばれる。フリップチップ組立てにより、IC チップと基板との電気的接続は導電性の “バンプ” を介して達成される。導電性バンプの高さは IC チップと基板との距離を定めるものである。従って、フリップチップ技術は、例えば高密度入 / 出力 (I/O) 数や短い相互接続距離などの多くの利点をもたらす。

【0005】

技術の微細化がますます小さい寸法へと進み続けるにつれ、超音波トランスデューサアレイの X 及び Y の両方向において高密度接続を実現することが望まれる。しかしながら、従来方法を用いて X 及び Y の両方向に高密度のバンプアレイを得ることは不可能ではないにしても極めて困難である。これは、ある部分、バンプが例えば 1 未満といった低いアスペクト比を有する通常プロセスの限界に起因している。 40

【0006】

高い I/O 密度の恩恵を受け得る用途はあるが、幾つかの用途はまた、ベア IC チップと基板との距離について、既知の技術を用いて実現され得るより大きい距離を必要とすることがある。この一例には、IC チップと基板との間に容量的又は誘導的に一層大きい分離性を要求する用途が含まれる。さらに他の用途には、熱的又は機械的な分離性を要求したり、あるいはフリップチップにされた基板がフリップチップ取付け後により小さい部分に分けられる必要があるセンサー設計を要求したりするものがある。後者の例では、この 50

ような設計は、例えば超音波トランスデューサ又はセンサーを有する、より小さい部分の安全な機械的切断を可能にするために、より大きい間隔を必要とする。

【0007】

技術的に既知のバンプ技術は、例えば、印刷された導電性ポリマー、埋込(s t u d)バンプ、はんだボールバンプ、及び電気めっきによるバンプなど、多数の異なるものが存在している。しかしながら、既知のバンプ技術の何れも、フットプリント(幅)と高さとのアスペクト比が1より大きいバンプを一貫して製造することを可能にするものではない。アスペクト比はバンプの高さの、バンプの幅寸法に対する比として定義される。

【0008】

従って、上記問題を技術的に解決する改善された超音波トランスデューサ、及びその製造方法が望まれる。

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、高アスペクト比のバンプを用いた超音波トランスデューサ、及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一実施形態に従った超音波トランスデューサは、集積回路、及び前記集積回路にフリップチップバンプを介して結合された音響素子のアレイを有する。前記フリップチップバンプは1:1より大きいアスペクト比を有する高アスペクト比バンプを有する。アスペクト比はバンプ高さのバンプ幅に対する比から成る。

【発明を実施するための最良の形態】

【0011】

図面において、似通った参照符号は似通った要素を参照するものとする。また、図は縮尺通りには描かれていません。

【0012】

集積回路の製造においては、半導体ウェハは一般的に、個々のデバイスに未だ個片化されていない多数の集積回路ダイを含んでいる。各々の集積回路ダイは一般に、特定の集積回路用途の要求に従って所望の機能を果たす回路を含んでいる。例えば、集積回路用途には超音波トランスデューサ用途が含まれる。さらに、超音波トランスデューサ用途には、心臓用途、腹部用途、経食道(transesophageal; TEE)用途、又はその他の診断若しくは治療用途が含まれる。

【0013】

超音波デバイスに関して、簡略化された超音波トランスデューサ構築プロセスシーケンスは以下のステップを含み得る。例えば、プロセスは、例えば特定用途向け集積回路(A S I C)の供給者から、所望の超音波トランスデューサI Cを含むウェハを得ることから開始する。本発明の一実施形態に従ったウェハバンプ・プロセスがウェハ上で実行される。ウェハにバンプを設けた後、ウェハは標準的な技術を用いて薄化され、個々のダイに分離される。その後、フリップチップ工程が行われる。フリップチップ工程後、ダイシング工程によって、超音波トランスデューサ又はセンサー部品の音響素子が分離される。そして、センサーは特定の超音波トランスデューサI C用途に従ってフレームに取り付けられる。

【0014】

本発明の一実施形態に従って、フリップチップ用の高アスペクト比のバンプは、およそ100μm以下のバンプピッチを有することを可能にするとともに、2次元マトリックスアレイのX及びYの両方向に高密度の接続を実現する。対照的に、従来技術を用いた場合、2次元マトリックスアレイのX及びYの両方向に高密度のバンプアレイを得ることは、不可能ではないにしても極めて困難であった。すなわち、従来技術を用いた場合、100μm以下のピッチを有し、更には1より大きいアスペクト比を有する高密度フリップチッ

10

20

30

40

50

パンプを製造することは通常プロセスの限界によって妨げられていた。

【0015】

本発明の一実施形態に従って、高アスペクト比のフリップチップパンプは複数段のめっきパンプとその製造方法とを含む。複数段のめっきパンプの製造方法においては、典型的なめっきパンプのアスペクト比限界（1：1の幅：高さ）が解消される。この実施形態は、ここでさらに説明するように、パンプを互いの頂部に順次めっきすることによって製造された複数段のめっきパンプを含んでいる。

【0016】

図2乃至5は、本発明の一実施形態に従った2次元超音波トランステューサに使用される、高アスペクト比フリップチップパンプを形成する工程の断面図を示している。図2乃至5には、図の単純化のため、トランステューサの一部50のみが示されている。10

【0017】

図2には、集積回路の一部が基板52によって表されている。基板52は集積回路の活性領域を含んでおり、この活性領域は、超音波トランステューサプローブの制御処理機能及び信号処理機能の少なくとも1つを果たす回路の様々な回路層（図示せず）を有している。基板52は、好適な如何なる誘電体、ガラス又は絶縁体の層を含む保護層54に覆われる。保護層54は開口（又はアーチャ）56を含んでいる。開口56は、I Cの最上層の接合パッドから、これから形成されるパンプへの電気的接続を可能にするものである。開口56の大きさは特定I C用途の要求に従って決定される。一実施形態では、開口56の幅は70μm程度である。20

【0018】

第1層のめっき工程にて、基板52はフォトレジスト58で表面を覆われる。フォトレジスト58は、それから、該フォトレジストに開口60を作成するのに適したフォトリソグラフィプロセス（例えば、露光、現像、及び除去）を用いて処理される。フォトレジストの開口60は所望される第1層のフリップチップパンプの位置に対応しており、概して、対応する保護層の開口56に一致している。開口60はまた、保護層54の開口56内で、基板52の頂部表面（例えば、接合パッド）を露出させる。一実施形態において、開口60のピッチは100μm程度である。また、一実施形態において、この方法はフォトレジスト58の厚さを選定し、フリップチップパンプの第1層部分の高さ寸法を定めることを含んでいる。30

【0019】

次の工程にて、好適な電解プロセス（例えば、金、銅、インジウム、又ははんだ）により、フォトレジスト58の開口60内のフリップチップパンプの第1層部分62がめっきされる（保護層54の開口56内もめっきされることを含む）。ただし、この電解プロセスは、第1層部分62をめっきする前に、集積回路チップ又はASICの頂部表面に電気めっきのための共通電極（図示せず）を作成する第1段階を含んでいる。電解プロセスでの共通電極の使用は産業界で標準的であるため、ここでは簡単に説明するのみとする。共通電極を作成するに当たり、ウェハ表面はフォトレジスト58で覆われる前に、非常に薄い導電層（例えば、金）で覆われる。共通電極の層は保護層の頂部と、全ての接合パッド（電解プロセス中にこれらを短絡する）の頂部とに堆積される。そして、フォトレジスト58がここで説明されるように塗布される。さらに、ここでさらに説明されるように、めっきプロセスを用いて所望のパンプ（一実施形態においては、所望のパンプは3つの階層を含む）が完成すると、共通電極はエッティングプロセスによって、所望のめっきパンプの下部を除いて保護層の表面から実質的に完全に除去される。従って、電解プロセス中、めっき電流は集積回路チップ又はASICの活性層を通って流れない。第1層のフォトレジスト58はフリップチップパンプの第1層部分62のめっき後も適所に残される。第1層のめっきの完了後、必要に応じて、フォトレジストの表面が平坦化されてもよい。このプロセスは、以下で説明されるように、次の層のめっき工程でも繰り返される。40

【0020】

図3を参照するに、次の層のめっき工程はウェハをフォトレジストの第2層で覆うこと

10

20

30

40

50

を有し、この第2層は第1のフォトレジスト58及び第1階層のフリップチップバンプ62を覆う。そして、第2層のフォトレジスト64は該第2層のフォトレジスト64に開口66を作成するのに適したフォトリソグラフィプロセス（例えば、露光、現像、及び除去）を用いて処理される。第2層のフォトレジスト64の開口66は第1層のフリップチップバンプ62の位置に対応しており、第1層のバンプの頂部表面を露出させる。一実施形態において、第2のフォトレジスト64に定められた開口66は、フォトレジストマスクの位置不整合を小さくできるように、先の開口60より僅かに小さく作成される。さらに、開口66は先細の開口を有することができる。一実施形態において、この方法はフォトレジスト64の厚さを選定し、フリップチップバンプの第2層部分の高さ寸法を定めることを含んでいる。

10

【0021】

次の工程にて、好適な電解プロセス（すなわち、第1の電解プロセスと同様）により、フォトレジスト64の開口66内のフリップチップバンプの第2層部分68がめっきされる。第2層のフォトレジスト64はフリップチップバンプの第2層部分68のめっき後も適所に残される。第2層のめっきの完了後、必要に応じて、フォトレジストの表面が平坦化されてもよい。

【0022】

図3に示されるように、フリップチップバンプはピラミッド状の構造を呈し始める。所望される高アスペクト比の導電性フリップチップバンプを得るのに必要とされるのに応じて後続の層をフリップチップバンプに付加するために、図3に関して述べられたプロセスが繰り返される。

20

【0023】

図4を参照するに、次の層のめっき工程はウェハをフォトレジストの第3層70で覆うことを有し、この第3層は第2のフォトレジスト64及び第2階層のフリップチップバンプ68を覆う。そして、第3層のフォトレジスト70は該第3層のフォトレジスト70に開口72を作成するのに適したフォトリソグラフィプロセス（例えば、露光、現像、及び除去）を用いて処理される。開口72は第2層のフリップチップバンプ68の位置に対応している。一実施形態において、第3のフォトレジスト70に定められた開口72は、フォトレジストマスクの位置不整合を小さくできるように、先の開口66より僅かに小さく作成される。さらに、開口72は先細の開口を有することができる。

30

【0024】

一実施形態において、開口72の幅は $40\mu m$ 程度である。開口72の縮小された寸法はまた、微細な先端を有するめっきバンプ最上部を作り出すことを可能にする。微細な先端は、フリップチップの設置工程の際に導電性接着剤の短絡が生じる可能性を実質的に低下させる（すなわち、実質的に防止する）機構をもたらすものである。一実施形態において、この方法はフォトレジスト70の厚さを選定し、フリップチップバンプの第3層部分の高さ寸法を定めることを含んでいる。

【0025】

次の工程にて、好適な電解プロセス（すなわち、第1の電解プロセスと同様）により、フォトレジスト70の開口72内のフリップチップバンプの第3層部分74がめっきされる。第3層のフォトレジスト70はフリップチップバンプの第3層部分74のめっき後も適所に残される。第3層のめっきの完了後、必要に応じて、フォトレジストの表面が平坦化されてもよい。

40

【0026】

図5を参照するに、フリップチップバンプの第3層部分の形成に続き、第1、第2及び第3のフォトレジスト（58、64、70）の残存部が標準的な技術を用いて除去される。従って、フリップチップバンプ76及び78が作成される。フリップチップバンプ（76、78）は、参照符号80によって大まかに表されているピッチを有している。一実施形態において、ピッチ80は $100\mu m$ 程度である。フリップチップバンプ（76、78）はまた、参照符号82によって大まかに表されている高さ寸法を有している。さらに、

50

バンプ 7 6 の第 1 、第 2 及び第 3 の層部分の幅寸法が、それぞれ、参考符号 8 4 、 8 6 及び 8 8 によって大まかに表されている。一実施形態において、高さ 8 2 は 1 0 0 μm 程度であり、幅 8 4 、 8 6 及び 8 8 はそれぞれ 8 0 、 6 0 及び 4 0 μm 程度である。

【 0 0 2 7 】

バンプ 7 6 のアスペクト比を決定するため、このアスペクト比は高さ寸法 8 2 をフリップチップバンプ 7 6 の第 1 層部分 6 2 の幅寸法 8 4 で割ったものに等しいとする。従って、上述の方法により、フリップチップ用の、複数段のめっきバンプを有する高アスペクト比バンプが作成され得る。さらに、本発明の実施形態に従って、フリップチップ用の高アスペクト比バンプは、 1 0 0 μm 以下の所望ピッチと、およそ 1 より大きいアスペクト比とを有する 1 つ又は複数の 2 段、 3 段又は 4 段のめっきバンプを有する。

10

【 0 0 2 8 】

ここで開示された、複数段のめっきバンプを製造する方法の利点には、高さの均一性とコストとがある。高さの均一性は数 μm の範囲内で達成され得る。さらに、コストの優位性は、埋込 (s t u d) バンププロセスによる場合は 1 つずつであるのに対し、ウェハ上に全てのバンプを同時に作成することによって得られる。

【 0 0 2 9 】

本発明に係る高密度 / 高アスペクト比バンプはまた機械的堅牢性をもたらす。本発明の一実施形態において、超音波トランスデューサ用途は、ここで開示されるような高アスペクト比フリップチップバンプを介して集積回路に結合された超音波音響素子アレイを有する。超音波トランスデューサとの接続には、トランスデューサ音響材料の分離切断を行なうために機械的堅牢性が要求される。機械的堅牢性はまた、音響素子 / トランスデューサの分離切断中に、下にある集積回路 (I C) に損傷が生じないことを確保する高さを提供するためにも必要である。さらに、フリップチップ用の高密度 / 高アスペクト比バンプは、より優れた電気絶縁及び / 又は改善されたノイズ分離を必要とする用途において非常に有利である。

20

【 0 0 3 0 】

図 6 は、本発明の一実施形態に従った高アスペクト比フリップチップバンプ型 2 次元超音波トランスデューサの形成に使用されるのに適した、音響スタック 9 0 の一部の断面図を示している。音響スタック 9 0 は、例えば、整合層 (m a t c h i n g l a y e r ; M L) 9 2 、単結晶層 9 4 、及びデマッチング層 (D M L) 9 6 を有している。一実施形態において、整合層 (M L) 9 2 はおよそ 1 2 0 μm の高さ寸法を有し、単結晶層 9 4 はおよそ 1 2 0 μm の高さ寸法を有し、デマッチング層 (D M L) 9 6 はおよそ 2 7 0 μm の高さ寸法を有している。従って音響スタックはおよそ 5 1 0 μm の高さ寸法を有している。

30

【 0 0 3 1 】

導電性の接着剤ドット 9 8 (例えば、好適な導電性エポキシの何れか) が層 9 6 の表面 9 7 に既知のスクリーン印刷法によって形成されている。ドットの典型的な高さはおよそ 3 0 μm である。一実施形態において、導電性の接着剤ドット 9 8 はおよそ 1 5 0 μm のピッチ (図 6 に参考符号 9 9 で示されている) を有している。導電性の接着剤ドット 9 8 は、図 7 に関して説明されるように、フリップチップ工程に備えて設けられる。さらに、図 7 に関する一層よく理解されるように、表面 9 7 は音響スタック 9 0 の底部表面となるものである。

40

【 0 0 3 2 】

図 7 及び 8 を参照するに、本発明に従った高アスペクト比フリップチップ型 2 次元超音波トランスデューサの製造方法は、位置合わせ、設置、及びキュアへと続く。図 7 にて、図 6 の音響スタック 9 0 は裏返され、トランスデューサ部分 5 0 に対して位置整合されている。より具体的には、導電性の接着剤ドット 9 8 が、部分 5 0 の高アスペクト比フリップチップバンプ (7 6 、 7 8) の内の対応する 1 つに位置整合されている。位置整合されると、音響スタック 9 0 はフリップチップバンプ上に設置される。位置整合及び設置は周知のフリップチップボンダーにより達成され得る。

50

【0033】

フリップチップ設置工程中に、高アスペクト比バンプの先端は導電性の接着剤ドット98を横に移動させる。一実施形態において、多層フリップチップバンプの構造を考慮すると、移動量は僅かである。すなわち、一実施形態においては、バンプの先端はそれぞれのバンプの下地の層部分より小さく、それにより、フリップチップ工程中の導電性接着剤の横への移動量が制御される。従って、隣接するフリップチップバンプ間での導電性接着剤の短絡という望ましくないことが効果的に回避される。その結果、本発明に係る多層高アスペクト比フリップチップバンプ設計は、より微細なピッチに縮小させるのに非常に適している。

【0034】

図8を参照するに、構造100は、その後、導電性接着剤の硬化（キュア）のためにオーブン内に置かれる。硬化後の導電性接着剤は参考符号102によって指示されており、対応する導電性ドットの元々の輪郭は参考符号101によって指示された破線を用いて例示されている。

10

【0035】

導電性接着剤の硬化に続き、集積回路及び音響スタックの端部にアンダーフィル材料104が塗布される。アンダーフィル材料は音響スタックの表面全域での毛管力（capillary force）によって拡がり、音響スタックとその下にあるICとの間の隙間を充たす。その後、構造100は好適なダイシング工程によって四角く切断され、音響スタック90から個々の音響素子のアレイが作り出される。一実施形態において、このアレイは音響素子の2次元マトリックスアレイを有している。

20

【0036】

フリップチップバンプのみによる接続では組立て強度に対して十分でない場合があるので、アンダーフィル104は、部品をまとめる機械的強度を追加する働きをする。アンダーフィルはまた音響スタックとICとの間の接合の良好な密閉封止をもたらす。さらに、フリップチップ型2次元アレイの場合、アンダーフィルはまたフリップチップの完了後の機械的支持を提供し、ダイシングプロセスが音響スタックを個々の素子へと分離する。分離切断は音響スタックの最後の層より深いことが必要であるが、ICに達するほど深くする必要はない。従って、アンダーフィルはまた2次元アレイの個々の素子の各々を支持する機能も果たす。

30

【0037】

ダイシングは、参考符号106によって指示されるように隙間又は溝部を作り出す。ダイシング工程に関し、このプロセスを製造可能なものにするため、高アスペクト比フリップチップバンプの高さは、およそ70μmから100μmの範囲にされる必要がある。これは、下にあるICを損傷することなく、新たに作り出される個々の音響素子間で、音響スタック90のデマッチング層96の完全な分離を確保するために重要である。

【0038】

図9は、本発明の一実施形態に従った超音波トランステューサを具備する超音波画像診断システム110のブロック図を示している。超音波画像診断システム110は、超音波トランステューサプローブ114との使用に適合されたベースユニット112を有している。超音波トランステューサプローブ114はここで説明されるような超音波トランステューサ100を有している。ベースユニット112は、特定の超音波診断用途の要求に従って超音波診断イメージングを行うのに適した電子装置を有している。超音波トランステューサプローブ114は、例えば電子ケーブル、無線接続、又はその他の好適手段などの好適な接続を介してベースユニット112に結合している。超音波画像診断システム110は様々な種類の医療診断超音波イメージングを実行するために使用され得る。

40

【0039】

図10乃至13は、本発明の他の一実施形態に従った高アスペクト比フリップチップ型2次元超音波トランステューサを形成する工程を示す断面図である。図10乃至13には、図の単純化のため、トランステューサの一部120のみが示されている。さらに、図1

50

0の実施形態は、以下の相違を有するが、図2乃至8の実施形態と似通っている。この実施形態においては、フリップチップバンプの製造方法は、高アスペクト比のフォトリソグラフィプロセスを使用して、ウェハ表面に高アスペクト比の導電性造形部を作成することを有している。

【0040】

高アスペクト比のフォトリソグラフィの一形態は、独国のカールスルーエ原子力研究センターで開発されたLIGA技術の一部を含む。具体的には、高アスペクト比フォトリソグラフィ工程は、光の代わりにシンクロトロン放射線を使用する。シンクロトロン放射線は極めて平行で強いX線放射線を有し、この放射線はX線ディープエッチング・リソグラフィに使用可能である。

10

【0041】

高アスペクト比フォトリソグラフィ(図10)に関し、所望の厚さを有する感放射線性レジスト(例えば、プラスチック)の層122がウェハ表面を覆って形成される。一実施形態において、参照符号123によって指示される所望厚さは、所与の高アスペクト比フリップチップバンプ用途の要求に従って選定される。例えば、所望厚さ123は100μmから1000μmの範囲内の厚さを有し得る。他の一実施形態においては、所望厚さはおよそ数百μmの厚さである。

【0042】

そして、感放射線性レジストの層122は、平坦なX線吸収剤を含むマスク124を介して照射される。マスク124はさらにX線吸収剤の造形部を含んでおり、この造形部は、例えば、所与の超音波トランスデューサ用途の要求に従って所望されるフリップチップ導電性バンプの126の位置に対応してパターニングされている。所望のパターニングされた区域は参照符号128によって指示されている。

20

【0043】

レジスト122の照射領域は、現像処理中に溶解作用によって実質的に除去され、レジスト構造内にキャビティ130が形成される(図11)。レジスト構造のキャビティ130は、それから、電気めっきによって所望のフリップチップバンプ導電体(例えば、金属)で充填される。その後、レジストは好適な除去方法を用いて除去され、図12に示されるように、金属の造形部132及び134が残される。

30

【0044】

残存している電気鋳造された(electroformed)高アスペクト比の金属造形部132及び134は、その後、フリップチップバンプとして使用される。フリップチップバンプは参照符号136によって指示されたピッチだけ隔てられている。バンプ132は参照符号138によって指示された高さ寸法と、参照符号140によって指示された幅寸法とを有している。一実施形態において、ピッチ136はおよそ100μmであり、高さ138はおよそ100μmであり、幅140はおよそ40μmである。

【0045】

従って、高アスペクト比のシンクロトロン放射線フォトリソグラフィプロセスにより、所望の高密度/高アスペクト比のバンプが作成される。さらに、X線ディープエッチング・リソグラフィにシンクロトロン放射線を使用する方法は、10に至るまでのアスペクト比でウェハ表面にバンプを作成することを可能にし、ここで議論されるようなフリップチップ分離の必要性を効果的に解決するものである。

40

【0046】

図13を参照するに、図6乃至8に関して上述されたのと同様に、音響スタック90が図12の構造120にフリップチップ接合される。フリップチップの位置整合と設置との後、構造150は、導電性接着剤の硬化(キュア)のためにオープン内に置かれる。硬化後の導電性接着剤は参照符号102によって指示されている。アンダーフィル材料は参照符号104によって指示されている。構造150は、音響スタック90から個々の音響素子のアレイを作り出すのに適したダイシング工程によって四角く切断される。ダイシングは、参照符号106によって指示されるような溝部を作り出す。高アスペクト比フ

50

リップチップバンプ(132、134)の高さは、下にあるICを損傷することなく、素子アレイ内に新たに作り出される個々の音響素子間で、音響スタックのデマッチング層の完全な分離を確保するために、およそ70μmから100μmの範囲にされる。

【0047】

図14は、本発明の他の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランステューサを示す断面図である。図14には、図の単純化のため、超音波トランステューサの一部160のみが示されている。図14の実施形態は、以下の相違を有するが、図2乃至8に関して上述された実施形態と似通っている。この実施形態においては、高アスペクト比のフリップチップバンプの製造方法は、埋込バンプを用いることを有している。埋込バンプは以下で更に説明するように、例えば、金のボールボンディング等を含んでいる。

10

【0048】

所望の高アスペクト比のフリップチップバンプを作成するため、埋込バンプは互いの頂部に置かれた複数のバンプを用いることを含む。この方法は、ウェハ又は基板52の上に第1層の金のボールボンディングバンプ162を形成することを含む。続いて、第2層の金のボールボンディングバンプ164が、第1層の金のボールボンディングバンプの上に形成される。所与のフリップチップバンプ用途に対して所望される高アスペクト比のフリップチップバンプが得られるまで、更なる層の金のボールボンディングバンプを先行する層の金のボールボンディングバンプ上に設けるプロセスが、必要に応じて繰り返される。例えば、図14の実施形態においては、この方法はさらに、第3層の金のボールボンディングバンプ166を第2層の金のボールボンディングバンプ164上に形成することを含んでいる。

20

【0049】

図14の高アスペクト比のフリップチップバンプは参考符号168によって指し示されたピッチだけ隔てられている。このフリップチップバンプは参考符号167によって指し示された高さ寸法と、参考符号163によって指し示された幅寸法とを有している。一実施形態において、ピッチ168はおよそ150μmであり、高さ167はおよそ100μmであり、幅163はおよそ80μmである。さらに、一実施形態において、後続の層の金のボールボンディングバンプの大きさは、少なくとも1つの次元において、先行する層の対応する金のボールボンディングバンプの大きさより小さくされている。

30

【0050】

なおも図14を参照するに、図6乃至8に関して上述されたのと同様に、音響スタック90が構造160にフリップチップ接合される。フリップチップの位置整合と設置との後、構造160は、導電性接着剤の硬化(キュア)のためにオープン内に置かれる。硬化後の導電性接着剤は参考符号102によって指し示されている。アンダーフィル材料は参考符号104によって指し示されている。構造160は、音響スタック90から個々の音響素子のアレイを作り出すのに適したダイシング工程によって四角く切断される。ダイシングは、参考符号106によって指し示されるような溝部を作り出す。高アスペクト比フリップチップバンプの高さは、下にあるICを損傷することなく、素子アレイ内に新たに作り出される個々の音響素子間で、音響スタックのデマッチング層の完全な分離を確保するために、およそ70μmから100μmの範囲にされる。

40

【0051】

従って、本発明の実施形態により、2次元アレイ内におよそ2500個から10万個のフリップチップバンプを必要とする用途向けの、80μmから500μmのピッチ、40μmから150μmのバンプのフットプリントを有し、さらに、1より大きいアスペクト比を有する超音波センサーの製造が可能になる。

【0052】

ほんの数個の典型的な実施形態について詳細に説明してきたが、当業者が容易に認識するであろうように、ここで開示された実施形態の新規の教示及び利点を有意に逸脱することなく、これらの典型的な実施形態に多数の変更を為すことが可能である。例えば、ここ

50

で開示された実施形態はさらに、1つ又は複数の集積回路ダイを有する半導体ウェハと、この1つ又は複数の集積回路ダイに結合され、上述のようにフリップチップバンプのアスペクト比が1：1より大きい高アスペクト比のフリップチップバンプのアレイとを含むことができる。従って、このような変更の全ては、請求項にて定められるような、ここで開示された実施形態の範囲内に含まれるものである。

【図面の簡単な説明】

【0053】

【図1】従来の超音波センサーを示す図である。

【図2】本発明の一実施形態に従った2次元超音波トランスデューサにおいて使用される高アスペクト比フリップチップバンプを形成する段階を示す断面図である。10

【図3】本発明の一実施形態に従った2次元超音波トランスデューサにおいて使用される高アスペクト比フリップチップバンプを形成する段階を示す断面図である。

【図4】本発明の一実施形態に従った2次元超音波トランスデューサにおいて使用される高アスペクト比フリップチップバンプを形成する段階を示す断面図である。

【図5】本発明の一実施形態に従った2次元超音波トランスデューサにおいて使用される高アスペクト比フリップチップバンプを形成する段階を示す断面図である。

【図6】本発明の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサの形成における音響スタックの一部を示す断面図である。

【図7】本発明の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサを形成する段階を示す断面図である。20

【図8】本発明の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサを形成する段階を示す断面図である。

【図9】本発明の一実施形態に従った超音波トランスデューサを具備する超音波画像診断システムを示すブロック図である。

【図10】本発明の他の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサを形成する段階を示す断面図である。

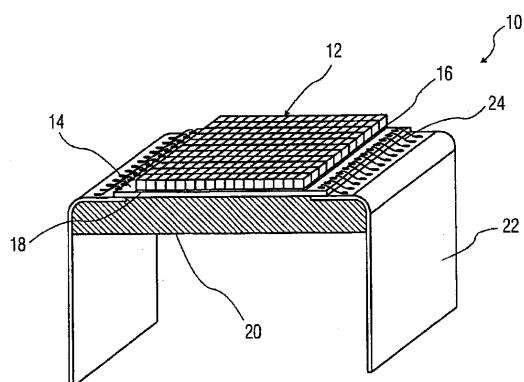
【図11】本発明の他の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサを形成する段階を示す断面図である。

【図12】本発明の他の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサを形成する段階を示す断面図である。30

【図13】本発明の他の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサを形成する段階を示す断面図である。

【図14】本発明の他の一実施形態に従った高アスペクト比フリップチップバンプ型2次元超音波トランスデューサを示す断面図である。

【図 1】



従来技術

【図 2】

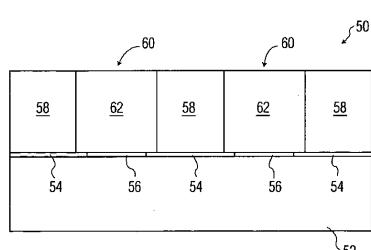


FIG. 2

【図 3】

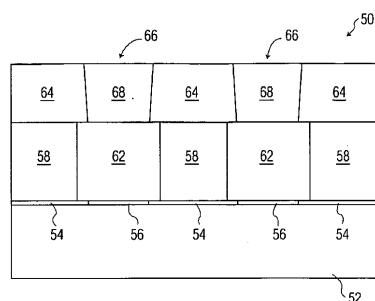


FIG. 3

【図 4】

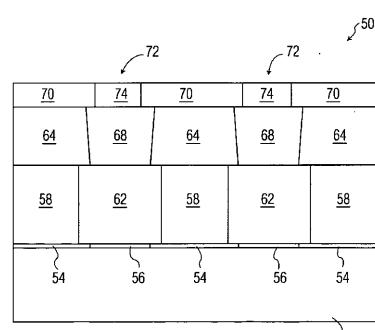


FIG. 4

【図 5】

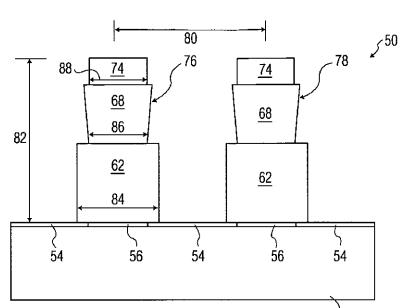


FIG. 5

【図 7】

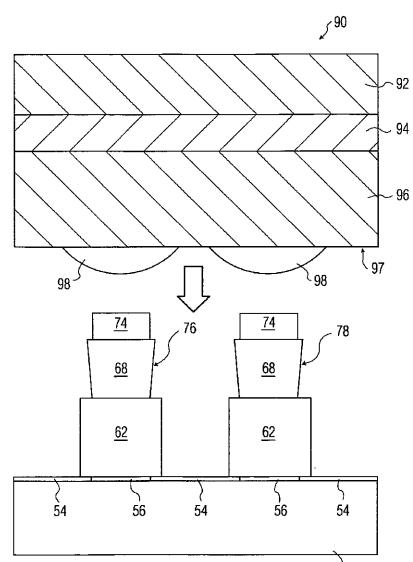


FIG. 7

【図 6】

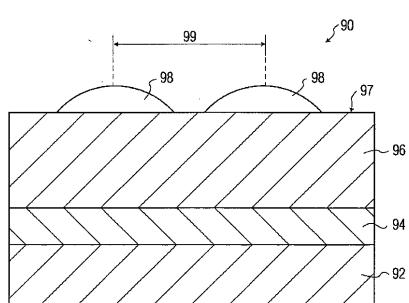


FIG. 6

【図 8】

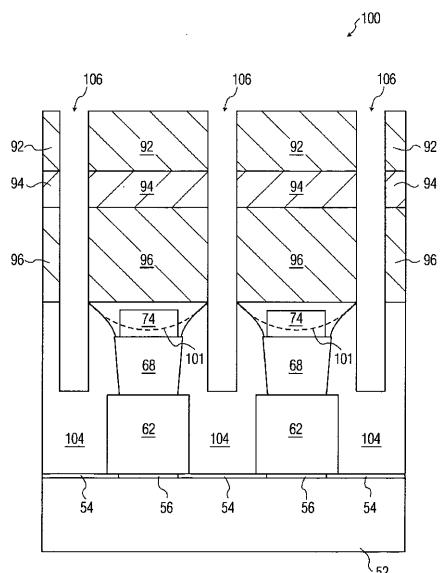


FIG.8

【図 9】

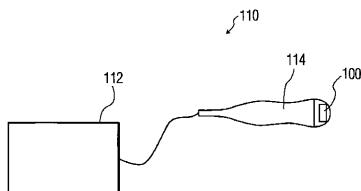


FIG.9

【図 10】

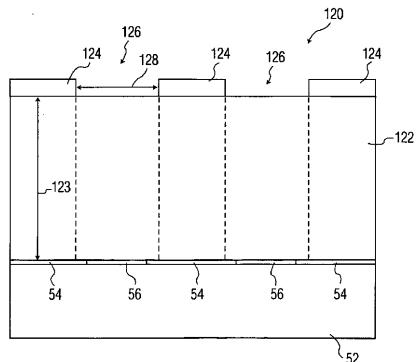


FIG.10

【図 11】

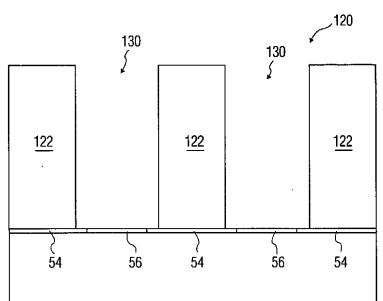


FIG.11

【図 13】

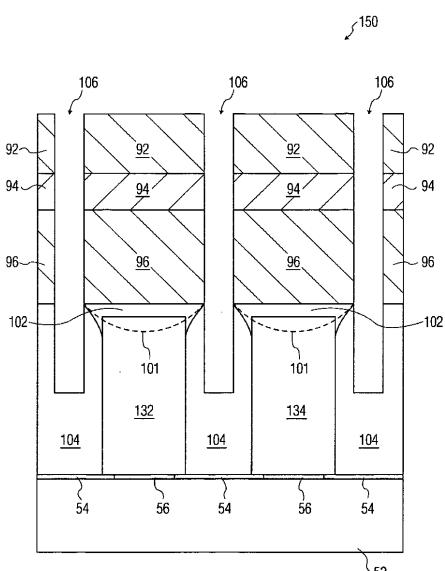


FIG.13

【図 12】

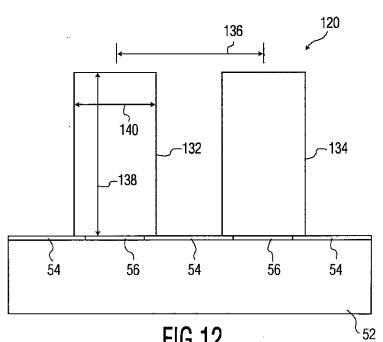


FIG.12

【図14】

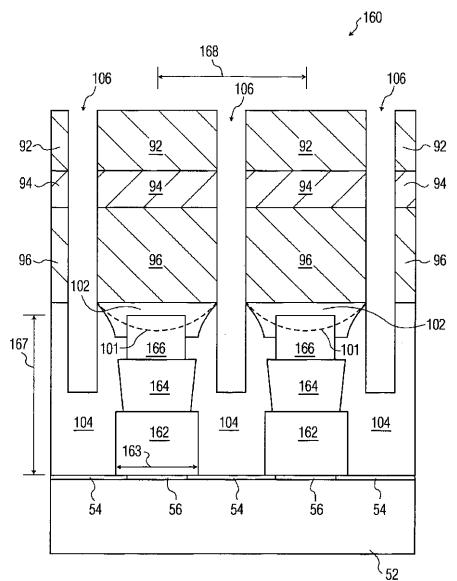


FIG.14

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Inter	Application No
PCT/IB2005/052686	

A. CLASSIFICATION OF SUBJECT MATTER				
G01S15/89 G01S7/521 B06B1/06 G10K11/00 A61B8/14				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) G01S B06B G10K A61B H01L				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indication, where appropriate, of the relevant passages			Relevant to claim No.
X	US 6 325 757 B1 (ERIKSON KENNETH R ET AL) 4 December 2001 (2001-12-04)			1-4,10, 13-21, 25, 27-32, 36,37
Y	column 4, line 44 - column 5, line 10 column 7, line 11 - column 8, line 53 figures 10,11,15			5-9,11, 12, 22-24, 33-35
X	US 2003/018267 A1 (ERIKSON KENNETH R ET AL) 23 January 2003 (2003-01-23) paragraph '0047! figure 5			1,18,19, 28
				-/-
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of box C.			<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :				
"A" document defining the general state of the art which is not considered to be of particular relevance				
"E" earlier document but published on or after the international filing date				
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)				
"O" document referring to an oral disclosure, use, exhibition or other means				
"P" document published prior to the international filing date but later than the priority date claimed				
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention				
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone				
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.				
"&" document member of the same patent family				
Date of the actual completion of the international search		Date of mailing of the international search report		
30 November 2005		16/12/2005		
Name and mailing address of the ISA		Authorized officer		
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Willig, H		

INTERNATIONAL SEARCH REPORT

Inter	Application No
PCT/IB2005/052686	

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/013969 A1 (ERIKSON KENNETH R ET AL) 16 January 2003 (2003-01-16) figures 4A-4D paragraphs '0078! - '0085! -----	6-9, 22, 33
Y	GUCKEL H: "HIGH-ASPECT-RATIO MICROMACHINING VIA DEEP X-RAY LITHOGRAPHY" PROCEEDINGS OF THE IEEE, IEEE. NEW YORK, US, vol. 86, no. 8, August 1998 (1998-08), pages 1586-1593, XP000848428 ISSN: 0018-9219 abstract -----	11, 12, 23, 24, 34, 35
Y	CHANGHAI WANG ET AL: "Laser-assisted bumping for flip chip assembly" IEEE TRANSACTIONS ON ELECTRONICS PACKAGING MANUFACTURING IEEE USA, vol. 24, no. 2, April 2001 (2001-04), pages 109-114, XP002356731 ISSN: 1521-334X abstract VI. Discussion -----	5
A	US 2003/028108 A1 (MILLER DAVID G) 6 February 2003 (2003-02-06) paragraph '0034! -----	16
A	HRUBY J: "LIGA technologies and applications" MRS BULLETIN MATER. RES. SOC USA, vol. 26, no. 4, April 2001 (2001-04), pages 337-340, XP002356698 ISSN: 0883-7694 Introduction -----	11, 12, 23, 24, 34, 35
A	STAICULESCU D ET AL: "DESIGN RULE DEVELOPMENT FOR MICROWAVE FLIP-CHIP APPLICATIONS" IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 48, no. 9, September 2000 (2000-09), pages 1476-1480, XP000963478 ISSN: 0018-9480 figure 3 -----	14-16, 26, 37
		-/-

INTERNATIONAL SEARCH REPORT

Inter	Application No
PCT/IB2005/052686	

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>NGOC-HOA HUYNH ET AL: "Optimized flip-chip interconnect for 38 GHz thin-film microstrip multichip modules" MICROWAVE SYMPOSIUM DIGEST. 2000 IEEE MTT-S INTERNATIONAL BOSTON, MA, USA 11-16 JUNE 2000, PISCATAWAY, NJ, USA, IEEE, US, vol. 1, 11 June 2000 (2000-06-11), pages 69-72, XP010505926 ISBN: 0-7803-5687-X the whole document</p> <p>-----</p> <p>WONG Y L ET AL: "Flip chip interconnect analysis at millimetre wave frequencies" MTT/ED/AP/LEO SOCIETIES JOINT CHAPTER UNITED KINGDOM AND REPUBLIC OF IRELAND SECTION. 1999 HIGH FREQUENCY POSTGRADUATE STUDENT COLLOQUIUM (CAT. NO.99TH8409) IEEE PISCATAWAY, NJ, USA, 1999, pages 82-87, XP002356749 ISBN: 0-7803-5577-6 figure 4</p> <p>-----</p>	1-37
A		1-37

INTERNATIONAL SEARCH REPORT

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 6325757	B1	04-12-2001	NONE	
US 2003018267	A1	23-01-2003	WO 03000337 A2	03-01-2003
US 2003013969	A1	16-01-2003	WO 03001571 A2 US 2003120153 A1 US 2003018260 A1	03-01-2003 26-06-2003 23-01-2003
US 2003028108	A1	06-02-2003	CN 1531467 A EP 1436097 A2 WO 03013181 A2 JP 2005507581 T	22-09-2004 14-07-2004 13-02-2003 17-03-2005

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 4 R 17/00 3 3 0 G

(81) 指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,L,S,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72) 発明者 スドル, ウォイティック

アメリカ合衆国 ニューヨーク州 1 0 5 1 0 - 8 0 0 1 ブライアクリフ・マナー ピー・オ-
・ボックス 3 0 0 1

F ターム(参考) 2G047 CA01 GB02 GB17 GB21 GB32 GB34

4C601 EE10 GB06 GB19 GB20 GB21 GB22 GB41 GB43

5D019 AA26 BB19 FF04 HH01

5F044 KK16 KK17 KK18 KK19 QQ02 QQ04

专利名称(译)	二维超声换能器阵列		
公开(公告)号	JP2008509774A	公开(公告)日	2008-04-03
申请号	JP2007526679	申请日	2005-08-15
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	スドルウォイティック		
发明人	スドル, ウォイティック		
IPC分类号	A61B8/00 H01L21/60 G01N29/24 H04R17/00 H04R31/00		
CPC分类号	B06B1/0629 G01S7/52079 G01S7/5208 G01S15/8925 H01L24/11 H01L24/13 H01L24/29 H01L24/83 H01L2224/1147 H01L2224/11902 H01L2224/13016 H01L2224/1308 H01L2224/13083 H01L2224 /13144 H01L2224/2919 H01L2224/81903 H01L2224/83102 H01L2224/838 H01L2224/83851 H01L2224 /92125 H01L2924/00011 H01L2924/00013 H01L2924/00014 H01L2924/01013 H01L2924/01029 H01L2924/01033 H01L2924/01049 H01L2924/01078 H01L2924/01079 H01L2924/01082 H01L2924 /014 H01L2924/0665 H01L2924/0781 H01L2924/14 H01L2924/1433 Y10T29/42 H01L2224/13099 H01L2924/00 H01L2224/0401		
F1分类号	A61B8/00 H01L21/60.311.Q G01N29/24.502 H04R17/00.332.A H04R31/00.330 H04R17/00.330.G		
F-Term分类号	2G047/CA01 2G047/GB02 2G047/GB17 2G047/GB21 2G047/GB32 2G047/GB34 4C601/EE10 4C601 /GB06 4C601/GB19 4C601/GB20 4C601/GB21 4C601/GB22 4C601/GB41 4C601/GB43 5D019/AA26 5D019/BB19 5D019/FF04 5D019/HH01 5F044/KK16 5F044/KK17 5F044/KK18 5F044/KK19 5F044 /QQ02 5F044/QQ04		
代理人(译)	伊藤忠彦 杉山浩一		
优先权	60/602583 2004-08-18 US		
外部链接	Espacenet		

摘要(译)

超声换能器 (100) 包括集成电路 (52) 和通过倒装芯片凸块 (76,78) 耦合到集成电路的声学元件阵列 (92,94,96)。倒装芯片凸点具有高纵横比凸点，纵横比大于1：1。纵横比由凸起高度 (82) 与凸起宽度 (84) 的比率组成。

