

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-166745
(P2004-166745A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int. Cl.⁷

A61B 8/00
A61B 8/14

F I

A61B 8/00
A61B 8/14

テーマコード (参考)

4C301
4C601

審査請求 未請求 請求項の数 23 O L (全 20 頁)

(21) 出願番号 特願2002-332926 (P2002-332926)
(22) 出願日 平成14年11月15日 (2002.11.15)

(71) 出願人 390029791
アロカ株式会社
東京都三鷹市牟礼6丁目2番1号
(74) 代理人 100075258
弁理士 吉田 研二
(74) 代理人 100096976
弁理士 石田 純
(72) 発明者 藤木 俊昭
東京都三鷹市牟礼6丁目2番1号 アロカ株式会社内

最終頁に続く

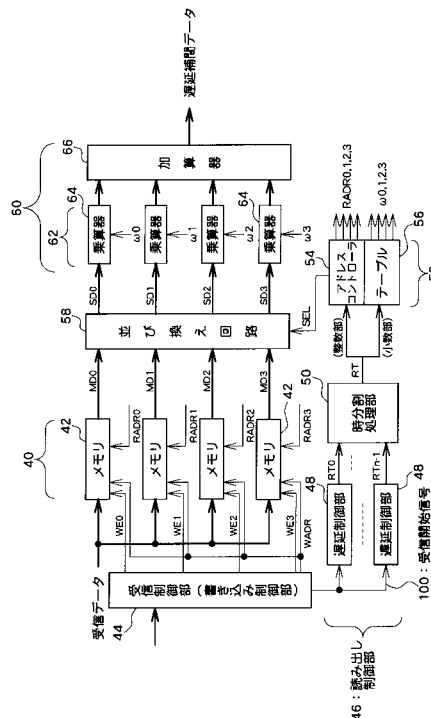
(54) 【発明の名称】 超音波診断装置

(57) 【要約】

【課題】 超音波診断装置において整相加算処理を迅速に行えるようにし、特に多方向同時受信などに適する整相加算処理を実現する。

【解決手段】 時系列順で入力されるデータ列は4つ単位で4つのメモリ42に順番に書き込まれ、それが繰り返される。補間用の4つのデータが4つのメモリ42から同時に読み出され、それらの4つのデータが並び換えられた後に4つの乗算器64へ出力される。それらの4つの乗算器64には補間用の係数が入力されており、各データに対して各係数が乗算され、それらの乗算結果が加算部66で加算される。多方向同時受信を行う場合には、4つのメモリ42からのデータの読み出し以降の各処理を時分割で実行させる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のメモリと、
時系列順で入力される複数のデータを前記複数のメモリに対して振り分けて書き込む書き込み制御部と、
前記複数のメモリから、遅延時間に応じて、時間的に連続した複数のデータからなるデータセットを読み出す読み出し制御部と、
前記読み出されたデータセットから構成される補間用のデータ列に対して、前記遅延時間に応じた重み付け加算を行って、前記遅延時間に対応する補間データを生成する補間部と、
を含むことを特徴とする超音波診断装置。

10

【請求項 2】

請求項 1 記載の装置において、
前記読み出されたデータセットと、前記重み付け加算で用いられる複数の係数からなる係数列と、の相互の対応関係を制御する対応関係制御部を含むことを特徴とする超音波診断装置。

【請求項 3】

請求項 2 記載の装置において、
前記対応関係制御部は、前記読み出されたデータセットに対する並び換え処理を実行することを特徴とする超音波診断装置。

20

【請求項 4】

請求項 3 記載の装置において、
前記並び換え処理では、前記読み出されたデータセットを構成する全部のデータを並び換えて前記補間用のデータ列を構成することを特徴とする超音波診断装置。

【請求項 5】

請求項 3 記載の装置において、
前記並び換え処理では、前記読み出されたデータセットの中で部分的な複数のデータを並び換えて前記補間用のデータ列を構成することを特徴とする超音波診断装置。

【請求項 6】

請求項 2 記載の装置において、
前記対応関係制御部は、前記係数列に対する並び換え処理を実行することを特徴とする超音波診断装置。

30

【請求項 7】

請求項 6 記載の装置において、
前記読み出されたデータセットがそのままの配列で前記補間用のデータ列として前記補間部へ入力されることを特徴とする超音波診断装置。

【請求項 8】

請求項 1 記載の装置において、
前記読み出し制御部及び前記補間部は、1つの送信ビームに対して複数の受信ビームを同時形成するために時分割動作することを特徴とする超音波診断装置。

40

【請求項 9】

請求項 8 記載の装置において、
前記読み出し制御部は、前記複数の受信ビームに対応した複数の遅延時間に従って、前記複数のメモリから複数のデータセットを読み出し、
前記補間部は、前記読み出された複数のデータセットに対応する複数の補間用のデータ列に対してそれぞれ重み付け加算を行って、前記複数の受信ビームに対応した複数の補間データを生成することを特徴とする超音波診断装置。

【請求項 10】

請求項 1 記載の装置において、
前記補間部は、前記補間データとして、複素関係にある実数部補間データ及び虚数部補間

50

データを生成すること特徴とする超音波診断装置。

【請求項 1 1】

請求項 1 0 記載の装置において、

前記補間部は、

前記実数部補間データを生成する実数部補間回路と、

前記虚数部補間データを生成する虚数部補間回路と、

を有し、

前記実数部補間回路と前記虚数部補間回路とが並列的に動作することを特徴とする超音波診断装置。

【請求項 1 2】

請求項 1 1 記載の装置において、

前記読み出し制御部は、前記複数のメモリから同じデータセットを 2 回ずつ読み出し、

前記実数部補間回路は、前記読み出された 2 つのデータセットの内で一方のデータセットから構成される一方の補間用のデータ列に基づいて前記実数部補間データを生成し、

前記虚数部補間回路は、前記読み出された 2 つのデータセットの内で他方のデータセットから構成される他方の補間用のデータ列に基づいて前記虚数部補間データを生成することを特徴とする超音波診断装置。

【請求項 1 3】

請求項 1 記載の装置において、

前記複数のメモリは、並列配置され互いに独立して動作する複数のランダムアクセスメモリによって構成されることを特徴とする超音波診断装置。

【請求項 1 4】

請求項 1 記載の装置において、

前記読み出し制御部は、前記遅延時間を表すビット列の中でデータサンプリング周期を単位とする時間を表す整数部に基づいて、前記データセットを選択的に読み出し、

前記遅延時間を表すビット列の中で前記データサンプリング周期内の補間点を表す小数部に基づいて、前記重み付け加算で用いられる係数列を出力する係数列出力部が設けられたことを特徴とする超音波診断装置。

【請求項 1 5】

請求項 1 4 記載の装置において、

前記読み出されたデータセットを構成する全部又は一部のデータを並び換えて前記補間用のデータ列を構成するデータ並び換え部を含み、

前記データ並び換えのパターンは前記整数部に基づいて決定されることを特徴とする超音波診断装置。

【請求項 1 6】

請求項 1 4 記載の装置において、

前記係数列出力部は、前記小数部に基づいて生成された係数列を前記整数部に基づいて並び換えて出力することを特徴とする超音波診断装置。

【請求項 1 7】

複数の受信チャンネルに対応して設けられた複数の位相調整部と、

前記複数の位相調整部から出力された複数の補間データを加算する加算部と、

を含む超音波診断装置において、

前記各位相調整部は、

並列配置された m (但し m は 2 以上の整数) 個のメモリと、

時系列順で入力される複数のデータを m 個のデータごとに区分し、 m 個のデータを前記 m 個のメモリに振り分けて書き込む書き込み制御部と、

前記 m 個のメモリから、遅延時間に基づいて、時間的に連続する m 個のデータからなるデータセットを読み出す読み出し制御部と、

前記読み出されたエコーデータセットから構成される補間用のデータ列に対して、前記遅延時間に応じた重み付け加算を行って、前記遅延時間に対応する補間データを生成する補

10

20

30

40

50

間部と、
を含むことを特徴とする超音波診断装置。

【請求項 18】

請求項 17 記載の装置において、
前記 m 個のメモリの書き込みアドレス端子には、前記書き込み制御部から出力された共通の書き込みアドレス信号が与えられ、
前記 m 個のエコーデータは前記各メモリにおける同じアドレスに書き込まれることを特徴とする超音波診断装置。

【請求項 19】

請求項 17 記載の装置において、
前記 m 個のメモリの読み出しアドレス端子には、前記読み出し制御部から出力された読み出しアドレス信号が与えられ、
前記 m 個のメモリから前記データセットとして前記複数のデータが同時に並列出力されることを特徴とする超音波診断装置。

10

【請求項 20】

請求項 17 記載の装置において、
前記補間用のデータ列は n (n は 2 以上 m 以下の整数) 個のデータによって構成され、
前記重み付け加算で用いられる係数列は n 個の係数によって構成されることを特徴とする超音波診断装置。

【請求項 21】

請求項 20 記載の装置において、
前記補間部は少なくとも 1 つの補間回路によって構成され、
前記各補間回路は、
前記補間用のデータ列を構成する n 個のデータと前記係数列を構成する n 個のデータとの間で乗算を行う n 個の乗算器と、
前記 n 個の乗算器の出力を加算して前記補間データを出力する加算器と、
を含むことを特徴とする超音波診断装置。

20

【請求項 22】

請求項 20 記載の装置において、
前記 m は 4 であり、前記 n は 4 であることを特徴とする超音波診断装置。

30

【請求項 23】

請求項 20 記載の装置において、
前記 m は 8 であり、前記 n は 5 であることを特徴とする超音波診断装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は超音波診断装置に関し、特に複数の受信信号に対して整相加算を実行するビームフォーマーの新しい構成に関する。

【0002】

【従来の技術】

超音波診断装置の受信部にはビームフォーマー（一般にはデジタルビームフォーマー（DBF））としての整相加算部が設けられる。整相加算部は、複数の受信信号間で位相調整を行うことにより、電子的に超音波ビーム（受信ビーム）を形成する回路である。整相加算後の受信信号に所定の処理を施して超音波画像が形成される。

40

【0003】

整相加算を精度良く行うために、従来から、メモリからのデータ読み出し制御と補間処理とを併用した整相加算部が提案されている。すなわち、サンプリング周期を単位とする粗い遅延をメモリからのデータの読み出し時間の制御によって達成し、加えて、サンプリング周期内の細かい遅延をその遅延分に相当する補間データの生成によって達成するものである。

50

【 0 0 0 4 】

特許文献1では、時系列順のデータ列がいったんメモリに格納され、そこから補間点近傍の4つのデータがシリアルデータとして順次読み出され、それらの4つのデータは直列接続された4つのデータレジスタに格納される。その4つのデータレジスタからパラレルデータとして出力された4つのデータに対して4つの補間係数が乗算され、それにより得られる4つの乗算結果の加算によって補間データが生成されている。特許文献2は、超音波の送信周波数の4倍の周波数で受信信号をサンプリングし、複素信号を得る技術が開示されている。

【 0 0 0 5 】

【 特許文献1 】

特開平5 - 1 8 4 5 6 8 号公報

【 特許文献2 】

特開平9 - 2 2 4 9 3 7 号公報

【 0 0 0 6 】

【 発明が解決しようとする課題 】

上記特許文献1に開示された構成によると、既に説明したように、メモリからシリアルデータとしての4つのデータを読み出して直列接続されたデータレジスタ群の先頭データレジスタへ入力させ、段階的にデータをシフトさせて、データレジスタ群の最終データレジスタまでデータが到達した後にやっと補間処理が可能な状態となる。つまり、データを揃えるまでに時間がかかるという問題がある。例えば、多方向同時受信のために整相加算部の動作を時分割で切り換えるような場合には整相加算処理を迅速に行う必要がある。

【 0 0 0 7 】

本発明の目的は、超音波診断装置において、整相加算処理を迅速に行えるようにすることにある。

【 0 0 0 8 】

本発明の他の目的は、多方向同時受信などに適する整相加算処理を実現することにある。

【 0 0 0 9 】

【 課題を解決するための手段 】

(1) 本発明に係る超音波診断装置は、複数のメモリと、時系列順で入力される複数のデータを前記複数のメモリに対して振り分けて書き込む書き込み制御部と、前記複数のメモリから、遅延時間に応じて、時間的に連続した複数のデータからなるデータセットを読み出す読み出し制御部と、前記読み出されたデータセットから構成される補間用のデータ列に対して、前記遅延時間に応じた重み付け加算を行って、前記遅延時間に対応する補間データを生成する補間部と、を含むことを特徴とする。

【 0 0 1 0 】

上記構成によれば、時系列順で入力されるデータ列が複数のメモリに対して振り分けて格納される。つまり、シリアルデータが一定単位で区分され、各区分を構成する複数のデータが並列的に複数のメモリ上に書き込まれる。この書き込み段階は、シリアルデータをパラレルデータとして高速に読み出すための前処理に相当する。遅延時間に応じて複数のメモリからデータセットが選択的に読み出されるが、そのデータセットを構成する複数のデータは時間軸上で連続した関係にある。複数のメモリに対してデータの並列的な(望ましくは同時の)読み出しを行うならば、最大でメモリ個数分に相当する個数のデータを一挙に得ることができる。つまり、その場合には、補間処理に必要な複数のデータを1回の読み出しで得ることが可能となる。そして、このように得られたデータセットの全部又は一部が補間用のデータ列として利用される。ここで、補間関数としてはスプライン関数など既知の各種の関数を利用できる。

【 0 0 1 1 】

望ましくは、前記読み出されたデータセットと、前記重み付け加算で用いられる複数の係数からなる係数列と、の相互の対応関係を制御する対応関係制御部を含む。この対応関係制御部はデータと補間係数のペアを決定する。

10

20

30

40

50

【0012】

望ましくは、前記対応関係制御部は、前記読み出されたデータセットに対する並び換え処理を実行する。複数のメモリから読み出される複数のデータは時間的には連続しているが、それらの中で先頭データと末尾データの位置は一定ではない。そこで、複数のデータの並び換えを行って、それらと複数の係数との対応関係を適正にするものである。

【0013】

望ましくは、前記並び換え処理では、前記読み出されたデータセットを構成する全部のデータを並び換えて前記補間用のデータ列を構成する。望ましくは、前記並び換え処理では、前記読み出されたデータセットの中で部分的な複数のデータを並び換えて前記補間用のデータ列を構成する。この構成では、並び換え処理にデータ選択処理とデータ配列変換処理とが含まれることになる。もちろん、補間処理で利用されない読み出し不要なデータについては、データセットから除外し、つまりメモリから読み出されないように制御してもよい。

10

【0014】

望ましくは、前記対応関係制御部は、前記係数列に対する並び換え処理を実行する。この構成によっても、補間用のデータ列と補間用の係数列との対応関係を適正にできる。係数列をテーブルを利用して発生させ、その発生した係数列を並び換えるようにしてもよいし、並び換えられた後の係数列がテーブルから出力されるようにしてもよい。

【0015】

望ましくは、前記読み出されたデータセットがそのままの配列で前記補間用のデータ列として前記補間部へ入力される。

20

【0016】

望ましくは、前記読み出し制御部及び前記補間部は、1つの送信ビームに対して複数の受信ビームを同時形成するために時分割動作する。上記構成においては、補間用のデータ列を短時間で準備することができ、このため時分割で補間処理を切り換えて実行する場合に適する。

【0017】

望ましくは、前記読み出し制御部は、前記複数の受信ビームに対応した複数の遅延時間に従って、前記複数のメモリから複数のデータセットを読み出し、前記補間部は、前記読み出された複数のデータセットに対応する複数の補間用のデータ列に対してそれぞれ重み付け加算を行って、前記複数の受信ビームに対応した複数の補間データを生成する。

30

【0018】

望ましくは、前記補間部は、前記補間データとして、複素関係にある実数部補間データ及び虚数部補間データを生成する。実数部補間データと虚数部補間データは互いに複素関係に立ち、例えば、送信周波数の4倍の周波数でサンプリングを行うならば、1つのサンプリング周期が90度(つまり $\pi/2$)に相当するので、それらの補間データはちょうど1サンプリング期間だけずれた関係となる。実数部補間データと虚数部補間データとを生成する場合に、同じデータ列を補間処理の対象にすることもできるし、時間軸上で1つ(又は複数)のデータ分だけ時間的にずれた関係にある2つのデータ列をそれぞれの補間処理の対象とすることもできる。

40

【0019】

望ましくは、前記補間部は、前記実数部補間データを生成する実数部補間回路と、前記虚数部補間データを生成する虚数部補間回路と、を有し、前記実数部補間回路と前記虚数部補間回路とが並列的に動作する。これに代えて、1つの補間回路を時分割動作させることも可能である。

【0020】

望ましくは、前記読み出し制御部は、前記複数のメモリから同じデータセットを2回ずつ読み出し、前記実数部補間回路は、前記読み出された2つのデータセットの内で一方のデータセットから構成される一方の補間用のデータ列に基づいて前記実数部補間データを生成し、前記虚数部補間回路は、前記読み出された2つのデータセットの内で他方のデータ

50

セットから構成される他方の補間用のデータ列に基づいて前記虚数部補間データを生成する。

【0021】

望ましくは、前記複数のメモリは、並列配置され互いに独立して動作する複数のランダムアクセスメモリによって構成される。複数のメモリとしては、少なくとも、複数のデータの振り分け記憶と複数のデータの並列的な同時読み出しとを実現できる限りにおいて、各種の構成を用いることができるが、望ましくは、入力信号に対して並列配置された複数のRAMが用いられる。

【0022】

望ましくは、前記読み出し制御部は、前記遅延時間を表すビット列の中でデータサンプリング周期を単位とする時間を表す整数部に基づいて、前記データセットを選択的に読み出し、前記遅延時間を表すビット列の中で前記データサンプリング周期内の補間点を表す小数部に基づいて、前記重み付け加算で用いられる係数列を出力する係数列出力部が設けられる。

10

【0023】

望ましくは、前記読み出されたデータセットを構成する全部又は一部のデータを並び換えて前記補間用のデータ列を構成するデータ並び換え部を含み、前記データ並び換えのパターンは前記整数部に基づいて決定される。望ましくは、前記係数列出力部は、前記小数部に基づいて生成された係数列を前記整数部に基づいて並び換えて出力する。

【0024】

(2)また、本発明に係る超音波診断装置は、複数の受信チャンネルに対応して設けられた複数の位相調整部と、前記複数の位相調整部から出力された複数の補間データを加算する加算部と、を含む超音波診断装置において、前記各位相調整部は、並列配置された m (但し m は2以上の整数)個のメモリと、時系列順で入力される複数のデータを m 個のデータごとに区分し、 m 個のデータを前記 m 個のメモリに振り分けて書き込む書き込み制御部と、前記 m 個のメモリから、遅延時間に基づいて、時間的に連続する m 個のデータからなるデータセットを読み出す読み出し制御部と、前記読み出されたエコーデータセットから構成される補間用のデータ列に対して、前記遅延時間に応じた重み付け加算を行って、前記遅延時間に対応する補間データを生成する補間部と、を含むことを特徴とする。

20

【0025】

望ましくは、前記 m 個のメモリの書き込みアドレス端子には、前記書き込み制御部から出力された共通の書き込みアドレス信号が与えられ、前記 m 個のエコーデータは前記各メモリにおける同じアドレスに書き込まれる。

30

【0026】

望ましくは、前記 m 個のメモリの読み出しアドレス端子には、前記読み出し制御部から出力された読み出しアドレス信号が与えられ、前記 m 個のメモリから前記データセットとして前記複数のデータが同時に並列出力される。

【0027】

望ましくは、前記補間用のデータ列は n (n は2以上 m 以下の整数)個のデータによって構成され、前記重み付け加算で用いられる係数列は n 個の係数によって構成される。

40

【0028】

望ましくは、前記補間部は少なくとも1つの補間回路によって構成され、前記各補間回路は、前記補間用のデータ列を構成する n 個のデータと前記係数列を構成する n 個のデータとの間で乗算を行う n 個の乗算器と、前記 n 個の乗算器の出力を加算して前記補間データを出力する加算器と、を含む。

【0029】

望ましくは、前記 m は4であり、前記 n は4である。望ましくは、前記 m は8であり、前記 n は5である。 m を 2^k (但し k は整数)とすればハードウェアの設計が一般に簡易となる。実数部補間点と虚数部補間点の時間軸上の差が上記で説明した1データサンプリング期間分に相当する場合には、それらの中間点を中心とする補間区間に属するデータの

50

個数つまり n を奇数とするのが望ましい。

【 0 0 3 0 】

【 発明の実施の形態 】

以下、本発明の実施の形態を図面に基づいて説明する。

【 0 0 3 1 】

まず、図 1 2 及び図 1 3 を用いて、受信ダイナミックフォーカスを行う場合における遅延処理について説明することにする。図 1 3 にモデルを示すように、反射体 F の深度を d とし、アレイ振動子上の開口中心 1 1 0 から注目する受信素子 1 1 2 までの距離を x とし、送信ビーム 1 1 4 の角度を θ とし、音速を c とすると、送波された超音波が反射体 F に到達してこれにより生じた反射体 F からのエコー 1 1 6 が受信素子 1 1 2 に到達する時間 t は、以下の式で定義される。

10

【 数 1 】

$$t = (\sqrt{x^2 - 2 \cdot x \cdot d \cdot \sin(\theta) + d^2} + d) / c$$

【 0 0 3 2 】

上記式に従って、反射体 F の深度に対する受信時間をグラフにしたものが図 1 2 である。超音波診断装置においては、A/D変換器によって、一定周期（サンプリング周期）で各チャンネルの受信信号がサンプリングされる。そのサンプリングされた各データが図 1 2 において黒丸で表されている。白丸は、補間処理によって受信深度が等間隔（ d ）となるように再サンプリングを行った場合に得られるデータを示している。整相加算を行う場合、複数のチャンネル間で同じ深度のデータが加算されることになる。

20

【 0 0 3 3 】

実際には、各チャンネルごとに、サンプリング周期 t でサンプリングされた時系列順のデータ列がメモリ上にいったん格納される。そして、データ間隔が d となるような再サンプリングを行うために、読み出し時間（RTi）において、メモリからその読み出し時間（補間点）近傍の複数のデータを読み出し、補間処理を用いて図 1 2 に示すカーブ上の補間データ（白丸）を求める。この場合に補間処理は t 以内の遅延処理に相当する。ここで、読み出し時間（RTi）は以下の式によって表される。

【 数 2 】

$$RTi = (\sqrt{x^2 - 2 \cdot x \cdot di \cdot \sin(\theta) + di^2} + di) / c \quad di = \Delta d \cdot i$$

30

【 0 0 3 4 】

次に、図 1 には、本発明に係る超音波診断装置の好適な実施形態が示されており、図 1 はその全体構成を示すブロック図である。

【 0 0 3 5 】

アレイ振動子 1 0 は図示されていない超音波探触子内に設けられる。このアレイ振動子 1 0 は複数の振動素子 1 2 によって構成される。このアレイ振動子 1 0 により超音波ビームが形成され、その超音波ビームが電子走査される。その電子走査方式としては電子リニア走査、電子セクタ走査などを挙げることができる。ちなみに、超音波探触子は生体の表面上に当接して用いられるものであり、あるいは生体の体腔内に挿入して用いられるものである。送信部 1 6 は、アレイ振動子 1 0 を構成する各振動素子 1 2 に対して送信信号を供給する回路であり、送信部 1 6 は送信ビームフォーマーとして構成されている。

40

【 0 0 3 6 】

受信部 1 4 は、アレイ振動子 1 0 を構成する各振動素子 1 2 からの受信信号に対して整相加算処理を実行する回路であり、この受信部 1 4 は受信ビームフォーマーとして機能する。受信部 1 4 においては、各チャンネル（各振動素子 1 2）ごとにアンプ 2 8、A/D変換器 3 0、遅延補間部 3 2 が設けられている。アンプ 2 8 は振動素子 1 2 から出力される受信信号を増幅し、その増幅された受信信号が A/D変換器 3 0 に入力される。A/D変換器 3 0 は本実施形態において送信中心周波数 f_0 の 4 倍の周波数をもったサンプリングクロックに同期してアナログの受信信号をデジタルの受信信号に変換する。

50

【 0 0 3 7 】

遅延補間部 3 2 は、デジタル信号に変換された受信信号（エコーデータ列）に対して遅延処理を行う回路である。この遅延補間部 3 2 については後に図 2 などを用いて具体的に説明する。各チャンネルの受信信号は上述したように遅延補間部 3 2 によって遅延処理され、これにより各チャンネルの受信信号の位相がフォーカス点に対して揃えられ、その状態において加算器 3 4 によって加算される。すなわち各チャンネルの受信信号が整相加算される。これによって超音波ビームが形成され、具体的には、電子フォーカス及び電子ビームステアリングが達成される。

【 0 0 3 8 】

なお、1 送信ビームあたり複数の受信ビームを同時に形成する場合には、加算器 3 4 など
10 を時分割動作させるようにしてもよいし、各受信ビームごとに加算器 3 4 を設けるようにしてもよい。多方向同時受信のための構成については後に詳述することにする。

【 0 0 3 9 】

整相加算後の受信信号は信号処理部 2 0 に入力される。信号処理部 2 0 はユーザーによって選択された動作モードに従って、受信信号に対する処理を実行する。例えば、B モード
20 においては、受信信号に対して検波、対数圧縮などの処理がなされる。カラーフローマッピングモード（カラードプラモード）が選択された場合には、例えば複素信号に対する自己相関演算などの処理が実行される。更にドプラモードなどが選択された場合には、ドプラ情報の抽出及び周波数解析などが実行される。ちなみに、本実施形態に係る超音波診断装置においては 2 次元の超音波画像が形成されているが、もちろん 3 次元の超音波画像が
20 形成される場合にも本発明を適用することができる。

【 0 0 4 0 】

デジタルスキャンコンバータ（D S C）2 2 は、信号処理後の受信信号に対して補間処理、座標変換処理などを実行する。これにより超音波画像の画像データが構成され、この画像データは表示処理部 2 4 を介して表示部 2 6 に出力される。表示部 2 6 には B モード画像などの超音波画像が表示される。主制御部 1 8 は装置内に設けられた各構成の動作制御を行っている。なお、本実施形態に係る装置は受信波に含まれる高調波成分を画像化する場合においても用いることができる。

【 0 0 4 1 】

次に、図 1 に示した遅延補間部 3 2 の具体的な構成について説明する。
30

【 0 0 4 2 】

図 2 には遅延補間部の一例が示されている。この遅延補間部はメモリ部 4 0 からの複数のデータの読み出し制御とそれらの複数のデータを用いた補間処理とによって遅延処理を行うものである。すなわち、複数のデータの読み出し制御によりサンプリング周期の整数倍に相当する粗い遅延時間を設定でき、また補間処理によりサンプリング周期内における細かい遅延を行うことができる。

【 0 0 4 3 】

図 2 において、メモリ部 4 0 には、時系列順で入力されるデータ列が格納される。メモリ部 4 0 は、図 2 に示す例において、4 つのメモリ 4 2 によって構成されている。各メモリは独立して動作する R A M によって構成されているが、もちろんそれぞれのメモリ 4 2 を
40 独立して書き込み読み出し動作させることができる限りにおいてメモリ部 4 0 の構成としては各種のものを採用することができる。

【 0 0 4 4 】

図 2 に示されるように、時系列順で入力されるデータ列に対して複数のメモリ 4 2 が並列配置されており、各データは一つずつ順番に 1 番目のメモリ 4 2 から 4 番目のメモリ 4 2 まで振り分けられて格納され、それがサイクリックに繰り返されることになる。

【 0 0 4 5 】

受信制御部 4 4 は遅延補間部全体の動作を制御しており、図 2 に示す例では、受信制御部 4 4 が書き込み制御部としても機能する。すなわち、その受信制御部 4 4 から各メモリ 4 2 に対して共通の書き込みアドレス信号（W A D R）が出力されている。その信号は各メ
50

メモリ 4 2 における書き込みアドレス端子に入力されている。また受信制御部 4 4 から各メモリ 4 2 に対して書き込みイネーブル信号 (W E 0 , W E 1 , W E 2 , W E 3) が出力されている。

【 0 0 4 6 】

上述したように、入力されるデータ列は 4 データ単位で区分され、その 4 データが 4 つのメモリ 4 2 の同じアドレスに並列的に格納され、それが各区分ごとに繰り返されることになる。すなわち各データはその時系列順で 4 つのメモリ 4 2 に振り分けられて書き込まれる。

【 0 0 4 7 】

読み出し制御部 4 6 は、図 2 に示す例において、複数の遅延制御部 4 8 と、時分割処理部 5 0 と、R T (読み出し時間あるいは遅延量に相当) 処理部 5 2 とによって構成される。遅延制御部 4 8 は、受信開始信号 1 0 0 が入力されたタイミングに基づいて、受信ダイナミックフォーカスを行うために必要なタイミングで読み出し時間 (遅延量) を表すデータ R T を発生させる。本実施形態では、時分割処理によって複数の受信ビームを同時に形成するため複数の遅延制御部 4 8 が設けられている。ただし、1 つの受信ビームのみを形成する場合には 1 つの遅延制御部 4 8 が動作する。この場合、時分割処理部 5 0 は実質的に機能しない。

10

【 0 0 4 8 】

時分割処理部 5 0 は、複数の受信ビームを同時形成する場合に複数の遅延制御部 4 8 から出力されるデータ (R T 0 ~ R T n - 1) を時分割処理し、すなわちそれらのデータを順番に選択して、その選択されたデータ (R T) を出力する回路である。時分割処理が適用される場合には、メモリ部 4 0 の読み出し、並び換え処理、乗算処理、加算処理といった一連の処理がすべて時分割で実行されることになる。ちなみに、そのような時分割処理が適用された場合に得られる各受信ビームごとの遅延補間データは図 1 に示したように加算器 3 4 に入力されるが、その場合においては加算器 3 4 および信号処理部 2 0 なども時分割動作する。もちろん、各受信ビームごとに加算器 3 4 を設け、各受信ビームごとに受信信号を並列処理するようにしてもよい。

20

【 0 0 4 9 】

R T 処理部 5 2 は、本実施形態においてアドレスコントローラ 5 4 とテーブル 5 6 とによって構成されている。データ R T は複数ビット (例えば 1 3 ビット) によって構成されており、そのうちの上位ビットが整数部とされ、そのうちの下位ビットが小数部とされている。ここで整数部はサンプリング周期を単位とした粗い遅延時間に相当し、一方、小数部はサンプリング周期内における細かい遅延時間に相当する。

30

【 0 0 5 0 】

アドレスコントローラ 5 4 は、整数部のうちの下位 2 ビットを除いたものを各メモリ 4 2 に与える読み出しアドレス信号として出力している。図においてその読み出しアドレス信号が R A D R 0 , R A D R 1 , R A D R 2 , R A D R 3 によって表されている。

【 0 0 5 1 】

テーブル 5 6 にはデータ R T のうち的小数部が入力され、テーブル 5 6 は小数部に対応した補間用の係数列を出力する。その係数列は本実施形態において 4 つの係数 0 , 1 , 2 , 3 によって構成されている。それらの係数は 4 つの乗算器 6 4 へ出力されている。

40

【 0 0 5 2 】

並び換え回路 5 8 は 4 つのメモリ 4 2 から同時に出力される 4 つのデータ (データセット) に対して並び換え処理を行うものである。図 2 においては、4 つのメモリ 4 2 から読み出された 4 つのデータが M D 0 , M D 1 , M D 2 , M D 3 によって表されている。並び換え回路 5 8 は、アドレスコントローラ 5 4 において整数部の下位 2 ビットを用いて生成された並び換えパターンを表す信号 S E L に基づいて、入力される 4 つのデータの並び換えを実行し、その並び換えられた後の 4 つのデータを出力する。ここで、出力される 4 つのデータが S D 0 , S D 1 , S D 2 , S D 3 によって表されている。

50

【 0 0 5 3 】

図 2 に示す例では、4つのメモリ 4 2 から出力される4つのデータは補間点近傍の4つのデータであり、それらは時間的に連続しているものではあるが、4つのメモリ 4 2 への振り分けによって必ずしも順番通りに並んで出力されないため、並び換え回路 5 8 は、古いデータ順で4つのデータが並ぶように並び換え処理を実行する。ここで、例えば、S D 0 が最も時間的に古いデータであり、S D 3 が時間的に最も新しいデータである。

【 0 0 5 4 】

補間部 6 0 は図 2 に示す例において乗算器群 6 2 と加算器 6 6 とによって構成される。乗算器群 6 2 は4つの乗算器 6 4 によって構成されている。各乗算器 6 4 には並び換え後のデータが入力され、また補間係数が入力されている。そして、各乗算器 6 4 はデータと補間係数とを乗算する。そして、その乗算結果を加算器 6 6 にて加算することにより、重み付け加算すなわち補間処理を行うことができる。その結果、加算器 6 6 の出力として遅延補間データが得られる。受信ダイナミックフォーカスが適用される場合、各リサンプリングポイントごとに遅延補間データが生成されることになる。図 1 に示したように各チャンネルごとの遅延補間データは図 1 に示した加算器 3 4 に入力されここで整相加算処理が行われる。

10

【 0 0 5 5 】

図 2 に示した構成の動作を図 3 ~ 図 5 を用いて具体的に説明する。

【 0 0 5 6 】

まず、図 3 にはデータ書き込み時の動作がタイミングチャートとして示されている。受信開始から各データが4つずつ4つのメモリ 4 2 に書き込まれるが、その場合においてその4つのデータは各メモリ 4 2 上の同じアドレスに格納される。各メモリ 4 2 ごとの書き込みタイミングはイネーブル信号 W E 0 , W E 1 , W E 2 , W E 3 によって定められる。ちなみに4データ単位での補間処理を行うため、図示される例においてはサンプリング開始タイミングよりも1つ前のデータからメモリ部 4 0 への書き込みが行われている。

20

【 0 0 5 7 】

以上の説明から明らかなように、時系列順で入力される各データは4つのメモリ 4 2 の配列順で順番に振り分けて格納され、すなわち、- 1 番から 2 番までのデータが4つのメモリに順番に格納され、次に 3 番から 6 番までのデータが4つのメモリに順番に格納され、以下同様にこれが繰り返されることになる。

30

【 0 0 5 8 】

図 4 には、読み出しアドレスの生成に関する動作がタイミングチャートとして示されている。ここでは、1つの遅延制御部 4 8 のみが動作する場合について示されている。

【 0 0 5 9 】

受信開始から一定時間 2 0 0 をおいて、読み出し時間すなわち遅延量を表すデータ R T の出力が開始される。このデータ R T は図 1 2 を用いて説明したように深さ方向において均等にリサンプリングがなされるようなタイミングで生成されるものである。

【 0 0 6 0 】

データ R T における整数部（下位 2 ビットを除く）は4つのアドレス信号 R A D R 0 , R A D R 1 , R A D R 2 , R A D R 3 として用いられ、それらの読み出しアドレス信号が各メモリ 4 2 へ出力される。この場合において、整数部における下位 2 ビットは図 4 に示されるように4つのアドレス信号をシフトさせるために用いられる。また、その下位 2 ビットは並び換えパターンを表す信号 S E L を決定し並び換え回路はその信号 S E L に従ってデータの並び換えを行う。いずれにしても、4つのメモリ 4 2 から4つのデータで構成されるデータセットが並列的に同時に読み出され、そのデータセットが補間処理に利用されることになる。

40

【 0 0 6 1 】

図 5 には、図 4 に示したタイミングチャートに更に他の情報を付加したタイミングチャートが示されている。上述したように各メモリ 4 2 に対してそれぞれ個別に読み出しアドレス信号が与えられると、各メモリから4つのデータが同時に読み出される。それが図 5

50

においてMD0, MD1, MD2, MD3で表されている。すると、並び換え回路58は、SELによって表される並び換えパターンに従って、図5に示されるように、データの古い順で並ぶように4つのデータの並び換えを実行する。この並び換え後のデータがSD0, SD1, SD2, SD3によって表されている。具体的には、例えば図5に示す最初のタイミングにおいては、並び換え回路58に-1, 0, 1, 2の4つのデータが入力され、並び換え回路58はパターン0を選択し、-1, 0, 1, 2を出力する。すなわち、そのままの並び順でデータを出力する。次のタイミングにおいては、3, 0, 1, 2の4つのデータが入力されると、並び換え回路58は、SELによって示されるパターン1に従って、入力される4つのデータの並び換えを実行し、その結果、0, 1, 2, 3という並びでそれらが並列的に同時に出力される。これはそれ以降のタイミングにおいても同様であり、すなわちメモリ42からは補間点近傍の4つのデータが出力され、それらは時間的には連続しているが、その並び自体は必ずしも時間順でないため並び換え回路58が補間用の係数列を乗算するために、4つのデータを古い順で並び換えている。

10

【0062】

そのように並び換えられた4つのデータは、上述したように4つの乗算器64において4つの補間用の係数と乗算され、それらの乗算結果が加算器66によって加算されることにより遅延補間データが生成される。すなわち、図5において、遅延補間データとして示されている各数値は補間量すなわちRTを表している。

【0063】

したがって、図2に示した構成によれば、シリアルデータとして入力される複数のデータは並列配置された4つのメモリに振り分けて格納され、これによって事実上シリアル/パラレル変換がなされることになる。これにより、補間処理に必要な4つのデータを選択的に同時に読み出すことが可能となり、補間処理を極めて迅速に実行できるという利点がある。

20

【0064】

図6には、図2に示した構成において、時分割処理を適用した場合の動作が概念的に示されている。例えば4つの遅延制御部48が動作する場合には、すなわち4つの受信ビームを同時に形成する場合には、それぞれの遅延制御部48からRT_A, RT_B, RT_C, RT_Dが出力されるが、時分割処理部50によってそれらの4つのデータが1単位期間内において4つに時分割処理され、すなわちそれらの4つのデータが時間軸上で揃えられてRT処理部52へ出力される。それ以降の動作は上述したものと同様であるが、上述した動作シーケンスにおいて、データの読み出し以降の各動作が1単位時間当たり4回実行されることになる。

30

【0065】

図7には遅延補間部の他の例が示されている。なお、図2に示した構成と同様の構成には同一符号を付しその説明を省略する。

【0066】

図2に示す構成例では、4つのデータに対する並び換えがなされていたが、図7に示す構成例では4つの補間用の係数に対して並び換えがなされている。このような構成によっても同様の結果を得ることが可能となる。

40

【0067】

具体的には、データRTのうちで整数部がアドレスコントローラ54に入力され、小数部がテーブル56に入力される点は図1に示した構成と同様であるが、アドレスコントローラ54は信号SELを並び換え回路70へ出力している。並び換え回路70には、テーブル56によって生成された4つの補間係数が入力されているが、その並び換え回路70は4つの補間係数を信号SELで表されるパターンに従って並び換えている。これにより、4つのデータが順番通りに並んでいなくてもそれらのデータの並びに応じて補間用の係数列の並びを変えることにより、データと係数のペアを適正なものにすることが可能となる。

【0068】

50

したがって、図 7 に示す構成例では、メモリ部 40 と乗算器群 62 との間に図 2 に示した並び換え回路 58 は設けられておらず、その機能は上述した並び換え回路 70 が達成している。

【0069】

図 7 に示す構成例では、テーブル 56 の後段に並び換え回路 70 を設けたが、テーブル 56 自体に並び換えの機能を内蔵させるようにしてもよい。すなわち、テーブル 56 に信号 SEL も入力させ、並び換え後の 4 つの係数を発生させるようにしてもよい。

【0070】

いずれにしても、複数のデータによって構成されるデータセットと複数の係数によって構成される係数列との間における対応関係を制御することにより、適正な補間処理を実現することが可能となる。

10

【0071】

図 8 には、図 7 に示した構成例の動作がタイミングチャートとして示されている。図 5 に示したタイミングチャートと対比すれば明らかなように、並び換え回路 70 によって 4 つの係数 C_0 、 C_1 、 C_2 、 C_3 を並び換えてそれらを 0、1、2、3 としており、例えば最初のタイミングにおいては並び換え後の配列として C_0 、 C_1 、 C_2 、 C_3 となっており、このタイミングでは実質的な並び換えは行われていないが、次のタイミングにおいては、 C_3 、 C_0 、 C_1 、 C_2 となっており、パターン 1 によって並び換えが実行されている。これはそれ以降のタイミングにおいても同様である。

【0072】

20

図 9 には図 1 に示した遅延補間部 32 の更に他の構成例が示されている。

【0073】

この図 9 に示す遅延補間部は上述した時分割処理に対応し且つ複素信号を生成可能なものである。なお、図 2 に示した構成と同様の構成には同一符号を付しその説明を省略する。

【0074】

図 9 に示す構成においては、メモリ部 40 が 8 個のメモリ 42 によって構成される。ここで、その 8 個のメモリ 42 は 2 つのグループに分けられており、すなわち 0 番目から 3 番目のメモリ 42 が第 1 グループを構成し、4 番目から 7 番目のメモリ 42 が第 2 グループを構成している。

【0075】

30

時系列順で入力される複数のデータは、8 個のデータ単位で区分されて 8 つのメモリ 42 に振り分けて格納される。そして、このような書き込み制御が 8 個のデータを単位として繰り返し実行される。遅延制御部 48 から時分割処理部 50 を介して出力されたデータ RT のうちで整数部はアドレスコントローラ 72 に入力され、小数部はテーブル 74 に入力されている。

【0076】

アドレスコントローラ 72 は、第 1 グループを構成する 4 つのメモリ 42 に対する共通の読み出しアドレス信号と第 2 グループを構成する 4 つのメモリ 42 に供給する共通の読み出しアドレス信号とを発生している。図 9 においては、それが RADR0、RADR1 によって表されている。具体的には、整数部の下位 3 ビットを除いた値として第 2 グループ用のアドレス信号が生成されており、そのアドレスにビット 3 の値を加算した値として第 1 グループ用のアドレスが生成されている。

40

【0077】

また、アドレスコントローラ 72 は、整数部における下位 3 ビットを用いて並び換えパターンを決定しており、そのパターンを表す信号 SEL を並び換え回路 58 へ出力している。

【0078】

一方、テーブル 74 にはデータ RT のうち的小数部が入力され、テーブル 74 はその小数部に対応した 2 つの係数列を発生させている。ここで第 1 の係数列は 5 つの係数 0、1、2、3、4 で構成され、第 2 の係数列は 5 つの 5、6、7、8、9

50

によって構成されている。

【0079】

図9において、並び換え回路58には、メモリ部40から同時に出力される8個のデータが入力されている。図においてはそれがMD0～MD7によって表されている。並び換え回路58は、図2に示した並び換え回路58と同様に並び換え機能を有するが、図9に示す並び換え回路58は特にデータ選択機能を有している。すなわち8個のデータのうちの補間処理で用いる5つのデータを選択し、その5つのデータについて並び換えを実行している。ここで、並び換え回路58から出力される5つのデータがSD0, SD1, SD2, SD3, SD4によって表されている。また、信号SELは並び換えパターンを表すとともに8個のデータのうちの5つのデータを選択するパターンも規定している。

10

【0080】

図9に示す構成例において、並び換え回路58の後段には2つの補間部60A, 60Bが並列的に設けられている。ここで、補間部60Aは虚数部遅延補間データ(Qデータ)を生成するための回路であり、補間部60Bは実数部遅延補間データ(Iデータ)を生成するための回路である。ここで、Qデータ及びIデータは周知のように複素関係を有し、それらによって複素信号が構成される。なお、補間部60Aのみを動作させて遅延補間データとしてRFデータを出力させることも可能である。

【0081】

補間部60Aは乗算器群62Aと加算器66Aとによって構成され、ここで乗算器群62Aは5つの乗算器64Aによって構成されている。これと同様に、補間部60Bは乗算器群62Bと加算器66Bとによって構成され、ここで乗算器群62Bは5つの乗算器64Bによって構成されている。5つの乗算器64Aには第1の係数列が入力され、また並び換え回路58から出力されたデータ列が入力されている。そして各乗算器64Aにおいてはデータに対して補間用の係数が乗算されており、それらの乗算結果が加算器66Aにおいて加算され、これによりQデータが生成されている。

20

【0082】

これと同様に、5つの乗算器64Bには第2係数列と並び換え回路58から出力されたデータ列とが入力され、各乗算器64Bにおいてはデータと補間用の係数とが乗算され、それらの乗算結果が加算器66Bで加算され、これによりIデータが生成されている。

【0083】

ここで、IデータとQデータは周知のように90度($\pi/2$)だけ互いにずれた関係にあり、本実施形態においては、サンプリングレートが $4f_0$ であるために、IデータとQデータの位相差は1.0すなわちサンプリング周期に相当している。

30

【0084】

これを考慮し、本実施形態においては、IデータとQデータの間接点から前後均等に複数のデータを補間処理のためのデータとしており、具体的には、同じ5つのデータを実数部および虚数部の両者において補間処理対象としている。上述した第1および第2の係数列はそれぞれ直交サンプリングを実現するための係数列として構成されており、これにより実数部および虚数部の遅延補間データが生成されている。

【0085】

図9に示した構成例では補間処理のために5つのデータが用いられているのにもかかわらず、8個のメモリ42が設けられていたが、これは回路設計上の都合によるものである。いずれにしても8つのメモリ42にはその順番に従って時系列順に8個ずつデータが格納され、それらのメモリから出力される 4×2 個のデータの内で補間処理に用いられる5つのデータが選択されている。

40

【0086】

図9に示した構成例では5つのデータに対して並び換えがなされていたが、もちろん図7に示した構成例と同様に係数列の並び換えを行うようにしてもよい。

【0087】

また、図9に示した構成例では、複数の遅延制御部48が設けられており、図2に示した

50

構成例と同様にIデータおよびQデータの同時生成を前提として、更に時分割処理によって複数の受信ビームの同時形成を行うようにしてもよい。ちなみに、図9に示した構成例では、2つの補間部60A, 60Bが並列的に設けられていたが、それらの機能を時分割処理によって1つの補間部で達成することも可能である。したがって、多方向同時受信と複素信号の生成とを同時に行う場合においては、それらの両者において時分割処理を適用し、例えば4つの受信ビームを同時に形成する場合には単位時間当たり8つの時分割処理を行うようにしてもよい。

【0088】

図10には図9に示した構成例におけるデータ書き込み時の動作がタイミングチャートとして示されている。既に説明したように、時系列順で入力される各データは8つを単位として8つのメモリに振り分けられており、それが繰り返されている。

10

【0089】

図11には、図9に示した構成例におけるデータ読み出し時の動作がタイミングチャートとして示されている。既に説明したように、8つのメモリ42は第1グループと第2グループとに区分されており、それぞれのグループごとに共通の読み出しアドレスが入力されている。したがって、図11に示されるように、4つのデータを単位としてメモリ部40からデータが読み出されることになり、具体的には、補間処理で用いる5つのデータを含む時間的に連続する2つのデータセットが読み出される。そして、その2つのデータセットのうちに必要な5つのデータが選択され、しかもそれが並び換えられた後に2つの補間部60A, 60Bに出力されている。そして、それぞれの補間部60A, 60Bにおいて5つのデータに対して5つの補間係数が乗算され、その結果、IデータとQデータとが生成されている。

20

【0090】

図9に示した実施形態においては、シリアルデータとして入力される複数のデータをメモリ部40へ並列的に書き込むことにより、それらのデータから補間のためのデータセットを同時に得ることが可能となり、その結果、迅速な補間処理を達成でき、しかも複数の受信ビームの同時形成を行う場合においても、時分割処理を容易に行えるため、実用性に優れるという利点がある。

【0091】

【発明の効果】

30

以上説明したように、本発明によれば、整相加算処理を迅速に行うことが可能となっており、多方向同時受信などに適する整相加算処理を実現できる。

【図面の簡単な説明】

【図1】本発明に係る超音波診断装置の好適な実施形態を示すブロック図である。

【図2】遅延補間部の一例を説明するためのブロック図である。

【図3】図2に示した遅延補間部のデータ書き込み時の動作を説明するためのタイミングチャートである。

【図4】図2に示した遅延補間部のデータ読み出し時の動作を説明するためのタイミングチャートである。

【図5】図2に示した遅延補間部のデータ読み出し及び補間処理の動作を説明するためのタイミングチャートである。

40

【図6】図2に示した遅延補間部の時分割動作を説明するためのタイミングチャートである。

【図7】遅延補間部の他の構成例を示すブロック図である。

【図8】図7に示した遅延補間部の動作を説明するためのタイミングチャートである。

【図9】遅延補間部の更に他の構成例を示すブロック図である。

【図10】図9に示した遅延補間部のデータ書き込み時の動作を説明するためのタイミングチャートである。

【図11】図9に示した遅延補間部のデータ読み出し及び補間処理の動作を説明するためのタイミングチャートである。

50

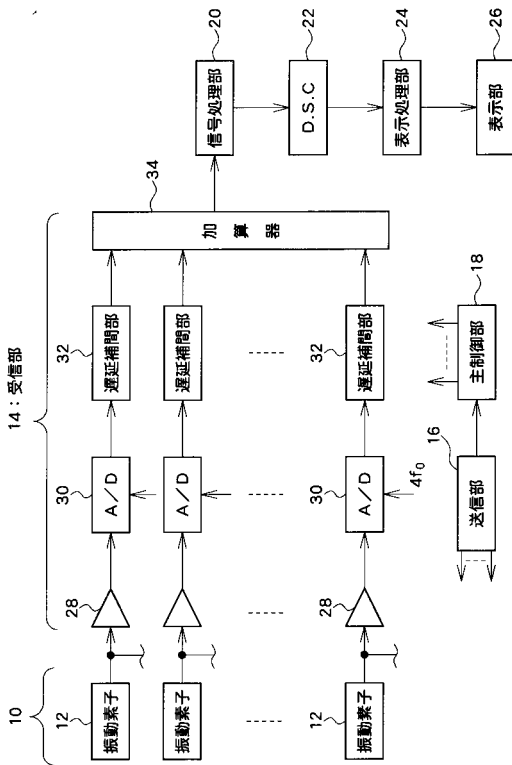
【図12】 サンプルデータと補間データとの関係を示す説明図である。

【図13】 超音波の送受信をモデルとして表す説明図である。

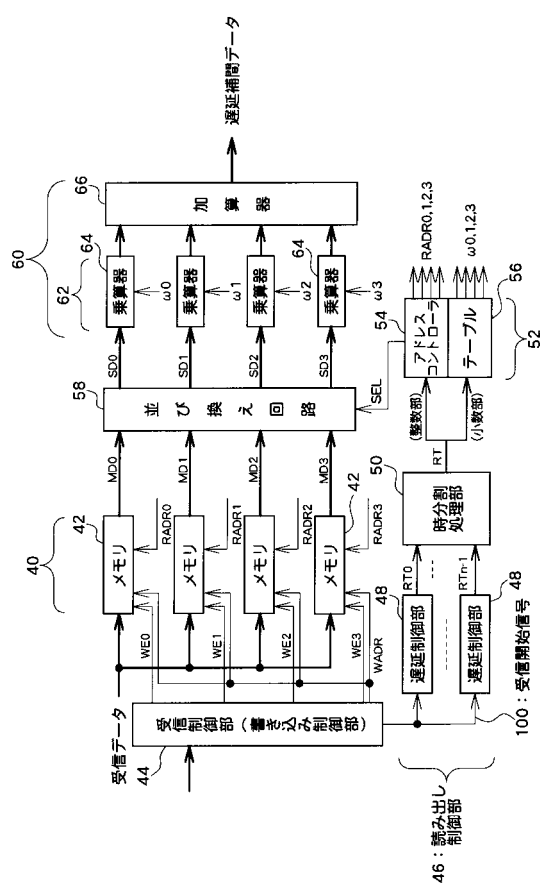
【符号の説明】

- 1 アレイ振動子、 14 受信部、 32 遅延補間部、 34 加算器、 40 メモリ部、
- 42 メモリ、 44 受信制御部（書き込み制御部）、 46 読み出し制御部、 48 遅延制御部、
- 50 時分割処理部、 52 RT処理部、 54 アドレスコントローラ、 56 テーブル、
- 58 並び換え回路、 60 補間部、 64 乗算器、 66 加算器。

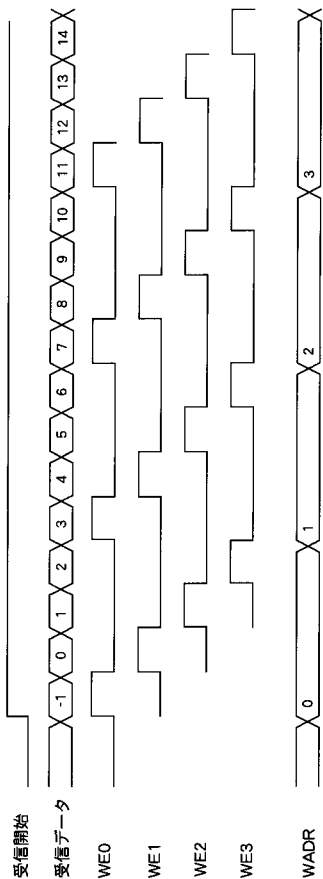
【図1】



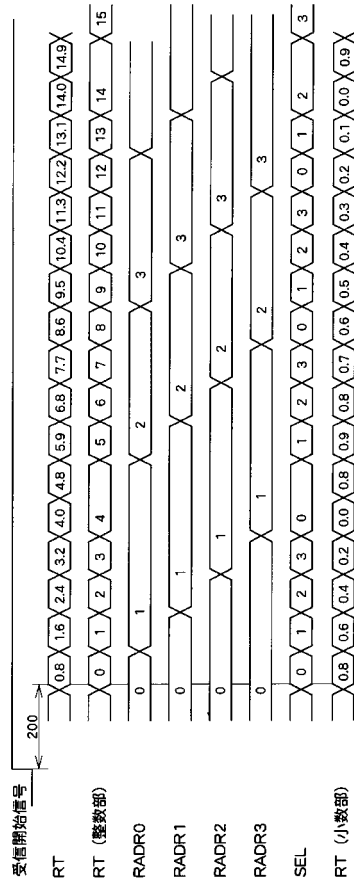
【図2】



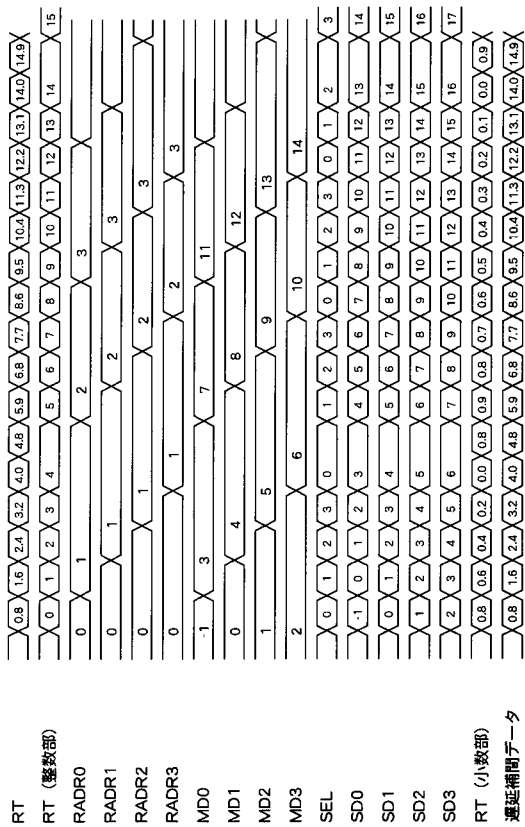
【 3 】



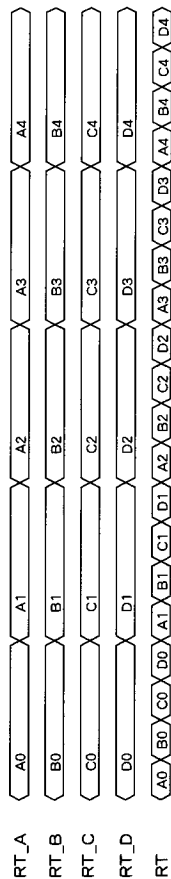
【 4 】



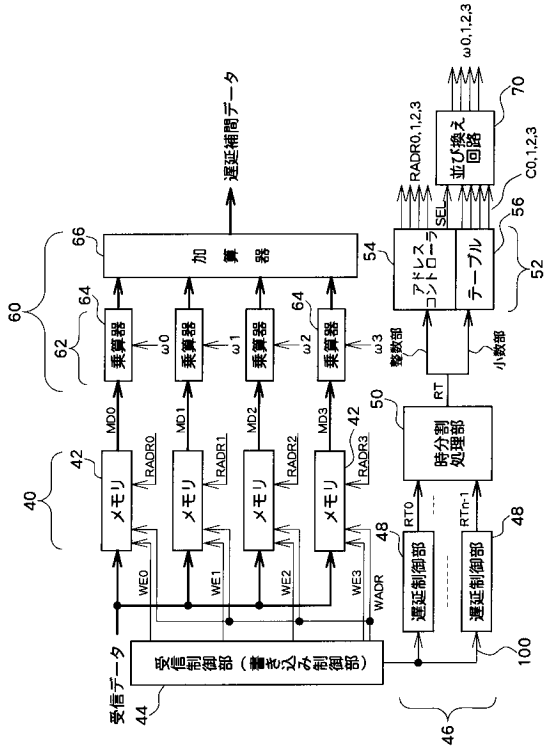
【 5 】



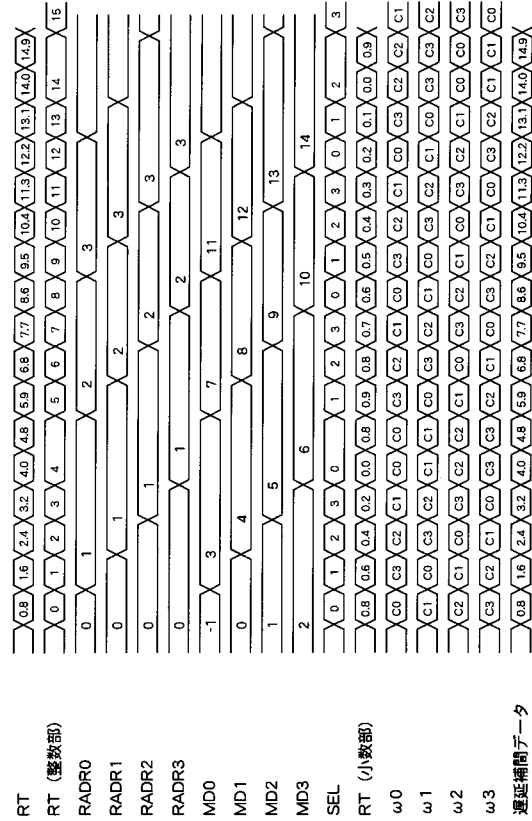
【 6 】



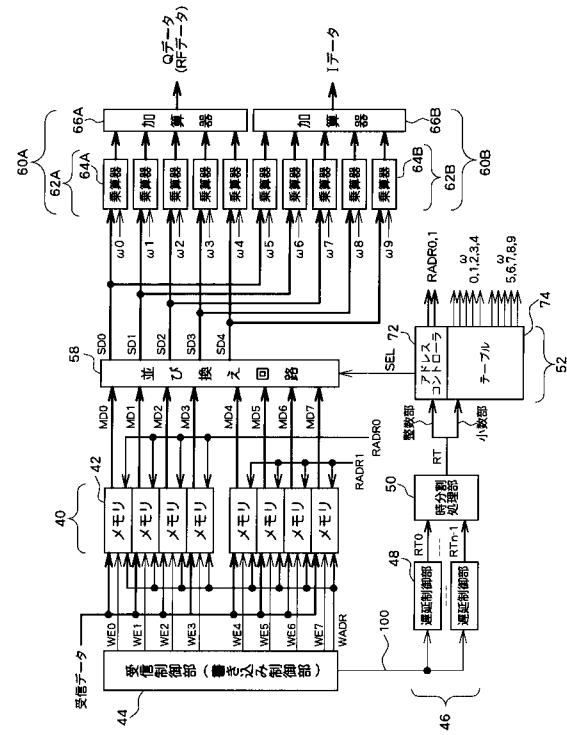
【図7】



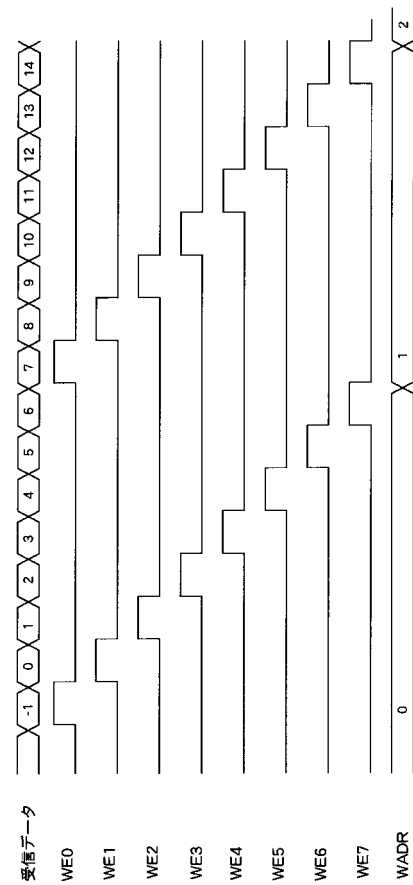
【図8】



【図9】



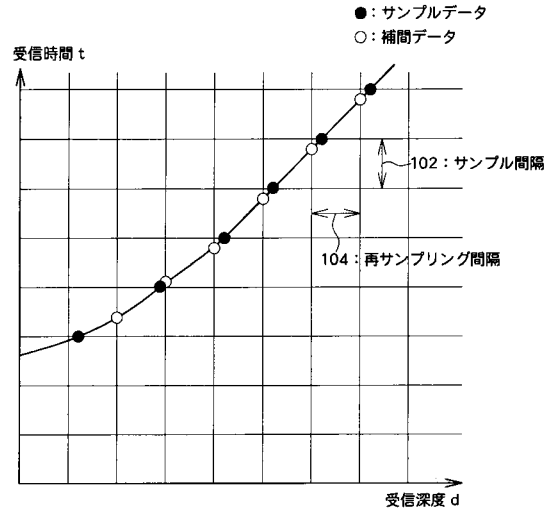
【図10】



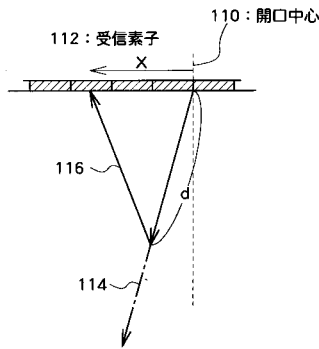
【 図 1 1 】

RT (乗数部)	0.8	1.6	2.4	3.2	4.0	4.8	5.6	6.4	7.2	8.0	8.8	9.6	10.4	11.2	12.0	12.8	13.6	14.4	15.2	
RADR0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
RADR1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
MD0	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
MD1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
MD2	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0
MD3	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0	1
MD4	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0	1	2
MD5	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0	1	2	3
MD6	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0	1	2	3	4
MD7	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0	1	2	3	4	5
SEL	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
SD0	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
SD1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
SD2	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0
SD3	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0	1
SD4	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	0	1	2
Q補間位相量	0.8	0.6	0.4	0.2	0.0	0.8	0.6	0.4	0.2	0.0	0.8	0.6	0.4	0.2	0.0	0.8	0.6	0.4	0.2	0.0
I補間位相量	1.8	1.6	1.4	1.2	1.0	1.8	1.6	1.4	1.2	1.0	1.8	1.6	1.4	1.2	1.0	1.8	1.6	1.4	1.2	1.0

【 図 1 2 】



【 図 1 3 】



フロントページの続き

F ターム(参考) 4C301 AA02 BB01 BB02 BB23 CC02 DD02 FF01 GB03 HH17 HH24
HH25 HH27 HH33 HH37 HH38 HH42 HH51 JB03 JB06 JB28
JB29 JB32 JB50 JC01 KK02 KK16 KK22 LL04 LL05
4C601 BB05 BB06 BB07 BB21 BB23 DE01 GB01 GB03 GB04 HH14
HH30 HH31 JB01 JB03 JB04 JB05 JB08 JB19 JB21 JB34
JB41 JB43 JB45 JB47 JB55 JB57 JB60 JC01 JC25 KK02
KK12 KK18 KK19 KK21 LL01 LL02 LL05

专利名称(译)	超声诊断设备		
公开(公告)号	JP2004166745A	公开(公告)日	2004-06-17
申请号	JP2002332926	申请日	2002-11-15
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
[标]发明人	藤木俊昭		
发明人	藤木 俊昭		
IPC分类号	A61B8/00 A61B8/14		
FI分类号	A61B8/00 A61B8/14		
F-TERM分类号	4C301/AA02 4C301/BB01 4C301/BB02 4C301/BB23 4C301/CC02 4C301/DD02 4C301/FF01 4C301/GB03 4C301/HH17 4C301/HH24 4C301/HH25 4C301/HH27 4C301/HH33 4C301/HH37 4C301/HH38 4C301/HH42 4C301/HH51 4C301/JB03 4C301/JB06 4C301/JB28 4C301/JB29 4C301/JB32 4C301/JB50 4C301/JC01 4C301/KK02 4C301/KK16 4C301/KK22 4C301/LL04 4C301/LL05 4C601/BB05 4C601/BB06 4C601/BB07 4C601/BB21 4C601/BB23 4C601/DE01 4C601/GB01 4C601/GB03 4C601/GB04 4C601/HH14 4C601/HH30 4C601/HH31 4C601/JB01 4C601/JB03 4C601/JB04 4C601/JB05 4C601/JB08 4C601/JB19 4C601/JB21 4C601/JB34 4C601/JB41 4C601/JB43 4C601/JB45 4C601/JB47 4C601/JB55 4C601/JB57 4C601/JB60 4C601/JC01 4C601/JC25 4C601/KK02 4C601/KK12 4C601/KK18 4C601/KK19 4C601/KK21 4C601/LL01 4C601/LL02 4C601/LL05 4C601/HH28		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP3884370B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在超声诊断设备中快速执行相位加法处理，并实现特别适合于多方向同时接收的相位加法处理。将按时间顺序输入的数据串以四个为单位依次写入四个存储单元中，并重复进行。从四个存储器42中同时读取用于插值的四个数据，并且重新排列这四个数据，然后将其输出到四个乘法器64。将内插系数输入到这四个乘法器64，将每个数据与每个系数相乘，并且相乘结果由加法单元66相加。当执行多方向同时接收时，以时分方式执行从四个存储器42读取数据之后的每个处理。[选择图]图2

