

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5797084号
(P5797084)

(45) 発行日 平成27年10月21日(2015.10.21)

(24) 登録日 平成27年8月28日(2015.8.28)

(51) Int.Cl. F 1
A 6 1 B 8/14 (2006.01) A 6 1 B 8/14

請求項の数 5 (全 9 頁)

(21) 出願番号	特願2011-235191 (P2011-235191)	(73) 特許権者	390029791
(22) 出願日	平成23年10月26日(2011.10.26)		日立アロカメディカル株式会社
(65) 公開番号	特開2013-90839 (P2013-90839A)		東京都三鷹市牟礼6丁目2番1号
(43) 公開日	平成25年5月16日(2013.5.16)	(74) 代理人	110001210
審査請求日	平成26年9月3日(2014.9.3)		特許業務法人Y K I 国際特許事務所
		(72) 発明者	宇野 隆也
			東京都三鷹市牟礼6丁目2番1号 日立 アロカメディカル株式会社内
		審査官	樋熊 政一

最終頁に続く

(54) 【発明の名称】 超音波診断装置

(57) 【特許請求の範囲】

【請求項 1】

超音波の送受波により得られたデータを段階的に処理する複数のプロセッサと、
前記複数のプロセッサの前段、中間又は後段に設けられ、ビームデータを一時的に記憶する少なくとも1つのバッファ回路と、

前記バッファ回路の動作を制御する制御部と、

を含み、

前記バッファ回路は並列的に設けられた複数のバッファ記憶素子を含み、同一のバッファ記憶素子に対する書き込み及び読み出しが同時に発生しないように前記複数のバッファ記憶素子の中からビームデータ書き込み対象及びビームデータ読み出し対象が切り替え選択され、

前記制御部は、超音波の送受信条件に依存するデータ転送レートに応じて前記複数のバッファ記憶素子の中で実際に使用する使用素子の個数を可変する第1省電力制御を実行する、ことを特徴とする超音波診断装置。

【請求項 2】

請求項1記載の装置において、

前記制御部は、前記第1省電力制御において前記複数のバッファ記憶素子の中で実際には使用しない不使用素子への電源供給を遮断する、ことを特徴とする超音波診断装置。

【請求項 3】

請求項1記載の装置において、

10

20

前記複数のプロセッサに対応して複数のバッファ回路が設けられ、
前記各バッファ回路はそれぞれ並列的に設けられた複数のバッファ記憶素子を含み、
前記制御部は、前記データ転送レートに応じて前記各バッファ回路に対して前記第1省電力制御を実行する、
ことを特徴とする超音波診断装置。

【請求項4】

請求項1乃至3のいずれか1項に記載の装置において、
前記各プロセッサは複数の内部記憶素子を含み、
前記制御部は、前記第1省電力制御と共に、前記データ転送レートに応じて前記複数の内部記憶素子の中で実際に使用する使用素子の個数を可変すると共に前記複数の内部記憶素子の中で実際には使用しない不使用素子への電源供給を遮断する第2省電力制御を実行する、
ことを特徴とする超音波診断装置。

10

【請求項5】

請求項1乃至4のいずれか1項に記載の装置において、
当該超音波診断装置はバッテリーを備えバッテリーからの電力で動作する可搬型の装置である、ことを特徴とする超音波診断装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は超音波診断装置に関し、特に、複数のプロセッサを備える超音波診断装置の省電力制御に関する。

【背景技術】

【0002】

超音波診断装置は、信号処理を段階的に行う複数のプロセッサを備える。例えば、RFビームデータに対して直交検波を適用して複素ビームデータを生成するプロセッサ、複素ビームデータに対してBモード画像形成用の処理を適応するBモード用プロセッサ、複素ビームデータに対して二次元血流画像形成用の処理を適用するカラーフロー用プロセッサ、等が設けられている。個々のプロセッサは入出力部、演算部、記憶部等を備え、プログラムに従ってデータ処理を実行する。

30

【0003】

各プロセッサにおいて負荷は動的に変動し、つまり個々の時点において入力データの処理速度が動的に変化する。これによりプロセッサ間において処理時間差が生じるのでプロセッサ間やプロセッサ列の前後にはデータを一時的に蓄積するバッファ回路が設けられる。各バッファ回路は、通常、並列的に設けられた複数のFIFOメモリ(チップ)により構成される。これは書き込み及び読み出しが同一のFIFOメモリに対して同時に行われないうに書き込み対象及び読み出し対象を交互に設定するためである。時間差が大きくなった場合や転送データ量が増大した場合、2つのFIFOメモリでピンポン制御を行うだけではオーバーフローが生じる可能性があるなら、1つのバッファ回路当たり例えば3つあるいは4つのFIFOメモリが設けられる。なお、各FIFOメモリは通常1つのビームデータ分の記憶容量を有しており、ビーム単位で書き込み対象が可変される。

40

【0004】

超音波診断装置において省電力を実現するために各種の技術が提案されている。特許文献1には、動作モードに応じて個々の回路の電源オフ、クロックレートダウン、クロックオフ、スリープモードへの変更といった制御を行うことにより無駄な電力消費を抑制した超音波診断装置が開示されている。特許文献1の実施形態として開示された構成は、送信部、受信部、といった大きな機能単位(大きなブロック単位)で電源オフ等の制御を行うものである。同じBモードが選択されている場合であってもビーム走査条件によってデータ転送レートが大きく変動するが、そのようなデータ転送レートに応じたきめ細やかな省電力制御までは開示されていない。

50

【 0 0 0 5 】

近時、バッテリーを搭載しそれによって駆動される小型の超音波診断装置が実用化されている。かかる超音波診断装置においてはバッテリーの消耗を抑えることが特に必要となる。例えばバッテリーが消耗した場合に単位時間当たりの送信回数を下げる制御を実行することが考えられる。特許文献2には電力残量に応じて動作モードを変更する超音波診断装置が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 0 - 7 0 2 6 2 号公報

10

【 特許文献 2 】 特開 2 0 1 0 - 1 6 7 0 8 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

超音波診断装置には、複数のバッファ回路が設けられている。各バッファ回路は既に説明した複数のメモリを備え、それらが選択的に使用されている。しかし、従来において事実上余剰が生じていても全部のメモリが動作可能状態とされ、つまりそれらの全部に対して電力が供給されている状態にある。

【 0 0 0 8 】

本発明の目的は、超音波診断装置において省電力のための制御をよりきめ細かく行えるようにすることにある。

20

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明に係る超音波診断装置は、超音波の送受波により得られたデータを段階的に処理する複数のプロセッサと、前記複数のプロセッサの前段、中間又は後段に設けられ、ビームデータを一時的に記憶する少なくとも1つのバッファ回路と、前記バッファ回路の動作を制御する制御部と、を含み、前記バッファ回路は並列的に設けられた複数のバッファ記憶素子を含み、同一のバッファ記憶素子に対する書き込み及び読み出しが同時に発生しないように前記複数のバッファ記憶素子の中からビームデータ書き込み対象及びビームデータ読み出し対象が切り替え選択され、前記制御部は、超音波の送受信条件に依存するデータ転送レートに応じて前記複数のバッファ記憶素子の中で実際に使用する使用素子の個数を可変する第1省電力制御を実行する。望ましくは、前記制御部は、前記第1省電力制御において前記複数の記憶素子の中で実際には使用しない不使用素子への電源供給を遮断する。

30

【 0 0 1 0 】

上記構成によれば、第1省電力制御においては、バッファ回路が有する複数のバッファ記憶素子（望ましくはFIFOメモリチップ）の中で実際に使用する素子の個数が制限されるから、不使用素子の個数に相当する省電力を図れる。不使用素子に対しては例えばクロック供給が停止され、あるいは、電源供給が停止される。少なくとも後者、必要であれば両者を採用するのが望ましい。近時、プロセッサを基本単位として超音波診断装置を構成する設計が行われつつあり、その場合においてはプロセッサの前段、又はプロセッサ間にバッファ回路を設ける必要があり、装置全体では多くのバッファ回路を設ける必要がある。その場合に例えば各バッファ回路において使用していない資源への電源供給を停止させるならば装置全体として大きな省電力結果を得られる。特にバッテリーを内蔵しそれによって駆動される超音波診断装置においてはバッテリーの消耗を防止するために省電力の要請が強くあるので、そのような装置に上記構成を採用するのが望ましい。

40

【 0 0 1 1 】

上記の省電力制御は、特に、フレームレートの低下等の送受信条件の変更が行われた場合にそれに呼応して、より望ましくは実際のあるいは計算上求められるデータ転送レート

50

に応じて適応的に実行される。例えば、データ転送レートが段階的に下がる場合にはそれに応じて使用素子数を段階的に引き下げるのが望ましい。

【 0 0 1 2 】

望ましくは、前記複数のプロセッサに対応して複数のバッファ回路が設けられ、前記各バッファ回路はそれぞれ並列的に設けられた複数のバッファ記憶素子を含み、前記制御部は、前記データ転送レートに応じて前記各バッファ回路に対して前記第 1 省電力制御を実行する。

【 0 0 1 3 】

望ましくは、前記各プロセッサは複数の内部記憶素子を含み、前記制御部は、前記第 1 省電力制御と共に、前記データ転送レートに応じて前記複数の内部記憶素子の中から実際に使用する使用素子の個数を可変すると共に前記複数の内部記憶素子の中から実際には使用しない不使用素子への電源供給を遮断する第 2 省電力制御を実行する。この構成によれば、第 1 省電力制御及び第 2 省電力制御の組合せによって大きな省電力成果を得られる。望ましくは、当該超音波診断装置はバッテリーを備えバッテリーからの電力で動作する可搬型の装置である。

10

【 0 0 1 4 】

記憶素子やメモリ等の素子への電力供給量それ自体は僅かだとしても多数の素子全体についてはそれなりの電力供給量となる。よって、送信パワー削減等の省電力制御に連動させて不要な記憶デバイスの動作を停止等させるのはバッテリーを長持ちさせる上で有益なことである。

20

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、超音波診断装置において省電力のための制御をよりきめ細かく行うことが可能である。

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】 本発明に係る超音波診断装置の好適な実施形態を示すブロック図である。

【 図 2 】 バッテリ残量の監視に基づく省電力制御を説明するための概念図である。

【 図 3 】 一般的な省電力制御において実行される項目を示す説明図である。

【 図 4 】 使用する記憶素子数の切り替え制御を説明するための図である。

30

【 発明を実施するための形態 】

【 0 0 1 7 】

以下、本発明の好適な実施形態を図面に基づいて説明する。

【 0 0 1 8 】

図 1 には本発明に係る超音波診断装置の好適な実施形態が示されており、図 1 はその要部構成を示すブロック図である。この超音波診断装置は医療の分野において用いられ、生体に対する超音波の送受波により、生体の構造を示す超音波画像を形成する装置である。図 1 に示す超音波診断装置はバッテリーを備えており、そのバッテリーから供給される電力によって動作する。すなわち、この超音波診断装置は小型かつ可搬型の装置である。もっとも、本発明は他の一般的な超音波診断装置に対して適用することも可能である。

40

【 0 0 1 9 】

図 1 において、符号 10 はバッテリーを示しており、そのバッテリーから図 1 に示される各構成に対して電力が供給される。もっとも、商用電力の供給を受けて、それに基づいて各構成が動作を行うようにしてもよい。図示されていないプローブ（送受波器）により超音波が送受波される。具体的には、プローブ内には 1 D アレイ振動子が設けられ、それによって超音波ビームが電子的に形成され、またそれが電子的に走査される。電子走査方式としては電子セクタ走査方式、電子リニア走査方式等が知られている。プローブに対しては、送信ビームフォーマが接続され、またプローブに対しては受信ビームフォーマ 12 が接続されている。ここで受信ビームフォーマ 12 は本実施形態においてデジタルビームフォーマである。

50

【 0 0 2 0 】

すなわち、受信ビームフォーマ 1 2 は複数の受信信号に対して整相加算処理を実行し、これによって整相加算後の受信信号すなわちビームデータを生成する。各ビームデータは超音波ビーム 1 本分に相当し、それは時系列順で並んだ複数のエコーデータから成る。図 1 に示されるように、ビームフォーマ 1 2 から出力されるビームデータはバッファ回路 1 4 を経由して、プロセッサ回路 1 8 へ送られる。

【 0 0 2 1 】

プロセッサ回路（プロセッサユニット） 1 8 は例えば直交検波処理を行う回路であり、R F 信号としてのビームデータに対して直交検波処理を実行し、その結果としてデジタル複素信号を生成する。

10

【 0 0 2 2 】

プロセッサ回路 1 8 における処理速度に合わせて、入力データを与えるためにその前段にバッファ回路 1 4 が設けられている。バッファ回路 1 4 は、図示されるように、並列的に設けられた複数のメモリ（FIFOメモリ） 1 6 を備えている。メモリ 1 6 は記憶素子すなわちデバイス（あるいはチップ）を構成し、それを 1 つの単位として書き込みあるいは読み出しが行われる。複数の記憶素子 1 6 が並列的に設けられているのは、書き込み対象と読み出し対象とが同一の素子とならないようにするためであり、通常、書き込み対象と読み出し対象は別々の素子となり、それらがローテーションをもって切り替えられる。これはピンポン制御とも言われている。図示の例では 4 つの記憶素子 1 6 が並列的に設けられている。これはプロセッサ回路 1 8 における処理速度に合わせて、必要なデータ量のバッファリングを行うためである。複数の記憶素子 1 6 の前段にはスイッチ回路 S 1 が設けられ、それらの後段にはスイッチ回路 S 2 が設けられている。スイッチ回路 S 1 は書き込み対象となる記憶素子 1 6 を選択し、スイッチ回路 S 2 は読み出し対象となる記憶素子 1 6 を選択する。ただし、実際にはスイッチ回路 S 1 , S 2 はプロセッサ 2 0 の機能として実現されてもよく、またそれらの切り替えは後に説明する C P U 4 8 の機能として実現されてもよい。

20

【 0 0 2 3 】

上記のプロセッサ回路 1 8 は図示の例において、演算部を構成するプロセッサ 2 0 とそれに対して並列的に接続されて複数の記憶部（メモリ） 2 2 , 2 4 とを有している。図示の例ではメモリが 2 つ設けられているが、もちろん 3 つあるいはそれ以上のメモリが設けられてもよい。図示されているメモリは電力供給のオンオフを行う単位に相当している。これは、上記の記憶素子 1 6 についても同様である。

30

【 0 0 2 4 】

直交検波処理を行うプロセッサ回路 1 8 の後段には B モード処理系 2 6 およびドブラ情報処理系 2 8 が並列的に設けられている。さらに、他の処理系が並列的に設けられてもよい。

【 0 0 2 5 】

B モード処理系 2 6 はバッファ回路 3 0、プロセッサ回路 3 2、バッファ回路 3 4 および D M A コントローラ 3 6 を備えている。具体的に説明すると、バッファ回路 3 0 およびバッファ回路 3 4 は上述したバッファ回路 1 4 と同様の構成を備えている。もちろん、それぞれのバッファ回路 3 0 , 3 4 において必要となる記憶素子の個数を異ならせるようにしてもよい。バッファ回路 3 0 はプロセッサ回路 1 8 とプロセッサ回路 3 2 の間において、処理速度の相違を吸収するために緩衝用メモリとして設けられている。同様に、バッファ回路 3 4 は、プロセッサ回路 3 2 と D M A コントローラ 3 6 との間における速度差を吸収するために設けられている。

40

【 0 0 2 6 】

プロセッサ回路 3 2 は上述したプロセッサ回路 1 8 と同様の構成を有し、すなわちプロセッサ 2 0 および 2 つの記憶部 2 2 , 2 4 を備えている。プロセッサ回路 3 2 は B モード画像を形成するための信号処理を実行する部分である。例えば、対数圧縮、ノイズ除去、コントラスト調整、ゲイン調整、等の信号処理が実行される。D M A コントローラ（D M

50

A C) 3 6 は、プロセッサ回路 3 2 から C P U 4 8 ヘデータをブロック転送するためのコントローラである。実際にはバッファ回路 3 4 から C P U 4 8 に対してデータが転送される。その場合においては汎用のパラレルバス 3 8 が利用される。

【 0 0 2 7 】

ドブラ情報処理系 2 8 について説明する。その処理系 2 8 はバッファ回路 4 0、プロセッサ回路 4 2、バッファ回路 4 4 および D M A コントローラ 4 6 を備えている。バッファ回路 4 0 およびバッファ回路 4 4 は上述したバッファ回路 1 4、3 0、3 4 と同様の構成を備えており、すなわち複数の記憶素子 1 6 およびスイッチ回路 S 1、S 2 を備えている。プロセッサ回路 4 2 は上述したプロセッサ回路 1 8、3 2 と同様の構成を有しており、すなわち、プロセッサ 2 0 および 2 つの記憶部 2 2、2 4 を備えている。もっとも、それらのバッファ回路 4 0、4 4 やプロセッサ回路 4 2 が上述した構成とは異なる構成を有していてもよい。

10

【 0 0 2 8 】

プロセッサ回路 4 2 はドブラ情報を抽出するための処理を実行する。例えば、自己関連演算等を行う回路であってもよい。それぞれのプロセッサ回路はデジタルシグナルプロセッサ等により構成されている。すなわち、それらはプログラム動作するものである。ドブラ情報の処理後に生成されたデータはバッファ回路 4 4 から D M A コントローラ 4 6 およびバス 3 8 を経由して C P U 4 8 ヘ転送される。

【 0 0 2 9 】

C P U 4 8 は超音波診断装置の全体制御を行うとともに、必要なデータ処理を実行している。C P U 4 8 は本実施形態において、デジタルスキャンコンバータとしての機能を備えており、また省電力制御部としても機能する。C P U 4 8 に接続された記憶部 5 0 上には装置全体の制御を行うためのプログラム、スキャンコンバート用プログラム、省電力プログラム等が記憶されている。バス 3 8 には表示処理のためのプロセッサや記憶処理のためのプロセッサ等が接続されている。本実施形態においては C P U 4 8 において必要な超音波画像が生成され、また必要な表示処理が実行された上で、画像データが表示部へ送られている。

20

【 0 0 3 0 】

それぞれのプロセッサ回路において、最大の処理速度が発揮され、同時にデータ転送レートが最大である場合にも、各処理が円滑に進行するように各バッファ回路において必要な個数の記憶素子が並列的に設けられている。本実施形態においては、例えば各バッファ回路 1 4、3 0、3 4、4 0、4 4 において 4 つの記憶素子が並列的に設けられ、それらが切り替えられながら、選択的に使用されている。しかしながら、以下に説明するように、省電力制御においてフレームレートが落ちてデータ転送レートも落ちた場合、バッファ回路内に余剰あるいは必ずしも使用する必要のない記憶素子が発生することになる。同様に各プロセッサ回路においても、それが有する複数の記憶部あるいはメモリのうちで実際には使用する必要のないメモリ等が生じる可能性がある。本実施形態の超音波診断装置においては、そのような使用する必要のないデバイスに対する電力供給を停止させ、これによって省電力を達成するようにしている。もちろん、その場合においてクロックの供給等を停止させてもよい。

30

40

【 0 0 3 1 】

図 2 および図 3 を用いて一般的な省電力制御についてまず説明する。図 2 に概念図として示されるように、バッテリーの残量が常に監視されており (S 1 0)、その残量が適正であれば、フル稼働の動作条件が設定される (S 1 2)。一方、残量不足が発覚した場合において、それが程度 1 であれば (S 1 4)、省電力制御として第 1 モードが実行される (S 1 6)。より、残量不足が生じて程度 2 が判定された場合 (S 1 8)、省電力制御として第 2 モードが実施される (S 2 0)。さらに、残量が不足した場合、すなわち程度 3 になった場合 (S 2 2)、省電力制御として第 3 モードが実施される (S 2 4)。そして、そのように残量の大小によって省電力制御の度合いあるいは強さが段階的に切り替えられる。

50

【 0 0 3 2 】

図 3 には、省電力制御において、実行される項目がリスト 5 2 として表示されている。そのリスト 5 2 は、送信パワーダウン、フレームレート低減、マニュアルトリガ送信あるいは心電トリガ送信、動作モード制限、輝度制限等が含まれている。いずれにしても、フレームレートの低減が一般的に実施され、そのような制御によると受信信号処理系におけるデータ転送レートも低くなることになる。もちろん、トリガ送信や動作モード制限が行われた場合にもデータ転送レートの低減が生じる。

【 0 0 3 3 】

そこで、本実施形態においては、図 4 においてテーブル 5 4 として示すように、データ転送レート換言すればフレームレートの高低に応じて（符号 5 6 参照）、使用する記憶素子（F I F O チップ）の個数を段階的に可変するようにしている（符号 5 8 参照）。また同時に、プロセッサ回路において、使用するメモリの個数を段階的に切り替えるようにしている（符号 6 0 参照）。伝送レートに応じて図示の例では使用チップ数が 4、3、2、1、0 のように段階的に切り替えられている。ここで使用チップ数が 2 の場合においては、典型的なピンポン制御が実行される。伝送レートが極低となった場合、使用チップ数は 1 となり、すなわち書き込みと読み出しが同じチップに対して実行される。すなわち、そのような制御が許容されるくらい、単位時間あたりのデータ量が少ない状況である。フリーズ状態においては、使用チップ数は 0 となる。本実施形態においては C P U に接続されたメモリがシネメモリとして機能しており、すなわちそこに大量のビームデータが格納される。したがって、フリーズ状態において、すなわち送受信を停止させた状態においては、図 1 に示した各処理系 2 6、2 8 以前の構成は使用されないため、各バッファ回路においていずれのチップに対しても電源供給がされないことになる。これにより、大幅な省電力を達成可能である。

【 0 0 3 4 】

また、本実施形態においては、伝送レートに応じて使用メモリ数が段階的に削減されている。これによりバッファ回路のみならず、プロセッサ回路においても省電力を達成できる。このような記憶デバイスあるいは記憶チップ単位での動作停止という省電力制御を組み合わせることにより、装置全体として大きな省電力を達成可能である。

【 0 0 3 5 】

以上のような制御を実現するのは、図 1 に示される C P U 4 8 であり、C P U 4 8 はバス 3 8 を経由して制御信号 1 0 0、1 0 2 を各回路に与えている。ここで、制御信号 1 0 0 は各バッファ回路に与えられる制御信号であり、制御信号 1 0 2 は各プロセッサ回路に与えられる制御信号である。個々の回路に与えられる制御内容は同一であってもよいし、異なってもよい。

【 符号の説明 】

【 0 0 3 6 】

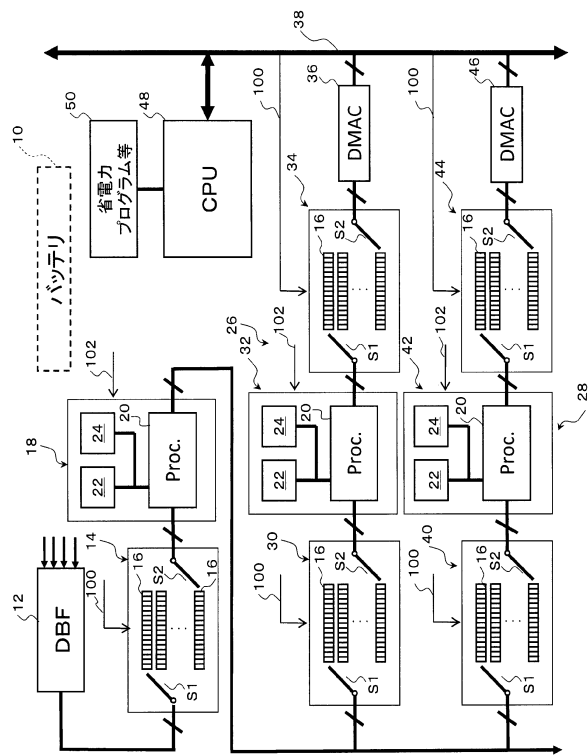
1 0 バッテリー、1 2 デジタルビームフォーマ（D B F）、1 4、3 0、3 4、4 0、4 4 バッファ回路、1 6 記憶素子（F I F O メモリ）、1 8、3 2、4 2 プロセッサ回路。

10

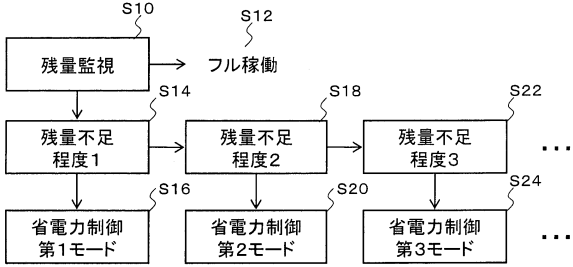
20

30

【図 1】



【図 2】



【図 3】

52	
1	送信パワーダウン
2	フレームレート低減
3	マニュアルトリガ送信、心電トリガ送信
4	動作モード制限
5	輝度制限
...	...

【図 4】

56	58	60	54
伝送レート	使用FIFOチップ数	使用メモリ数	
高	4	2	
中	3	2	
低	2	1	
極低	1	1	
フリーズ時	0	0	

* 不使用デバイス: 電源OFF又はクロック停止(デバイス単位)

フロントページの続き

(56)参考文献 国際公開第2010/055819(WO, A1)

実開昭62-113514(JP, U)

特開2011-061443(JP, A)

特開2000-079122(JP, A)

特開2005-161046(JP, A)

(58)調査した分野(Int.Cl., DB名)

A61B 8/00 - 8/15

专利名称(译)	超声诊断设备		
公开(公告)号	JP5797084B2	公开(公告)日	2015-10-21
申请号	JP2011235191	申请日	2011-10-26
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	日立アロカメディカル株式会社		
当前申请(专利权)人(译)	日立アロカメディカル株式会社		
[标]发明人	宇野隆也		
发明人	宇野 隆也		
IPC分类号	A61B8/14		
FI分类号	A61B8/14 A61B8/00		
F-TERM分类号	4C601/BB07 4C601/EE15 4C601/HH21 4C601/JB03 4C601/JB34 4C601/LL07 4C601/LL26		
审查员(译)	棕熊正和		
其他公开文献	JP2013090839A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在具有电池的超声诊断设备中执行节电控制。 解决方案：缓冲电路14,30,34,40,44设置在处理器电路18,32,42的前级或后级。 每个缓冲电路具有并联设置的多个存储元件16。 每个处理器电路具有多个存储设备22,24。 随着发送/接收条件改变，例如，帧速率降低，随着数据传输速率变低，每个缓冲电路中使用的存储元件的数量减少，即，未使用的存储元件的数量增加。 结果，可以以缓冲电路为单位执行省电。 此外，还有效地减少了处理器电路中使用的存储设备的数量。 点域1

(21) 出願番号	特願2011-235191 (P2011-235191)	(73) 特許権者	390029791
(22) 出願日	平成23年10月26日 (2011.10.26)		日立アロカメディカル株式会社
(65) 公開番号	特開2013-90839 (P2013-90839A)		東京都三鷹市牟礼6丁目2番1号
(43) 公開日	平成25年5月16日 (2013.5.16)	(74) 代理人	110001210
審査請求日	平成26年9月3日 (2014.9.3)		特許業務法人YK I 国際特許事務所
		(72) 発明者	宇野 隆也
			東京都三鷹市牟礼6丁目2番1号 日立アロカメディカル株式会社内
		審査官	榎熊 政一

[最終頁に続く](#)