

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4980688号
(P4980688)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int.Cl. F 1
A 6 1 B 8/00 (2006.01) A 6 1 B 8/00

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2006-282853 (P2006-282853)	(73) 特許権者	390029791 日立アロカメディカル株式会社 東京都三鷹市牟礼6丁目2番1号
(22) 出願日	平成18年10月17日(2006.10.17)	(74) 代理人	100075258 弁理士 吉田 研二
(65) 公開番号	特開2008-99738 (P2008-99738A)	(74) 代理人	100096976 弁理士 石田 純
(43) 公開日	平成20年5月1日(2008.5.1)	(72) 発明者	藤木 俊昭 東京都三鷹市牟礼6丁目2番1号 アロ カ株式会社内
審査請求日	平成21年9月14日(2009.9.14)	審査官	富永 昌彦
		(56) 参考文献	特開2004-275635 (JP, A)

最終頁に続く

(54) 【発明の名称】 超音波診断装置

(57) 【特許請求の範囲】

【請求項1】

基本クロックと同一のクロック周波数を有し且つ遅延指令データにおける小数部に対応する位相を有する特定のクロックを生成するクロック生成手段と、

デジタル波形データを格納した波形データメモリと、

前記基本クロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に基づいて、前記クロック周波数の1周期を単位として、前記波形データメモリから前記デジタル波形データを読み出す読み出し制御部と、

前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換部と、

を含み、

前記基本クロックの1周期内の遅延が前記変換時に前記アナログ送信信号に与えられることを特徴とする超音波診断装置。

【請求項2】

基本クロックと同一のクロック周波数を有し且つ遅延指令データにおける小数部に対応する位相を有する特定のクロックを生成するクロック生成手段と、

デジタル波形データを格納した波形データメモリと、

前記特定のクロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に基づいて、前記クロック周波数の1周期を単位として、前記波形デ

10

20

ータメモリから前記デジタル波形データを読み出す読み出し制御部と、

前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換部と、

を含み、

前記基本クロックの1周期内の遅延が前記読み出し時に前記アナログ送信信号に与えられることを特徴とする超音波診断装置。

【請求項3】

請求項1記載の超音波診断装置において、

前記波形データメモリから読み出される前記デジタル波形データには、前記整数部によって定められる粗遅延時間が与えられ、前記変換部より出力される前記アナログ送信信号には、前記粗遅延時間に加えて前記小数部によって定められる微細遅延時間が与えられることを特徴とする超音波診断装置。

10

【請求項4】

請求項3記載の超音波診断装置において、

前記基本クロックに同期して前記波形データメモリから読み出される前記デジタル波形データに基づいて、データ内容が同じで位相が相互に異なるデジタル波形データ群を生成する手段と、

前記デジタル波形データ群の中から前記小数部に応じて1つのデジタル波形データを選択し、前記変換部に対して出力する手段と、

を含むことを特徴とする超音波診断装置。

20

【請求項5】

請求項2記載の超音波診断装置において、

前記波形データメモリから出力されるデジタル波形データには、前記整数部によって定められる粗遅延時間に加えて前記小数部によって定められる微細遅延時間が与えられることを特徴とする超音波診断装置。

【請求項6】

請求項1から5のいずれか1項記載の超音波診断装置において、

前記クロック生成手段は、

前記基本クロックと同一の前記クロック周波数を有し且つ互いに異なる位相を有するクロック群を生成するクロック群発生器と、

前記遅延指令データ中の小数部に応じて前記クロック群の中から特定のクロックを選択するクロック選択器と、

を含むことを特徴とする超音波診断装置。

30

【請求項7】

超音波を送受信する複数の振動素子を有するアレイ振動子と、

前記複数の振動素子に対して複数のアナログ送信信号を供給する送信部と、

を含む超音波診断装置において、

前記送信部は、複数の送信器及びそれらを制御する送信制御回路を含み、

前記送信制御回路は、基本クロックと同一のクロック周波数を有しかつ互いに異なる位相を有する共通クロック群を生成する共通クロック群発生器を含み、

前記各送信器は、

遅延指令データ中の小数部に応じて前記共通クロック群の中から特定のクロックを選択するクロック選択器と、

デジタル波形データを格納した波形データメモリと、

前記基本クロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に基づいて、前記クロック周波数の1周期を単位として、前記波形データメモリから前記デジタル波形データを読み出す読み出し制御部と、

前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換

40

50

部と、

を含み、

前記各送信器において、前記クロック選択器で前記特定のクロックが選択され、前記基本クロックの1周期内の遅延が前記変換時に前記アナログ送信信号に与えられることを特徴とする超音波診断装置。

【請求項8】

超音波を送受信する複数の振動素子を有するアレイ振動子と、

前記複数の振動素子に対して複数のアナログ送信信号を供給する送信部と、

を含む超音波診断装置において、

前記送信部は、複数の送信器及びそれらを制御する送信制御回路を含み、

前記送信制御回路は、基本クロックと同一のクロック周波数を有し且つ互いに異なる位相を有する共通クロック群を生成する共通クロック群発生器を含み、

前記各送信器は、

遅延指令データの中の小数部に応じて前記共通クロック群の中から特定のクロックを選択するクロック選択器と、

デジタル波形データを格納した波形データメモリと、

前記特定のクロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に基づいて、前記クロック周波数の1周期を単位として、前記波形データメモリから前記デジタル波形データを読み出す読み出し制御部と、

前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換部と、

を含み、

前記各送信器において、前記クロック選択器で前記特定のクロックが選択され、前記基本クロックの1周期内の遅延が前記読み出し時に前記アナログ送信信号に与えられることを特徴とする超音波診断装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は超音波診断装置に関し、特に、超音波診断装置の送信部に関する。

【背景技術】

【0002】

超音波診断装置は生体組織の内部状態を画像化することができる装置であり、超音波画像を得るために生体内に超音波の送信ビームを形成し、生体内からの反射波を受信する。送信ビームを形成するためには、複数の振動素子が相互に協調して動作する必要がある。そのために超音波診断装置は送信部（送信ビームフォーマー）を備えており、送信信号には個別的に遅延時間が付与される。特にデジタルビームフォーミング技術を採用している超音波診断装置においては、遅延時間は送信制御のための送信クロックの1周期を単位として離散的に設定される。従って、遅延時間の設定値として最小単位が定められてしまい、一般的には、最小時間単位よりも短い遅延時間の設定は困難である。

【0003】

特許文献1には、複数の任意波形発生回路を用いて、各振動素子に任意形状の送信波形を与える技術が示されている。特許文献1には、送信クロックを利用した送信信号の遅延制御について特に示されていない。特許文献2には、各振動素子に個別的に設定される遅延時間を従来よりも細かく設定できる送信回路の構成が示されている。しかし、その微細な遅延時間は1クロック分の時間が最小設定単位となっており、それ以上の微細な遅延時間を得られるものではない。

【0004】

【特許文献1】特開平8-628号公報

【特許文献2】特開2001-8934号公報

10

20

30

40

50

【特許文献3】特開2004-275635号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

超音波の送信部において、微細な遅延時間を設定するためには、以下に述べるようないくつかの方法が考えられる。

【0006】

例えば、個別的な遅延量を付与した波形データを波形メモリに記憶しておく方法が考えられる。この方法によると、波形形状が同一で遅延量が個別的に設定された多くの波形データを記憶しておく必要があるため、大容量のメモリが必要となってしまう。

10

【0007】

また、他の方法としては、波形データの読み出し用クロック周波数を高くすることにより、より短い読み出し周期で波形データを読み出す方法が考えられる。この方法によると高周波に対応した技術が必要となり、同時に波形データの容量が増大することにもなる。

【0008】

特許文献3には、上述したような大容量のメモリを必要とせず、読み出し用クロック周波数も高くすることなく遅延時間を制御する技術が開示されている。補間処理により、送信クロックの1周期内での微細な遅延時間制御を実現する方法である。しかし、この方法では回路規模が大きくなるという問題がある。つまり、補間処理を行うためには、ハードウェアとしての遅延係数を格納するメモリ、複数の乗算器、加算器等の回路構成が必要となる。これらのハードウェアは送信部毎に設ける必要があるため、送信部全体としては部品点数が増大し大規模な回路構成となってしまう。なお、この問題は、多数の振動素子を備える2Dアレイ探触子を使用する場合に特に顕在化する。

20

【0009】

本発明の目的は、簡素化された送信部によって微細な遅延時間制御を行うことが可能な超音波診断装置を提供することである。

【課題を解決するための手段】

【0010】

本発明は、基本クロックと同一のクロック周波数を有し且つ遅延指令データにおける小数部に対応する位相を有する特定のクロックを生成するクロック生成手段と、デジタル波形データを格納した波形データメモリと、前記基本クロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に基いて、前記クロック周波数の1周期を単位として、前記波形データメモリから前記デジタル波形データを読み出す読み出し制御部と、前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換部と、を含み、前記基本クロックの1周期内の遅延が前記変換時に前記アナログ送信信号に与えられることを特徴とする。また、本発明は、基本クロックと同一のクロック周波数を有し且つ遅延指令データにおける小数部に対応する位相を有する特定のクロックを生成するクロック生成手段と、デジタル波形データを格納した波形データメモリと、前記特定のクロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に基いて、前記クロック周波数の1周期を単位として、前記波形データメモリから前記デジタル波形データを読み出す読み出し制御部と、前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換部と、を含み、前記基本クロックの1周期内の遅延が前記読み出し時に前記アナログ送信信号に与えられることを特徴とする。

30

40

【0011】

上記構成によれば、クロック生成手段において小数部に対応した位相を有する特定のクロックが生成される。その特定のクロックは、変換部における変換クロックに利用され、あるいは変換部における変換用クロック及び波形データメモリの読み出し用クロックに利

50

用されるので、基本クロックの周波数を高くすることなく、変換部から出力されるアナログ送信信号に対して1クロック未満の遅延時間を付与することができる。

【0012】

この構成においては、1クロック未満の微小な遅延時間を与えるために基本クロックと同一の周波数で位相の異なるクロック群を設けておいて、その中から微細な遅延時間を与えるために最適なクロックを選択する。補間方式による従来の方法においては多数の乗算器を必要とする複雑な回路構成を採用していたが、基本クロックに基づく、位相だけが異なるクロック群を簡易に作成することができるので、簡易な回路構成で微細な遅延時間制御を行うことができる。

【0013】

望ましくは、前記クロック生成手段は、基本クロックと同一の前記クロック周波数を有し且つ互いに異なる位相を有するクロック群を生成するクロック群発生器と、遅延指令データ中の小数部に応じて前記クロック群の中から特定のクロックを選択するクロック選択器と、を含むことを特徴とする。

【0014】

上記構成によれば、クロック群発生器においては、様々な位相を有したクロック群を位相のシフトにより簡易に生成することができ、そのクロック群の中から特定のクロックを選択することによって、複雑な回路構成を採用することなく、1クロックを基準単位とした処理時間よりも更に精緻な遅延時間処理を行うことができる。クロック群発生器で生成されるクロック群の中には、基本クロックとの位相差がゼロのクロックが含まれてもよい。クロック群発生器で生成される複数のクロックは、その位相差が同一であってもよいし、異なってもよい。

【0015】

望ましくは、前記波形データメモリにおいては、前記基本クロックが読み出し用クロックとして利用され、前記変換部においては、前記特定のクロックがデータ変換用クロックとして利用され、前記波形データメモリから読み出される前記デジタル波形データには、前記整数部によって定められる粗遅延時間を与えられ、前記変換部より出力される前記アナログ送信信号には、前記粗遅延時間に加えて前記小数部によって定められる微細遅延時間を与えられることを特徴とする。

【0016】

上記構成によれば、波形データメモリから読み出されるデジタル波形データには粗遅延時間を与えられる。特定のクロックを選択することによって、小数部が有する遅延指令データの情報は基本クロックからの位相として反映される。変換部に対して特定のクロックを利用することにより、変換部におけるデータ変換では、基本クロックからの位相を付加した変換が行われる。変換部より出力されるアナログ送信信号には、粗遅延時間に加えて微細遅延時間を与えられる。

【0017】

補間方式による方法で微細遅延時間を付与する場合には、複数の乗算器を使用した移相回路を各チャンネル毎に備える必要があったが、上記構成によれば、そのような移相回路を設ける必要がない。ここで、粗遅延時間とは遅延指令データ中の整数部によって定められる遅延時間であり、1クロックの整数倍の時間を示す。また、微細遅延時間とは遅延指令データの小数部によって定められる遅延時間であり、1クロック未満の遅延時間を示す。

【0018】

望ましくは、前記基本クロックに同期して前記波形データメモリから読み出される前記デジタル波形データに基づいて、データ内容が同じで位相が相互に異なるデジタル波形データ群を生成する手段と、前記デジタル波形データ群の中から前記小数部に応じて1つのデジタル波形データを選択し、前記変換部に対して出力する手段と、を含むことを特徴とする。

【0019】

上記構成によれば、波形データメモリから読み取られるデジタル波形データに基づいて、複数の位相デジタル波形データが生成されるので、複数のデジタル波形データの中からデータの読み取り処理を確実に行うことが可能なデジタル波形データを選択することができる。例えば、クロックに同期させてデータの伝送処理を行う場合においては、位相の異なる複数のデジタル波形データを生成し、その小数部に応じたタイミングにより波形データ選択器で複数のデジタル波形データの中から一つのデジタル波形データを選択することにより、安定してデータ読み取りを行うことができる。

【0020】

望ましくは、前記波形データメモリの読み出し用クロック及び前記変換部のデータ変換用クロックとして前記特定のクロックが利用され、前記波形データメモリから出力されるデジタル波形データには、前記整数部によって定められる粗遅延時間に加えて前記小数部によって定められる微細遅延時間が与えられることを特徴とする。

10

【0021】

上記構成によれば、波形データメモリの読み出し用クロックとして特定のクロックが利用されるので、波形データメモリから出力されるデジタル波形データには、粗遅延時間と微細遅延時間とを加えた遅延時間を与えることができる。すなわち、波形データメモリからデジタル波形データを読み出す段階で、微細な遅延時間を与える読み出し処理を行うことができる。更に、変換部のデータ変換用クロックに対しても特定のクロックが利用されるので、波形データメモリの動作と変換部の動作との同期が確保され、デジタル波形データの読み出し処理において付与された粗遅延時間と微細遅延時間を維持したままD/A変換処理を行うことができる。

20

【0022】

また、本発明は、超音波を送受信する複数の振動素子を有するアレイ振動子と、前記複数の振動素子に対して複数のアナログ送信信号を供給する送信部と、を含む超音波診断装置において、前記送信部は、複数の送信器及びそれらを制御する送信制御回路を含み、前記送信制御回路は、基本クロックと同一のクロック周波数を有しかつ互いに異なる位相を有する共通クロック群を生成する共通クロック群発生器を含み、前記各送信器は、遅延指令データの中の小数部に応じて前記共通クロック群の中から特定のクロックを選択するクロック選択器と、デジタル波形データを格納した波形データメモリと、前記基本クロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に

基づいて、前記クロック周波数の1周期を単位として、前記波形データメモリから前記デジタル波形データを読み出す読み出し制御部と、前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換部と、を含み、前記各送信器において、前記クロック選択器で前記特定のクロックが選択され、前記基本クロックの1周期内の遅延が前記変換時に前記アナログ送信信号に与えられることを特徴とする。また、本発明は、

超音波を送受信する複数の振動素子を有するアレイ振動子と、前記複数の振動素子に対して複数のアナログ送信信号を供給する送信部と、を含む超音波診断装置において、前記送信部は、複数の送信器及びそれらを制御する送信制御回路を含み、前記送信制御回路は、

基本クロックと同一のクロック周波数を有し且つ互いに異なる位相を有する共通クロック群を生成する共通クロック群発生器を含み、前記各送信器は、遅延指令データの中の小数部に

応じて前記共通クロック群の中から特定のクロックを選択するクロック選択器と、デジタル波形データを格納した波形データメモリと、前記特定のクロックを読み出し用クロックとして利用することにより、前記遅延指令データにおける整数部に

基づいて、前記クロック周波数の1周期を単位として、前記波形データメモリから前記デジタル波形データを読み出す読み出し制御部と、前記特定のクロックを変換用クロックとして利用することにより、前記波形データメモリから読み出された前記デジタル波形データをアナログ送信信号に変換して出力する変換部と、を含み、前記各送信器において、前記クロック選択器で前記特定のクロックが選択され、前記基本クロックの1周期内の遅延が前記読み出し時に前記アナログ送信信号に与えられることを特徴とする。

30

40

50

【 0 0 2 3 】

上記構成によれば、共通クロック群は、送信制御回路が有する共通クロック群発生器において生成され、各送信部内のクロック選択器に伝達される。つまり、送信部の複数のクロック選択部に対して共通クロック群を伝送することのできる構成となっている。クロック群を発生させる構成が共通であるので、送信部全体としての回路規模を小さくすることができる。また、共通クロック群発生器を使用することにより、各送信器に対して供給するクロック群が共通となるので確実に送信回路のクロック同期をとることができる。

【 発明の効果 】

【 0 0 2 4 】

以上説明したように、本発明によれば、簡素化された送信部によって微細な遅延時間制御を行うことができる。

【 発明を実施するための最良の形態 】

【 0 0 2 5 】

以下、本発明の好適な実施形態を図面に基づいて説明する。

【 0 0 2 6 】

図 1 には、本発明の実施形態に係る超音波診断装置の全体構成ブロック図が示してある。本超音波診断装置は超音波を送受信するアレイ振動子 10 を有しており、そのアレイ振動子 10 は複数の振動素子 11 から構成される。アレイ振動子 10 は超音波探触子（図示せず）の内部に配置される。各々の振動素子 11 は、振動素子に対して送信信号を与える送信部 12 と、振動素子から受信信号を受け取る受信部 20 との双方に接続される。

【 0 0 2 7 】

送信部 12 は、送信制御回路 16 と複数の送信回路 14 とを備え、超音波ビームを形成するためにデジタルビームフォーミング機能を有している。送信部 12 は、その機能を用いて、各送信回路 14 に接続された振動素子 11 に送信信号を出力し、各振動素子の駆動タイミングに時間分布を生じさせる。本実施形態においては、送信回路 14 は振動素子 11 と同数だけ装備されている。なお、送信部 12 の内部構成と動作については後述する。

【 0 0 2 8 】

制御部 18 は、超音波診断装置を全体的に制御する中央制御ボード等を備え、図 1 に示す各ユニットに対して指令信号や制御信号を送受信する機能を有する。制御部 18 は、送信部 12 に対して超音波の送信開始信号や送信制御信号を出力する。

【 0 0 2 9 】

受信部 20 は、複数の受信回路を備えエコー信号を形成するための受信ビームフォーマーとして機能する。すなわち、受信部 20 は、複数の振動素子 11 によって検出された信号を受信し、それらの受信信号の時相を調整する整相加算処理を行って 1 本の超音波ビームに対応する 1 つのエコー信号を生成する。

【 0 0 3 0 】

信号処理部 22 は、整相加算後のエコー信号を入力し、超音波画像を形成するため前段階として所定の信号処理を行う。例えば、生体からのダイナミックレンジの広いエコー信号の振幅を歪ませることなく取り出す高周波増幅処理、あるいは高周波信号の振幅成分から信号を復調する包絡線処理などが行われる。

【 0 0 3 1 】

デジタルスキャンコンバータ（DSC）24 は、信号処理部 22 からの出力信号を超音波画像として表示器に表示するために走査変換処理を行う。

【 0 0 3 2 】

表示処理部 26 は、DSC 24 において形成される走査変換後の超音波画像を表示器に出力するためにビデオ信号変換処理を行う。表示部 28 は、CRT または LCD 等で構成され、ビデオ信号をディスプレイ上に表示する。操作パネル 30 は、キーボードやマウス等で構成されており、超音波診断装置を操作するオペレータとのユーザーインターフェースとして機能する。オペレータは、操作パネル 30 を操作することによって、診断の動作モードや超音波の送信条件設定の変更等を行うことができる。

10

20

30

40

50

【 0 0 3 3 】

このように、送信部 1 2 は制御部 1 8 から出力される制御信号に従って動作する。

【 0 0 3 4 】

次に、送信部 1 2 内部の構成について示す。図 2 は、図 1 に示した送信部 1 2 の具体的な構成を示す図である。前述したように送信部 1 2 は送信制御回路 1 6 と複数の送信回路 1 4 とから構成される。送信制御回路 1 6 は、クロック群発生回路 4 0 と遅延データメモリ 4 2などを備える。

【 0 0 3 5 】

クロック群発生回路 4 0 には、制御部 1 8 から出力される送信クロック 1 0 0 が入力されて、位相の異なるクロック群を出力する。クロック群発生回路 4 0 の詳細については図 3 を用いて後述する。

10

【 0 0 3 6 】

遅延データメモリ 4 2 は、各送信信号に付与する様々な遅延時間の値をデジタルデータとして格納するメモリである。遅延データメモリ 4 2 は、送信制御信号 1 0 2 の信号を受け付けると遅延データ 1 1 0 を出力する。ここで、遅延データ 1 1 0 は遅延量を規定するデジタルデータであり、整数部と小数部が一体となって例えば 1 6 ビットで構成されている。

【 0 0 3 7 】

送信回路 1 4 は、遅延波形信号生成器 3 2、D / A 変換器 3 4、L P F 回路 3 6 及びリニアアンプ 3 8 から構成される。クロック群発生回路 4 0 から発生するクロック群と遅延データメモリ 4 2 から出力されるデータは、遅延波形信号生成器 3 2 に入力される。遅延波形信号生成器 3 2 は、クロック選択回路 5 2、ラッチ回路 5 4、遅延カウンタ 5 6、アドレス発生器 5 8、波形メモリ 4 6、ラッチ回路 5 0などを備える。

20

【 0 0 3 8 】

振動素子の数は一般的には数百個程度になるため、振動素子と同数だけ装備される送信回路 1 4 の部品点数を削減することは、装置の小型化に寄与する。

【 0 0 3 9 】

次に、前述したクロック群発生回路 4 0 について図 3 を用いて説明する。図 3 は、クロック群発生回路の機能を模式的に示した図である。クロック群発生回路 4 0 は、送信制御における基本クロックである送信クロック 1 0 0 を用いて、その位相をずらすことにより、周波数が同一で互いの位相が異なる 4 つのクロック (1 0 8 A , 1 0 8 B , 1 0 8 C , 1 0 8 D) を生成する回路である。クロック群を生成する手段としては例えば L C 遅延素子が用いられる。その他には P L L (Phase Locked Loop) または D L L (Delay Locked Loop) 等の技術を用いたデバイスを使用することによっても生成できる。本実施形態において、クロック群発生回路 4 0 は、送信制御回路 1 6 の内部に 1 つだけ備えられる回路である。つまり、全数の送信回路 1 4 に対して共通のクロック群が供給される。

30

【 0 0 4 0 】

図 4 は、送信クロック 1 0 0 とクロック群の関係を模式的に示した図である。図 4 には、送信クロック 1 0 0 と、送信クロック 1 0 0 との位相が 0° のクロック 1 0 8 A、位相 90° のクロック 1 0 8 B、位相 180° のクロック 1 0 8 C、及び位相 270° のクロック 1 0 8 D が示されている。このように、クロック群発生回路 4 0 で生成される 4 つのクロックは、送信クロック 1 0 0 を基準にして位相がゼロもしくは規則的に $1/4$ 周期ずつ (すなわち位相差として 90° ずつ) 異なるデューティ 5 0 % の矩形波である。ちなみに本実施例における送信クロック 1 0 0 の周波数は数十 M H z のオーダであるため、1 周期のパルス幅は数十ナノ秒のオーダとなる。また、より細かい遅延制御を行うために 1 周期を $1/8$ 分割するクロック群発生回路を使用してもよい。

40

【 0 0 4 1 】

次に、図 2 に戻って遅延波形信号生成器 3 2 を構成する各回路について説明する。送信クロック 1 0 0 は、送信制御回路 1 6 と遅延波形信号生成器 3 2 とに伝送され、送信動作の同期をとるために利用される。遅延波形信号生成器 3 2 に対しては、パルス信号である

50

送信開始信号 130 が入力される。この送信開始信号 130 は、複数の送信回路 14 に対する共通のスタート信号である。遅延データメモリ 42 から出力される遅延データ 110 は、ラッチ回路 54 に入力される。ラッチ回路 54 には遅延データ 110 が一時的に保持され、送信開始信号 130 が有効になるタイミングに基づいて遅延データ 114 が出力される。

【0042】

出力される遅延データ 114 は、そのデータの上位と下位の区別に応じて、整数遅延データ 114 A と小数遅延データ 114 B に分けられる。一例としては、遅延データ 114 が 16 ビットのデータであった場合に、上位の 14 ビットに該当するデータを整数遅延データ 114 A とし、下位の 2 ビットに該当するデータを小数遅延データ 114 B とすることにより両者を区別することができる。つまり、遅延データ 114 で示される遅延量 x を数式化すると、整数遅延データ 114 A に相当する値 a と、小数遅延データ 114 B に相当する値 b とで表した場合には、その遅延量は $x = a \times 2^n + b$ によって表わされる。ここで n は小数遅延データ 114 B の有効桁数を表す。

10

【0043】

一方において、小数遅延データ 114 B はクロック選択回路 52 に入力される。クロック選択回路 52 には、前述したクロック群発生回路 40 で生成する 4 つのクロック (108 A, 108 B, 108 C, 108 D) が入力されている。クロック選択回路 52 は、小数遅延データ 114 B の値に応じて 4 つのクロックの中から 1 つのクロックを選択する。その選択の方法は、小数遅延データ 114 B に相当する小数值 b に従って一義的に定められるものであり、例えば、 b の値が 2 進数表記にて “00” であれば位相 0° のクロックが選択され、“01” であれば位相 90° 、“10” であれば位相 180° 、“11” であれば位相 270° のクロックが選択される。このような四者択一の動作を行うクロック選択回路 52 は、小数遅延データ 114 B をコード化するための簡易な回路で実現される。小数遅延データが 2 ビットの場合を例示したが、より微細な遅延時間の設定を行うために 3 ビットの小数遅延データを用いてもよい。このようなクロック選択動作により、小数遅延データ 114 B の値 b すなわち数値情報を送信回路 14 内で用いられるクロックの位相量すなわち微細な遅延時間量に反映させることができる。選定クロック 112 は、後段のラッチ回路 50 及び D/A 変換器 34 に伝送される。

20

【0044】

他方において、整数遅延データ 114 A は遅延カウンタ 56 に入力される。遅延カウンタ 56 は送信クロック 100 に従って動作するカウンタであり、そのカウント動作は送信開始信号 130 が有効になるタイミングを起点として開始される。本実施形態における遅延カウンタ 56 は、設定された整数値 a に達するまでカウントを行う加算カウンタである。整数値 a に相当するカウント動作が完了すると、遅延カウンタ 56 はカウント完了信号をアドレス発生器 58 に出力する。

30

【0045】

アドレス発生器 58 は、カウント完了信号が入力されると、読み出しアドレスを出力できる状態になる。波形メモリ 46 は、読み出しアドレスが入力され、かつデータ読み出し用のクロックが入力されると、1 つの波高値データ (一例として D0) を出力する。

40

【0046】

ここで、波形メモリ 46 について説明する。波形メモリ 46 はその内部に複数の波形データを格納している。本実施形態においては、1 つの波形データは、例えば 12 個の波高値データ (D0 ~ D11) として構成される。更にその 1 つの波高値データは、例えば 10 ビットのデジタルデータ (bit0 ~ bit9) として表される。1 つの波高値データは電子回路上の平行バスを利用することにより、1 クロックでそのデジタルデータを出力する。

【0047】

波形メモリ 46 には、送信クロック 100 がデータ読み出し用クロックとして入力される。読み出しアドレスの値は送信クロック 100 に同期して順次インクリメントされる。

50

波形メモリ46から出力される波高値データの値は、クロックのエッジが検出される度に後続の値(D0、D1、D2・・・)に順次変化する。波形メモリ46が送信クロック100に従って動作するので、波形メモリ46から出力される波高値データ(D0~D11)には、整数値aで表される粗遅延時間が付与される。出力された波高値データはラッチ回路50に順次入力される。

【0048】

ラッチ回路50には、選定クロック112がデータ出力用クロックとして入力される。選定クロック112に従って動作するので、ラッチ回路50から出力される波高値データは、整数値aで表される粗遅延時間と小数値bで表される微細遅延時間の両方の時間が加算された波高値データとなる。

10

【0049】

D/A変換器34は、ラッチ回路50から出力される波高値データをアナログ電圧信号に変換するデバイスである。D/A変換器34には、選定クロック112がデータ変換用クロックとして入力される。よってD/A変換器34から出力されるアナログ信号にも粗遅延時間と微細遅延時間が付加される。

【0050】

このように、波形メモリ46から波高値データが出力される段階では粗遅延時間しか付与されていなかったのであるが、ラッチ回路50あるいはD/A変換器34に対して選定クロック112を用いることにより、さらに微細遅延時間が付与される。デジタル制御技術を用いると、一般的には1クロックよりも短い時間の制御を行うことは困難であるが、クロック群の中からある一つのクロックを選択するという簡易な構成によりその課題を解決し、遅延時間を極めて緻密に設定することを可能としている。遅延時間が緻密に設定できるので、超音波の送信ビームを形成する上で送信フォーカスの位置を精密に設定することができる。なお、本実施形態においては、D/A変換器34のデータ入力前段階にラッチ回路50を用いているが、基本的にはラッチ回路50がなくても、選定クロック112が入力されるD/A変換器34を用いるだけで微細遅延時間を与えることもできる。

20

【0051】

LPF(Low Pass Filter)回路36は、D/A変換後のアナログ信号を滑らかなアナログ出力波形に平滑化するために設けられている。LPF回路36の次段には、リニアアンプ38が設けられる。

30

【0052】

リニアアンプ38は、LPF回路36が出力する小振幅のアナログ電圧を大振幅のアナログ電圧に増幅するために用いられる。D/A変換器34が出力する電圧は例えば-1V~+1V程度であるが、増幅機能により最終的には-100V~+100V程度に増幅される。リニアアンプ38からの出力信号は、アレイ振動子10の各振動素子11に印加される。

【0053】

図5は、第1の実施形態に係る超音波診断装置の送信部の動作を示すタイミングチャートである。(c)に示す送信開始信号130によって送信動作が開始される。その送信開始信号130は、矢印132で示すように送信クロック100の立ち上がりエッジのタイミングで読み取られて(d)に示す遅延データ114が出力される。ここで(j)に示す小数遅延量も(d)に示す遅延データ114の出力と同じタイミングで設定される。

40

【0054】

遅延データ114の出力と同時に、送信クロック100に同期して(e)に示す遅延カウンタ値の加算動作が行われる。カウンタ動作がゼロから(a-1)まで完了すると(f)に示すカウンタ完了信号が変化する。その変化に応じて(g)に示す読み出しアドレスは送信クロック100に同期して順次、そのアドレスの値のインクリメント動作を開始する。(h)に示す波高値データは、読み出しアドレスの値に対応する波高値データ(D0、D1、D2・・・)を順次出力する。(k)に示す選定クロック112は(j)に示す小数遅延量の値に対応したクロックであり、この図5に示す例では(k)に示すように1

50

1 / 4 周期分の位相差を有するクロックが選択される。(l) に示す D / A 変換器出力データは、ラッチ回路 5 0 が出力する波形データに相当するデータである。(k) に示す選定クロックに同期して出力しているため、(h) に示す波高値データと(l) に示す D / A 変換器出力データとを比較すると出力のタイミングが 1 / 4 周期分だけ異なっている。

【 0 0 5 5 】

図 6 は、図 2 に示した回路構成によって生成される波形データを模式的に示した図である。図 6 (A) は波形メモリ 4 6 から出力される波形データ 1 2 2 を示している。図 6 (B) はラッチ回路 5 0 から出力されるラッチ後の波形データ 1 2 6 を示している。波形データ 1 2 2 は、送信クロック 1 0 0 に基づいて読み出されるデータであるため、送信クロックの整数倍の遅延時間が付加された波形データとなる。それに対して、ラッチ後の波形データ 1 2 6 は、選定クロック 1 1 2 に基づいて出力されるデータであり、更に微細遅延時間が付加された波形データとなる。図 6 (B) の例では、1 / 4 周期分だけ微細遅延時間が加えられた波形データが示されている。

【 0 0 5 6 】

ちなみに、本発明の実施形態においては、1 つのラッチ回路を使用すると 1 クロック分の遅延が生じるが、それは全数の送信回路 1 4 で一律に発生するものであり超音波の送受信を行う上で支障になることはない。

【 0 0 5 7 】

図 7 は第 2 の実施形態に係る超音波診断装置の送信部の機能ブロック図である。図 7 に示す送信部は、図 2 に示す送信部と比べて遅延波形信号生成器の構成が異なっている。図 7 に示す遅延波形信号生成器 6 0 は、クロック選択回路 5 2 において、小数遅延データ 1 1 4 B に応じて選定クロック 1 1 2 が選び出される点において第 1 の実施例と共通である。その第 2 実施例ではその選定クロック 1 1 2 の利用方法が異なる。選定クロック 1 1 2 は、遅延カウンタ 5 6、アドレス発生器 5 8、波形メモリ 4 6 及び D / A 変換器 3 4 を動作させるために利用される。波形メモリ 4 6 から波高値データを読み出す際に、選定クロック 1 1 2 が用いられるため、読み出される波高値データには粗遅延時間と微細遅延時間が両方とも付加される。また同様に、D / A 変換器 3 4 が波高値データをアナログ信号に変換する場合にも選定クロック 1 1 2 が用いられるため、そのアナログ信号にも粗遅延時間と微細遅延時間が付加される。このように、波形メモリ 4 6 から波高値データを読み出す段階から選定クロック 1 1 2 を利用することにより、波高値データに全部の遅延時間を加えることができる。

【 0 0 5 8 】

前述の第 1 の実施形態は最初に粗遅延時間を与えておいて、それに後から微細遅延時間を追加する方式、いわば 2 段階の方式あるいは微細遅延時間を後付けする方式といえる。それに対して第 2 の実施形態は、波高値データの読み出しに関わるブロック回路に選定クロックを広く適用することにより、粗遅延時間と微細遅延時間を一括して付加する 1 段階の方式、あるいは微細遅延時間を全遅延時間の先頭に先乗せする方式といえる。

【 0 0 5 9 】

図 8 は、第 2 の実施形態に係る超音波診断装置の動作を示すタイミングチャートである。図 5 に示したタイムチャートと同様に、(c) に示す送信開始信号 1 3 0 によって送信動作の開始が指令される。その送信開始信号 1 3 0 の出力後の動作は、(d) に示す遅延データ 1 1 4 に基づいて(e) に示す小数遅延量が設定され、(f) に示す選定クロック 1 1 2 が選び出される段階まで、第 1 の実施形態で示した動作と同一である。第 2 の実施形態では、(g) に示す遅延カウント値の動作から第 1 の実施形態とは異なる動作となる。遅延カウンタ 5 6 は(f) に示す選定クロック 1 1 2 に同期して動作する。カウント動作がゼロから(a - 1) まで完了すると(h) に示すカウント完了信号が変化する。その変化に応じて(j) に示す読み出しアドレスが変化する。アドレス発生器 5 8 は、送信クロック 1 0 0 ではなく選定クロック 1 1 2 に同期して順次そのアドレスの値をインクリメントする。読み出しアドレスの値に対応して(k) に示す波高値データが順次出力される。図 8 には、(k) に示す波高値データが送信クロック 1 0 0 ではなく選定クロック 1 1

2に同期してデータを出力している状態が示されている。

【0060】

図9は第3の実施形態に係る超音波診断装置の送信部の機能ブロック図である。図9に示す送信部は、図2に示す送信部と比較して遅延波形信号生成器の構成が異なる。

【0061】

図9に示す遅延波形信号生成器70は、図2に示す遅延波形信号生成器32の変形例であるが、前述した第1の実施形態に係る遅延波形信号生成器32においては、次のような課題がある。それは、送信クロックと選定クロックの位相差が小さい場合に発生する、データの転送エラーの可能性である。すなわち、第1の実施形態においては、位相が小さい場合には、波形メモリ46から出力される波形データ122が小数遅延時間に相当する極めて短い時間の間にラッチ回路50に入力される。そして、その波形データは即座に選定クロック112に同期してラッチ回路50から出力されなければならない。1クロックの1/4周期分あるいは1/8周期分のような極めて短い時間にこのような高速動作を行うと、波形データを誤って読み取ってしまうおそれがある。

10

【0062】

そこで、図9に示す遅延波形信号生成器70では、2つのラッチ回路を設けて、同一の波高値データを異なるタイミングで双方に保持できるようにし、データ転送のタイミングに応じて、2つのラッチ回路が出力する波高値データの中からデータ転送が確実に行える方の波高値データを選択している。以下にその回路の構成及び動作を示す。

【0063】

遅延波形信号生成器70は、波形メモリ46から出力される波形データを保持するラッチ回路140とラッチ回路150を備えている。それらのラッチ回路140及びラッチ回路150は、いずれも送信クロック100に基づいて動作するが、特にラッチ回路150においては否定演算器146によって送信クロック100が反転して入力される。各々のクロックに同期して、ラッチ回路140からは波形データ142が出力され、ラッチ回路150からは波形データ152が出力される。波形データ142及び波形データ152は共にデータ切替器144に入力される。データ切替器144は、小数遅延データ114Bの値に応じて、入力されている2つの波形データの内のいずれか一方を選択して出力するマルチプレクス機能を有する。この選択動作は二者択一で行われる。例えば、小数遅延データがゼロ以上90°以下のデータである場合には波形データ152を選択し、90°を超えて360°未満のデータである場合には波形データ142を選択する動作を行う。データ切替器144から出力された波形データはラッチ回路50に入力され、D/A変換器34によってアナログ信号に変換される。ここで、ラッチ回路50とD/A変換器34も選定クロック112に基づいて動作する。

20

【0064】

図10は、図9に示した遅延波形信号生成器70の動作を示すタイミングチャートである。(b)に示す波形データ122は、(a)に示す送信クロック100に同期して順次変化していることが示されている。(c)はラッチ回路140から出力される波形データ142であり、(d)はラッチ回路150から出力される波形データ152が示してある。(c)と(d)の2つの波形データを比較して、まず注目すべきことは、(c)の波形データ142が(b)に示す波形データ122よりも1周期分遅れていることであり、また(d)の波形データ152は(b)に示す波形データ122よりも1/2周期分遅れて(波形データ142と比べると1/2周期だけ先行して)いることである。この理由は、ラッチ回路140が送信クロック100によって動作することに対して、ラッチ回路150が送信クロック100の反転信号によって動作することによる。

30

40

【0065】

ここで、小数遅延データ114Bで表される位相がゼロ以上90°以下のデータであったとすると、送信クロックの1周期内の短い時間(一例として符号156で示す時間帯)に、後段の回路に対してデータ転送が行われる。符号156で示す時間帯では、波形データ142はデータ切替途中であるが、波形データ152は1/2周期前にデータ切替を完

50

了している。よって、データ切替器 144 においては、波形データ 152 の方を選択することにより安定したデータを読み取ることができる。(e)には、位相がゼロ以上90°以下のクロックの一例として、位相90°の選定クロックが示されている。(f)に示すラッチ回路50の出力データは、(d)に示す波形データ152の方を選択して得られた出力データである。

【0066】

また、一方で、小数遅延データが90°を超えて360°未満のデータであったとすると、送信クロック1周期内のゼロから90°までの範囲を除く時間(一例として符号158で示す時間帯)に、後段の回路に対してデータ転送が行われる。符号158で示す時間帯では先程と反対に、波形データ142はデータ切替を行っておらず安定しているが、波形データ152では次のデータへの切替が行われている。よって、データ切替器144においては、波形データ142の方を選択することで安定したデータを読み取ることができる。(g)には、位相が90°を超えて360°未満のクロックの一例として、位相270°の選定クロックが示されている。(h)には、波形データ142を選択することにより得られるラッチ回路50の出力データが示されている。本実施形態では、位相90°を境界にしてデータ切替動作を行っているが、デバイスの応答速度や1クロックの周期の値に応じて適宜設定すればよい。

【0067】

遅延波形信号生成器70を用いると、小数部に基づく微細遅延時間が短く、クロック動作開始から僅かにしか時間が経過していない状態であっても、データを切り替えることにより波高値データが安定するまでのマージンの時間が確保される。よって、データの切替処理やセットアップホールドタイムに起因して、データ読み取りが不安定になる時間帯を確実に回避しながら、遅延時間を付加した波形データの転送を行うことができる。

【図面の簡単な説明】

【0068】

【図1】本発明の実施形態に係る超音波診断装置の全体構成ブロック図である。

【図2】送信部の内部構成を示すブロック図である。

【図3】クロック群発生回路の機能を模式的に示す図である。

【図4】送信クロックとクロック群との関係を示す図である。

【図5】第1の実施形態に係る超音波診断装置の送信部の動作を示すタイミングチャートである。

【図6】第1の実施形態に係る超音波診断装置によって生成される波形データを示した図である。

【図7】第2の実施形態に係る超音波診断装置の送信部の機能ブロック図である。

【図8】第2の実施形態に係る超音波診断装置の送信部の動作を示すタイミングチャートである。

【図9】第3の実施形態に係る超音波診断装置の送信部の機能ブロック図である。

【図10】第3の実施形態に係る超音波診断装置の送信部の動作を示すタイミングチャートである。

【符号の説明】

【0069】

12 送信部、14 送信回路、16 送信制御回路、34 D/A変換器、36 LPF回路、38 リニアアンプ、32 遅延波形信号生成器、40 クロック群発生回路、42 遅延データメモリ、46 波形メモリ、50 ラッチ回路、52 クロック選別回路、54 ラッチ回路、56 遅延カウンタ、58 アドレス発生器、100 送信クロック、102 送信制御信号、130 送信開始信号、108 クロック群、110 遅延データ、112 選定クロック、114 遅延データ、114A 整数遅延データ、114B 小数遅延データ、122 波形データ、126, 142, 152 ラッチ後の波形データ、130 送信開始信号、144 データ切替器、146 否定演算器。

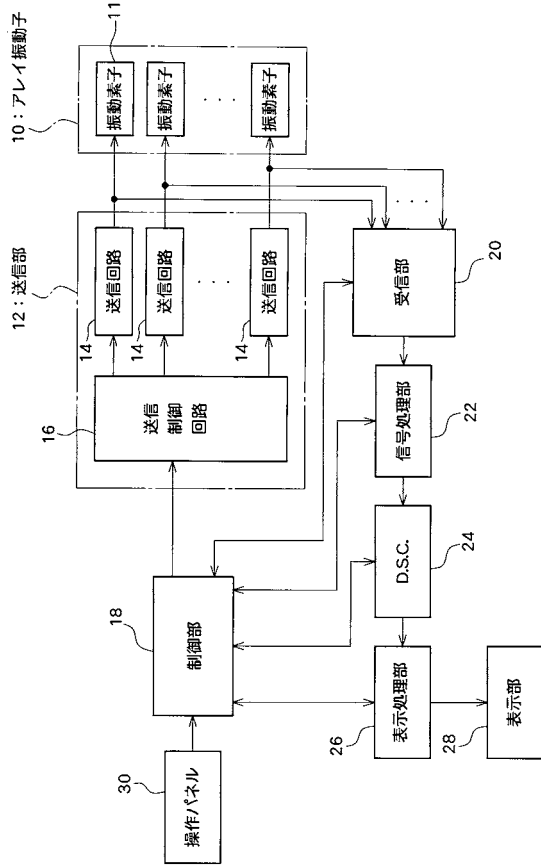
10

20

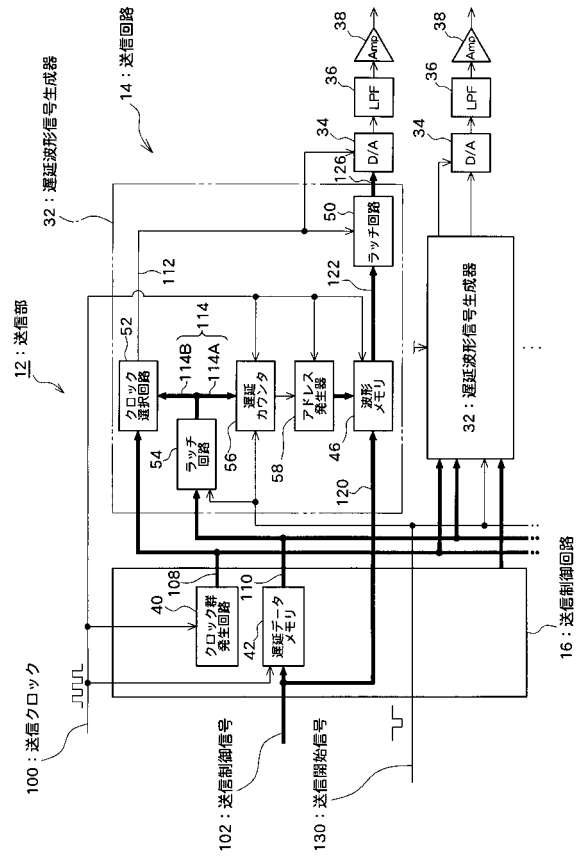
30

40

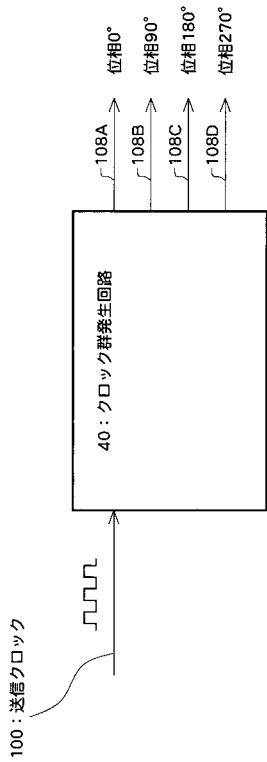
【図 1】



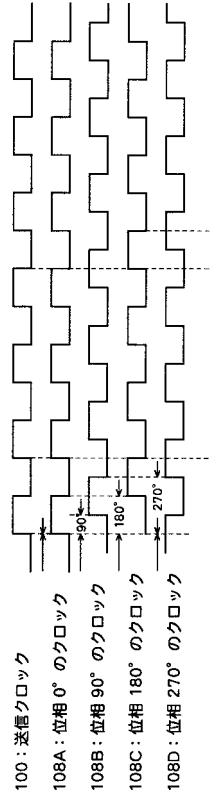
【図 2】



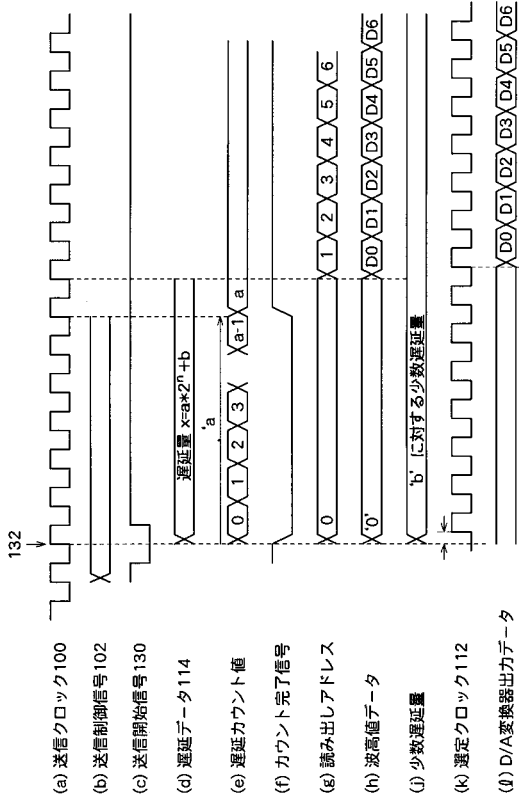
【図 3】



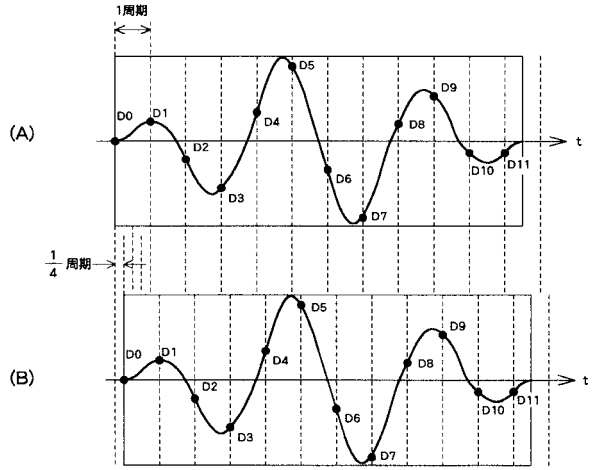
【図 4】



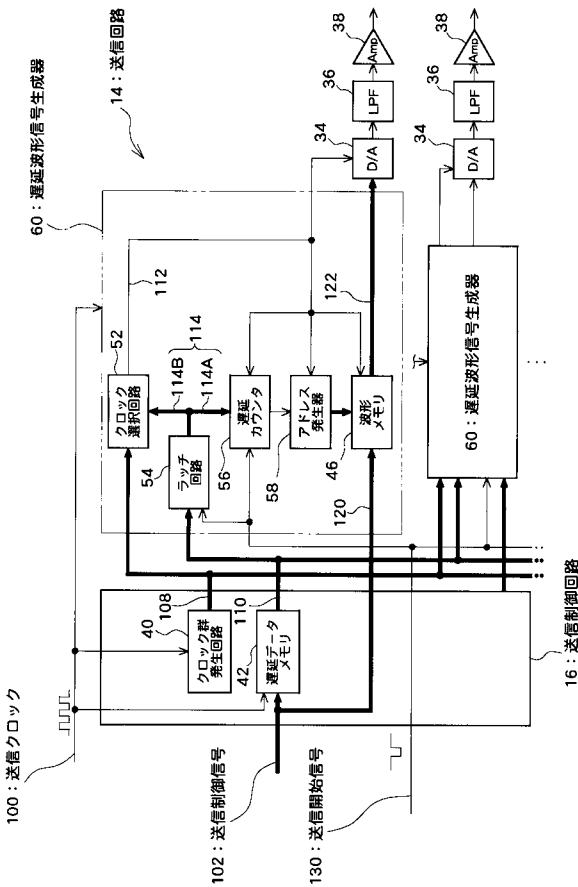
【図5】



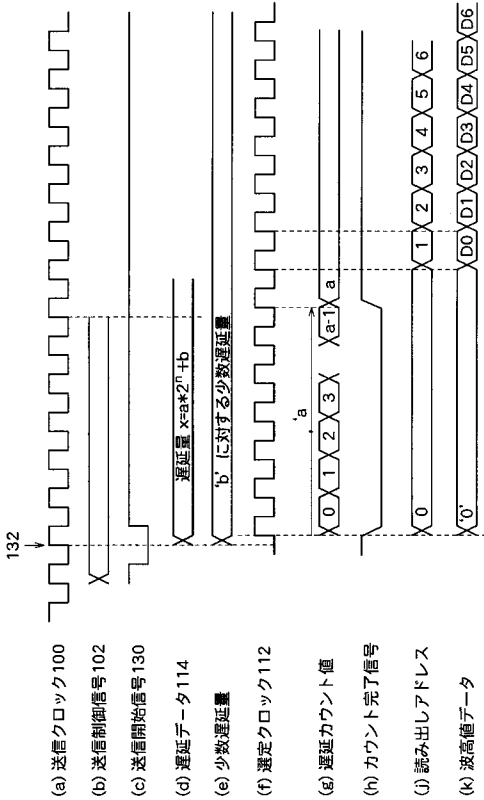
【図6】



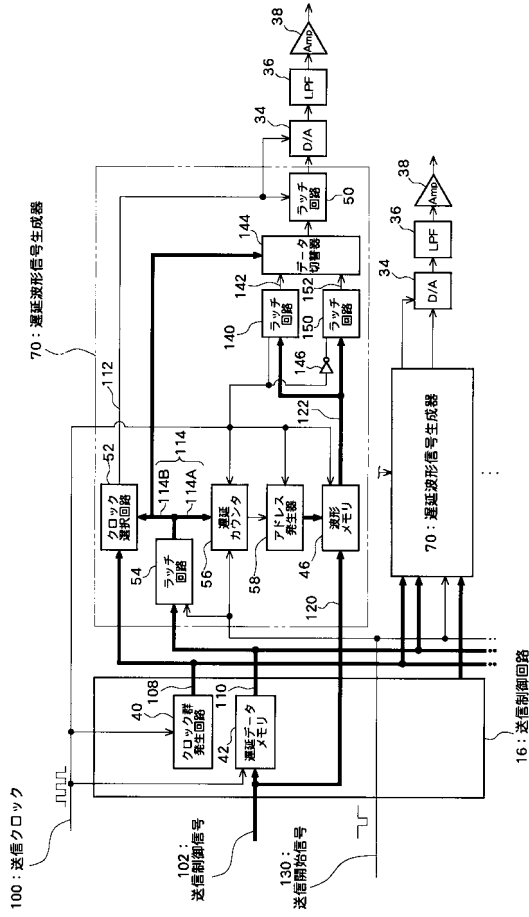
【図7】



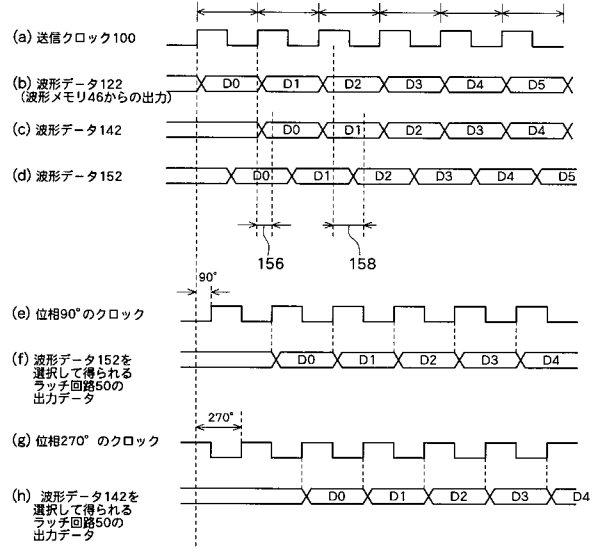
【図8】



【図9】



【図10】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

A 6 1 B 8 / 0 0

专利名称(译)	超声诊断设备		
公开(公告)号	JP4980688B2	公开(公告)日	2012-07-18
申请号	JP2006282853	申请日	2006-10-17
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
当前申请(专利权)人(译)	日立アロカメディカル株式会社		
[标]发明人	藤木俊昭		
发明人	藤木 俊昭		
IPC分类号	A61B8/00		
CPC分类号	G01S7/5202		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE09 4C601/HH21 4C601/JB05		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP2008099738A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在减小发送部分的电路规模的同时进行精细延迟时间控制的超声波诊断装置。 种类代码：A1时钟组产生电路产生具有与传输时钟相同频率并具有不同相位的时钟组。在时钟选择电路52的时钟组中，根据分数延迟数据114B的值选择一个选择的时钟112。整数延迟数据114A被输入到延迟计数器56，并且波形数据被存储在波形存储器46中。由于波形存储器46使用传输时钟100或选择时钟112读取波形数据，并且锁存电路50或D/A转换器34使用所选择的时钟112进行操作，因此D/A转换器34除了粗延迟时间之外，还要向要输出的模拟信号添加精细延迟时间。 .The

【 图 2 】

