

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2018-183426

(P2018-183426A)

(43) 公開日 平成30年11月22日(2018.11.22)

(51) Int.Cl.

A61B 8/14 (2006.01)

F I

A61B 8/14

テーマコード (参考)

4C601

審査請求 未請求 請求項の数 15 O L (全 25 頁)

(21) 出願番号 特願2017-87298 (P2017-87298)

(22) 出願日 平成29年4月26日 (2017. 4. 26)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 110002066

特許業務法人筒井国際特許事務所

(72) 発明者 町田 俊太郎

東京都千代田区丸の内一丁目6番6号 株

式会社日立製作所内

(72) 發明者 佐光 曉史

東京都千代田区丸の内一丁目6番6号 株

式会社日立製作所内

F ターム (参考) 4C601 GB05 GB09 GB16 GB20 GB41

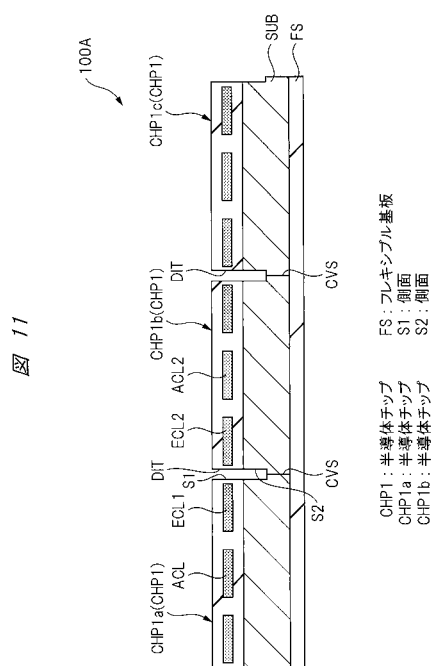
(54) 【発明の名称】 超音波撮像装置並びに超音波トランスデューサおよびその製造方法

(57) 【要約】

【課題】CMUTの性能を維持しながら、フレキシブル
性や曲面追従性を備えるCMUTを提供する。

【解決手段】超音波トランスデューサは、超音波の受信を行なうセルが形成された複数の半導体チップＣＨＰ１と、複数の半導体チップＣＨＰ１と密着するフレキシブル基板ＦＳを備える。ここで、複数の半導体チップＣＨＰ１のうち、互いに隣り合う半導体チップＣＨＰ１ａと半導体チップＣＨＰ１ｂとに着目した場合において、半導体チップＣＨＰ１ａは、側面Ｓ１を含み、半導体チップＣＨＰ１ｂは、側面Ｓ１と対向する側面Ｓ２を含む。そして、側面Ｓ１の第１部分は、劈開面であり、側面Ｓ２の第２部分であって第１部分と対向する第２部分も、劈開面である。

【選択図】 図 1 1



【特許請求の範囲】**【請求項 1】**

被検体に接触させて、前記被検体との間で超音波を送受信する超音波探触子と、
超音波を送信させるための駆動信号を前記超音波探触子に供給する送信部と、
前記超音波探触子から出力される反射エコー信号を受信する受信部と、
前記反射エコー信号に基づいて画像を生成する画像処理部と、
超音波の送信時には、前記超音波探触子と前記送信部とを電氣的に接続する一方、超音波の受信時には、前記超音波探触子と前記受信部とを電氣的に接続するように接続経路を切り換える送受信分離部と、

を備える、超音波撮像装置であって、

10

前記超音波探触子は、超音波トランスデューサを含み、

前記超音波トランスデューサは、

超音波の送受信を行なうセルが形成された複数の半導体チップと、

前記複数の半導体チップと密着する可撓性部材と、

を有し、

前記複数の半導体チップのうち、互いに隣り合う第 1 半導体チップと第 2 半導体チップとに着目した場合において、

前記第 1 半導体チップは、第 1 側面を含み、

前記第 2 半導体チップは、前記第 1 側面と対向する第 2 側面を含み、

前記第 1 側面の第 1 部分は、劈開面であり、

20

前記第 2 側面の第 2 部分であって、前記第 1 部分と対向する前記第 2 部分も、劈開面である、超音波撮像装置。

【請求項 2】

超音波の受信を行なうセルが形成された複数の半導体チップと、

前記複数の半導体チップと密着する可撓性部材と、

を備え、

前記複数の半導体チップのうち、互いに隣り合う第 1 半導体チップと第 2 半導体チップとに着目した場合において、

前記第 1 半導体チップは、第 1 側面を含み、

前記第 2 半導体チップは、前記第 1 側面と対向する第 2 側面を含み、

30

前記第 1 側面の第 1 部分は、劈開面であり、

前記第 2 側面の第 2 部分であって、前記第 1 部分と対向する前記第 2 部分も、劈開面である、超音波トランスデューサ。

【請求項 3】

請求項 2 に記載の超音波トランスデューサにおいて、

前記第 1 側面は、前記第 2 半導体チップ側に突き出た第 1 突出側面を有し、

前記第 2 側面は、前記第 1 半導体チップ側に突き出た第 2 突出側面を有し、

前記第 1 部分は、前記第 1 突出側面であり、

前記第 2 部分は、前記第 2 突出側面である、超音波トランスデューサ。

【請求項 4】

40

請求項 2 に記載の超音波トランスデューサにおいて、

前記第 1 部分と前記第 2 部分とは、対向して密着させた場合に合致する形状を有する、超音波トランスデューサ。

【請求項 5】

請求項 2 に記載の超音波トランスデューサにおいて、

前記複数の半導体チップのそれぞれには、複数の前記セルが形成され、

前記第 1 半導体チップは、

前記第 2 半導体チップに最も近い位置に形成された第 1 外縁セルと、

前記第 1 外縁セルと隣り合う第 1 隣接セルと、

を含み、

50

前記第 2 半導体チップは、

前記第 1 半導体チップに最も近い位置に形成された第 2 外縁セルと、

前記第 2 外縁セルと隣り合う第 2 隣接セルと、

を含み、

前記第 1 外縁セルと前記第 2 外縁セルとの間の距離は、前記第 1 外縁セルと前記第 1 隣接セルとの間の距離と等しく、かつ、前記第 2 外縁セルと前記第 2 隣接セルとの間の距離と等しい、超音波トランスデューサ。

【請求項 6】

請求項 2 に記載の超音波トランスデューサにおいて、

前記第 1 側面と前記第 2 側面との間の最大距離は、使用する超音波の波長よりも小さい
、超音波トランスデューサ。 10

【請求項 7】

請求項 2 に記載の超音波トランスデューサにおいて、

前記複数の半導体チップのそれぞれは、

表面と、

前記表面の反対側に位置する裏面と、

を有し、

前記可撓性部材は、前記裏面と密着する、超音波トランスデューサ。

【請求項 8】

請求項 2 に記載の超音波トランスデューサにおいて、

前記複数の半導体チップのそれぞれは、 20

表面と、

前記表面の反対側に位置する裏面と、

を有し、

前記可撓性部材は、前記表面と密着する、超音波トランスデューサ。

【請求項 9】

請求項 2 に記載の超音波トランスデューサにおいて、

前記可撓性部材は、フレキシブル基板である、超音波トランスデューサ。

【請求項 10】

請求項 2 に記載の超音波トランスデューサにおいて、

前記可撓性部材は、可撓性膜である、超音波トランスデューサ。 30

【請求項 11】

請求項 2 に記載の超音波トランスデューサにおいて、

前記セルは、静電容量型セルである、超音波トランスデューサ。

【請求項 12】

(a) セルが形成された複数のチップ領域を有する半導体基板を用意する工程、

(b) 所定数のチップ領域を含むチップアレイを取得する工程、

(c) 前記チップアレイを可撓性部材に接着する工程、

(d) 前記チップアレイを前記所定数の半導体チップに分離する工程、

を備える、超音波トランスデューサの製造方法であって、 40

前記 (d) 工程は、

(d1) 前記半導体基板の厚さ方向において前記半導体基板の途中で停止する複数の切り込みを前記チップアレイに形成する工程、

(d2) 前記 (d1) 工程の後、前記複数の切り込みを起点とした劈開により、前記可撓性部材に接着された前記所定数の前記半導体チップを取得する工程、

を有する、超音波トランスデューサの製造方法。

【請求項 13】

請求項 12 に記載の超音波トランスデューサの製造方法において、

前記 (d1) 工程では、エッチングを使用する、超音波トランスデューサの製造方法。

【請求項 14】

請求項 1 2 に記載の超音波トランスデューサの製造方法において、
前記 (d 1) 工程では、ダイシングを使用する、超音波トランスデューサの製造方法。

【請求項 1 5】

請求項 1 2 に記載の超音波トランスデューサの製造方法において、
前記半導体基板は、シリコンウェハであり、
前記セルは、前記シリコンウェハの (1 0 0) 面に形成されている、超音波トランスデューサの製造方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

10

本発明は、超音波撮像装置並びに超音波トランスデューサおよびその製造技術に関し、例えば、MEMS (Micro Electro Mechanical Systems) 技術により製造される超音波トランスデューサおよびその製造技術に適用して有効な技術に関する。

【背景技術】

【 0 0 0 2 】

特開 2 0 0 5 - 2 9 5 5 5 3 号公報 (特許文献 1) には、互いに隣り合う超音波トランスデューサ間にトレンチを形成することにより、互いに隣り合う超音波トランスデューサ間での音響クロストークを抑制する技術が記載されている。

【先行技術文献】

【特許文献】

20

【 0 0 0 3 】

【特許文献 1】特開 2 0 0 5 - 2 9 5 5 5 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

超音波トランスデューサは、超音波を送受信することにより、人体内の腫瘍の診断や建造物に発生した亀裂の検査などの様々な用途に用いられている。

【 0 0 0 5 】

これまでは、圧電体の振動を利用した超音波トランスデューサが用いられてきたが、近年の MEMS 技術の進歩により、振動部をシリコン基板上に作製した静電容量検出型超音波トランスデューサ (C M U T : Capacitive Micromachined Ultrasonic Transducer) が実用化を目指して盛んに開発されている。

30

【 0 0 0 6 】

C M U T は、圧電体を用いた超音波トランスデューサと比較して、使用できる超音波の周波数帯域が広い、あるいは、高感度であるなどの利点を有している。また、LSI 加工技術を用いて作製することができるので、微細加工が可能である利点も有している。

【 0 0 0 7 】

超音波検査を行なう被験体の表面が曲面や凹凸形状を持つ場合、これまでの超音波探触子ではフレキシブル性を持たないために、被験体の表面の曲面や凹凸に追従させることができず、良好な検査画像を得ることが困難であった。C M U T を超音波探触子として用いる場合でも、被験体の表面が曲面や凹凸形状を持つ場合は、C M U T の性能を維持しながら、C M U T にフレキシブル性や曲面追従性を持たせる工夫が必要とされる。

40

【 0 0 0 8 】

本発明の目的は、C M U T の性能を維持しながら、フレキシブル性や曲面追従性を備える C M U T を提供することにある。

【 0 0 0 9 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 0 】

50

一実施の形態における超音波トランスデューサは、超音波の受信を行なうセルが形成された複数の半導体チップと、複数の半導体チップと密着する可撓性部材とを備える。ここで、複数の半導体チップのうち、互いに隣り合う第1半導体チップと第2半導体チップとに着目した場合において、第1半導体チップは、第1側面を含み、第2半導体チップは、第1側面と対向する第2側面を含む。そして、第1側面の第1部分は、劈開面であり、第2側面の第2部分であって第1部分と対向する第2部分も、劈開面である。

【発明の効果】

【0011】

一実施の形態によれば、CMUTの性能を維持しながら、フレキシブル性や曲面追従性を備えるCMUTを提供することができる。

10

【図面の簡単な説明】

【0012】

【図1】実施の形態における超音波撮像装置の構成を示すブロック図である。

【図2】実施の形態における超音波探触子の構成を示すブロック図である。

【図3】基本的な1つのセルの断面構造を示す断面図である。

【図4】フレキシブルな超音波探触子を使用する例を示す模式図である。

【図5】曲面追従性を有するCMUTの応用例を説明する模式図である。

【図6】フレキシブル基板上に複数の微細な半導体チップを貼り付ける関連技術を説明する図である。

【図7】フレキシブル基板上に複数の微細な半導体チップを等間隔で貼り付ける理想的な状態を示す図である。

20

【図8】フレキシブル基板上に複数の微細な半導体チップをばらついた間隔で貼り付ける現実的な状態を示す図である。

【図9】(a)および(b)は、CMUTを構成する複数の半導体チップのそれぞれから出力される超音波を重ね合わせた場合の強度分布を示すグラフである。

【図10】実施の形態におけるCMUTの外観構成を示す斜視図である。

【図11】実施の形態におけるCMUTの一部を模式的に示す断面図である。

【図12】実施の形態におけるCMUTを曲面部材に貼り付けた構成を示す模式図である。

【図13】曲面部材にCMUTを貼り付けた状態を模式的に示す断面図である。

30

【図14】曲面部材にCMUTを貼り付けた状態を模式的に示す断面図である。

【図15】実施の形態におけるCMUTの製造工程を示す図である。

【図16】図15に続くCMUTの製造工程を示す図であって、チップアレイの平面図である。

【図17】図15に続くCMUTの製造工程を示す図であって、チップアレイの断面図である。

【図18】図17に続くCMUTの製造工程を示す図である。

【図19】図18に続くCMUTの製造工程を示す図である。

【図20】図19に続くCMUTの製造工程を示す図である。

【図21】図20に続くCMUTの製造工程を示す平面図である。

40

【図22】図21のA-A線で切断した断面図である。

【図23】図21に続くCMUTの製造工程を示す平面図である。

【図24】図23のA-A線で切断した断面図である。

【図25】図17に続くCMUTの製造工程の変形例を示す平面図である。

【図26】図25のA-A線で切断した断面図である。

【図27】変形例におけるCMUTの製造工程を示す図である。

【図28】図27に続くCMUTの製造工程を示す図である。

【図29】図28に続くCMUTの製造工程を示す図である。

【発明を実施するための形態】

【0013】

50

実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0014】

< 超音波撮像装置の構成 >

まず、本実施の形態における超音波撮像装置の一構成例とその役割について、図面を参照しながら説明する。

【0015】

図1は、本実施の形態における超音波撮像装置1000の模式的な構成を示すブロック図である。図1において、本実施の形態における超音波撮像装置1000は、本体と超音波探触子1001とにより構成され、本体は、送受信分離部1002、送信部1003、バイアス部1004、受信部1005、整相加算部1006、画像処理部1007、表示部1008、制御部1009、操作部1010から構成される。

10

【0016】

超音波探触子1001は、被検体に接触させて被検体との間で超音波を送受波する装置であり、本実施の形態におけるCMUTを使用して製造される。超音波探触子1001から超音波が被検体に送波され、被検体からの反射エコー信号が超音波探触子1001により受波される。この超音波探触子1001は、後述する送受信分離部1002と電氣的に接続される。

【0017】

送信部1003およびバイアス部1004は、超音波探触子1001から超音波を送信させるために、超音波探触子1001に駆動信号を供給する機能を有する。

20

【0018】

受信部1005は、超音波探触子1001から出力される反射エコー信号を受信する機能を有する。受信部1005は、さらに、受信した反射エコー信号に対して、アナログデジタル変換（AD変換）等の信号処理を行う。

【0019】

送受信分離部1002は、超音波の送信時には、超音波探触子1001と送信部1003とを電氣的に接続する一方、超音波の受信時には、超音波探触子1001と受信部1005とを電氣的に接続するように接続経路を切り換える機能を有する。すなわち、送受信分離部1002は、送信時には送信部1003から超音波探触子1001へ駆動信号を渡し、受信時には超音波探触子1001から受信部1005へ受信信号を渡すよう送信と受信とを切り換えて分離する機能を有する。

30

【0020】

整相加算部1006は、フォーカス点から出力される反射エコー信号をそれぞれのCMUTセルで受信する時間差を考慮して加算する機能を有する。すなわち、整相加算部1006は、反射エコー信号の位相差を考慮して加算（整相加算）する機能を有する。

【0021】

画像処理部1007は、整相加算された反射エコー信号に基づいて検査画像を形成する機能を有し、表示部1008は、画像処理された検査画像を表示する表示装置である。

40

【0022】

制御部1009は、本体を構成する各構成部を制御する機能を有し、制御部1009は、超音波探触子1001の超音波の送受信を制御する。

【0023】

操作部1010は、制御部1009に指示を与える装置であり、操作部1010は、例えば、トラックボールやキーボードやマウス等の入力機器から構成される。以上のようにして、本実施の形態における超音波撮像装置が構成されていることになる。

【0024】

< 超音波探触子の構成 >

次に、超音波探触子1001の構成について説明する。図2は、本実施の形態における

50

超音波探触子 1001 の構成を示すブロック図である。図 2 に示すように、本実施の形態における超音波探触子 1001 は、CMUT 100 を含んでおり、この CMUT 100 は、複数の半導体チップ CHP 1 から構成されている。そして、複数の半導体チップ CHP 1 のそれぞれには、複数のセル CL が形成されている。このようにして、本実施の形態における超音波探触子 1001 が構成されていることになる。

【0025】

< CMUT のセルの構成および動作 >

続いて、CMUT を構成するセルのデバイス構造について説明する。

【0026】

図 3 は、基本的な 1 つのセルの断面構造を示す断面図である。基板 SUB の上層に絶縁膜 IF 1 を介して下部電極 BE が形成され、この下部電極 BE の上層に絶縁膜 IF 2 に囲まれた空洞部 CAV が形成されている。空洞部 CAV の上層の絶縁膜 IF 2 と上部電極 UE により、メンブレン MB が配置される。

【0027】

上部電極 UE と下部電極 BE の間に直流電圧と交流電圧とを重畳すると、静電気力が上部電極 UE と下部電極 BE の間に働き、メンブレン MB が印加した交流電圧の周波数で振動することで、超音波を送信する。この際に、メンブレン MB の共振周波数に近い周波数の交流電圧を印加することにより、効率良く超音波を送信することができる。

【0028】

超音波を受信する場合は、メンブレン MB の表面に到達した超音波の圧力により、メンブレン MB が振動する。すると、上部電極 UE と下部電極 BE との間の距離が変化するため、静電容量の変化として超音波を検出することができる。この際も、メンブレン MB の共振周波数に近い周波数の超音波を効率よく受信できる。以上のようにして、本実施の形態におけるセルが構成されていることになる。

【0029】

< CMUT の今後の用途 >

CMUT の今後の展開の一つとして、CMUT を含む超音波探触子のフレキシブル化が想定されており、例えば、フレキシブルな超音波探触子を使用した超音波撮像装置の開発が望まれている。図 4 は、フレキシブルな超音波探触子を使用する例を示す模式図である。図 4 に示すように、例えば、フレキシブルな超音波探触子 1001 を人体の腕 ARM の肘にあてがうことにより、屈曲する肘の超音波画像を取得することができ、この超音波画像に基づいて、医者による診断が実現可能となる。

【0030】

また、図 5 は、曲面追従性を有する CMUT 100 の応用例を説明する模式図である。図 5 において、血管 BV 内にカテーテル CT が挿入されており、このカテーテル CT の表面の曲面形状に追従して、曲面追従性を有する CMUT 100 が設けられている、この構成では、カテーテル CT から光を血管 BV の内壁に向かって照射する。このとき、血管 BV の内壁にブラーク PQ が付着していると、ブラーク PQ に光が照射されることになる。そして、ブラーク PQ に光が照射されると、照射された光のエネルギーによって、ブラーク PQ が温められる。この結果、ブラーク PQ が膨張して、ブラーク PQ から超音波が出力される。したがって、このブラーク PQ から発生する超音波をカテーテル CT の表面に設けられている CMUT で受信することにより、血管 BV の内壁におけるブラーク PQ の状態を確認することができる。このようにして、CMUT にフレキシブル性や曲面追従性を持たせることにより、CMUT の応用範囲が拡大することになる。

【0031】

ここで、重要な点は、CMUT のデバイス性能を維持しながら、CMUT にフレキシブル性や曲面追従性を持たせるには工夫が必要とされる点である。

【0032】

以下に、この点について説明する。例えば、CMUT にフレキシブル性や曲面追従性を持たせる方法としては、まず、フレキシブル基板上にデバイス構造を直接製造する方法が

10

20

30

40

50

ある。ところが、この方法では、一般的に有機材料からなるフレキシブル基板を用いる結果、デバイス構造の製造工程における温度制約が加わることになり、デバイス特性の良好なCMUTを製造することが困難である事情が存在する。すなわち、フレキシブル基板上にデバイス構造を直接製造する方法は、CMUTのデバイス性能を維持しながら、CMUTにフレキシブル性や曲面追従性を持たせる構造を実現する観点から、妥当な方法とは言えないのである。

【0033】

次に、例えば、フレキシブル基板上に複数の微細な半導体チップを貼り付ける方法が考えられる。この方法では、半導体チップと半導体チップと間の隙間がフレキシブル性を有することから、CMUTにフレキシブル性や曲面追従性を持たせることができる。ただし、この方法においては、改善の余地が存在するので、以下では、この方法に存在する改善の余地について、図面を参照しながら説明する。

10

【0034】

<改善の検討>

図6は、フレキシブル基板上に複数の微細な半導体チップを貼り付ける関連技術を説明する図である。図6に示すように、関連技術におけるCMUT100は、フレキシブル基板FS上に、セルCLが形成された半導体チップCHP1a~CHP1gが搭載されている。このとき、図6に示すように、個々の半導体チップCHP1a~CHP1gは、機械的なハンドリング機構によって、フレキシブル基板FS上に配置される結果、半導体チップ間の隙間の間隔がばらつくことになる。そして、この半導体チップ間の隙間の間隔がばらつくことに起因して、CMUTのデバイス性能が低下するのである。

20

【0035】

具体的に、図7は、フレキシブル基板上に複数の微細な半導体チップを規定された等間隔で貼り付ける理想的な状態を示す図である。図7において、フレキシブル基板FS上には、それぞれセルCLが形成された半導体チップCHP1a~CHP1gが等間隔で配置されている。ここで、CMUT100では、半導体チップCHP1a~CHP1gのそれぞれから出力される超音波をフォーカス点に集中させることにより、CMUT100の分解能を向上させることができる。特に、フォーカス点においては、半導体チップCHP1a~CHP1gのそれぞれから出力された超音波が重ね合わされる。このとき、フォーカス点における超音波の強度を高めるためには、フォーカス点において、半導体チップCHP1a~CHP1gのそれぞれから出力された超音波を強め合うように重ね合わせる必要がある。言い換えれば、半導体チップCHP1a~CHP1gのそれぞれから出力された超音波の位相が、フォーカス点において揃っている必要がある。ここで、図7に示すように、フレキシブル基板FS上に配置された半導体チップCHP1a~CHP1gのそれぞれからフォーカス点までの距離は、異なる。したがって、例えば、図7において、半導体チップCHP1a~CHP1gから同時刻に超音波を出力すると、半導体チップCHP1a~CHP1gのそれぞれからフォーカス点までの距離が相違することに起因して、半導体チップCHP1a~CHP1gのそれぞれから出力された超音波の位相が、フォーカス点において揃わなくなる。このことは、フォーカス点において、超音波の強め合う重ね合わせが実現できなくなることを意味する。そして、これは、フォーカス点からの反射エコー信号が弱くなることを意味し、これによって、CMUT100の感度向上を図ることができなくなることを意味する。

30

40

【0036】

このことから、CMUT100においては、半導体チップCHP1a~CHP1gのそれぞれから同時刻に超音波を出力するのではなく、半導体チップCHP1a~CHP1gのそれぞれからフォーカス点までの距離に応じて、フォーカス点において強め合うように（位相が揃うように）、超音波を出力する時刻を調整することが行なわれる。

【0037】

この点に関し、例えば、図7に示すように、フレキシブル基板FS上に複数の微細な半導体チップCHP1a~CHP1gが規定された等間隔で貼り付けられている場合には、

50

一つの半導体チップからフォーカス点までの距離を基準にして、その半導体チップに隣接する半導体チップからフォーカス点までの距離を予め計算することができる。つまり、互いに隣り合う半導体チップのそれぞれからフォーカス点までの距離の差を算出することができる。したがって、この場合は、算出した距離の差に対応して、互いに隣り合う半導体チップのうちの距離の長い位置に配置されている半導体チップにおける超音波の出力時刻を早めることで対応することができる。具体的には、例えば、図7に示すように、半導体チップCHP1a~CHP1gが規定された等間隔(チップ間隔d)で貼り付けられており、フォーカス点からCMUT100表面への法線上にある半導体チップCHP1dからの超音波の出力時刻を「T」とする。このとき、半導体チップCHP1cおよび半導体チップCHP1eのそれぞれからフォーカス点までの距離は、半導体チップCHP1dからフォーカス点までの距離と、チップ間隔dとを用いて計算することができ、半導体チップCHP1cおよび半導体チップCHP1eのそれぞれからの超音波の出力時刻を「 $T - \Delta t_1$ 」とすることができる。同様に、半導体チップCHP1bおよび半導体チップCHP1fのそれぞれからフォーカス点までの距離も、半導体チップCHP1dからフォーカス点までの距離と、半導体チップCHP1dから半導体チップCHP1b、CHP1fまでのチップ間隔「 $2 \times d$ 」を用いて計算することができ、半導体チップCHP1bおよび半導体チップCHP1fのそれぞれからの超音波の出力時刻を「 $T - \Delta t_2$ 」とすることができる。さらに、半導体チップCHP1aおよび半導体チップCHP1gのそれぞれからフォーカス点までの距離は、半導体チップCHP1dからフォーカス点までの距離と、半導体チップCHP1dから半導体チップCHP1a、CHP1gまでのチップ間隔「 $3 \times d$ 」を用いて計算することができることから、半導体チップCHP1aおよび半導体チップCHP1gのそれぞれからの超音波の出力時刻を「 $T - \Delta t_3$ 」とすることができる。すなわち、図7に示すように、フレキシブル基板FS上に複数の微細な半導体チップCHP1a~CHP1gが等間隔で貼り付けられている場合には、半導体チップCHP1a~CHP1gのそれぞれから超音波を出力する時刻を容易に調整することができる。すなわち、フレキシブル基板FS上に複数の微細な半導体チップCHP1a~CHP1gが規定された等間隔で貼り付けられている場合においては、規定された間隔を用いて、予めそれぞれの半導体チップから超音波を出力する時刻を調整することができるため、時刻の調整が容易となる。

【0038】

これに対し、図8は、フレキシブル基板上に複数の微細な半導体チップを予め規定できていないばらついた間隔で貼り付ける現実的な状態を示す図である。図8において、フレキシブル基板FS上には、それぞれセルCLが形成された半導体チップCHP1a~CHP1gがばらついた間隔 $d_1 \sim d_6$ で配置されている。この場合、互いに隣り合う半導体チップのそれぞれからフォーカス点までの距離は、間隔 $d_1 \sim d_6$ が予め規定されていないために計算することができない。したがって、フレキシブル基板FS上に複数の微細な半導体チップをばらついた間隔で貼り付ける現実的な構成では、規定された間隔で配置されている構成のように、超音波を出力する時刻を調整することはできず、半導体チップにおける超音波の出力時刻を調整することが非常に困難となる。なぜなら、あるCMUTにおける半導体チップ間の間隔のばらつきと、別のCMUTにおける半導体チップ間のばらつきとは規則性がなく、ランダム性を有するからである。すなわち、機械的なハンドリング機構による誤差はランダムに発生することから、半導体チップCHP1a~CHP1gのばらつきもCMUT毎に異なり、半導体チップ間の間隔のばらつき(間隔 $d_1 \sim d_6$)を正確に反映して、超音波を出力する時刻を調整することは不可能に近いからである。

【0039】

したがって、フレキシブル基板FS上に複数の微細な半導体チップCHP1a~CHP1gをばらついた間隔で貼り付ける現実的な構成では、フォーカス点において超音波の強め合う重ね合わせを実現することは困難となり、このことは、フォーカス点がぼけてしまうことを意味する。この結果、フレキシブル基板FS上に複数の微細な半導体チップCHP1a~CHP1gをばらついた間隔で貼り付ける現実的な構成では、CMUT100の

感度の低下を招くことになる。つまり、フレキシブル基板 F S 上に複数の微細な半導体チップ C H P 1 a ~ C H P 1 g を貼り付ける関連技術においては、C M U T 1 0 0 の性能を維持しながら、C M U T 1 0 0 にフレキシブル性や曲面追従性を持たせることが困難であることがわかる。

【 0 0 4 0 】

さらに、この関連技術においては、上述したように、半導体チップ間の間隔のばらつきに起因する C M U T の性能低下を招くとともに、機械的なハンドリング機構を使用することに起因して、隣り合う半導体チップ間の間隔を狭くできないということからも、C M U T の性能低下を招くことになる。以下に、この点について説明することにする。

【 0 0 4 1 】

図 9 (a) および図 9 (b) は、C M U T を構成する複数の半導体チップのそれぞれから出力される超音波を重ね合わせた場合の強度分布を示すグラフである。図 9 (a) および図 9 (b) において、横軸は、角度を示しており、縦軸は、強度に対応する指向性係数を示している。図 9 (a) および図 9 (b) において、0 度の角度に現れるピークは、メインローブ (0 次回折光) を示しており、メインローブの両側に現れるピークは、グレーティングローブ (1 次回折光) である。ここで、メインローブは、実像に対応している一方、グレーティングローブは、干渉に起因する虚像に対応している。そして、グレーティングローブがメインローブの近くに現れるほど、超音波画像の品質が悪いことを示している。なぜなら、グレーティングローブがメインローブの近くに現れるほど、実像に虚像の悪影響が及びやすくなるからである。

【 0 0 4 2 】

ここで、図 9 (a) は、周波数が 1 5 M H z (波長が 1 0 2 μ m) の超音波を使用し、かつ、半導体チップ間のピッチを 1 1 2 μ m とした場合の結果である。一方、図 9 (b) は、周波数が 1 5 M H z (波長が 1 0 2 μ m) の超音波を使用し、かつ、半導体チップ間のピッチを 1 3 2 μ m とした場合の結果である。このとき、半導体チップのサイズが同一であることを前提として、半導体チップ間のピッチが大きいということは、半導体チップの間の間隔が大きいことを意味する。このことから、図 9 (a) および図 9 (b) を参照すると、半導体チップ間の間隔が大きいほど、グレーティングローブがメインローブに近づいていることがわかる。このことは、半導体チップ間の間隔が大きいほど、実像が虚像の悪影響を受けやすくなることを意味する。したがって、機械的なハンドリング機構を使用することに起因して、隣り合う半導体チップ間の間隔を狭くできないという関連技術においては、超音波画像の品質向上を図る観点から改善の余地が存在することがわかる。

【 0 0 4 3 】

また、関連技術においては、複数の半導体チップ C H P 1 a ~ C H P 1 g は、機械的なハンドリング機構によって、フレキシブル基板 F S 上に配置される。そして、C M U T に対して、より小さな曲率での曲面追従性を持たせる場合、関連技術では、より微細な半導体チップを使用することが要求される。この場合、微細な半導体チップをハンドリングする必要性が生じることから、ハンドリング特性が低下することになる。つまり、ハンドリング特性を向上する観点からも、関連技術には、改善の余地が存在するのである。

【 0 0 4 4 】

以上のことから、関連技術においては、半導体チップ間の間隔がばらつく点と、半導体チップ間の間隔を狭くできない点との相乗要因によって、C M U T の性能低下を招くことになるとともに、より小さな曲率での曲面追従性を確保しようと半導体チップのサイズを小さくすると、ハンドリング特性が低下するという改善の余地が存在する。

【 0 0 4 5 】

そこで、C M U T のデバイス性能を維持しながら、C M U T にフレキシブル性や曲面追従性を持たせるには工夫が必要とされる。このため、本実施の形態では、C M U T のデバイス性能を維持しながら、C M U T にフレキシブル性や曲面追従性を持たせるための工夫を施している。以下に、この工夫を施した本実施の形態における技術的思想について、図面を参照しながら説明することにする。

【 0 0 4 6 】

< C M U T の 構 成 >

図 1 0 は、本実施の形態における C M U T 1 0 0 A の外観構成を示す斜視図である。図 1 0 に示すように、本実施の形態における C M U T 1 0 0 A は、フレキシブル基板 F S と、このフレキシブル基板 F S 上に搭載された複数の半導体チップ C H P 1 とを有している。例えば、図 1 0 に示すように、フレキシブル基板 F S の平面サイズは、複数の半導体チップ C H P 1 を合わせた平面サイズよりも大きくなっており、平面視において、複数の半導体チップ C H P 1 は、フレキシブル基板 F S に内包されている。

【 0 0 4 7 】

ここで、本実施の形態では、可撓性を有するフレキシブル基板 F S を例に挙げているが、これに限らず、可撓性膜であってもよい。すなわち、本実施の形態において、複数の半導体チップ C H P 1 を搭載する部材は、可撓性を有する可撓性部材であればよい。

10

【 0 0 4 8 】

そして、図 1 0 に示すように、複数の半導体チップ C H P 1 のそれぞれには、複数のセル C L が形成されている。このセル C L は、超音波の送受信を行なう機能を有しており、例えば、図 3 に示すデバイス構造をしている。

【 0 0 4 9 】

このとき、複数の半導体チップ C H P 1 は、互いに隣り合う半導体チップ C H P 1 の側面に形成されている溝 D I T と劈開面 C V S によって分離されている。

【 0 0 5 0 】

図 1 1 は、本実施の形態における C M U T 1 0 0 A の一部を模式的に示す断面図である。図 1 1 では、フレキシブル基板 F S 上に搭載されている 3 つの半導体チップ C H P 1 a ~ C H P 1 c が図示されている。図 1 1 において、例えば、互いに隣り合う半導体チップ C H P 1 a と半導体チップ C H P 1 b とに着目した場合、半導体チップ C H P 1 a は、側面 S 1 を含む一方、半導体チップ C H P 1 b は、半導体チップ C H P 1 a の側面 S 1 と対向する側面 S 2 を含んでいる。そして、半導体チップ C H P 1 a の側面 S 1 は、溝 D I T の一部を構成する部位と、劈開面 C V S を構成する部位とを含んでいる。同様に、半導体チップ C H P 1 b の側面 S 2 は、溝 D I T の一部を構成する部位と、劈開面 C V S を構成する部位とを含んでいる。このとき、側面 S 1 のうちの劈開面 C V S が形成されている部位（第 1 部分）と、側面 S 2 のうちの劈開面 C V S が形成されている部位（第 2 部分）とは、互いに対向している。すなわち、半導体チップ C H P 1 a の側面 S 1 の第 1 部分と、半導体チップ C H P 1 b の側面 S 2 の第 2 部分とは、対向して密着させた場合に合致する形状を有するということができる。

20

30

【 0 0 5 1 】

さらに別の言い方をすると、図 1 1 に示すように、半導体チップ C H P 1 a の側面 S 1 は、半導体チップ C H P 1 b 側に突き出た第 1 突出側面を有し、かつ、半導体チップ C H P 1 b の側面 S 2 は、半導体チップ C H P 1 a 側に突き出た第 2 突出側面を有する。そして、半導体チップ C H P 1 a の側面 S 1 の第 1 部分（劈開面）は、第 1 突出側面であり、半導体チップ C H P 1 b の側面 S 2 の第 2 部分（劈開面）は、第 2 突出側面である。

【 0 0 5 2 】

また、図 1 1 に示すように、半導体チップ C H P 1 a は、3 つのセルを有し、かつ、半導体チップ C H P 1 b も、3 つのセルを有し、かつ、半導体チップ C H P 1 c も、3 つのセルを有している。このとき、半導体チップ C H P 1 a に形成されている 3 つのセルと、半導体チップ C H P 1 b に形成されている 3 つのセルと、半導体チップ C H P 1 c に形成されている 3 つのセルとを合わせた 9 つのセルは、等間隔で配置されている。そして、図 1 1 に示すように、半導体チップ C H P 1 a は、半導体チップ C H P 1 b に最も近い位置に形成された外縁セル E C L 1 と、外縁セル E C L 1 と隣り合う隣接セル A C L 1 とを含んでいる。同様に、半導体チップ C H P 1 b は、半導体チップ C H P 1 a に最も近い位置に形成された外縁セル E C L 2 と、外縁セル E C L 2 と隣り合う隣接セル A C L 2 とを含んでいる。このとき、本実施の形態では、外縁セル E C L 1 と外縁セル E C L 2 との間の

40

50

距離は、外縁セル E C L 1 と隣接セル A C L 1 との間の距離と等しく、かつ、外縁セル E C L 2 と隣接セル A C L 2 との間の距離と等しくなっている。

【 0 0 5 3 】

なお、本実施の形態における C M U T 1 0 0 A において、半導体チップ C H P 1 a の側面 S 1 と、半導体チップ C H P 1 b の側面 S 2 との間の最大距離（溝 D I T の幅とも言える）は、使用する超音波の波長よりも小さくなっている。

【 0 0 5 4 】

以上のようにして、本実施の形態における C M U T 1 0 0 A が構成されている。

【 0 0 5 5 】

< 曲面部材への C M U T の実装構成 >

次に、本実施の形態における C M U T 1 0 0 A を曲面部材 C S M に実装する構成例について説明する。図 1 2 は、本実施の形態における C M U T 1 0 0 A を曲面部材 C S M に貼り付けた構成を示す模式図である。図 1 2 に示すように、可撓性を有するフレキシブル基板 F S が、曲面部材 C S M の曲面にぴったり貼り付けられており、曲面部材 C S M の曲面に貼り付けられたフレキシブル基板 F S 上に複数の半導体チップ C H P 1 が搭載されている。すなわち、複数の半導体チップ C H P 1 のそれぞれは、表面と、表面の反対側に位置する裏面とを有し、フレキシブル基板 F S （可撓性部材）は、半導体チップ C H P 1 の裏面と密着し、かつ、曲面部材 C S M の曲面に追従するように配置されている。

【 0 0 5 6 】

図 1 3 は、曲面部材 C S M の曲面に、C M U T 1 0 0 A を貼り付けた状態を模式的に示す断面図である。図 1 3 に示すように、曲面部材 C S M の表面には、可撓性を有するフレキシブル基板 F S が曲面に追従するように貼り付けられており、このフレキシブル基板 F S 上に、複数の半導体チップ C H P 1 がそれぞれ異なる角度で配置されている。つまり、複数の半導体チップ C H P 1 が、劈開面 C V S を境にして、異なる傾斜角度で配置されており、これによって、曲面部材 C S M の曲面に追従するように、フレキシブル基板 F S 上に配置された複数の半導体チップ C H P 1 を含む C M U T 1 0 0 A が、曲面部材 C S M に貼り付けられている。これにより、例えば、曲面部材 C S M と、この曲面部材 C S M に貼り付けられた C M U T 1 0 0 A とからなる超音波探触子が構成されることになる。

【 0 0 5 7 】

なお、図 1 3 では、曲面部材 C S M の表面と、複数の半導体チップ C H P 1 の裏面との間に挟まれるようにフレキシブル基板 F S が配置されている構成例について図示されているが、本実施の形態における技術的思想は、これに限らず、例えば、図 1 4 に示すように、複数の半導体チップ C H P 1 の表面と密着するように、フレキシブル基板 F S を配置する構成も可能である。

【 0 0 5 8 】

< C M U T の製造方法 >

本実施の形態における C M U T 1 0 0 A は、上記のように構成されており、以下では、その製造方法について、図面を参照しながら説明することにする。

【 0 0 5 9 】

まず、図 1 5 に示すように、超音波を送受信するためのセルが形成された複数のチップ領域 C R を有するシリコンウェハ（半導体基板）W F を用意する。このシリコンウェハ W F は、略円盤形状をしており、表面に複数のチップ領域 C R を有している。そして、所定数のチップ領域 C R から、チップアレイ領域 C A R が形成されている。このとき、例えば、シリコンウェハ W F の表面は、シリコンの（1 0 0）面となっており、この（1 0 0）面にセルが形成されている。

【 0 0 6 0 】

続いて、シリコンウェハ W F をダイシングすることにより、図 1 6 に示すように、所定数のチップ領域 C R からなるチップアレイ C A を取得する。具体的に、図 1 6 では、例えば、3 つのチップ領域 C R からなるチップアレイ C A が図示されている。図 1 7 は、3 つのチップ領域からなるチップアレイ C A の断面図である。図 1 7 に示すように、チップア

10

20

30

40

50

レイＣＡは、基板（シリコン基板）ＳＵＢの上方に形成された複数のセルＣＬを有している。具体的に、図１７では、１つのチップ領域に３つのセルが形成されているとして、チップアレイＣＡは、３つのチップ領域を含んでいることから、チップアレイＣＡは、９つのセルを有し、これらの９つのセルは、等間隔で配置されている。

【００６１】

次に、図１８に示すように、チップアレイＣＡの裏面に、可撓性を有するフレキシブル基板ＦＳを貼り付ける。言い換えれば、可撓性を有するフレキシブル基板ＦＳの表面上にチップアレイＣＡを接着する。このとき、例えば、図１８に示すように、フレキシブル基板ＦＳのサイズは、チップアレイＣＡのサイズよりも大きくなっている。

【００６２】

10

続いて、フレキシブル基板ＦＳ上に配置されているチップアレイＣＡを所定数（例えば、３つ）の半導体チップに分離する。具体的に、本実施の形態では、まず、図１９に示すように、フレキシブル基板ＦＳ上に配置されているチップアレイＣＡにおいて、チップアレイＣＡに含まれるチップ領域の境界に沿って、溝ＤＩＴを形成する。すなわち、図１９に示すように、半導体基板ＳＵＢの厚さ方向において、半導体基板ＳＵＢの途中で停止する複数の切り込みに相当する溝ＤＩＴをチップアレイＣＡに形成する。この溝ＤＩＴは、例えば、フォトリソグラフィ技術およびエッチング技術を使用することにより形成することもできるし、ダイサー（切断刃）を使用したハーフダイシングによっても形成することができる。その後、図２０に示すように、複数の切り込みに相当する複数の溝ＤＩＴを起点とした劈開により、フレキシブル基板ＦＳに接着された所定数（例えば、３つ）の半導体チップＣＨＰ１を取得する。このとき、セルがシリコンの（１００）面に形成されている場合、溝ＤＩＴからの劈開は、チップ領域の境界線に沿って行なわれ易くなる。

20

【００６３】

続いて、分割した各半導体チップＣＨＰ１へ電源供給するための配線を接続する。図２１は、それぞれの半導体チップＣＨＰ１とフレキシブル基板ＦＳとをワイヤで接続したＣＭＵＴ１００Ａの上面図であり、図２２は、図２１のＡ－Ａ線での断面図である。

【００６４】

この場合のフレキシブル基板ＦＳは、配線パターンが形成されたフレキシブルプリント基板などを用いることができる。超音波を送受信するためのセルが形成された半導体チップＣＨＰ１には、ワイヤボンディング用のパッドＣＢＰが形成されている一方、フレキシブル基板ＦＳには、ワイヤボンディング用のパッドＦＢＰが形成されている。そして、半導体チップＣＨＰ１に形成されたパッドＣＢＰと、フレキシブル基板ＦＳに形成されたパッドＦＢＰとは、ボンディングワイヤＢＷで接続される。

30

【００６５】

ここで、半導体チップＣＨＰ１に形成されているワイヤボンディング用のパッドＣＢＰは、セルＣＬの電極と接続されている（図示せず）。一方、フレキシブル基板ＦＳに形成されているワイヤボンディング用のパッドＦＢＰは、フレキシブル基板ＦＳに形成された配線ＦＩＣにより、フレキシブル基板ＦＳと外部からの電気端子とを接続するためのコネクタＣＮＣへ電氣的に接続されている。このため、コネクタＣＮＣを介して、ＣＭＵＴ１００Ａの外部から各半導体チップＣＨＰ１へ電源供給を行なうことができる。

40

【００６６】

引き続き、図２３と図２４に示すように、パッドＣＢＰとパッドＦＢＰとボンディングワイヤＢＷとを、絶縁性を持つ樹脂ＲＳＮで覆う。これにより、パッドＣＢＰとパッドＦＢＰとボンディングワイヤＢＷとは、樹脂ＲＳＮによって保護される。

【００６７】

この際に、例えば、図２３に示す３つの樹脂ＲＳＮが、ＣＭＵＴ１００Ａ上で繋っていてもよいが、ＣＭＵＴ１００Ａのフレキシブル性を低下させない観点からは、図２３に示すように、３つの樹脂ＲＳＮは、溝ＤＩＴと劈開面ＣＶＳを起点にしてフレキシブル基板ＦＳが曲がる領域に重ならないように分離されていることが望ましい。

【００６８】

50

本実施の形態においては、ワイヤボンディング工程を、チップアレイＣＡを半導体チップＣＨＰ１に劈開した後に実施する例について説明したが、ワイヤボンディング工程は、チップアレイＣＡの裏面に、可撓性を有するフレキシブル基板ＦＳを貼り付けた後、チップアレイＣＡを半導体チップＣＨＰ１に劈開する前に実施してもよい。

【００６９】

なお、図２１と図２２では、半導体チップＣＨＰ１への必要な電源供給が１つの場合を示したが、２つ以上の電源供給が必要な場合でも、半導体チップＣＨＰ１にパッドＣＢＰを必要数形成するとともに、フレキシブル基板ＦＳにパッドＦＢＰを必要数形成することによって、それぞれ対応するパッドＣＢＰとパッドＦＢＰとをボンディングワイヤＢＷで接続することにより対応することができる。

10

【００７０】

また、分割した各半導体チップＣＨＰ１への電源供給を、ワイヤボンディングではなく、半導体チップＣＨＰ１の基板ＳＵＢを貫通する貫通穴ＴＳＶを用いて行なうこともできる。この場合、図１８で示す工程において、フレキシブル基板ＦＳとチップアレイＣＡとを電氣的に接続する。この場合のＣＭＵＴ１００Ａの上面図を図２５に示す。図２６は、図２５でのＡ－Ａ線での断面図である。この場合のフレキシブル基板ＦＳも、配線パターンが形成されたフレキシブルプリント基板などを用いることができる。

【００７１】

図２６に示すように、半導体チップＣＨＰ１の基板ＳＵＢに形成した貫通穴ＴＳＶの底面とフレキシブル基板ＦＳ上に形成されたバンパ電極ＢＭＰとを接続した後、フレキシブル基板ＦＳと基板ＳＵＢとの間にアンダーフィル材ＵＦを埋め込む。半導体チップＣＨＰ１に形成された貫通穴ＴＳＶは、セルＣＬの電極と接続されている（図示せず）。一方、バンパ電極ＢＭＰは、フレキシブル基板ＦＳに形成された配線ＦＩＣにより、フレキシブル基板ＦＳと外部からの電気端子とを接続するためのコネクタＣＮＣに電氣的に接続されている。このため、コネクタＣＮＣを介して、ＣＭＵＴ１００Ａの外部から各半導体チップＣＨＰ１へ電源供給を行なうことができる。以降の工程は、図１９と図２０で示す工程と同様の工程を経ることにより、ＣＭＵＴ１００Ａを製造することができる。

20

【００７２】

図２５と図２６では、半導体チップＣＨＰ１への必要な電源供給が１つの場合を示したが、２つ以上の電源供給が必要な場合でも、必要数の貫通穴ＴＳＶを半導体チップＣＨＰ１に形成するとともに、必要数のバンパ電極ＢＭＰをフレキシブル基板ＦＳに形成し、それぞれ対応する貫通穴ＴＳＶとバンパ電極ＢＭＰとを接続することにより対応できる。

30

【００７３】

以上のようにして、フレキシブル基板ＦＳ上に搭載された複数の半導体チップＣＨＰ１からなる本実施の形態におけるＣＭＵＴ１００Ａを製造することができる。

【００７４】

< 実施の形態における特徴 >

次に、本実施の形態における特徴点について説明する。本実施の形態における特徴点は、例えば、図１５～図２０に示すように、フレキシブル基板（可撓性部材）ＦＳに貼り付けたチップアレイＣＡに、半導体基板ＳＵＢの途中で停止する複数の切り込みを形成した後、これらの複数の切り込みを起点とした劈開によって、チップアレイＣＡを複数の半導体チップＣＨＰ１に分割する点にある。これにより、本実施の形態によれば、以下に示す第１利点を得ることができる。すなわち、本実施の形態における特徴点によれば、フレキシブル基板ＦＳ上に搭載されたチップアレイＣＡを劈開によって、複数の半導体チップＣＨＰ１に分離しているため、互いに分離された半導体チップＣＨＰ１間の間隔のばらつきを抑制することができる。なぜなら、本実施の形態によれば、例えば、関連技術のように、予め個片化された半導体チップＣＨＰ１を機械的なハンドリング機構によって、１個ずつフレキシブル基板ＦＳ上に配置するのではなく、予めチップアレイＣＡをフレキシブル基板ＦＳ上に搭載した状態で、チップアレイＣＡを劈開によって、一括して複数の半導体チップＣＨＰ１に分離する構成が採用されているからである。これにより、本実施の形態

40

50

によれば、フレキシブル基板 F S 上に複数の微細な半導体チップ C H P 1 が規定された等間隔で貼り付けられていることになり、互いに隣り合う半導体チップのそれぞれからフォーカス点までの距離を予め計算することができる。この結果、本実施の形態によれば、各半導体チップにおける超音波の出力時刻を調整することができる。すなわち、本実施の形態における特徴点によれば、フレキシブル基板 F S 上に複数の微細な半導体チップ C H P 1 が規定された等間隔で貼り付けられることになることから、超音波を出力する時刻を予め調整することができるため、時刻の調整が容易となる。つまり、本実施の形態によれば、C M U T のデバイス性能を維持しながら、C M U T にフレキシブル性や曲面追従性を持たせることができる。

【 0 0 7 5 】

続いて、本実施の形態における特徴点によって得られる第 2 利点について説明する。本実施の形態では、上述したように、予め個片化された半導体チップ C H P 1 を機械的なハンドリング機構によって、1 個ずつフレキシブル基板 F S 上に配置するのではなく、予めチップアレイ C A をフレキシブル基板 F S 上に搭載した状態で、チップアレイ C A を劈開によって、一括して複数の半導体チップ C H P 1 に分離している。この結果、本実施の形態によれば、互いに隣り合う半導体チップ間の間隔を狭くすることができることになる。このことは、本実施の形態によれば、グレーティングローブがメインローブに近づくことを抑制できることを意味する。つまり、本実施の形態によれば、半導体チップ C H P 1 間の間隔を狭くできる結果、実像（メインローブに対応）が虚像（グレーティングローブに対応）の悪影響を受けにくくなることを意味する。したがって、関連技術では、機械的なハンドリング機構を使用することに起因して、隣り合う半導体チップ間の間隔を狭くできない結果、超音波画像の品質向上を図ることができないのに対し、本実施の形態では、半導体チップ C H P 1 間の分離に劈開を使用することに起因して、隣り合う半導体チップ間の間隔を狭くできる結果、超音波画像の品質向上を図ることができる。

【 0 0 7 6 】

さらに、本実施の形態では、互いに隣り合う半導体チップ C H P 1 間の間隔を狭くできる結果、複数の半導体チップ C H P 1 をフレキシブル基板 F S 上に配列した構成からなる C M U T の小型化を図ることができる。つまり、本実施の形態における特徴点によれば、互いに隣り合う半導体チップ C H P 1 間の間隔を狭くできる結果、超音波画像の品質を向上して、C M U T のデバイス性能の向上を図ることができるとともに、C M U T の小型化を図ることができる。すなわち、本実施の形態における特徴点は、C M U T のデバイス性能の向上と C M U T の小型化との両方を実現しながら、C M U T にフレキシブル性や曲面追従性を持たせることができる点で有用である。

【 0 0 7 7 】

次に、本実施の形態における特徴点によって得られる第 3 利点について説明する。例えば、関連技術では、予め個片化された半導体チップ C H P 1 を機械的なハンドリング機構によって、1 個ずつフレキシブル基板 F S 上に配置する。このことから、関連技術では、微細な半導体チップ C H P 1 をハンドリングする必要がある、ハンドリング性が低下することになる。これに対し、本実施の形態における特徴点では、フレキシブル基板 F S 上に所定数のチップ領域を含む大きなサイズのチップアレイ C A をハンドリングすればよいので、ハンドリング性を向上することができる。すなわち、本実施の形態における特徴点は、C M U T のデバイス性能の向上と C M U T の小型化との両方を実現しながら、C M U T にフレキシブル性や曲面追従性を持たせることができる点で有用であるだけでなく、さらには、製造工程中のハンドリング性を確保できることから、C M U T の製造歩留りの向上も図ることができる点で優れた技術的思想であることがわかる。

【 0 0 7 8 】

さらに、本実施の形態における特徴点によって得られる第 4 利点について説明する。本実施の形態では、例えば、図 1 9 ~ 図 2 0 に示すように、半導体基板 S U B の途中で停止する複数の切り込み（溝 D I T）を形成した後、これらの複数の切り込み（溝 D I T）を起点とした劈開によって、チップアレイ C A を複数の半導体チップ C H P 1 に分離してい

る。これにより、切り込み（溝 D I T）を形成しない場合よりも、容易にチップアレイ C A を劈開によって、複数の半導体チップ C H P 1 に分離することができる。なぜなら、劈開を実現するためには、起点となるポイントがあるほうが望ましいからである。すなわち、起点となるポイントがない状態で、劈開を実施すると、劈開する方向が定まらず、意図しない方向に劈開が進行するおそれが高くなる。これに対し、起点となるポイント（切り込み）が予め形成されていると、劈開する方向を意図する方向に導くことができる。

【 0 0 7 9 】

これにより、本実施の形態における特徴点によれば、複数の切り込み（溝 D I T）を形成することによって、劈開する方向を制御することができ、これによって、意図しない方向に劈開が進行することを効果的に抑制することができる。そして、特に、本実施の形態では、シリコンウェハ W F の表面をシリコンの（ 1 0 0 ）面とすることにより、意図する方向に劈開を進行しやすくしている。

10

【 0 0 8 0 】

< 変形例 >

次に、実施の形態の変形例について説明する。本変形例では、実施の形態における C M U T の製造方法とは一部異なる C M U T の製造方法について説明する。まず、図 2 7 に示すように、超音波を送受信するためのセルが形成された複数のチップ領域 C R を有するシリコンウェハ（半導体基板） W F を用意する。このシリコンウェハ W F は、略円盤形状をしており、表面に複数のチップ領域 C R を有している。そして、所定数のチップ領域 C R からは、チップアレイ領域 C A R が形成されている。そして、図 2 7 に示すように、シリコンウェハ W F と同サイズである略円盤状のフレキシブル基板 F S を用意する。その後、シリコンウェハ W F の裏面にフレキシブル基板 F S を貼り付ける。続いて、図 2 8 に示すように、フレキシブル基板 F S を貼り付けたシリコンウェハ W F をダイシングすることにより、所定数のチップ領域を含むチップアレイ C A を取得する。このとき、チップアレイ C A の裏面には、可撓性を有するフレキシブル基板 F S が接着している。その後は、実施の形態における C M U T の製造工程とほぼ同様の工程を経ることにより、図 2 9 に示すようなフレキシブル基板 F S 上に搭載された複数の半導体チップ C H P 1 を含み、かつ、互いに隣り合う半導体チップ C H P 1 の側面に溝 D I T と劈開面 C V S が形成された C M U T 1 0 0 B を製造することができる。

20

【 0 0 8 1 】

30

この場合の外部からの電源供給のための電気接続は、略円盤状のフレキシブル基板 F S に予め配線パターンを形成しておけば、例えば、図 2 6 で示す貫通穴 T S V（半導体チップ C H P 1 の基板 S U B に形成した貫通穴 T S V）を用いて、フレキシブル基板 F S に接続することができる。そして、略円盤状のフレキシブル基板 F S の配線を、フレキシブル基板 F S に形成した別の貫通穴を介して、略円盤状のフレキシブル基板 F S のシリコンウェハ W F を貼り付ける面（表面）から、それと対向する面（裏面）に引き回しておくことにより、図 2 9 に示す C M U T 1 0 0 B の底面から電源を供給することができる。

【 0 0 8 2 】

ここで、本変形例では、例えば、図 2 9 に示すように、フレキシブル基板 F S の平面サイズが、複数の半導体チップ C H P 1 の組み合わせた平面サイズとほぼ同等であることから、実施の形態における C M U T 1 0 0 A よりも、C M U T 1 0 0 B の方が小型化を図ることができる利点を得ることができる。

40

【 0 0 8 3 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 0 8 4 】

前記実施の形態は、以下の形態を含む。

【 0 0 8 5 】

（付記 1）

50

超音波の受信を行なうセルが形成された複数の半導体チップと、
前記複数の半導体チップと密着する可撓性部材と、
を備え、
前記複数の半導体チップのうち、互いに隣り合う第１半導体チップと第２半導体チップ
とに着目した場合において、
前記第１半導体チップは、第１側面を含み、
前記第２半導体チップは、前記第１側面と対向する第２側面を含み、
前記第１側面の第１部分と前記第２側面の第２部分とは、対向して密着させた場合に合
致する形状を有する、超音波トランスデューサ。

【００８６】

（付記２）
超音波の受信を行なうセルが形成された複数の半導体チップと、
前記複数の半導体チップと密着する可撓性部材と、
を備え、
前記複数の半導体チップのそれぞれには、複数の前記セルが形成され、
前記複数の半導体チップのうち、互いに隣り合う第１半導体チップと第２半導体チップ
とに着目した場合において、
前記第１半導体チップは、
前記第２半導体チップに最も近い位置に形成された第１外縁セルと、
前記第１外縁セルと隣り合う第１隣接セルと、
を含み、
前記第２半導体チップは、
前記第１半導体チップに最も近い位置に形成された第２外縁セルと、
前記第２外縁セルと隣り合う第２隣接セルと、
を含み、
前記第１外縁セルと前記第２外縁セルとの間の距離は、前記第１外縁セルと前記第１隣
接セルとの間の距離と等しく、かつ、前記第２外縁セルと前記第２隣接セルとの間の距離
と等しい、超音波トランスデューサ。

【００８７】

（付記３）
（ａ）セルが形成された複数のチップ領域を有し、かつ、可撓性部材と接着した半導体
基板を用意する工程、
（ｂ）所定数のチップ領域を含むチップアレイを取得する工程、
（ｃ）前記チップアレイを前記所定数の半導体チップに分離する工程、
を備える、超音波トランスデューサの製造方法であって、
前記（ｃ）工程は、
（ｃ１）前記半導体基板の厚さ方向において前記半導体基板の途中で停止する複数の切
り込みを前記チップアレイに形成する工程、
（ｃ２）前記（ｃ１）工程の後、前記複数の切り込みを起点とした劈開により、前記可
撓性部材に接着された前記所定数の前記半導体チップを取得する工程、
を有する、超音波トランスデューサの製造方法。

【符号の説明】

【００８８】

- １００Ａ 超音波トランスデューサ（ＣＭＵＴ）
- １００Ｂ 超音波トランスデューサ（ＣＭＵＴ）
- １０００ 超音波撮像装置
- １００１ 超音波探触子
- １００２ 送受信分離部
- １００３ 送信部
- １００４ バイアス部

10

20

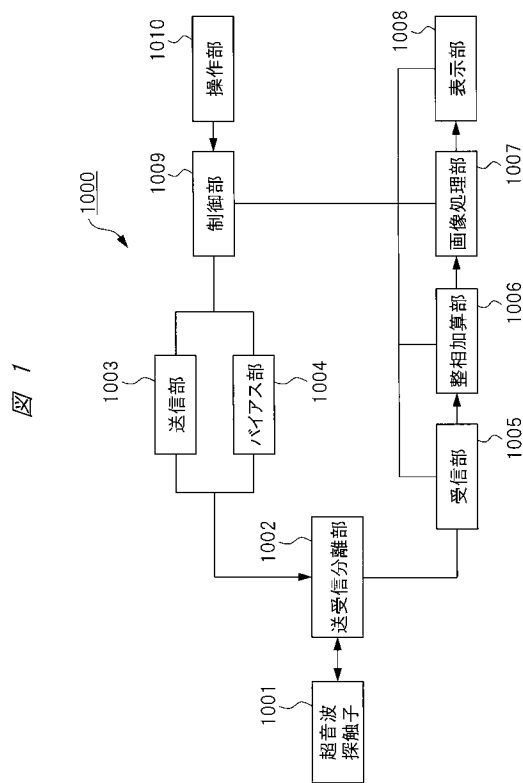
30

40

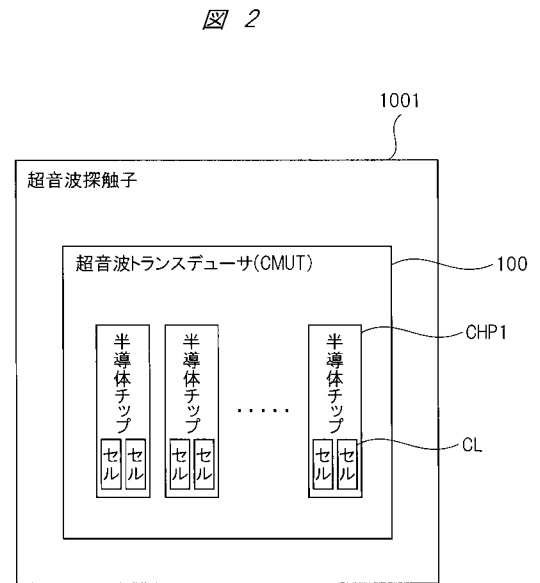
50

1 0 0 5	受信部	
1 0 0 6	整相加算部	
1 0 0 7	画像処理部	
1 0 0 8	表示部	
1 0 0 9	制御部	
1 0 1 0	操作部	
A C L 1	隣接セル	
A C L 2	隣接セル	
B M P	バンプ電極	
B W	ボンディングワイヤ	10
C B P	パッド	
C H P 1	半導体チップ	
C H P 1 a	半導体チップ	
C H P 1 b	半導体チップ	
C H P 1 c	半導体チップ	
C H P 1 d	半導体チップ	
C H P 1 e	半導体チップ	
C H P 1 f	半導体チップ	
C H P 1 g	半導体チップ	
C L	セル	20
C N C	コネクタ	
C V S	劈開面	
D I T	溝	
E C L 1	外縁セル	
E C L 2	外縁セル	
F B P	パッド	
F I C	配線	
F S	フレキシブル基板	
R S N	樹脂	
S 1	側面	30
S 2	側面	
T S V	貫通穴	
U F	アンダーフィル材	

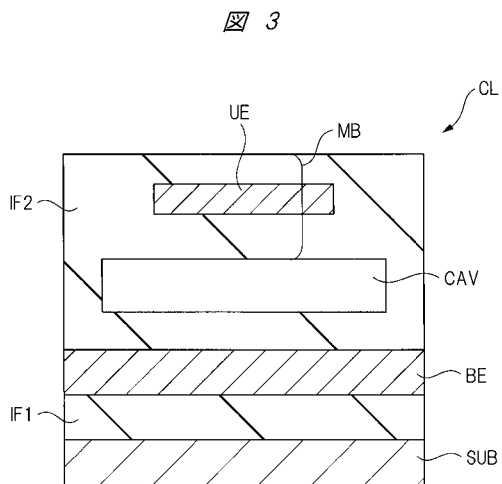
【図 1】



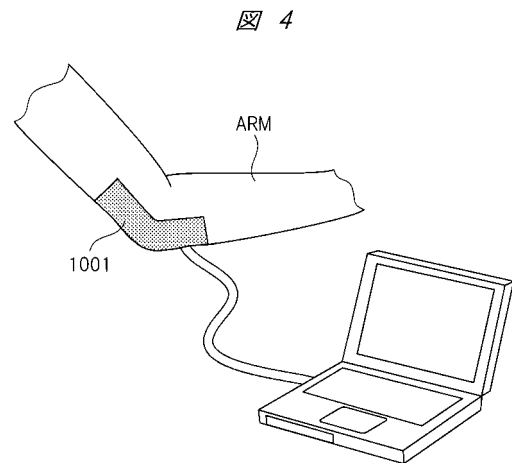
【図 2】



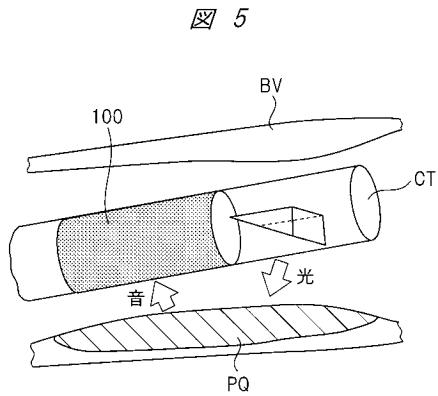
【図 3】



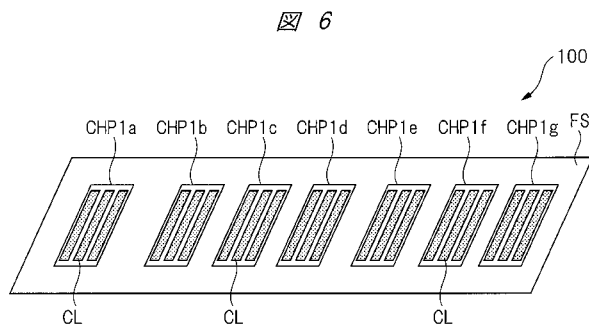
【図 4】



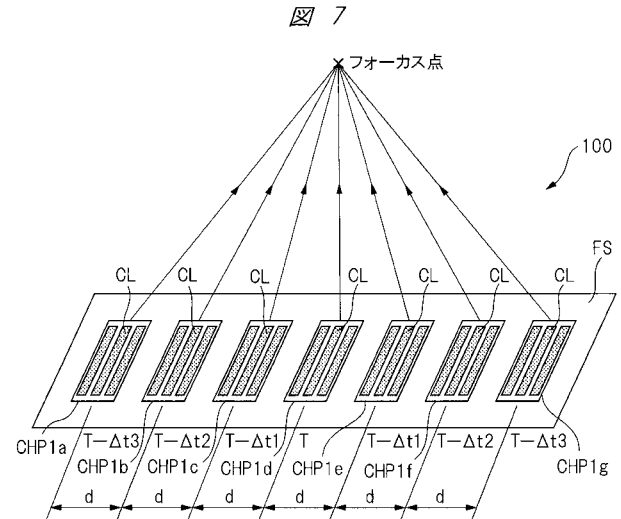
【図 5】



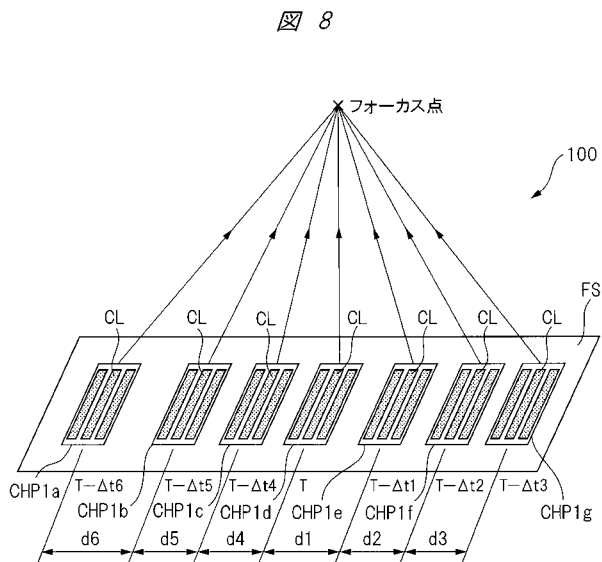
【図 6】



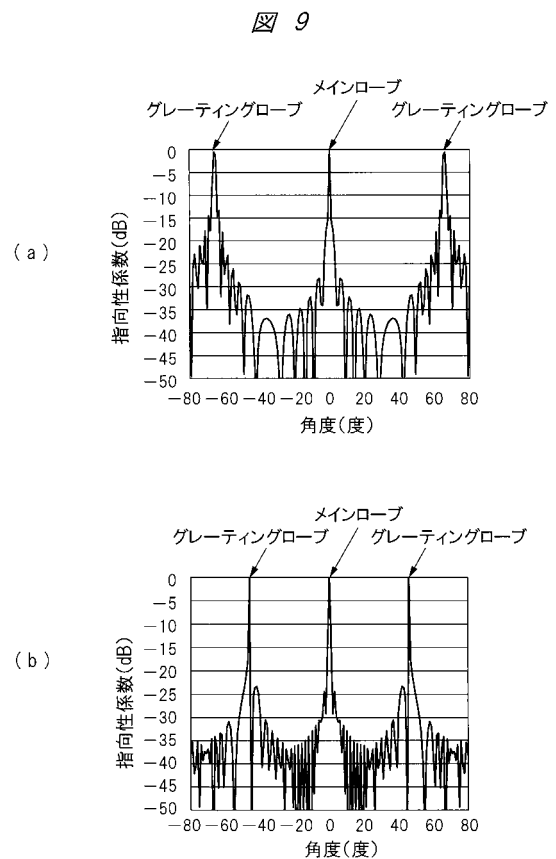
【図 7】



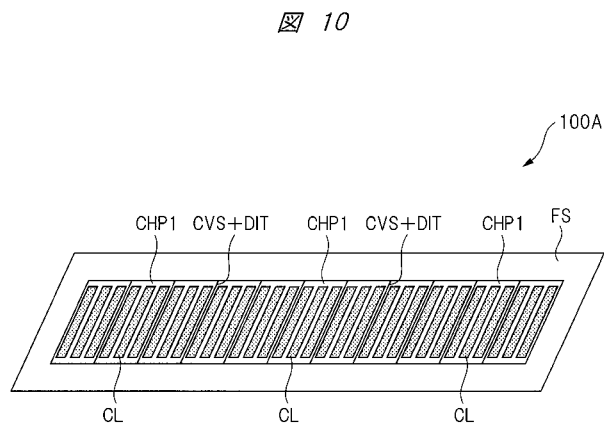
【図 8】



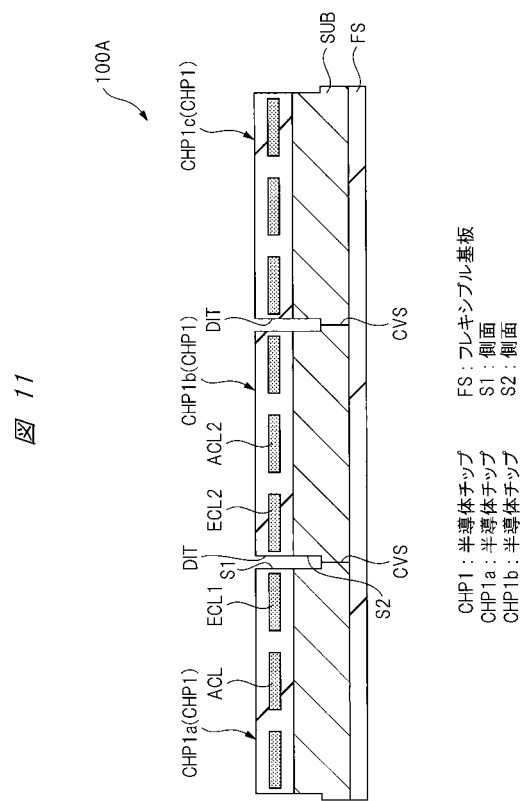
【図 9】



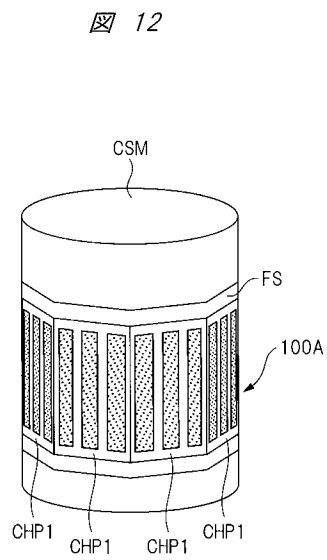
【図 10】



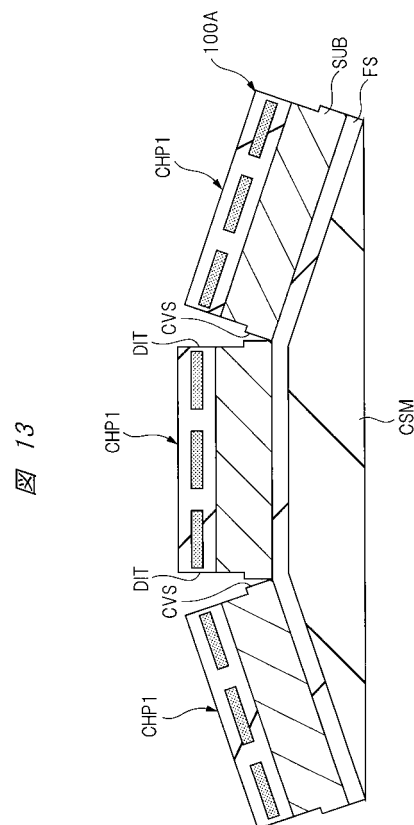
【図 11】



【図 12】

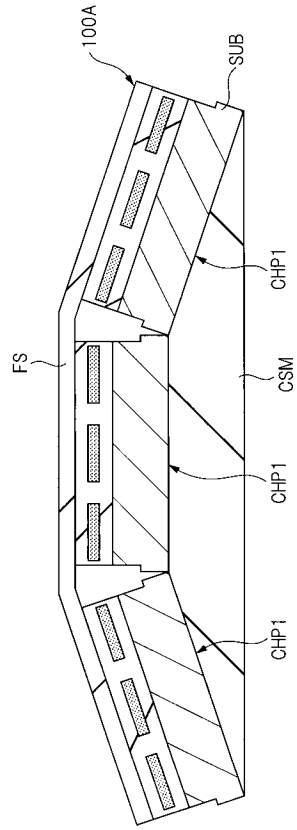


【図 13】



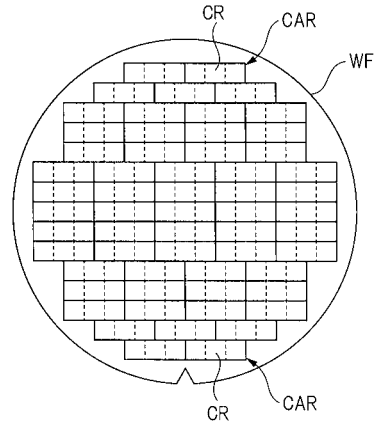
【図 1 4】

図 14



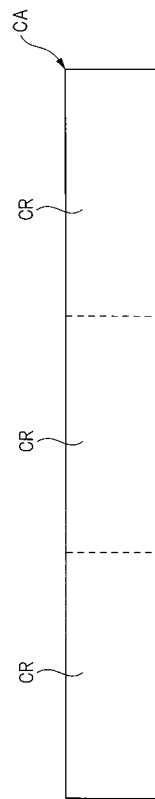
【図 1 5】

図 15



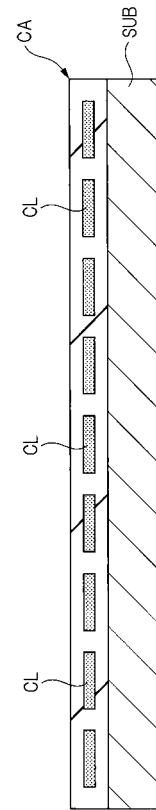
【図 1 6】

図 16



【図 1 7】

図 17



专利名称(译)	超声波成像装置，超声波换能器及其制造方法		
公开(公告)号	JP2018183426A	公开(公告)日	2018-11-22
申请号	JP2017087298	申请日	2017-04-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	町田俊太郎 佐光暁史		
发明人	町田 俊太郎 佐光 暁史		
IPC分类号	A61B8/14		
FI分类号	A61B8/14		
F-TERM分类号	4C601/GB05 4C601/GB09 4C601/GB16 4C601/GB20 4C601/GB41		
外部链接	Espacenet		

摘要(译)

甲同时保持CMUT的性能，提供了一种具有柔性或CMUT曲面随动性。超声换能器包括多个半导体芯片CHP1形成用于接收该超声波的单元，与多个半导体芯片CHP1紧密接触的柔性基板FS。这里，多个半导体芯片CHP1中，着眼于在半导体芯片CHP1a和彼此相邻的半导体芯片CHP1b，半导体芯片CHP1a包括侧S1，半导体芯片CHP1b是侧S1和相对侧S2包括。侧面S1的第一部分是解理面，并且侧面S2的面向第一部分的第二部分也是解理面。

