

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-274620

(P2007-274620A)

(43) 公開日 平成19年10月18日(2007.10.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO4R 19/00 (2006.01)	HO4R 19/00 330	4C601
A61B 8/00 (2006.01)	A61B 8/00	5D019
HO4R 1/40 (2006.01)	HO4R 1/40 330	
HO4R 31/00 (2006.01)	HO4R 31/00 330	

審査請求 未請求 請求項の数 15 O L (全 13 頁)

(21) 出願番号	特願2006-100717 (P2006-100717)	(71) 出願人	000005496 富士ゼロックス株式会社 東京都港区赤坂九丁目7番3号
(22) 出願日	平成18年3月31日 (2006.3.31)	(71) 出願人	000005201 富士フイルムホールディングス株式会社 東京都港区西麻布2丁目26番30号
		(74) 代理人	100071526 弁理士 平田 忠雄
		(72) 発明者	田畑 和章 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内
		(72) 発明者	高橋 睦也 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

最終頁に続く

(54) 【発明の名称】 アレイ探触子、アレイ探触子デバイス、およびアレイ探触子の製造方法

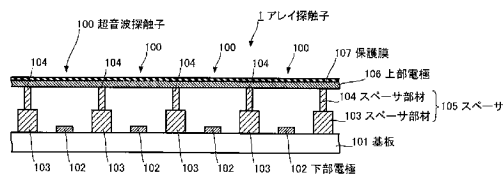
(57) 【要約】

【課題】 クロストークを抑制することのできるアレイ探触子、アレイ探触子デバイス、およびアレイ探触子の製造方法を提供する。

【解決手段】 アレイ探触子1は、基板101と、基板101上に設けられた下部電極102と、下部電極102の周囲に設けられたスペーサ105と、スペーサ105の上面に張られた膜状の上部電極106と、上部電極106の表面に設けられた保護膜107とを備えてなるダイヤフラム構造を有する超音波探触子100をアレイ状に複数配列して構成され、複数の超音波探触子100は、1枚の薄膜電極を上部電極106として共用している。

【選択図】 図1

図1  
(第1の実施の形態)



## 【特許請求の範囲】

## 【請求項 1】

ダイヤフラム構造を有する複数の超音波探触子を備えたアレイ探触子において、基板と、前記基板上に形成され、送信信号または受信信号を個別に入出力する複数の第 1 の電極膜と、

前記複数の第 1 の電極膜に対向するように前記複数の超音波探触子に共通して設けられ、超音波の送受波時に振動子として機能する第 2 の電極膜と、

前記第 2 の電極膜と前記基板との間に設けられ、前記複数の第 1 の電極を個別に仕切ることにより、複数の前記超音波探触子を構成する薄膜部材からなる複数のスペーサと、

10

を有し、前記基板、前記第 1 の電極膜、前記第 2 の電極膜、および前記スペーサのうち少なくとも対向する一箇所の部材間が、直接接合されたことを特徴とするアレイ探触子。

## 【請求項 2】

前記第 1 の電極膜、前記第 2 の電極膜、および前記スペーサが、直接接合されたことを特徴とする請求項 1 記載のアレイ探触子。

## 【請求項 3】

前記スペーサは、積層された複数の前記薄膜部材からなることを特徴とする請求項 1 に記載のアレイ探触子。

## 【請求項 4】

前記第 2 の電極膜は、GND に接続されたことを特徴とする請求項 1 に記載のアレイ探触子。

20

## 【請求項 5】

前記第 2 の電極膜および前記スペーサは、弾性材料からなり、超音波発生時に弾性変形することを特徴とする請求項 1 に記載のアレイ探触子。

## 【請求項 6】

前記スペーサは、前記第 2 の電極膜および前記基板と異なる弾性率を有することを特徴とする請求項 1 に記載のアレイ探触子。

## 【請求項 7】

前記第 1 の電極膜と第 2 の電極膜の間に、絶縁膜およびエッチングストップ層を介在させずに真空層またはガス層のみが存在することを特徴とする請求項 1 に記載のアレイ探触子。

30

## 【請求項 8】

前記第 2 の電極膜は、残留応力を有することを特徴とする請求項 1 に記載のアレイ探触子。

## 【請求項 9】

請求項 1 に記載のアレイ探触子と、

前記複数の超音波探触子の送信信号または受信信号を処理する処理回路と、

を有することを特徴とするアレイ探触子デバイス。

## 【請求項 10】

ダイヤフラム構造を有する複数の超音波探触子を備えたアレイ探触子において、基板と、前記基板上に形成され、送信信号または受信信号を個別に入出力する複数の第 1 の電極膜と、前記複数の第 1 の電極膜に対向するように前記複数の超音波探触子に共通して設けられ、超音波の送受波時に振動子として機能する第 2 の電極膜と、前記第 2 の電極膜と前記基板との間に設けられ、前記複数の第 1 の電極を個別に仕切ることにより、複数の前記超音波探触子を構成する薄膜部材からなる複数のスペーサと、を有し、前記基板、前記第 1 の電極膜、前記第 2 の電極膜、および前記スペーサのうち少なくとも対向する一箇所の部材間が、直接接合されたことを特徴とするアレイ探触子の製造方法であって、

ドナー基板上に前記第 1 の電極膜、前記第 2 の電極膜、前記スペーサのうち少なくとも直接接合により接合される少なくとも一つの部材を構成する薄膜パターンを前記ドナー基

40

50

板表面に平行な方向に成膜条件により与えられる残留応力を保持した状態で形成する第1の工程と、

前記ドナー基板にターゲット基板を対向して配置し、前記ドナー基板と前記ターゲット基板の位置決め、圧接および離間により、前記ターゲット基板上に前記第1の電極膜、前記スペーサ、前記第2の電極膜のうち直接接合される部材を構成する薄膜パターンを積層する第2の工程と、

を含むことを特徴とするアレイ探触子の製造方法。

【請求項11】

前記第1の電極膜、前記第2の電極膜、および前記スペーサが、直接接合されることを特徴とする請求項10記載のアレイ探触子の製造方法。

10

【請求項12】

前記スペーサは複数の薄膜部材から構成され、

前記第2の工程における、前記スペーサを構成する薄膜パターンの積層は、前記複数の薄膜部材の数に応じて複数回繰り返されることを特徴とする請求項10に記載のアレイ探触子の製造方法。

【請求項13】

前記薄膜パターンの積層は、表面活性化接合技術、分子・原子拡散型接合技術、表面活性化型接合技術、媒介物質による極性型接合技術、媒介物質による分子間力型接合技術、媒介物質による物理接合型接合技術、および媒介物質による化学反応型接合技術のうち、少なくともいずれか1つの貼り合わせ接合技術を用いることを特徴とする請求項10に記載のアレイ探触子の製造方法。

20

【請求項14】

前記表面活性化接合技術において、希ガスによる中性原子ビームまたはイオンビームを照射することで前記薄膜パターンの接合面の洗浄・活性化を行うことを特徴とする請求項13に記載のアレイ探触子の製造方法。

【請求項15】

前記薄膜パターンの積層は、常温接合により行われることを特徴とする請求項10に記載のアレイ探触子の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、ダイヤフラム構造を有するアレイ探触子、アレイ探触子デバイス、およびアレイ探触子の製造方法に関する。

【背景技術】

【0002】

従来の超音波イメージングシステムは、超音波ビームを送信し次いで検査対象から反射したビームを受信するために使用される超音波トランスデューサからなるアレイを備えている。そのアレイは、多くの場合、圧電セラミックスで構成され、印加する電圧の遅延や位相及び振幅や周波数を選択することにより、そのビームに沿って選択したゾーンに収束超音波を送信し、反射波を受信することで像を形成する。

40

【0003】

最近ではcMUT (capacitive Microfabricated Ultrasonic Transducer Technology) と呼ばれる、圧電セラミックスを用いない静電容量性のアレイ探触子デバイスが注目されている。cMUTは、ダイヤフラム構造を有する静電容量センサであり、振動子としての上部電極が、超音波を受信し、その振動の変位を変位電流に変換する。送信に関しては、上部電極を振動させ超音波を送信するように容量性電荷が変調を受ける。cMUTは従来の圧電セラミックスを用いた探触子に比べ、高密度集積が可能で帯域が広い、CMOS (Complementary Metal Oxide Semiconductor) などの半導体プロセスとの親和性が高い、などの優れた特徴を有する。

50

## 【 0 0 0 4 】

c M U T の製造方法としては、犠牲層プロセスを用いる方法（例えば、非特許文献 1 および 2 参照）、ウェハ貼り合わせ技術を用いる方法（例えば、非特許文献 3 参照）、薄膜の積層による方法（例えば、特許文献 1 参照）等が報告されている。

【特許文献 1】特開 2 0 0 2 - 4 3 5 8 4 号公報

【非特許文献 1】Xuecheng et al.: "Fabrication and Characterization of Surface Micromachined Capacitive Ultrasonic Immersion Transducers", IEEE Journal of Microelectromechanical Systems 8 (1999) 100-114.

【非特許文献 2】Omer Oralkan et al.: "Capacitive Micromachined Ultrasonic Transducers: Next-Generation Arrays for Acoustic Imaging", IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, vol. 49, no. 11, November 2002 10

【非特許文献 3】Yongli Huang, et al.: "Fabricating Capacitive Micromachined Ultrasonic Transducers With Wafer-Bonding Technology" JOURNAL OF MICROELECTROMECHANICAL SYSTEMS, VOL. 12, NO. 2, APRIL 2003

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 5 】

しかし、c M U T では、ノイズに弱い静電容量型センサを M E M S 技術により集積しているため、隣接するセンサ間で、クロストーク（近接する c M U T 同士の物理的な振動の干渉によるノイズと電気信号の干渉によるノイズを含む）による問題を内包している。 20

## 【 0 0 0 6 】

また、非特許文献 1 および 2 に記載されるような従来の犠牲層プロセスを用いる方法は、工程が複雑、材料が選択エッチングの可能な物に限られる、ウェットエッチング時にスティッキング現象が発生する等の理由のために、歩留りが低く、集積化に不向きであった。また、c M U T では電極間距離を小さくするほど静電容量が大きくなり感度が向上するが、ウェットエッチングを用いる場合、エッチャントが十分に犠牲層部分へと行き渡るようにするためには、電極間距離を小さくする事に限界がある。

## 【 0 0 0 7 】

また、このような課題を改善できる、非特許文献 3 に記載されるようなウェハ貼り合わせ技術を用いる方法では、接合に加熱を伴うために品質のばらつきが大きいことや、多孔質の切断による離型・分離を行うため、パーティクルなどの発生に伴う、デバイス性能の低下や歩留り低下が懸念される。 30

## 【 0 0 0 8 】

従って、本発明の目的は、クロストークおよびその他電気ノイズを低減することにより S / N 比を大幅に改善することのできるアレイ探触子およびアレイ探触子デバイスを提供することである。

## 【 0 0 0 9 】

従って、本発明の他の目的は、クロストークおよびその他電気ノイズを低減することにより S / N 比を大幅に改善し、かつ、ドライなプロセスを使用することでスティッキングを防止し、歩留まりを向上させることのできるアレイ探触子の製造方法を提供することである。 40

【課題を解決するための手段】

## 【 0 0 1 0 】

本発明の第 1 の態様は、上記目的を達成するため、ダイヤフラム構造を有する複数の超音波探触子を備えたアレイ探触子において、基板と、前記基板上に形成され、送信信号または受信信号を個別に入出力する複数の第 1 の電極膜と、前記複数の第 1 の電極膜に対向するように前記複数の超音波探触子に共通して設けられ、超音波の送受波時に振動子として機能する第 2 の電極膜と、前記第 2 の電極膜と前記基板との間に設けられ、前記複数の第 1 の電極を個別に仕切ることにより、複数の前記超音波探触子を構成する薄膜部材からなる複数のスペーサと、を有し、前記基板、前記第 1 の電極膜、前記第 2 の電極膜、およ 50

び前記スペーサのうち少なくとも対向する一箇所の部材間が、直接接合されたことを特徴とするアレイ探触子を提供する。

【0011】

前記第1の電極膜、前記第2の電極膜、および前記スペーサは、直接接合されたものであってもよい。

【0012】

直接接合とは、接着層等の他の部材を介さずに直に接合することをいう。

【0013】

前記スペーサは、積層された複数の前記薄膜部材からなるものであってもよい。

【0014】

前記第2の電極膜は、GNDに接続されたものであってもよい。この場合、前記第1の電極が前記複数の超音波探触子に共用されるため、GNDを広くとることができ、ノイズの低減に繋がる。また、製造時の成膜条件により与えられる残留応力を有するものであってもよい。

【0015】

前記第2の電極膜は、例えば、Al等の導電性材料からなり、超音波を送受信する際に振動するために、可撓性を有する。

【0016】

前記第1の電極膜は、前記第1の電極がGNDに接続される場合、プリアンプ等の信号受信回路に接続され、前記第1の電極との相対電圧を測定してダイヤフラムの変位を求め

10

20

30

40

50

【0017】

前記第1の電極膜は、例えば、Al等の導電性材料からなる。

【0018】

前記第2の電極膜および前記スペーサは、弾性材料からなり、超音波発生時に弾性変形するものであってもよい。

【0019】

前記スペーサは、前記第2の電極膜および前記基板と異なる弾性率を有するものであってもよい。これにより、隣接するセンサに余計な振動を伝播させず、また、超音波の受信感度を任意に調整することができる。具体的には、弾性率を低くする事で、超音波受信時の前記第2の電極膜の変位は大きくなるため、大きな変位電流を1つのセンサから取る事ができるようになる。

【0020】

前記スペーサは、例えば、多結晶シリコンまたは窒化シリコンからなる。

【0021】

前記アレイ探触子は、前記第1の電極膜と第2の電極膜の間に、絶縁膜およびエッチングストップ層を介在させずに真空層またはガス層のみが存在する構成であってもよい。

【0022】

本発明の第2の態様は、上記目的を達成するため、上記本発明の第1の態様に記載のアレイ探触子と、前記複数の超音波探触子の送信信号または受信信号を処理する処理回路と、を有することを特徴とするアレイ探触子デバイスを提供する。

【0023】

前記処理回路は、例えば、プリアンプ回路等の増幅回路、遅延回路から構成され、例えば、前記基板に内蔵されて設けられる。本発明は薄膜プロセスを用いるものであり、集積回路プロセスとの親和性も高いため、センサとアナログ集積回路の形成を同一基板に行うことができる。プリアンプをセンサと近接させることでノイズに対して強固なシステムとなり、本発明の前記アレイ探触子の電極構造と組み合わせることで静電容量センサのS/N比を改善することができる。

【0024】

本発明の第3の態様は、上記目的を達成するため、ダイヤフラム構造を有する複数の超

音波探触子を備えたアレイ探触子において、基板と、前記基板上に形成され、送信信号または受信信号を個別に入出力する複数の第1の電極膜と、前記複数の第1の電極膜に対向するように前記複数の超音波探触子に共通して設けられ、超音波の送受波時に振動子として機能する第2の電極膜と、前記第2の電極膜と前記基板との間に設けられ、前記複数の第1の電極を個別に仕切ることにより、複数の前記超音波探触子を構成する薄膜部材からなる複数のスペーサと、を有し、前記基板、前記第1の電極膜、前記第2の電極膜、および前記スペーサのうち少なくとも対向する一箇所の部材間が、直接接合されたことを特徴とするアレイ探触子の製造方法であって、ドナー基板上に前記第1の電極膜、前記第2の電極膜、前記スペーサのうち少なくとも直接接合により接合される少なくとも一つの部材を構成する薄膜パターンを前記ドナー基板表面に平行な方向に成膜条件により与えられる残留応力を保持した状態で形成する第1の工程と、前記ドナー基板にターゲット基板を対向して配置し、前記ドナー基板と前記ターゲット基板の位置決め、圧接および離間により、前記ターゲット基板上に前記第1の電極膜、前記スペーサ、前記第2の電極膜のうち直接接合される部材を構成する薄膜パターンを積層する第2の工程と、を含むことを特徴とするアレイ探触子の製造方法を提供する。

10

**【0025】**

前記第1の電極膜、前記第2の電極膜、および前記スペーサは、直接接合されるものであってもよい。

**【0026】**

前記スペーサは複数の薄膜部材から構成され、前記第2の工程における、前記スペーサを構成する薄膜パターンの積層は、前記複数の薄膜部材の数に応じて複数回繰り返されるものであってもよい。

20

**【0027】**

前記薄膜パターンの積層は、表面活性化接合技術、分子・原子拡散型接合技術、表面活性化型接合技術、媒介物質による極性型接合技術、媒介物質による分子間力型接合技術、媒介物質による物理接合型接合技術、および媒介物質による化学反応型接合技術のうち、少なくともいずれか1つの貼り合わせ接合技術を用いて行うものであってもよい。また、前記表面活性化接合技術において、希ガスによる中性原子ビームまたはイオンビームを照射することで前記薄膜パターンの接合面の洗浄・活性化を行ってもよい。接合面の洗浄・活性化には、例えば、アルゴン原子ビームを用いることができる。

30

**【0028】**

前記薄膜パターンの積層は、常温接合により行われるものであってもよい。常温接合とは、特別に加熱処理を施さずに行う接合である。

**【0029】**

上記本発明の第1～3の態様によれば、振動子としての第2の電極膜を全面電極として、前記複数の超音波探触子により共用することにより、電気的なノイズを大幅に軽減できる。また、スペーサの弾性率を調整することにより、物理的な振動が他の画素を形成するセンサに伝わるクロストークを抑制することができる。これらの効果により、S/N比を大幅に改善することができる。

**【0030】**

また、前記スペーサを複数の薄膜パターンを積層して形成することにより自由な形に形成し、ダイヤフラム構造を有する超音波探触子内の空間の形を制御することができる。

40

**【0031】**

また、従来技術のような、工程が複雑、材料が選択エッチングの可能な物に限られる、エッチング時にスティッキング現象が発生する、接合に品質のばらつきの要因となる加熱を伴う、パーティクルなどの発生を促す多孔質の切断による離型・分離が必要、等の問題を有さないため、従来技術と比較して歩留まりを向上させることができる。

**【0032】**

前記複数の超音波探触子は、超音波イメージングシステムの1画素に対応するものであってもよい。

50

## 【0033】

前記アレイ探触子は、複数の前記超音波探触子をアレイ状に配列したものであり、前記アレイ探触子を超音波送受信装置の1素子（超音波イメージングシステムの1画素に対応）として用いる場合は、例えば、前記アレイ探触子は100個の前記アレイ探触子から構成される。なお、前記アレイ探触子は複数に限らず、1個の前記アレイ探触子から構成されてもよい。

## 【0034】

前記アレイ探触子は、例えば、医学診断用超音波イメージングシステムや、鋳造物、鍛造物、管路などの材料に対する非破壊検査に用いることができる。また、上記の目的以外であっても、温度センサ、圧力センサ、光学センサなどのダイヤフラム形状を用いる集積センサに適用できる。

## 【発明の効果】

## 【0035】

本発明によれば、クロストークを抑制することのできるアレイ探触子、アレイ探触子デバイス、およびアレイ探触子の製造方法を提供することが可能となる。

## 【発明を実施するための最良の形態】

## 【0036】

〔第1の実施の形態〕

（アレイ探触子の構成）

図1は、本発明の第1の実施の形態に係るアレイ探触子の断面図である。

## 【0037】

アレイ探触子1は、基板101と、基板101上に設けられた第1の電極膜としての下部電極102と、下部電極102の周囲に設けられたスペーサ105と、スペーサ105の上面に張られた膜状の第2の電極膜としての上部電極106と、上部電極106の表面に設けられた保護膜107とを備えてなるダイヤフラム構造を有する超音波探触子100をアレイ状に複数配列して構成される。

## 【0038】

上部電極106は超音波の送受信のための振動子としての働きを持つ。

## 【0039】

複数のダイヤフラム構造を有する超音波探触子100は、1枚の薄膜電極を上部電極106として共用している。複数の超音波探触子100は、例えば100個の配列を単位として超音波送受信装置の1つの素子（超音波イメージングシステムの1画素に対応）を構成し、1枚の薄膜電極は、1つの素子を構成する複数の超音波探触子100で共用される。

## 【0040】

スペーサ105は、スペーサ部材103、104を積層して、超音波探触子100内の空間がテーパ（逆さドーム型）形状を構成するように形成される。超音波探触子100内の空間がテーパ形状をとること、およびスペーサの材料を選んで弾性率を最適化することにより、機械的な振動の伝播を押さえ、クロストークを減少させることができる。なお、スペーサ105を構成するスペーサ部材の層数は2層に限られない。

## 【0041】

基板101、上部電極106、スペーサ105により封止されるダイヤフラム構造の内部は、真空、またはAr等のガスが封入されている。

## 【0042】

以下に、微小構造体の製造方法をドナー基板の作製工程と薄膜パターンの積層工程とに分けて説明する。

## 【0043】

（ドナー基板の作製）

まず、基板204の上に、例えばポリイミドからなる離型層205をスピン塗布により形成する。この時、場合によってはポリイミド表面を親水処理または疎水処理を行っても

10

20

30

40

50

良い。

【0044】

次に、離型層205の上に、薄膜を形成し、これをパターニングして、基板204毎にそれぞれ下部電極102、スペーサ部材103、104、上部電極106の薄膜パターンを作製する。

【0045】

図2A(a)~(c)および図2B(d)は、ドナー基板の上面図である。下部電極102が形成された基板を第1のドナー基板としてのドナー基板200(図2A(a)参照)、スペーサ部材103が形成された基板を第2のドナー基板としてのドナー基板201(図2A(b)参照)、スペーサ部材104が形成された基板を第2のドナー基板としてのドナー基板202(図2A(c)参照)、上部電極106が形成された基板を第3のドナー基板としてのドナー基板203(図2B(d)参照)とする。

10

【0046】

なお、上部電極106をパターニングする際に、スパッタ法、分子ビームエピタキシー法等による物理蒸着法、または電解析出(メッキ)、CVD(Chemical Vapor Deposition)法等による化学蒸着法を用いて、成膜条件により与えられる引っ張りの残留応力をドナー基板203に平行な方向に与えた状態で上部電極106を形成してもよい。これにより、アレイ探触子1に上面電極106を面方向の張力を与えた状態で形成することができ、同一形状のダイヤフラムでも、ダイヤフラム毎に受信する超音波の周波数帯域に変化をつけることができる。

20

【0047】

なお、薄膜パターンの配置、数量、ドナー基板の大きさ、形状等は、同図に示したものに限られない。

【0048】

(薄膜パターンの積層)

図3A(a)~(d)、3B(e)~(g)は、薄膜パターンの積層工程を示す断面図である。

【0049】

ドナー基板200~203を真空槽内の図示しない下部ステージ上に配置し、ターゲット基板としての基板101を真空槽内の図示しない上部ステージ上に配置する。続いて、真空槽内を排気して高真空状態あるいは超高真空状態にする。次に、図3A(a)に示すように、下部ステージおよび上部ステージを相対的にx、y、z方向、およびz軸周りの回転角度の方向に移動させて基板101をドナー基板200の下部電極102上に位置させる。続いて、基板101および下部電極102の表面にアルゴン原子ビームを照射して清浄化する。

30

【0050】

次に、図3A(b)に示すように、上部ステージを下降させ、所定の荷重力(例えば、 $10\text{kgf/mm}^2$ )でドナー基板200と基板101とを所定の時間(例えば、5分間)押圧し、基板101と下部電極102とを常温接合する。

【0051】

次に、図3A(c)に示すように、上部ステージを上昇させると、下部電極102が離型層205から剥離し、基板101側に転写される。これは、下部電極102と基板101との密着力が、下部電極102と離型層202との密着力より十分に大きいからである。

40

【0052】

次に、図3A(d)に示すように、下部ステージおよび上部ステージを基板101がドナー基板201のスペーサ部材103上に位置するように相対的に移動させ、基板101側に転写された下部電極102の表面およびスペーサ部材103の表面を前述したように清浄化した後、上部ステージを下降させ、下部電極102とスペーサ部材103とを接合する。

50

## 【0053】

続けて、図3B(e)~(g)に示すように、同様の工程によりドナー基板202のスペーサ部材104、ドナー基板203の上部電極106を順次基板101側に転写する。

## 【0054】

このとき、接合環境は常温であるため、転写される上部電極106が残留応力を有する場合でも、パターンニングする際に発生した残留応力を緩和させることなく、そのままスペーサ部材103と接合し、薄膜内に残留応力を担持させたままダイヤフラムを形成できる。

## 【0055】

全ての薄膜パターンを基板101側に転写させた後、上部電極106の表面に減圧CVD(Chemical Vapor Deposition)法等により保護膜108を形成すれば、図1に示すアレイドロ素子が得られる。

## 【0056】

なお、スペーサ105と同様に、下部電極102または上部電極107も薄膜を積層することにより形成されるものであってもよい。

## 【0057】

また、本実施例では基板、下部電極、上部電極、およびスペーサの部材間を直接接合してダイヤフラムを形成したが、これに限らずこれらのうち少なくとも対向する一箇所の部材間を上記の方法で直接接合することで位置精度の高いアレイドロ素子とすることができる。特に、スペーサと上部電極間を直接接合することで、後述するように、上部電極と下部電極間に余分な絶縁膜を有しないことから、センサとしての容量が高くなりセンサ感度を高めることができる。

## 【0058】

(第1の実施の形態の効果)

上記本発明の一態様によれば、前記複数の超音波探触子100が1枚の膜電極を前記上部電極として共用し、全面電極とすることにより、電気的なノイズを大幅に軽減できる。また、スペーサの材料を選んで弾性率を調整することにより、物理的な振動が他の画素を形成するセンサに伝わるクロストークを抑制することができる。これらの効果により、S/N比を大幅に改善することができる。

## 【0059】

また、スペーサ105を複数のスペーサ部材を積層して形成することにより、スペーサ105を容易に自由な形に形成し、ダイヤフラム構造を有する超音波探触子100内の空間の形を制御することができる。

## 【0060】

また、従来技術のような、工程が複雑、材料が選択エッチングの可能な物に限られる、エッチング時にスティッキング現象が発生する、接合に品質のばらつきの要因となる加熱を伴う、パーティクルなどの発生を促す多孔質の切断による離型・分離が必要、等の問題を有さないため、従来技術と比較して歩留まりを向上させることができる。

## 【0061】

また、上部電極106と下部電極102の間には、非特許文献1等に記載の従来技術にあるような絶縁膜308(図4B参照)などが存在せず、真空による絶縁層を直接電極で挟む形状となっている。ここで、構造を比較するために本発明の第1の実施の形態に係る超音波探触子100と、従来技術の超音波探触子300の断面図をそれぞれ図4A、Bに、センサ容量を比較するために本発明の第1の実施の形態に係る超音波探触子100と、従来技術の超音波探触子300の電気的な等価回路をそれぞれ図5A、Bに示す。

## 【0062】

従来技術ではダイヤフラム構造を形成する場合に、犠牲層の選択エッチングを行う場合が多く、その際に絶縁酸化膜を犠牲層エッチングのストッレイヤーとして使用する。このため、図4Bに示すように、センサの動作とは関係のない絶縁膜308が構造に含まれることになり、センサとしての容量は、

10

20

30

40

50

$$C = C_1 \times C_2 / (C_1 + C_2)$$

と表される。ここに、 $C_1$  はダイヤフラム容量、 $C_2$  は絶縁層容量である。これは、図 5 B に示すように、絶縁層容量  $C_2$  がダイヤフラム容量  $C_1$  に直列に加わっているために容量が小さくなり、センサ感度の低下を引き起こすことを表している。

【0063】

それに対し、図 4 A に示す本発明の第 1 の実施の形態に係る超音波探触子 100 は、上部電極 106 と下部電極 102 の間に余分な絶縁膜を有さないために、図 5 A に示すように、センサとしての容量はダイヤフラム容量  $C_1$  そのものであり、高いセンサ感度を有する。

【0064】

なお、本発明は、上記各実施の形態に限定されず、発明の趣旨を逸脱しない範囲内において種々変形実施が可能である。また、発明の趣旨を逸脱しない範囲内において上記各実施の形態の構成要素を任意に組み合わせることができる。

【図面の簡単な説明】

【0065】

【図 1】(a)、(b) は、本発明の第 1 の実施の形態に係るアレイ探触子の断面図である。

【図 2 A】(a) ~ (c) は、本発明の第 1 の実施の形態に係るドナー基板の上面図である。

【図 2 B】(d) は、本発明の第 1 の実施の形態に係るドナー基板の上面図である。

【図 3 A】(a) ~ (d) は、本発明の第 1 の実施の形態に係る薄膜パターンの積層工程を示す断面図である。

【図 3 B】(e) ~ (g) は、本発明の第 1 の実施の形態に係る薄膜パターンの積層工程を示す断面図である。

【図 4 A】本発明の第 1 の実施の形態に係る超音波探触子の断面図である。

【図 4 B】従来の超音波探触子の断面図である。

【図 5 A】本発明の第 1 の実施の形態に係る超音波探触子の電気的な等価回路である。

【図 5 B】従来技術の超音波探触子の電気的な等価回路である。

【符号の説明】

【0066】

- 1 アレイ探触子
- 100 超音波探触子
- 101 基板
- 102 下部電極
- 103、104 スペーサ部材
- 105 スペーサ
- 106 上部電極
- 107 保護膜
- 200、201、202、203 ドナー基板
- 204 基板
- 205 離型層
- 300 超音波探触子
- 301 基板
- 302 下部電極
- 305 スペーサ
- 306 上部電極
- 307 保護膜
- 308 絶縁膜

10

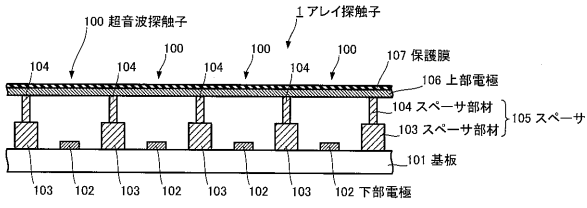
20

30

40

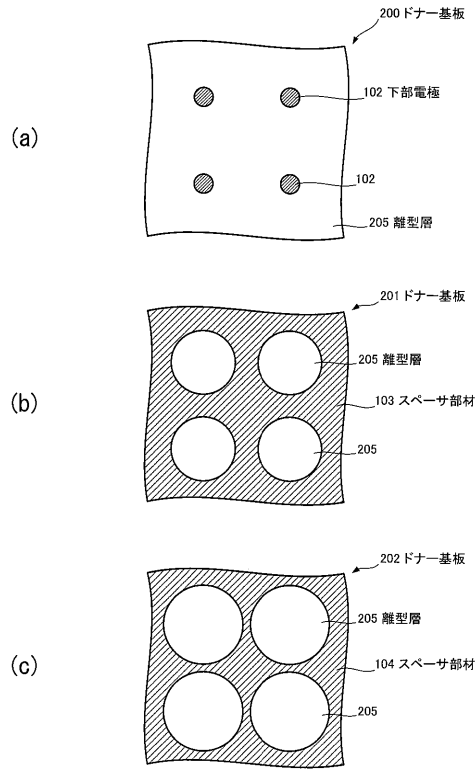
【 図 1 】

図1  
(第1の実施の形態)



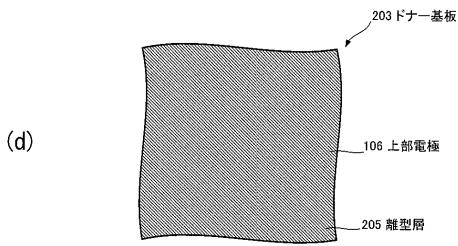
【 図 2 A 】

図2A  
(第1の実施の形態)



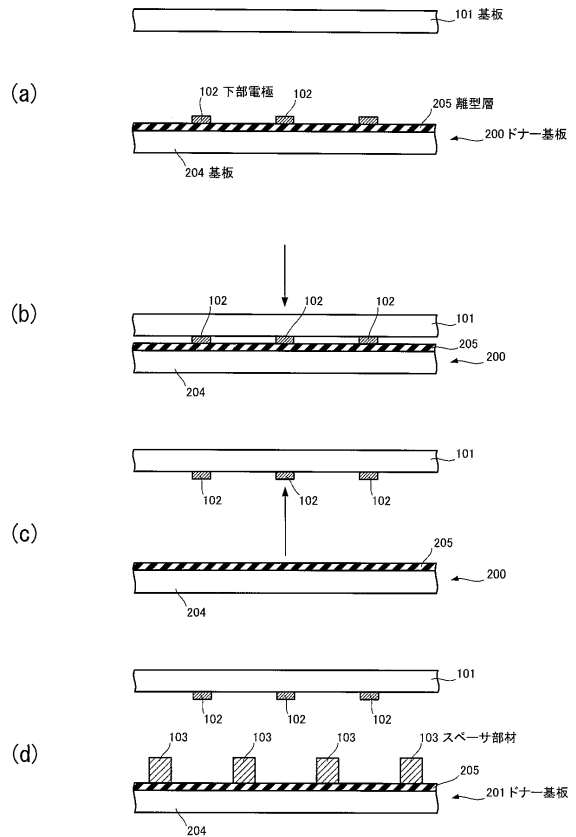
【 図 2 B 】

図2B  
(第1の実施の形態)



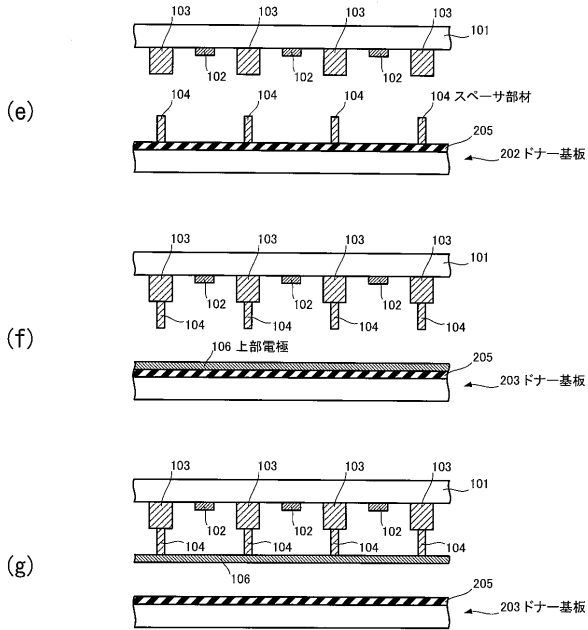
【 図 3 A 】

図3A  
(第1の実施の形態)



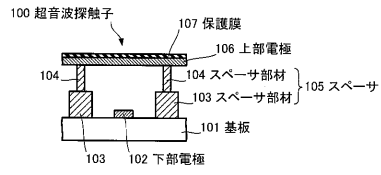
【 図 3 B 】

図3B  
(第1の実施の形態)



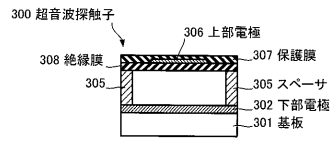
【 図 4 A 】

図4A  
(第1の実施の形態)



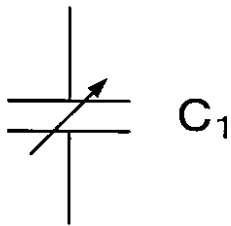
【 図 4 B 】

図4B  
(従来例)



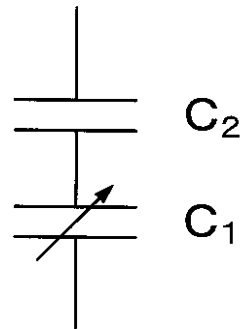
【 図 5 A 】

図5A  
(第1の実施の形態)



【 図 5 B 】

図5B  
(第1の実施の形態)



---

フロントページの続き

- (72)発明者 山崎 芳文  
神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社内
- (72)発明者 山田 高幸  
神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社内
- (72)発明者 大澤 敦  
神奈川県足柄上郡開成町宮台 7 9 8 番地 富士写真フイルム株式会社内
- (72)発明者 日向 浩彰  
神奈川県足柄上郡開成町宮台 7 9 8 番地 富士写真フイルム株式会社内
- Fターム(参考) 4C601 EE02 EE03 EE13 GB41 GB45  
5D019 BB18 BB26 BB29 EE02 FF04

专利名称(译)	阵列探针，阵列探针装置和阵列探针的制造方法		
公开(公告)号	<a href="#">JP2007274620A</a>	公开(公告)日	2007-10-18
申请号	JP2006100717	申请日	2006-03-31
[标]申请(专利权)人(译)	富士施乐株式会社 富士胶片株式会社		
申请(专利权)人(译)	富士施乐株式会社 富士胶片控股株式会社		
[标]发明人	田畑和章 高橋睦也 山崎芳文 山田高幸 大澤敦 日向浩彰		
发明人	田畑 和章 高橋 睦也 山崎 芳文 山田 高幸 大澤 敦 日向 浩彰		
IPC分类号	H04R19/00 A61B8/00 H04R1/40 H04R31/00		
FI分类号	H04R19/00.330 A61B8/00 H04R1/40.330 H04R31/00.330		
F-TERM分类号	4C601/EE02 4C601/EE03 4C601/EE13 4C601/GB41 4C601/GB45 5D019/BB18 5D019/BB26 5D019/BB29 5D019/EE02 5D019/FF04		
代理人(译)	平田忠雄		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供了一种能够抑制串扰的阵列探针，阵列探针装置和制造阵列探针的方法。阵列探头1包括基板101，设置在下电极102周围，以及膜状探针1并且在上电极106的表面上提供保护膜107。每个具有膜结构的多个超声探头100排列成阵列，儿童100共用一个薄膜电极作为上电极106。点域1

図1  
(第1の実施の形態)

