

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02017/056355

発行日 平成30年8月2日 (2018.8.2)

(43) 国際公開日 平成29年4月6日 (2017.4.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	4 C 6 0 1
HO 1 L 27/04 (2006.01)	HO 1 L 27/06 3 1 1 B	5 F 0 3 2
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C	5 F 0 3 8
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 3 A	5 F 0 4 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/088 3 3 1 E	5 F 1 1 0

審査請求 未請求 予備審査請求 未請求 (全 37 頁) 最終頁に続く

出願番号 特願2017-542678 (P2017-542678)	(71) 出願人 000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(21) 国際出願番号 PCT/JP2016/003366	
(22) 国際出願日 平成28年7月15日 (2016.7.15)	
(31) 優先権主張番号 特願2015-190920 (P2015-190920)	(74) 代理人 100104215 弁理士 大森 純一
(32) 優先日 平成27年9月29日 (2015.9.29)	(74) 代理人 100196575 弁理士 高橋 満
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100168181 弁理士 中村 哲平
	(74) 代理人 100117330 弁理士 折居 章
	(74) 代理人 100160989 弁理士 関根 正好
	(74) 代理人 100168745 弁理士 金子 彩子

最終頁に続く

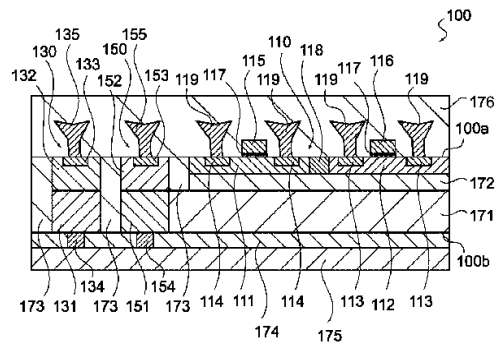
(54) 【発明の名称】 半導体装置、超音波撮像装置、半導体装置の製造方法及び超音波イメージングシステム

(57) 【要約】

【課題】 小面積ながら良好な特性を有する保護回路を備える半導体装置、超音波撮像装置、半導体装置の製造方法及び及び超音波イメージングシステムを提供すること。

【解決手段】、本技術に係る半導体装置は、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、保護回路と、素子分離領域を具備する。上記保護回路は、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える。上記素子分離領域は、上記SOI基板を貫通し、上記保護回路を分離する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

結晶シリコンからなるシリコン基板、前記シリコン基板に積層された B O X (buried oxide) 層及び前記 B O X 層に積層された S O I (silicon on insulator) 層を備える S O I 基板上に形成された、集積回路を備える半導体装置であって、

前記集積回路を構成し、前記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、

前記 S O I 基板を貫通し、前記保護回路を分離する素子分離領域とを具備する半導体装置。

**【請求項 2】**

請求項 1 に記載の半導体装置であって、前記保護回路は、ダイオードである半導体装置。

10

**【請求項 3】**

請求項 1 に記載の半導体装置であって、前記保護回路は、縦型トランジスタである半導体装置。

**【請求項 4】**

請求項 1 に記載の半導体装置であって、前記素子分離領域は、シリコン酸化物、シリコン窒化物及びポリシリコンのうちいずれか 1 種又は 2 種以上からなる半導体装置。

20

**【請求項 5】**

請求項 3 に記載の半導体装置であって、前記素子分離領域は、前記縦型トランジスタのゲート電極を備える半導体装置。

**【請求項 6】**

請求項 1 に記載の半導体装置であって、前記 S O I 基板は、第 1 の面と、その反対側の第 2 の面を有し、前記保護回路は、第 1 の半導体素子と第 2 の半導体素子を含み、前記第 1 の半導体素子は、前記第 1 の面側であって第 1 の不純物型を有する第 1 の半導体領域と、前記第 2 の面側であって第 2 の不純物型を有する第 2 の半導体領域が積層されて構成され、

30

前記第 2 の半導体素子は、前記第 1 の面側であって前記第 2 の不純物型を有する第 3 の半導体領域と、前記第 2 の面側であって前記第 1 の不純物型を有する第 4 の半導体領域が積層されて構成されている

半導体装置。

**【請求項 7】**

請求項 6 に記載の半導体装置であって、前記半導体装置の前記第 1 の面に設けられ、前記第 1 の半導体領域及び前記第 3 の半導体領域に導通する接地コンタクト構造をさらに具備する半導体装置。

40

**【請求項 8】**

請求項 7 に記載の半導体装置であって、前記接地コンタクト構造は、前記第 1 の半導体領域と前記第 3 の半導体領域に接続され、前記第 1 の半導体領域と前記第 3 の半導体領域の両者に共通の接地配線を含む半導体装置。

**【請求項 9】**

請求項 8 に記載の半導体装置であって、前記接地コンタクト構造は、前記接地配線に接続され、前記第 1 の半導体領域と前記第

50

3の半導体領域の両者に共通の接地電極を含む半導体装置。

【請求項10】

請求項6に記載の半導体装置であって、前記第2の半導体領域と前記第4の半導体領域に接続され、前記第2の半導体領域と前記第4の半導体領域の両者に共通の信号配線をさらに具備する半導体装置。

【請求項11】

結晶シリコンからなるシリコン基板、前記シリコン基板に積層されたBOX層及び前記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、前記集積回路を構成し、前記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、前記SOI基板を貫通し、前記保護回路を分離する素子分離領域とを備える半導体装置を具備する超音波撮像装置。

10

【請求項12】

SOI基板上に集積回路が形成された半導体装置の製造方法であって、結晶シリコンからなるシリコン基板、前記シリコン基板に積層されたBOX層及び前記BOX層に積層されたSOI層を備えるSOI基板を準備し、エピタキシャル結晶成長法により、前記シリコン基板上に前記シリコン基板と同じ結晶配向を有する半導体領域を備え、前記集積回路を構成する保護回路を形成し、前記SOI基板を貫通し、前記保護回路を分離する素子分離領域を形成する半導体装置の製造方法。

20

【請求項13】

請求項12に記載の半導体装置の製造方法であって、前記保護回路を形成する工程では、前記シリコン基板を、前記半導体領域の結晶成長が進行する側の面とは反対側の面から研磨して前記半導体領域を露出させる基板研磨法を用いる半導体装置の製造方法。

【請求項14】

結晶シリコンからなるシリコン基板、前記シリコン基板に積層されたBOX層及び前記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、前記集積回路を構成し、前記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、前記SOI基板を貫通し、前記保護回路を分離する素子分離領域とを備える半導体装置を搭載する超音波カテーテルを含む超音波イメージングシステム。

30

【請求項15】

結晶シリコンからなるシリコン基板、前記シリコン基板に積層されたBOX層及び前記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、前記集積回路を構成し、前記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、前記SOI基板を貫通し、前記保護回路を分離する素子分離領域とを備える半導体装置を搭載する術中超音波プローブ又は超音波内視鏡を含む超音波イメージングシステム。

40

【請求項16】

結晶シリコンからなるシリコン基板、前記シリコン基板に積層されたBOX層及び前記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、前記集積回路を構成し、前記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、前記SOI基板を貫通し、前記保護回路を分離する素子分離領域とを備える半導体装置を搭載する、腹腔鏡下手術で用いられる超音波イメージング機能付き手持ち器具を含む超音波イメージングシステム。

50

**【請求項 17】**

結晶シリコンからなるシリコン基板、前記シリコン基板に積層されたBOX層及び前記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、前記集積回路を構成し、前記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、前記SOI基板を貫通し、前記保護回路を分離する素子分離領域とを備える半導体装置を搭載する、腹腔鏡下手術で用いられる超音波イメージング機能付きロボット鉗子を含む

超音波イメージングシステム。

**【発明の詳細な説明】****【技術分野】**

10

**【0001】**

本技術は、保護回路を含む集積回路を備える半導体装置、超音波撮像装置、半導体装置の製造方法及び超音波イメージングシステムに関する。

**【背景技術】****【0002】**

超音波イメージングは、超音波振動子から測定対象物に超音波を照射し、測定対象物において発生した反射波を超音波振動子で検知することによって超音波画像を生成することができ、超音波内視鏡や超音波カテーテルとして利用されている。

**【0003】**

ここで、超音波を発振させるために超音波振動子に印加される駆動電圧と、超音波の検知によって超音波振動子が生じる信号電圧は大きく異なり、例えば駆動電圧は最大数百V程度であるのに対し、信号電圧は数 $\mu$ V程度である。

20

**【0004】**

このため、信号電圧を増幅するための増幅回路が利用される。一方で、駆動電圧が増幅回路に印加されると増幅回路が故障するため、駆動電圧の増幅回路への到達を防止する保護回路も必要となる。これらの回路を一つの半導体基板に搭載することができれば、実装スペースを節約することが可能となる。

**【0005】**

ここで、SOI (silicon on insulator) 基板は耐電圧性に優れ、増幅回路と保護回路を共に備える半導体基板として好適である。例えば、特許文献1には、一つのSOI基板に増幅回路と保護回路を搭載した半導体装置が開示されている。この半導体装置では、SOI基板上に増幅回路が形成され、SOI基板に設けられた貫通孔内に保護回路が形成されている。保護回路は、貫通孔内に埋め込まれたポリシリコンからなる。

30

**【先行技術文献】****【特許文献】****【0006】**

【特許文献1】特開2010-50156号公報

**【発明の概要】****【発明が解決しようとする課題】****【0007】**

40

しかしながら、ポリシリコンは一般に抵抗が高く、ポリシリコン内の欠陥により良好な漏洩電流特性を持ったダイオードが形成しにくいという問題がある。また、SOI基板は一般に0.8mm程度の厚さを有するが、そのSOI基板に数十 $\mu$ m幅の貫通孔を形成することは製造プロセス上困難である。貫通孔の幅を大きくしてアスペクト比(開口/深さ)を緩和すると、素子面積の低減が困難となる。

**【0008】**

以上のような事情に鑑み、本技術の目的は、小面積ながら良好な特性を有する保護回路を備える半導体装置、超音波撮像装置、半導体装置の製造方法及び及び超音波イメージングシステムを提供することにある。

**【課題を解決するための手段】**

50

## 【 0 0 0 9 】

上記目的を達成するため、本技術の一形態に係る半導体装置は、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX (buried oxide) 層及び上記BOX層に積層されたSOI (silicon on insulator) 層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、保護回路と、素子分離領域を具備する。

上記保護回路は、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える。

上記素子分離領域は、上記SOI基板を貫通し、上記保護回路を分離する。

## 【 0 0 1 0 】

この構成によれば、一つのSOI基板上に保護回路を含む集積回路が形成された半導体装置を実現することが可能である。この保護回路はシリコン基板と同じ結晶配向を有する結晶シリコンからなる半導体領域を備える。結晶シリコンは、ポリシリコン等の非晶質シリコンに比べ移動度が高く、保護回路の素子面積の低減や良好な漏洩電流特性の確保が可能である。

10

## 【 0 0 1 1 】

上記保護回路は、ダイオードであってもよい。

## 【 0 0 1 2 】

この構成によれば、ダイオードによってTR (transmit-receive) スイッチを形成することができ、ダイオードを保護回路として利用することが可能となる。

20

## 【 0 0 1 3 】

上記保護回路は、縦型トランジスタであってもよい。

## 【 0 0 1 4 】

この構成によれば、縦型トランジスタによってTRスイッチを形成することができ、縦型トランジスタを保護回路として利用することが可能となる。

## 【 0 0 1 5 】

上記素子分離領域は、シリコン酸化物、シリコン窒化物及びポリシリコンのうちいずれか1種又は2種以上からなるものであってもよい。

## 【 0 0 1 6 】

SOI基板に設けられた貫通孔内にシリコン酸化膜又はシリコン窒化膜を成膜し、その内部にポリシリコンを埋め込むことによって、素子分離領域を形成することができる。

30

## 【 0 0 1 7 】

上記素子分離領域は、上記縦型トランジスタのゲート電極を備えるものであってもよい。

## 【 0 0 1 8 】

素子分離領域に埋め込まれたポリシリコンに配線を接続することにより、当該ポリシリコンを縦型トランジスタのゲート電極として利用することが可能である。

## 【 0 0 1 9 】

上記SOI基板は、第1の面と、その反対側の第2の面を有し、

上記保護回路は、第1の半導体素子と第2の半導体素子を含み、

上記第1の半導体素子は、上記第1の面側であって第1の不純物型を有する第1の半導体領域と、上記第2の面側であって第2の不純物型を有する第2の半導体領域が積層されて構成され、

40

上記第2の半導体素子は、上記第1の面側であって上記第2の不純物型を有する第3の半導体領域と、上記第2の面側であって上記第1の不純物型を有する第4の半導体領域が積層されて構成されていてもよい。

## 【 0 0 2 0 】

この構成によれば、第1の半導体素子と第2の半導体素子によって、バックツーバックダイオードを形成することが可能である。バックツーバックダイオードは、二つのダイオードを、一方のP型半導体領域と他方のN型半導体領域が接続されるように構成したダイオードであり、高電圧素子においてはツェナーダイオード機能を有する素子として多用さ

50

れる。

【0021】

上記半導体装置は、上記半導体装置の上記第1の面に設けられ、上記第1の半導体領域及び上記第3の半導体領域に導通する接地コンタクト構造をさらに具備してもよい。

【0022】

これにより、バックツープックダイオードへの配線の取り回しが容易となり、歩留まり改善や製造コスト削減、配線信頼性の向上が実現可能である。

【0023】

上記接地コンタクト構造は、上記第1の半導体領域と上記第3の半導体領域に接続され、上記第1の半導体領域と上記第3の半導体領域の両者に共通の接地配線を含んでもよい。

10

【0024】

バックツープックダイオードの隣接する半導体領域（第1の半導体領域及び第3の半導体領域）は同電位となるため、共通の接地配線で両領域を接続することが可能である。

【0025】

上記接地コンタクト構造は、上記接地配線に接続され、上記第1の半導体領域と上記第3の半導体領域の両者に共通の接地電極を含んでもよい。

【0026】

この構成によれば、第1の半導体素子及び第2の半導体素子を共通する接地電極に導通させることが可能である。

20

【0027】

上記半導体装置は、上記第2の半導体領域と上記第4の半導体領域に接続され、上記第2の半導体領域と上記第4の半導体領域の両者に共通の信号配線をさらに具備してもよい。

【0028】

バックツープックダイオードの隣接する半導体領域（第2の半導体領域及び第4の半導体領域）は同電位となるため、共通の信号配線で両領域を接続することが可能である。

【0029】

上記目的を達成するため、本技術の一形態に係る超音波撮像装置は、半導体装置を備える。

30

上記半導体装置は、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを備える。

【0030】

半導体装置は、超音波撮像装置が備える超音波振動子のインピーダンス整合回路として利用することが可能である。

【0031】

本技術の一形態に係る、SOI基板上に集積回路が形成された半導体装置の製造方法は、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板を準備する。

40

エピタキシャル結晶成長法により、上記シリコン基板上に上記シリコン基板と同じ結晶配向を有する半導体領域を備え、上記集積回路を構成する保護回路を形成する。

上記SOI基板を貫通し、上記保護回路を分離する素子分離領域を形成する。

【0032】

上記保護回路を形成する工程では、上記シリコン基板を、上記半導体領域の結晶成長が進行する側の面とは反対側の面から研磨して上記半導体領域を露出させる基板研磨法を用いてもよい。

【0033】

50

本技術の一形態に係る超音波イメージングシステムは、超音波カテーテルを含む。

上記超音波カテーテルは、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置を搭載する。

#### 【0034】

本技術の一形態に係る超音波イメージングシステムは、術中超音波プローブ又は超音波内視鏡を含む。

上記術中超音波プローブ又は上記超音波内視鏡は、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置を搭載する。

10

#### 【0035】

本技術の一形態に係る超音波イメージングシステムは、腹腔鏡下手術で用いられる超音波イメージング機能付き手持ち器具を含む。

上記超音波イメージング機能付き手持ち器具は、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置を搭載する。

20

#### 【0036】

本技術の一形態に係る超音波イメージングシステムは、腹腔鏡下手術で用いられる超音波イメージング機能付きロボット鉗子を含む。

上記超音波イメージング機能付きロボット鉗子は、結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置を搭載する。

30

#### 【発明の効果】

#### 【0037】

以上のように、本技術によれば、小面積ながら良好な特性を有する保護回路を備える半導体装置、超音波撮像装置、半導体装置の製造方法及び超音波イメージングシステムを提供することが可能である。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

#### 【図面の簡単な説明】

40

#### 【0038】

【図1】本技術の第1の実施形態に係る半導体装置の断面図である。

【図2】同半導体装置の一部構成の断面図である。

【図3】同半導体装置の作製に用いられるSOI基板の断面図である。

【図4】同半導体装置の素子分離領域の平面図である。

【図5】同半導体装置を利用したインピーダンス整合回路を示す模式図である。

【図6】同半導体装置の製造方法を示す模式図である。

【図7】同半導体装置の製造方法を示す模式図である。

【図8】同半導体装置の製造方法を示す模式図である。

【図9】同半導体装置の製造方法を示す模式図である。

50

- 【図10】同半導体装置の製造方法を示す模式図である。
- 【図11】同半導体装置の製造方法を示す模式図である。
- 【図12】同半導体装置の製造方法を示す模式図である。
- 【図13】第1の実施形態の第1の変形例に係る半導体装置の断面図である。
- 【図14】第1の実施形態の第2の変形例に係る半導体装置の断面図である。
- 【図15】本技術に係る半導体装置を利用したIVUS（血管内超音波内視鏡）の模式図である。
- 【図16】一般的構造を有するIVUSの模式図である。
- 【図17】本技術の第2の実施形態に係る半導体装置の断面図である。
- 【図18】同半導体装置の一部構成の断面図である。 10
- 【図19】同半導体装置を利用したインピーダンス整合回路を示す模式図である。
- 【図20】本技術に係る半導体装置を利用した術中超音波プローブの模式図である。
- 【図21】一般的構造を有する術中超音波プローブの模式図である。
- 【図22】本技術に係る半導体装置を利用した腹腔鏡手術用把持具の模式図である。
- 【図23】一般的構造を有する腹腔鏡手術用把持具の模式図である。
- 【図24】本技術に係る半導体装置を利用した腹腔鏡手術用把持具のハンドル部の模式図である。
- 【図25】技術に係る半導体装置を利用した腹腔鏡手術用手術ロボットのロボット鉗子の模式図である。
- 【図26】一般的構造を有する腹腔鏡手術用手術ロボットのロボット鉗子の模式図である。 20
- 【発明を実施するための形態】
- 【0039】  
（第1の実施形態）  
本技術の第1の実施形態に係る半導体装置について説明する。
- 【0040】  
〔半導体装置の構成〕  
図1は、本実施形態に係る半導体装置100の構成を示す断面図であり、図2は、半導体装置100の一部構成を示す断面図である。これらの図に示すように半導体装置100は、LV（Low Voltage）回路110、第1ダイオード130及び第2ダイオード150、シリコン基板171、BOX（buried oxide：埋め込み酸化膜）層172、素子分離領域173、下面絶縁層174、グランド電極175及び上面絶縁層176を備える。 30
- 【0041】  
半導体装置100は、LV回路110、第1ダイオード130及び第2ダイオード150を備える集積回路であり、第1ダイオード130及び第2ダイオード150は、この集積回路の保護回路を構成する。
- 【0042】  
半導体装置100は一枚のSOI基板から作製することができる。図3は、半導体装置100を構成するSOI基板200の模式図である。同図に示すように、SOI基板200は、シリコン基板201、BOX層202及びSOI層203を備える。 40
- 【0043】  
シリコン基板201は、P型の結晶シリコンからなる。BOX層202はシリコン基板201に積層され、SiO<sub>2</sub>からなる。SOI層203はBOX層202に積層され、シリコンからなる。SOI基板200は、SIMOX（Separation by IMplantation of OXygen）法や張り合わせ法によって作製されたものとするすることができる。
- 【0044】  
半導体装置100は、SOI基板200に後述する加工プロセスを施すことによって作製される。半導体装置100のシリコン基板171は、SOI基板200のシリコン基板201の一部であり、半導体装置100のBOX層172は、SOI基板200のBOX層202の一部である。 50

## 【 0 0 4 5 】

以下、半導体装置 1 0 0 の S O I 基板 2 0 0 を加工して形成される部分（図 2 の構造）のうち、L V 回路 1 1 0 側の面を上面 1 0 0 a とし、その反対側の面を下面 1 0 0 b とする。

## 【 0 0 4 6 】

L V 回路 1 1 0 は、N 型半導体領域 1 1 1、P 型半導体領域 1 1 2、N<sup>+</sup> 型半導体領域 1 1 3、P<sup>+</sup> 型半導体領域 1 1 4、第 1 ゲート電極 1 1 5、第 2 ゲート電極 1 1 6、ゲート絶縁膜 1 1 7、素子分離層 1 1 8 及び信号配線 1 1 9 を備える。

## 【 0 0 4 7 】

N 型半導体領域 1 1 1 は B O X 層 1 7 2 上に積層され、N 型ドーパントがドーブされたシリコンからなる。N 型ドーパントは典型的にはリンである。P 型半導体領域 1 1 2 は B O X 層 1 7 2 上に積層され、P 型ドーパントがドーブされたシリコンからなる。P 型ドーパントは典型的にはホウ素である。N 型半導体領域 1 1 1 及び P 型半導体領域 1 1 2 は、上面 1 0 0 a に面し、S i O<sub>2</sub> からなる素子分離層 1 1 8 によって分離されている。

10

## 【 0 0 4 8 】

N<sup>+</sup> 型半導体領域 1 1 3 は、N 型ドーパントが多量にドーブされたシリコンからなり、P 型半導体領域 1 1 2 中の 2 箇所に離間して形成されている。各 N<sup>+</sup> 型半導体領域 1 1 3 は上面 1 0 0 a に面し、信号配線 1 1 9 が接続されている。

## 【 0 0 4 9 】

P<sup>+</sup> 型半導体領域 1 1 4 は、P 型ドーパントが多量にドーブされたシリコンからなり、N 型半導体領域 1 1 1 中の 2 箇所に離間して形成されている。各 P<sup>+</sup> 型半導体領域 1 1 4 は上面 1 0 0 a に面し、信号配線 1 1 9 が接続されている。

20

## 【 0 0 5 0 】

第 1 ゲート電極 1 1 5 は、アルミニウム等の金属又はポリシリコン等の導電性材料からなり、ゲート絶縁膜 1 1 7 を介して N 型半導体領域 1 1 1 上に形成されている。第 2 ゲート電極 1 1 6 は、アルミニウム等の金属又はポリシリコン等の導電性材料からなり、ゲート絶縁膜 1 1 7 を介して P 型半導体領域 1 1 2 上に形成されている。

## 【 0 0 5 1 】

N 型半導体領域 1 1 1、P 型半導体領域 1 1 2、N<sup>+</sup> 型半導体領域 1 1 3 及び P<sup>+</sup> 型半導体領域 1 1 4 は、S O I 基板 2 0 0 の S O I 層 2 0 3 に P 型又は N 型のドーパントを注入して形成した領域である。素子分離層 1 1 8 は、S O I 層 2 0 3 を S i O<sub>2</sub> に酸化して形成した領域である。

30

## 【 0 0 5 2 】

なお、L V 回路 1 1 0 の構成は上記のものに限られず、S O I 基板 2 0 0 の S O I 層 2 0 3 を加工して作製可能な構成であればよい。

## 【 0 0 5 3 】

第 1 ダイオード 1 3 0 は、N 型半導体領域 1 3 1、P 型半導体領域 1 3 2、P<sup>+</sup> 型半導体領域 1 3 3、グランド配線 1 3 4 及び信号配線 1 3 5 を備える。N 型半導体領域 1 3 1 は N 型ドーパントがドーブされたシリコンからなり、P 型半導体領域 1 3 2 は P 型ドーパントがドーブされたシリコンからなる。P<sup>+</sup> 型半導体領域 1 3 3 は P 型ドーパントが多量にドーブされたシリコンからなる。即ち、N 型半導体領域 1 3 1 は第 1 の不純物型（N 型）を有する半導体領域であり、P 型半導体領域 1 3 2 及び P<sup>+</sup> 型半導体領域 1 3 3 は第 2 の不純物型（P 型）を有する半導体領域である。

40

## 【 0 0 5 4 】

N 型半導体領域 1 3 1 と P 型半導体領域 1 3 2 は積層され、N 型半導体領域 1 3 1 は下面 1 0 0 b に面し、P 型半導体領域 1 3 2 は上面 1 0 0 a に面する。P<sup>+</sup> 型半導体領域 1 3 3 は、P 型半導体領域 1 3 2 中に形成され、上面 1 0 0 a に面する。

## 【 0 0 5 5 】

N 型半導体領域 1 3 1、P 型半導体領域 1 3 2 及び P<sup>+</sup> 型半導体領域 1 3 3 は、結晶シリコンからなり、シリコン基板 1 7 1 と同じ結晶配向を有する。これは、これらの半導

50

体領域がシリコン基板 201 の一部へのドーパントの注入により形成され、又はシリコン基板 201 上にエピタキシャル結晶成長法によって形成された結晶シリコンからなるためである。

【0056】

グランド配線 134 は下面 100b において N 型半導体領域 131 に接続され、信号配線 135 は上面 100a において P<sup>+</sup> 型半導体領域 133 に接続されている。

【0057】

第 2 ダイオード 150 は、P 型半導体領域 151、N 型半導体領域 152、N<sup>+</sup> 型半導体領域 153、グランド配線 154 及び信号配線 155 を備える。P 型半導体領域 151 は、P 型ドーパントがドーブされたシリコンからなり、N 型半導体領域 152 は N 型ドーパントがドーブされたシリコンからなる。N<sup>+</sup> 型半導体領域 153 は N 型ドーパントが多量にドーブされたシリコンからなる。即ち、P 型半導体領域 151 は第 2 の不純物型 (P 型) を有する半導体領域であり、N 型半導体領域 152 及び N<sup>+</sup> 型半導体領域 153 は第 1 の不純物型 (N 型) を有する半導体領域である。

10

【0058】

P 型半導体領域 151 と N 型半導体領域 152 は積層され、P 型半導体領域 151 は下面 100b に面し、N 型半導体領域 152 は上面 100a に面する。N<sup>+</sup> 型半導体領域 153 は、N 型半導体領域 152 中に形成され、上面 100a に面する。

【0059】

P 型半導体領域 151、N 型半導体領域 152 及び N<sup>+</sup> 型半導体領域 153 は、結晶シリコンからなり、シリコン基板 171 と同じ結晶配向を有する。これは、これらの半導体領域がシリコン基板 201 の一部へのドーパントの注入により形成され、又はシリコン基板 201 上にエピタキシャル結晶成長法によって形成された単結晶シリコンからなるためである。

20

【0060】

グランド配線 154 は下面 100b において P 型半導体領域 151 に接続され、信号配線 155 は上面 100a において N<sup>+</sup> 型半導体領域 153 に接続されている。

【0061】

素子分離領域 173 は、第 1 ダイオード 130 と第 2 ダイオード 150 を分離する。素子分離領域 173 は、上面 100a から下面 100b までを貫通する。図 4 は、素子分離領域 173 を上面 100a 側からみた模式図である。同図に示すように、素子分離領域 173 は、第 1 ダイオード 130 及び第 2 ダイオード 150 の周囲に形成されている。

30

【0062】

素子分離領域 173 は、シリコン酸化物、シリコン窒化物又はポリシリコンのうちいずれか一種又は二種以上の材料からなる。例えば、素子分離領域 173 は、SOI 基板 200 に形成された貫通孔の孔内にシリコン酸化物又はシリコン窒化物等の絶縁性材料を成膜し、孔内にポリシリコンを埋め込んだ構造とすることができる。

【0063】

下面絶縁層 174 は、下面 100b に配設され、水分や不純物の拡散を防止する。下面絶縁層 174 は、例えば p-SiO<sub>2</sub> (プラズマ気相成長によって形成された酸化シリコン) からなる。下面絶縁層 174 は、N 型半導体領域 131 及び P 型半導体領域 151 が露出するようにパターニングされ、開口部にはグランド配線 134 及びグランド配線 154 が形成されている。

40

【0064】

グランド電極 175 は、下面絶縁層 174 上に配設され、グランド配線 134 及びグランド配線 154 と接続されている。これにより、グランド電極 175 は、N 型半導体領域 131 と P 型半導体領域 151 に導通し、グランド配線 134 及びグランド配線 154 と共に第 1 ダイオード 130 及び第 2 ダイオード 150 の接地コンタクト構造を構成する。グランド電極 175 は、アルミニウム等の導電性材料からなる。

【0065】

50

上面絶縁層 176 は、上面 100a に配設され、各回路を封止する。上面絶縁層 176 は  $\text{SiO}_2$  等の絶縁性材料からなる。

【0066】

[半導体装置の利用態様]

図5は、半導体装置 100 を利用することが可能な、超音波振動子 300 のインピーダンス整合回路 301 の回路構成を示す模式図である。

【0067】

同図に示すように、インピーダンス整合回路 301 は、アンプ 302、キャパシタ 303、第1TR (transmit-receive) スイッチ 304、第2TR スイッチ 305 及び第3TR スイッチ 306 を備える。第1TR スイッチ 304、第2TR スイッチ 305 及び第3TR スイッチ 306 はそれぞれがバックツープックダイオードである。バックツープックダイオードは同図に示すように、二つのダイオードを、一方のP型半導体領域と他方のN型半導体領域が接続されるように配置したダイオードである。

10

【0068】

超音波振動子 300 の駆動信号は、第1TR スイッチ 304 及びキャパシタ 303 を経由して超音波振動子 300 に到達し、超音波振動子 300 に超音波を生じさせる。駆動信号は第2TR スイッチ 305 及び第3TR スイッチ 306 によってアンプ 302 への到達が防止される。なお、キャパシタ 303 は求める振動子駆動に応じて短絡させてもよい。

【0069】

超音波の反射波が超音波振動子 300 に到達すると、超音波振動子 300 は検知信号を発生する。検知信号は、アンプ 302 によって増幅され、出力される。

20

【0070】

このように、インピーダンス整合回路 301 は、増幅回路であるアンプ 302 と、保護回路である第1TR スイッチ 304、第2TR スイッチ 305 及び第3TR スイッチ 306 によって構成されている。

【0071】

半導体装置 100 では、LV 回路 110 をアンプ 302 として、第1ダイオード 130 及び第2ダイオード 150 をTR スイッチとして利用することができ、インピーダンス整合回路 301 を一つの半導体装置 100 によって実現することが可能となる。

【0072】

なお、第1ダイオード 130 及び第2ダイオード 150 は、3つのTR スイッチの一つを構成する。他の2つのTR スイッチも、第1ダイオード 130 及び第2ダイオード 150 と同様に半導体装置 100 において形成することができる。

30

【0073】

また、上記のように、第1ダイオード 130 と第2ダイオード 150 によってバックツープックダイオードが構成されている。バックツープックダイオードは高電圧素子においてはツェナーダイオード機能を有する素子として多用されている。ダイオードが一方のみであれば、ダイオードに基板の側面から配線を接続し、又は貫通配線を形成して接続する必要があり、製造工程数による歩留り低下やコスト増大、配線信頼性の劣化が懸念される。

40

【0074】

これに対し、半導体装置 100 では同一のSOI 基板上において、第1ダイオード 130 と第2ダイオード 150 によってバックツープックダイオードが構成され、両ダイオードが共通のグランド電極 175 に接続されている。これにより、配線の取り回しが容易化するため、歩留り改善やコスト削減、配線信頼性の向上が可能である。

【0075】

なお、超音波振動子のインピーダンス整合回路は、半導体装置 100 の利用形態の一つであり、半導体装置 100 はSOI 基板上に形成され、保護回路を備える各種の回路に利用することが可能である。

【0076】

50

[ 半導体装置の効果 ]

上記のように半導体装置 100 は、LV 回路 110、第 1 ダイオード 130 及び第 2 ダイオード 150 を一枚の SOI 基板上に形成したものである。SOI 基板 200 に BOX 層 202 がないチャンネル領域を形成し、そこに第 1 ダイオード 130 及び第 2 ダイオード 150 を形成することにより、第 1 ダイオード 130 及び第 2 ダイオード 150 によって TR スイッチを形成することができ、サージ電荷を逃がしやすくなっている。

【 0077 】

また、第 1 ダイオード 130 及び第 2 ダイオード 150 の素子分離領域 173 を上面 100a から下面 100b まで貫通した貫通トレンチ構造とすることにより、ラッチアップ (短絡) が発生しないラッチアップフリーが実現されている。

10

【 0078 】

さらに、第 1 ダイオード 130 及び第 2 ダイオード 150 は単結晶シリコンからなり、良好な漏洩電流特性を確保すると共に、保護回路としての機能向上が実現されている。具体的には、ポリシリコンの移動度は  $1 \sim 10 \text{ cm}^2 / \text{Vs}$  であるのに対し、結晶シリコンの移動度は  $500 \sim 1000 \text{ cm}^2 / \text{Vs}$  程度であり、空乏層領域では結晶シリコンの方が抵抗が  $1 / 100 \sim 1 / 500$  程度と低い。

【 0079 】

特に i 層 (N 型半導体領域と P 型半導体領域の境界に位置するドーパント濃度が低い層) での抵抗が問題となる。厚さ  $1 \mu\text{m}$ 、面積  $25^2 \mu\text{m}^2$  の i 層 (P:  $1 \times 10^{-14} / \text{cm}^3$ ) での抵抗は、ポリシリコンが 998 であるのに対し、結晶シリコンは 2 である。このため、順方向電流として 200V で 2A を流すダイオードを作製する場合に必要なダイオード面積は、ポリシリコンの場合には  $6242 \mu\text{m}^2$  であるのに対し、結晶シリコンの場合には  $12.5 \mu\text{m}^2$  である。

20

【 0080 】

このため、ポリシリコンからダイオードを作製すると  $80 \mu\text{m}$  が必要な場合に、結晶シリコンからダイオードを作成すると  $4 \mu\text{m}$  でよい。一般に、ポリシリコンから作製されたダイオードを備える半導体装置では、複数の貫通トレンチにより形成されたダイオードが必要となる。これに対し、本実施形態に係る半導体装置 100 では、 $5 \times 5 \mu\text{m}$  のダイオード一つで十分であり、半導体装置 100 の実装面積の削減が可能である。

【 0081 】

30

[ 半導体装置の製造方法 1 ]

半導体装置 100 の製造方法について説明する。上記のように半導体装置 100 は、SOI 基板 200 (図 3 参照) から作成することができる。

【 0082 】

図 6 乃至図 10 は、半導体装置 100 の製造方法を示す模式図である。図 6 (a) に示すように、SOI 基板 200 の SOI 層 203 上に犠牲層 204 を積層する。犠牲層 204 は例えば、 $\text{SiO}_2$  からなる。続いて、図 6 (b) に示すように、犠牲層 204、SOI 層 203 及び BOX 層 202 をエッチング等によって除去し、シリコン基板 201 を露出させる。

【 0083 】

40

続いて、図 6 (c) に示すように、シリコン基板 201 上にエピタキシャル結晶成長法によって結晶シリコン 205 を成長させる。エピタキシャル結晶成長法によって、シリコン基板 201 と結晶シリコン 205 は同じ結晶配向を有する。

【 0084 】

続いて、図 7 (a) に示すように、結晶シリコン 205 上に犠牲層 204 を積層し、トレンチ T を形成する。トレンチ T は結晶シリコン 205 からシリコン基板 201 まで形成し、その深さは数十  $\mu\text{m}$  程度とすることができる。トレンチ T によって、シリコン基板 201 及び結晶シリコン 205 の一部が分離され、構造体 A1 及び構造体 A2 が形成される。

【 0085 】

50

続いて、図7(b)に示すように犠牲層204上及びトレンチTの内部に拡散防止層206を積層し、構造体A1が露出するようにパターニングする。拡散防止層206は例えば、シリコン窒化物からなる。

【0086】

続いて、図7(c)に示すようにトレンチT内にPSG(Phosphorus Silicon Glass)207及びBSG(Boron Silicon Glass)208を埋め込む。この埋め込みには、HDP(High Density Plasma)を用いることができる。またHDPでトレンチT内にBSG及びPSGの薄膜を成膜した後、CVDによってBSG及びPSGを積層してもよい。

【0087】

続いて、固相拡散を行い、図8(a)に示すように構造体A1にドーパントをドーブする。構造体A1のうちPSG207に隣接する領域ではPSG207からリンがドーブされ、N型半導体領域131が形成される。構造体A1のうちBSG208に隣接する領域ではBSG208からホウ素がドーブされ、P型半導体領域132が形成される。固相拡散は加熱によって行うことができる。

10

【0088】

続いて、図8(b)に示すように犠牲層204上及び素子分離トレンチTの内部に拡散防止層209を積層し、構造体A2が露出するようにパターニングする。拡散防止層209は例えば、シリコン窒化物からなる。

【0089】

続いて、図8(c)に示すようにトレンチT内にBSG210及びPSG211を埋め込む。この埋め込みには、上述のようにHDPやCVD等を用いることができる。

20

【0090】

続いて、固相拡散を行い、図9(a)に示すように構造体A2にドーパントをドーブする。構造体A2のうちBSG210に隣接する領域ではBSG210からホウ素がドーブされ、P型半導体領域151が形成される。構造体A2のうちPSG211に隣接する領域ではPSG211からリンがドーブされ、N型半導体領域152が形成される。固相拡散は加熱によって行うことができる。

【0091】

続いて、図9(b)に示すように、素子分離領域173を形成する。素子分離領域173は、シリコン酸化物、シリコン窒化物又はポリシリコンのうちいずれか一種又は二種以上の材料をトレンチT内に埋め込むことによって形成することができる。例えば、トレンチT内にシリコン酸化物又はシリコン窒化物等の絶縁性材料を成膜し、トレンチT内にポリシリコンを埋め込んで素子分離領域173を形成することができる。

30

【0092】

素子分離領域173の形成には一般にHDPが用いられるが、PSGやBPSG(Boron Phosphorus Silicon Glass)等だけではなく、これと組み合わせてカバレッジの良いPSG/BPSG等の酸化膜をCVDで成膜してもよい。また、HDPとポリシリコンとの組み合わせは従来からIGBT(Insulated Gate Bipolar Transistor)等の高耐圧プロセスでも広く用いられているため、これを用いてもよい。

【0093】

40

続いて、図9(c)に示すように、N型半導体領域111、P型半導体領域112、N<sup>+</sup>型半導体領域113、P<sup>+</sup>型半導体領域114、P<sup>+</sup>型半導体領域133及びN<sup>+</sup>型半導体領域153を形成する。これらは、SOI層203、P型半導体領域132及びN型半導体領域152にN型及びP型のドーパントをドーブして形成することができる。ドーピング方法は特に限定されず、イオン注入や固相拡散等を利用することができる。また、同図に示すように、SOI層203の一部を酸化させて素子分離層118を形成する。

【0094】

続いて、図10(a)に示すように、信号配線135、信号配線155、信号配線119、ゲート絶縁膜117、第1ゲート電極115及び第2ゲート電極116を形成する。

50

ゲート絶縁膜 117 は、SOI 層 203 の酸化によって形成することができ、信号配線 135、信号配線 155、信号配線 119、第 1 ゲート電極 115 及び第 2 ゲート電極 116 は導電性材料の CVD 成膜等によって形成することができる。

【0095】

続いて、図 10 (b) に示すように、上面絶縁層 176 を形成する。上面絶縁層 176 は CVD 等によって形成することができる。続いて、図 10 (c) に示すように、シリコン基板 201 の裏面を研磨する。研磨は、N 型半導体領域 131 及び P 型半導体領域 151 が露出するまで行う。

【0096】

続いて、下面絶縁層 174、グランド配線 134、グランド配線 154 及びグランド電極 175 を形成する (図 1 参照)。下面絶縁層 174 は、プラズマ気相成長によって TEOS (Tetraethyl orthosilicate) を成膜し、パターニングすることによって形成される。TEOS は加熱によって  $SiO_2$  となる。グランド配線 134、グランド配線 154 及びグランド電極 175 は CVD 等の各種メタライゼーションプロセスによって形成することができる。

10

【0097】

半導体装置 100 は以上のようにして作製することができる。上述のように、SOI 基板 200 のシリコン基板 201 の一部が半導体装置 100 のシリコン基板 171 となり、SOI 基板 200 の BOX 層 202 の一部が半導体装置 100 の BOX 層 172 となる。

【0098】

20

[半導体装置の製造方法 2]

半導体装置 100 は、次のようにして作製することも可能である。

【0099】

図 11 及び図 12 は、半導体装置 100 の他の製造方法を示す模式図である。図 11 (a) に示すように、SOI 基板 200 の SOI 層 203 上に犠牲層 204 を積層する。犠牲層 204 は例えば、 $SiO_2$  からなる。続いて、図 11 (b) に示すように、犠牲層 204、SOI 層 203 及び BOX 層 202 とシリコン基板 201 の一部をエッチング等によって除去し、シリコン基板 201 を露出させる。

【0100】

続いて、図 11 (c) に示すように、N 型半導体領域 212 及び P 型半導体領域 213 を形成する。これらは、イオン注入又は固相拡散によって N 型及び P 型のドーパントをシリコン基板 201 にドーピングすることによって形成することができる。

30

【0101】

続いて、図 12 (a) に示すように、エピタキシャル結晶成長法によって結晶シリコン 214 を成長させる。同時にイオン注入又は固相拡散によってドーパントのドーピングを行い、N 型半導体領域 212 及び P 型半導体領域 213 を形成する。結晶シリコン 214 の成長とドーパントのドーピングは、N 型半導体領域 212 及び P 型半導体領域 213 が一定の厚さになるまで行う。

【0102】

続いて、図 12 (b) に示すように、エピタキシャル結晶成長法によって結晶シリコン 214 を成長させ、同時に P 型半導体領域 215 及び N 型半導体領域 216 を形成する。P 型半導体領域 215 は N 型半導体領域 212 上に形成し、N 型半導体領域 216 は P 型半導体領域 213 上に形成する。P 型半導体領域 215 及び N 型半導体領域 216 はイオン注入又は固相拡散によるドーパントのドーピングによって形成することができる。結晶シリコン 214 の成長とドーパントのドーピングは、P 型半導体領域 215 及び N 型半導体領域 216 が一定の厚さになるまで行う。

40

【0103】

図 12 (c) は、結晶シリコン 214 の成長及びドーパントのドーピングが完了した状態を示す。N 型半導体領域 212 は、第 1 ダイオード 130 の N 型半導体領域 131 (図 2 参照) に、P 型半導体領域 213 は第 2 ダイオード 150 の P 型半導体領域 151 にそれぞれ

50

れ相当する。また、P型半導体領域215は第1ダイオード130のP型半導体領域132に、N型半導体領域216は第2ダイオード150のN型半導体領域152にそれぞれ相当する。

#### 【0104】

続いて、第1ダイオード130と第2ダイオード150の周囲のシリコン基板201を酸化させてシリコン酸化物を形成し、図9(b)と同様に素子分離領域173を形成する。以降は上記製造方法と同様にLV回路110や配線等を形成し、半導体装置100を作製することが可能である。

#### 【0105】

なお、半導体装置100の製造方法は上述のものに限定されず、SOI基板200から半導体装置100を製造することが可能な製造方法であればよい。

10

#### 【0106】

##### [変形例]

図13は本技術の第1の変形例に係る半導体装置400の構成を示す断面図である。同図に示すように半導体装置400は、グランド配線401を備える。半導体装置400のその他の構成は半導体装置100と同一である。

#### 【0107】

同図に示すようにグランド配線401は、第1ダイオード130のN型半導体領域131と第2ダイオード150のP型半導体領域151の両方とグランド電極175に接続されている。図5に示すように、バックツープックダイオードを構成する二つのダイオードのグランド電位は同電位であるため、グランド配線401を第1ダイオード130と第2ダイオード150の共通のグランド配線とすることが可能である。これにより、素子分離領域173の幅を縮小し、半導体装置400の面積を縮小することが可能となる。

20

#### 【0108】

図14は本技術の第2の変形例に係る半導体装置500の構成を示す断面図である。同図に示すように半導体装置500は、グランド配線501と信号配線502を備える。半導体装置500のその他の構成は半導体装置100と同一である。

#### 【0109】

同図に示すようにグランド配線501は、第1ダイオード130のN型半導体領域131と第2ダイオード150のP型半導体領域151の両方とグランド電極175に接続されている。また、信号配線502は、第1ダイオード130のP<sup>+</sup>型半導体領域133と第2ダイオード150のN<sup>+</sup>型半導体領域153の両方に接続されている。図5に示すように、バックツープックダイオードを構成する二つのダイオードの信号配線は同電位であるため、信号配線502を第1ダイオード130と第2ダイオード150の共通の信号配線とすることが可能である。これにより、素子分離領域173の幅を縮小し、半導体装置500の面積を縮小することが可能となる。

30

#### 【0110】

##### [応用例1]

図15は、本実施形態に係る半導体装置100を利用することが可能なIVUS(intravascular ultrasound: 血管内超音波内視鏡)600の構造を示す模式図である。

40

同図に示すように、IVUS600は、カテーテル601、アレイ振動子602、及び配線603を備える。アレイ振動子602は、複数の超音波振動子モジュールから構成されたアレイであり、各超音波振動子モジュールは図5に示すように超音波振動子300とインピーダンス整合回路301からなる。上記のようにインピーダンス整合回路301は、半導体装置100によって実現することができる。

#### 【0111】

IVUS600に駆動信号が入力されると、駆動信号はインピーダンス整合回路301を介して超音波振動子300に伝達され、超音波振動子300は超音波を生成する。生成された超音波は、血管に挿入されるカテーテル601を介して血管壁に照射され、その反射波はカテーテル601を介して超音波振動子300に入射し、検知される。検知信号は

50

インピーダンス整合回路 301 において増幅され、配線 603 を介して I V U S 600 の制御装置に伝達される。

【0112】

図 16 は、一般的構造を有する I V U S 700 の模式図である。同図に示すように I V U S 700 は、カテーテル 701、アレイ振動子 702、信号処理チップ 703 及び配線 704 を備える。I V U S 700 は、I V U S 600 と同様に動作するが、インピーダンス整合回路は信号処理チップ 703 に搭載されている。

【0113】

一般に、I V U S では、駆動信号は数十 V、検知信号は数十  $\mu$  V 程度である。I V U S は超音波振動子のサイズが数十  $\mu$  m 程度と極めて小さく、電気インピーダンスの不整合により信号をカテーテルの外部に出力することが難しいため、通常は図 16 のようにインピーダンス整合回路を含む信号処理チップが設けられている。

10

【0114】

しかしながら、インピーダンス整合回路はシリコンで構成されているため、この部分の屈曲性に欠け、I V U S の操作性に難点があった。本技術に係る半導体装置 100 を適用することにより、図 16 のようにインピーダンス整合回路を超音波振動子に一体化することが可能であり、屈曲できない部位が少なくなり、I V U S の操作性を向上させることができる。

【0115】

半導体装置 100 は I V U S の他にも S O I 基板を用いた集積回路全般に採用することが可能である。特にメリットが大きいと期待されるのが、E S D (electrostatic discharge: 静電気放電) 又は意図的に形成した高電圧パルスに晒される可能性のある低電圧回路への適用である。

20

【0116】

[ 応用例 2 ]

図 20 は、本実施形態に係る半導体装置 100 を利用することが可能な術中超音波プローブ 1000 の構造を示す模式図である。術中超音波プローブ 1000 は、音響レンズ 1001、アレイ振動子 1002 及び配線 1003 を備える。アレイ振動子 1002 は、複数の超音波振動子モジュールから構成されたアレイであり、各超音波振動子モジュールは超音波振動子 300 と半導体装置 100 からなる。半導体装置 100 は、図 5 に示すようにインピーダンス整合回路 301 を構成している。

30

【0117】

術中超音波プローブ 1000 に駆動信号が入力されると、駆動信号はインピーダンス整合回路を介して超音波振動子 300 に伝達され、超音波振動子 300 は超音波を生成する。生成された超音波は、音響レンズ 1001 を介して診断対象物に照射され、その反射波は音響レンズ 1001 を介して超音波振動子 300 に入射し、検知される。検知信号はインピーダンス整合回路において増幅され、配線 1003 を介して術中超音波プローブ 1000 の制御装置に伝達される。

【0118】

図 21 は、一般的構造を有する術中超音波プローブ 1100 の模式図である。同図に示すように術中超音波プローブ 1100 は、音響レンズ 1101、アレイ振動子 1102 及び配線 1103 を備える。アレイ振動子 1102 は、複数の超音波振動子モジュールから構成されたアレイであり、各超音波振動子モジュールは超音波振動子 300 を備える。術中超音波プローブ 1100 は、術中超音波プローブ 1000 と同様に動作するが、アレイ振動子 1102 はインピーダンス整合回路を構成する半導体装置を有しない。

40

【0119】

術中超音波でも、送信に数十 V、受信に最小数十  $\mu$  V の信号を受信する。術中超音波プローブも一般にアレイ振動子を用いるため、超音波振動子のサイズが数十  $\mu$  m 程度と極めて小さい。特にドロップイン型の術中超音波プローブでは、鉗子で操作しやすくするために一層の小型化が求められている。このため、電気インピーダンス不整合により信号を超

50

音波プローブ外に出力することは難しくなっている。

【0120】

本技術を適用することにより、増幅回路自体の面積が小さくなり、超音波振動子のピッチをさらに小型化できることから、図20のようにアレイ振動子1002の大きさを小型化しつつもインピーダンス不整合によるプローブ特性劣化を抑制することができる。なお、同種の適用を超音波内視鏡に行っても同種の効果が期待される。

【0121】

[ 応用例3 ]

図22は、本実施形態に係る半導体装置100を利用することが可能な腹腔鏡手術用把持具1200の構造を示す模式図である。腹腔鏡手術用把持具1200は、把持部1201、音響レンズ1202、アレイ振動子1203及び配線1204を備える。把持部1201は、物体を把持可能に構成されている。アレイ振動子1203は、複数の超音波振動子モジュールから構成されたアレイであり、把持部1201の内部に搭載されている。各超音波振動子モジュールは超音波振動子300と半導体装置100からなる。半導体装置100は、図5に示すようにインピーダンス整合回路301を構成している。

10

【0122】

腹腔鏡手術用把持具1200に駆動信号が入力されると、駆動信号はインピーダンス整合回路を介して超音波振動子300に伝達され、超音波振動子300は超音波を生成する。生成された超音波は、音響レンズ1202が接触する診断対象物に照射され、その反射波は超音波振動子300に入射し、検知される。検知信号はインピーダンス整合回路において増幅され、配線1204を介して腹腔鏡手術用把持具1200の制御装置に伝達される。

20

【0123】

図23は、一般的構造を有する腹腔鏡手術用把持具1300の模式図である。同図に示すように腹腔鏡手術用把持具1300は、把持部1301、音響レンズ1302、アレイ振動子1303及び配線1304を備える。アレイ振動子1303は、複数の超音波振動子モジュールから構成されたアレイであり、各超音波振動子モジュールは超音波振動子300を備える。腹腔鏡手術用把持具1300は、腹腔鏡手術用把持具1200と同様に動作するが、アレイ振動子1303はインピーダンス整合回路を構成する半導体装置を有しない。

30

【0124】

図24は、本実施形態に係る半導体装置100を利用することが可能な腹腔鏡手術用把持具1400のハンドル部の構造を示す模式図である。腹腔鏡手術用把持具1400は、同図に示すハンドル部と、図23に示す腹腔鏡手術用把持具1300のような把持部を備える。ハンドル部には、超音波振動子300のインピーダンス整合回路を構成する半導体装置100が搭載されている。各半導体装置100は配線1401を介してアレイ振動子に接続されている。

【0125】

腹腔鏡手術用把持具の先端に超音波プローブを組み込んだ術具では、術中超音波検査の為に余分なポートを導入することなしに、術中超音波による透視が可能になる。把持具先端は2×10mm程度と極めて小さく、特性インピーダンスが上昇するために、特性が既存の術中超音波に比べて悪化する。

40

【0126】

このため、図22及び図24に示すように、本技術をこのような把持具に適用すると、超音波プローブの特性を維持するのに役立つ。図22では半導体装置100は把持具先端に搭載されている。半導体装置100は、理想的には超音波振動子に近い所に搭載すると効果が高いが、超音波振動子が本技術に係る半導体装置100よりも小さい場合は図24のように把持具のハンドル部に搭載しても良い。

【0127】

[ 応用例4 ]

50

図25は、本実施形態に係る半導体装置100を利用することが可能な腹腔鏡手術用手術ロボット1500のロボット鉗子の構造を示す模式図である。腹腔鏡手術用手術ロボット1500は、把持部1501、音響レンズ1502、アレイ振動子1503及び配線1504を備える。アレイ振動子1503は、複数の超音波振動子モジュールから構成されたアレイであり、各超音波振動子モジュールは超音波振動子300と半導体装置100からなる。半導体装置100は、図5に示すようにインピーダンス整合回路301を構成している。

#### 【0128】

把持部1501に駆動信号が入力されると、駆動信号はインピーダンス整合回路を介して超音波振動子300に伝達され、超音波振動子300は超音波を生成する。生成された超音波は、音響レンズ1502が接触する診断対象物に照射され、その反射波は超音波振動子300に入射し、検知される。検知信号はインピーダンス整合回路において増幅され、配線1504を介して腹腔鏡手術用手術ロボット1500の制御装置に伝達される。

10

#### 【0129】

図26は、一般的構造を有する腹腔鏡手術用手術ロボット1600のロボット鉗子の構造を示す模式図である。同図に示すように腹腔鏡手術用手術ロボット1600は、把持部1601、音響レンズ1602、アレイ振動子1603及び配線1604を備える。アレイ振動子1603は、複数の超音波振動子モジュールから構成されたアレイであり、各超音波振動子モジュールは超音波振動子300を備える。腹腔鏡手術用手術ロボット1600は、腹腔鏡手術用手術ロボット1500と同様に動作するが、アレイ振動子1603はインピーダンス整合回路を構成する半導体装置を有しない。

20

#### 【0130】

腹腔鏡手術用手術ロボットのロボット鉗子先端に超音波プローブを組み込んだ術具では、術中超音波検査の為に余分なポートを導入することなしに、術中超音波による透視が可能になる。把持具先端は2×10mm程度と極めて小さく、特性インピーダンスが上昇するために、特性が既存の術中超音波に比べて悪化する。このため、図25に示すように、本技術をこのような把持具に適用すると、超音波プローブの特性を維持するのに役立つ。

#### 【0131】

上記のように半導体装置100は、術中超音波撮像装置、超音波カテーテル、超音波内視鏡など細径・小型な医療機器に利用することができる。また、半導体装置100は他にも、測地向け超音波エコー及びセンサー、ミリ波センサーの電力回路、自動車またはプロジェクタ向けLED(light emitting diode)制御回路、48V/24V/12Vテレコム/モデム向け回路の小型化実装、小型ロボット又は内視鏡等の小型メカトロニクス向け制御回路の小型化、オーディオ向けフルデジタルアンプ回路の縮小化、HEMS(home energy management system)の制御回路の小型化等に利用することができる。

30

#### 【0132】

半導体装置100を利用することにより、集積回路小型化による機器の小型化、増幅回路との同梱によるSNR(signal-noise ratio)向上、半導体チップに起因した硬質部の縮小に基づく、カテーテルや内視鏡等の操作性向上、半導体チップ縮小による歩留りと理論収率の増加、ひいては製造コストの低減が実現可能である。

40

#### 【0133】

(第2の実施形態)

本技術の第2の実施形態に係る半導体装置について説明する。

#### 【0134】

[半導体装置の構成]

図17は、本実施形態に係る半導体装置800の構成を示す断面図であり、図18は、半導体装置800の一部構成を示す断面図である。これらの図に示すように半導体装置800は、LV(Low Voltage)回路810、第1トランジスタ830及び第2トランジスタ850、シリコン基板871、BOX層872、素子分離領域873、下面絶縁層874、グランド電極875、上面絶縁層876を備える。

50

## 【0135】

半導体装置800は、LV回路810、第1トランジスタ830及び第2トランジスタ850を備える集積回路であり、第1トランジスタ830及び第2トランジスタ850は、この集積回路の保護回路を構成する。

## 【0136】

半導体装置800は第1の実施形態と同様に、一枚のSOI基板200(図3参照)から作製することができる。半導体装置800のシリコン基板871は、SOI基板200のシリコン基板201の一部であり、半導体装置800のBOX層872は、SOI基板200のBOX層202の一部である。

## 【0137】

以下、半導体装置800のうちSOI基板200を加工して形成される部分(図18の構造)のうち、LV回路810側の面を上面800aとし、その反対側の面を下面800bとする。

## 【0138】

LV回路810は、N型半導体領域811、P型半導体領域812、N<sup>++</sup>型半導体領域813、P<sup>++</sup>型半導体領域814、第1ゲート電極815、第2ゲート電極816、ゲート絶縁膜817、素子分離層818及び信号配線819を備える。

## 【0139】

N型半導体領域811はBOX層872上に積層され、N型ドーパントがドーブされたシリコンからなる。N型ドーパントは典型的にはリンである。P型半導体領域812はBOX層872上に積層され、P型ドーパントがドーブされたシリコンからなる。P型ドーパントは典型的にはホウ素である。N型半導体領域811及びP型半導体領域812は、上面800aに面し、SiO<sub>2</sub>からなる素子分離層818によって分離されている。

## 【0140】

N<sup>++</sup>型半導体領域813は、N型ドーパントが多量にドーブされたシリコンからなり、P型半導体領域812中の2箇所に離間して形成されている。各N<sup>++</sup>型半導体領域813は上面800aに面し、信号配線819が接続されている。

## 【0141】

P<sup>++</sup>型半導体領域814は、P型ドーパントが多量にドーブされたシリコンからなり、N型半導体領域811中の2箇所に離間して形成されている。各P<sup>++</sup>型半導体領域814は上面800aに面し、信号配線819が接続されている。

## 【0142】

第1ゲート電極815は、アルミニウム等の金属又はポリシリコン等の導電性材料からなり、ゲート絶縁膜817を介してN型半導体領域811上に形成されている。第2ゲート電極816は、アルミニウム等の金属又はポリシリコン等の導電性材料からなり、ゲート絶縁膜817を介してP型半導体領域812上に形成されている。

## 【0143】

N型半導体領域811、P型半導体領域812、N<sup>++</sup>型半導体領域813及びP<sup>++</sup>型半導体領域814は、SOI基板200のSOI層203にP型又はN型のドーパントを注入して形成した領域である。素子分離層818は、SOI層203をSiO<sub>2</sub>に酸化して形成した領域である。

## 【0144】

なお、LV回路810の構成は上記のものに限られず、SOI基板200のSOI層203を加工して作製可能な構成であればよい。

## 【0145】

第1トランジスタ830は、縦型トランジスタであり、第1P型半導体領域831、N<sup>-</sup>型半導体領域832、第2P型半導体領域833、P<sup>++</sup>型半導体領域834、ゲート電極835、グランド配線836及び信号配線837を備える。第1P型半導体領域831及び第2P型半導体領域833は、P型ドーパントがドーブされたシリコンからなり、N<sup>-</sup>型半導体領域832は少量のN型ドーパントがドーブされたシリコンからなる。P<sup>+</sup>

10

20

30

40

50

+ 型半導体領域 8 3 4 は P 型ドーパントが多量にドーブされたシリコンからなる。

【 0 1 4 6 】

第 1 P 型半導体領域 8 3 1、N<sup>-</sup> 型半導体領域 8 3 2 及び第 2 P 型半導体領域 8 3 3 はこの順で積層され、第 1 P 型半導体領域 8 3 1 は下面 8 0 0 b に面し、第 2 P 型半導体領域 8 3 3 は上面 8 0 0 a に面する。P<sup>+</sup> 型半導体領域 8 3 4 は、第 2 P 型半導体領域 8 3 3 中に形成され、上面 8 0 0 a に面する。

【 0 1 4 7 】

第 1 P 型半導体領域 8 3 1、N<sup>-</sup> 型半導体領域 8 3 2、第 2 P 型半導体領域 8 3 3 及び P<sup>+</sup> 型半導体領域 8 3 4 は、結晶シリコンからなり、シリコン基板 8 7 1 と同じ結晶配向を有する。これは、これらの半導体領域がシリコン基板 2 0 1 の一部へのドーパントの注入により形成され、又はシリコン基板 2 0 1 上にエピタキシャル結晶成長法によって形成された結晶シリコンからなるためである。

10

【 0 1 4 8 】

ゲート電極 8 3 5 は、素子分離領域 8 7 3 中に埋め込まれ、第 1 トランジスタ 8 3 0 のゲート電極として機能する。ゲート電極 8 3 5 は、ポリシリコンからなる。素子分離領域 8 7 3 は、S O I 基板 2 0 0 に形成された貫通孔の孔内にシリコン酸化物又はシリコン窒化物等の絶縁性材料を成膜し、孔内にポリシリコンを充填した構造とすることができ、このポリシリコンをゲート電極 8 3 5 として利用することができる。

【 0 1 4 9 】

グランド配線 8 3 6 は下面 8 0 0 b において第 1 P 型半導体領域 8 3 1 に接続され、信号配線 8 3 7 は上面 8 0 0 a において P<sup>+</sup> 型半導体領域 8 3 4 に接続されている。

20

【 0 1 5 0 】

第 2 トランジスタ 8 5 0 は、縦型トランジスタであり、P 型半導体領域 8 5 1、N 型半導体領域 8 5 2、N<sup>+</sup> 型半導体領域 8 5 3、ゲート電極 8 5 4、グランド配線 8 5 5 及び信号配線 8 5 6 を備える。P 型半導体領域 8 5 1 は、P 型ドーパントがドーブされたシリコンからなり、N 型半導体領域 8 5 2 は N 型ドーパントがドーブされたシリコンからなる。N<sup>+</sup> 型半導体領域 8 5 3 は N 型ドーパントが多量にドーブされたシリコンからなる。

【 0 1 5 1 】

P 型半導体領域 8 5 1 と N 型半導体領域 8 5 2 は積層され、P 型半導体領域 8 5 1 は下面 8 0 0 b に面し、N 型半導体領域 8 5 2 は上面 8 0 0 a に面する。N<sup>+</sup> 型半導体領域 8 5 3 は、N 型半導体領域 8 5 2 中に形成され、上面 8 0 0 a に面する。

30

【 0 1 5 2 】

P 型半導体領域 8 5 1、N 型半導体領域 8 5 2 及び N<sup>+</sup> 型半導体領域 8 5 3 は、結晶シリコンからなり、シリコン基板 2 0 1 と同じ結晶配向を有する。これは、これらの半導体領域がシリコン基板 2 0 1 の一部へのドーパントの注入により形成され、又はシリコン基板 2 0 1 上にエピタキシャル結晶成長法によって形成された結晶シリコンからなるためである。

【 0 1 5 3 】

ゲート電極 8 5 4 は、素子分離領域 8 7 3 中に埋め込まれ、第 2 トランジスタ 8 5 0 のゲート電極として機能する。ゲート電極 8 5 4 は、ポリシリコンからなる。素子分離領域 8 7 3 は、S O I 基板 2 0 0 に形成された貫通孔の孔内にシリコン酸化物又はシリコン窒化物等の絶縁性材料を成膜し、孔内にポリシリコンを充填した構造とすることができ、このポリシリコンをゲート電極 8 5 4 として利用することができる。

40

【 0 1 5 4 】

グランド配線 8 5 5 は下面 8 0 0 b において P 型半導体領域 8 5 1 に接続され、信号配線 8 5 6 は上面 8 0 0 a において N<sup>+</sup> 型半導体領域 8 5 3 に接続されている。

【 0 1 5 5 】

素子分離領域 8 7 3 は、第 1 トランジスタ 8 3 0 と第 2 トランジスタ 8 5 0 を分離する。素子分離領域 8 7 3 は、上面 8 0 0 a から下面 8 0 0 b までを貫通する。素子分離領域

50

873は、第1の実施形態と同様に第1トランジスタ830及び第2トランジスタ850の周囲に形成されている(図4参照)。

【0156】

素子分離領域873は、シリコン酸化物、シリコン窒化物又はポリシリコンのうちいずれか一種又は二種以上の材料からなる。例えば、素子分離領域873は、SOI基板200に形成された貫通孔の孔内にシリコン酸化物又はシリコン窒化物等の絶縁性材料を成膜し、孔内にポリシリコンを充填した構造とすることができる。上記のように、ポリシリコンはゲート電極835及びゲート電極854として利用することができる。

【0157】

下面絶縁層874は、下面800bに配設され、水分や不純物の拡散を防止する。下面絶縁層874は、例えばp-SiO<sub>2</sub>(プラズマ気相成長によって形成された酸化シリコン)からなる。下面絶縁層874は、第1P型半導体領域831及びP型半導体領域851が露出するようにパターニングされ、開口部にはグランド配線836及びグランド配線855が形成されている。

【0158】

グランド電極875は、下面絶縁層874上に配設され、グランド配線836及びグランド配線855と接続されている。これにより、グランド電極875は、第1P型半導体領域831及びP型半導体領域851に導通し、グランド配線836及びグランド配線855と共に第1トランジスタ830及び第2トランジスタ850の接地コンタクト構造を構成する。グランド電極875は、アルミニウム等の導電性材料からなる。

【0159】

上面絶縁層876は、上面800aに配設され、各回路を封止する。上面絶縁層876はSiO<sub>2</sub>等の絶縁性材料からなる。

【0160】

[半導体装置の利用態様]

図5は、半導体装置100を利用することが可能な、超音波振動子900のインピーダンス整合回路901の回路構成を示す模式図である。

【0161】

同図に示すように、インピーダンス整合回路901は、アンプ902第1TR(transmit-receive)スイッチ903及び第2TRスイッチ904を備える。

【0162】

第1TRスイッチ903及び第2TRスイッチ904がOFFの場合に超音波振動子900の駆動信号が入力されると、駆動信号は超音波振動子900に到達し、超音波振動子900に超音波を生じさせる。駆動信号は第1TRスイッチ903及び第2TRスイッチ904によってアンプ902への到達が防止される。

【0163】

第1TRスイッチ903及び第2TRスイッチ904は、駆動信号が超音波振動子900に到達した直後にONに切り替えられる。超音波の反射波が超音波振動子900に到達すると、超音波振動子900は検知信号を発生する。検知信号は、第1TRスイッチ903を経由してアンプ902に到達し、アンプ902によって増幅され、第2TRスイッチ904を介して出力される。

【0164】

このように、インピーダンス整合回路901は、増幅回路であるアンプ902と、保護回路である第1TRスイッチ903及び第2TRスイッチ904によって構成されている。

【0165】

半導体装置800では、LV回路810をアンプ902として、第1トランジスタ830を第1TRスイッチ903として、第2トランジスタ850を第2TRスイッチ904として利用することができ、インピーダンス整合回路901を一つの半導体装置800によって実現することが可能となる。

10

20

30

40

50

## 【0166】

なお、超音波振動子のインピーダンス整合回路は、半導体装置800の利用形態の一つであり、半導体装置800は増幅回路と保護回路を備える各種の回路に利用することが可能である。

## 【0167】

## [半導体装置の効果]

上記のように半導体装置800は、LV回路810、第1トランジスタ830及び第2トランジスタ850を一枚のSOI基板上に形成したものである。SOI基板200のうちBOX層202がないチャンネル領域を形成し、そこに第1トランジスタ830及び第2トランジスタ850を形成することにより、第1トランジスタ830及び第2トランジスタ850によってTRスイッチを形成することができ、サージ電荷を逃がしやすくなっている。

10

## 【0168】

また、第1トランジスタ830及び第2トランジスタ850の素子分離領域873を上面800aから下面800bまで貫通した貫通トレンチ構造とすることにより、ラッチアップフリーが実現されている。

## 【0169】

さらに、第1トランジスタ830及び第2トランジスタ850は単結晶シリコンからなり、第1の実施形態と同様に、良好な漏洩電流特性を確保すると共に、保護回路としての機能向上及び実装面積の削減が可能である。

20

## 【0170】

## [半導体装置の製造方法]

半導体装置800の製造方法について説明する。上記のように半導体装置800は、SOI基板200(図3参照)から作成することができ、第1の実施形態に係る半導体装置100と同様に製造することが可能である。

## 【0171】

ゲート電極835及びゲート電極854の作製については、素子分離領域873を作製する際に、トレンチT(図9(a)参照)にシリコン酸化物又はシリコン窒化物等の絶縁性材料を成膜し、トレンチT内にポリシリコンを埋め込む。このポリシリコンに配線を施し、ゲート電極835及びゲート電極854を形成することができる。

30

## 【0172】

## [応用例]

本実施形態に係る半導体装置800は第1の実施形態と同様に、IVUSにおいて超音波振動子のインピーダンス整合回路として利用することができる。インピーダンス整合回路を超音波振動子に一体化させることができるため、IVUSの操作性を向上させることが可能である。また、半導体装置800は、第1の実施形態と同様に、術中超音波プローブ、超音波内視鏡、腹腔鏡手術用把持具及び腹腔鏡手術用手術ロボット等の各種超音波イメージングシステムにおいてインピーダンス整合回路として利用することができる。

## 【0173】

半導体装置800は他にも第1の実施形態と同様に、SOI基板を用いた集積回路全般に採用することが可能である。半導体装置800を利用することにより、集積回路小型化による機器の小型化、増幅回路との同梱によるSNR(signal-noise ratio)向上、半導体チップに起因した硬質部の縮小に基づく、カテーテル、内視鏡などの操作性向上、半導体チップ縮小による歩留りと理論収率の増加、ひいては製造コストの低減が実現可能である。

40

## 【0174】

なお、本技術は以下のような構成もとることができる。

## 【0175】

## (1)

結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX(buried o

50

xide)層及び上記BOX層に積層されたSOI(silicon on insulator)層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、

上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、

上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを具備する半導体装置。

【0176】

(2)

上記(1)に記載の半導体装置であって、  
上記保護回路は、ダイオードである  
半導体装置。

10

(3)

上記(1)に記載の半導体装置であって、  
上記保護回路は、縦型トランジスタである  
半導体装置。

【0177】

(4)

上記(1)から(3)のうちいずれか一つに記載の半導体装置であって、  
上記素子分離領域は、シリコン酸化物、シリコン窒化物及びポリシリコンのうちいずれか1種又は2種以上からなる  
半導体装置。

20

【0178】

(5)

上記(3)に記載の半導体装置であって、  
上記素子分離領域は、上記縦型トランジスタのゲート電極を備える  
半導体装置。

【0179】

(6)

上記(1)から(5)のうちいずれか一つに記載の半導体装置であって、  
上記SOI基板は、第1の面と、その反対側の第2の面を有し、  
上記保護回路は、第1の半導体素子と第2の半導体素子を含み、  
上記第1の半導体素子は、上記第1の面側であって第1の不純物型を有する第1の半導体領域と、上記第2の面側であって第2の不純物型を有する第2の半導体領域が積層されて構成され、  
上記第2の半導体素子は、上記第1の面側であって上記第2の不純物型を有する第3の半導体領域と、上記第2の面側であって上記第1の不純物型を有する第4の半導体領域が積層されて構成されている  
半導体装置。

30

【0180】

(7)

上記(6)に記載の半導体装置であって  
上記半導体装置の上記第1の面に設けられ、上記第1の半導体領域及び上記第3の半導体領域に導通する接地コンタクト構造  
をさらに具備する半導体装置。

40

【0181】

(8)

上記(7)に記載の半導体装置であって  
上記接地コンタクト構造は、上記第1の半導体領域と上記第3の半導体領域に接続され、  
上記第1の半導体領域と上記第3の半導体領域の両者に共通の接地配線を含む  
半導体装置。

50

## 【 0 1 8 2 】

( 9 )

上記 ( 8 ) に記載の半導体装置であって

上記接地コンタクト構造は、上記接地配線に接続され、上記第 1 の半導体領域と上記第 3 の半導体領域の両者に共通の接地電極を含む

半導体装置。

## 【 0 1 8 3 】

( 1 0 )

上記 ( 6 ) から ( 9 ) のうちいずれか一つに記載の半導体装置であって

上記第 2 の半導体領域と上記第 4 の半導体領域に接続され、上記第 2 の半導体領域と上記第 4 の半導体領域の両者に共通の信号配線

をさらに具備する半導体装置。

10

## 【 0 1 8 4 】

( 1 1 )

結晶シリコンからなるシリコン基板、上記シリコン基板に積層された B O X 層及び上記 B O X 層に積層された S O I 層を備える S O I 基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記 S O I 基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置

を具備する超音波撮像装置。

20

## 【 0 1 8 5 】

( 1 2 )

S O I 基板上に集積回路が形成された半導体装置の製造方法であって、

結晶シリコンからなるシリコン基板、上記シリコン基板に積層された B O X 層及び上記 B O X 層に積層された S O I 層を備える S O I 基板を準備し、

エピタキシャル結晶成長法により、上記シリコン基板上に上記シリコン基板と同じ結晶配向を有する半導体領域を備え、上記集積回路を構成する保護回路を形成し、

上記 S O I 基板を貫通し、上記保護回路を分離する素子分離領域を形成する

半導体装置の製造方法。

30

## 【 0 1 8 6 】

( 1 3 )

上記 ( 1 2 ) に記載の半導体装置の製造方法であって、

上記保護回路を形成する工程では、上記シリコン基板を、上記半導体領域の結晶成長が進行する側の面とは反対側の面から研磨して上記半導体領域を露出させる基板研磨法を用いる

半導体装置の製造方法。

## 【 0 1 8 7 】

( 1 4 )

結晶シリコンからなるシリコン基板、上記シリコン基板に積層された B O X 層及び上記 B O X 層に積層された S O I 層を備える S O I 基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記 S O I 基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置を搭載する超音波カテーテルを含む

超音波イメージングシステム。

40

## 【 0 1 8 8 】

( 1 5 )

結晶シリコンからなるシリコン基板、上記シリコン基板に積層された B O X 層及び上記 B O X 層に積層された S O I 層を備える S O I 基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記 S O I 基板を貫通し、上記保護回路を分離する素子分

50

離領域とを備える半導体装置を搭載する術中超音波プローブ又は超音波内視鏡を含む  
超音波イメージングシステム。

【0189】

(16)

結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置を搭載する、腹腔鏡下手術で用いられる超音波イメージング機能付き手持ち器具を含む

10

超音波イメージングシステム。

【0190】

(17)

結晶シリコンからなるシリコン基板、上記シリコン基板に積層されたBOX層及び上記BOX層に積層されたSOI層を備えるSOI基板上に形成された、集積回路を備える半導体装置であって、上記集積回路を構成し、上記シリコン基板と同じ結晶配向を有する半導体領域を備える保護回路と、上記SOI基板を貫通し、上記保護回路を分離する素子分離領域とを備える半導体装置を搭載する、腹腔鏡下手術で用いられる超音波イメージング機能付きロボット鉗子を含む

20

超音波イメージングシステム。

【符号の説明】

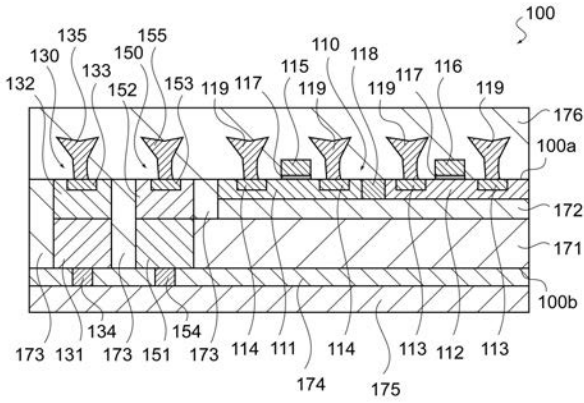
【0191】

- 100 ... 半導体装置
- 110 ... LV回路
- 130 ... 第1ダイオード
- 150 ... 第2ダイオード
- 171 ... シリコン基板
- 172 ... BOX層
- 173 ... 素子分離領域
- 175 ... グランド電極
- 200 ... SOI基板
- 201 ... シリコン基板
- 202 ... BOX層
- 203 ... SOI層
- 800 ... 半導体装置
- 810 ... LV回路
- 830 ... 第1トランジスタ
- 850 ... 第2トランジスタ
- 871 ... シリコン基板
- 872 ... BOX層
- 873 ... 素子分離領域
- 875 ... グランド電極

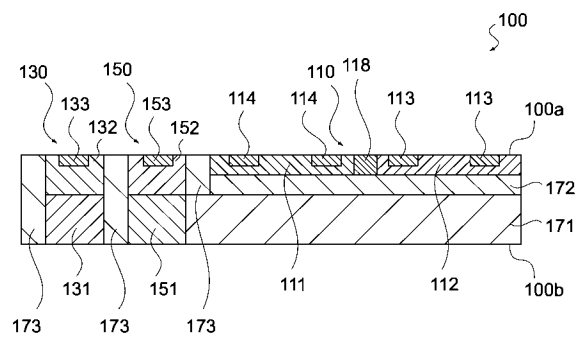
30

40

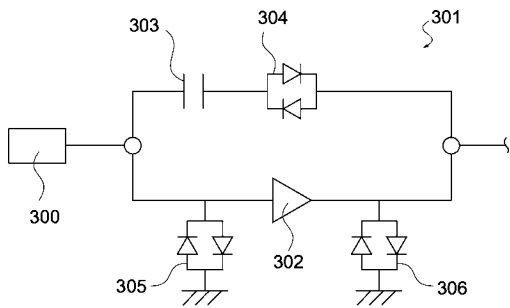
【 図 1 】



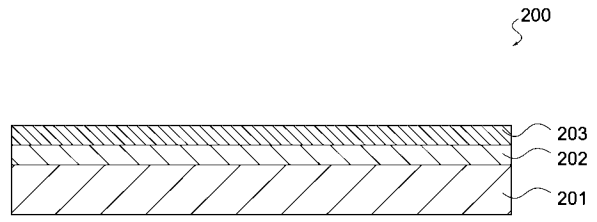
【 図 2 】



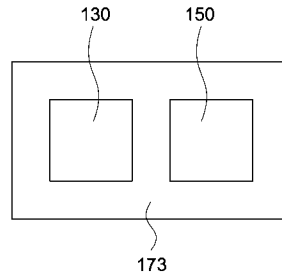
【 図 5 】



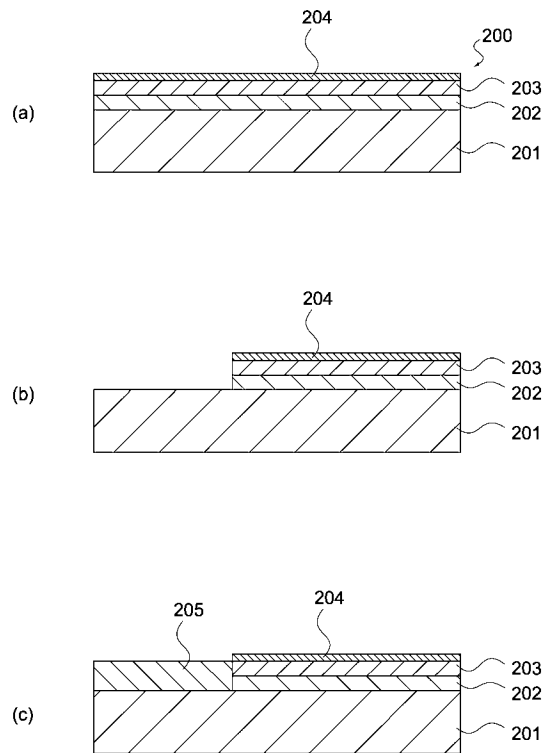
【 図 3 】



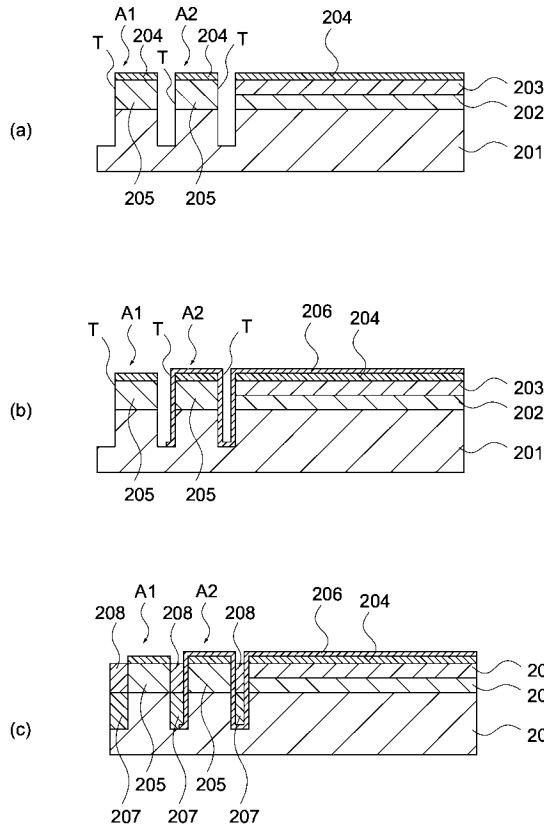
【 図 4 】



【 図 6 】



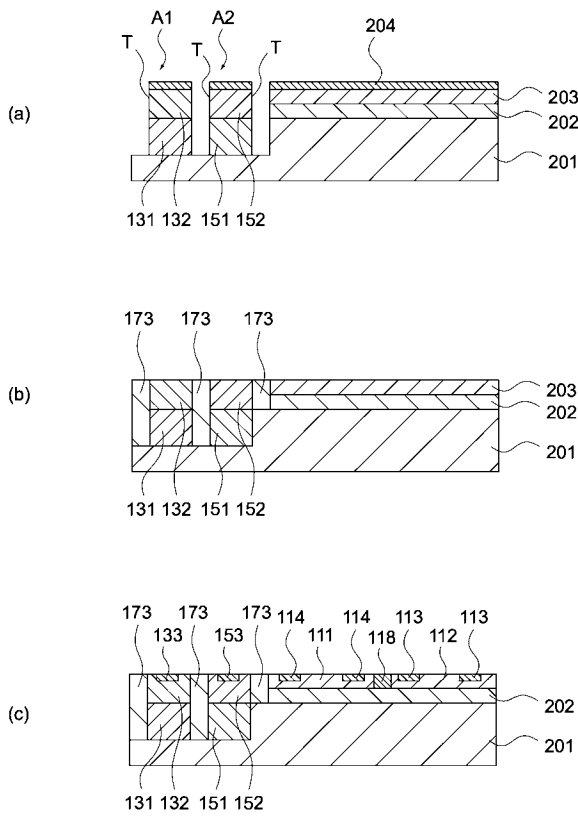
【 図 7 】



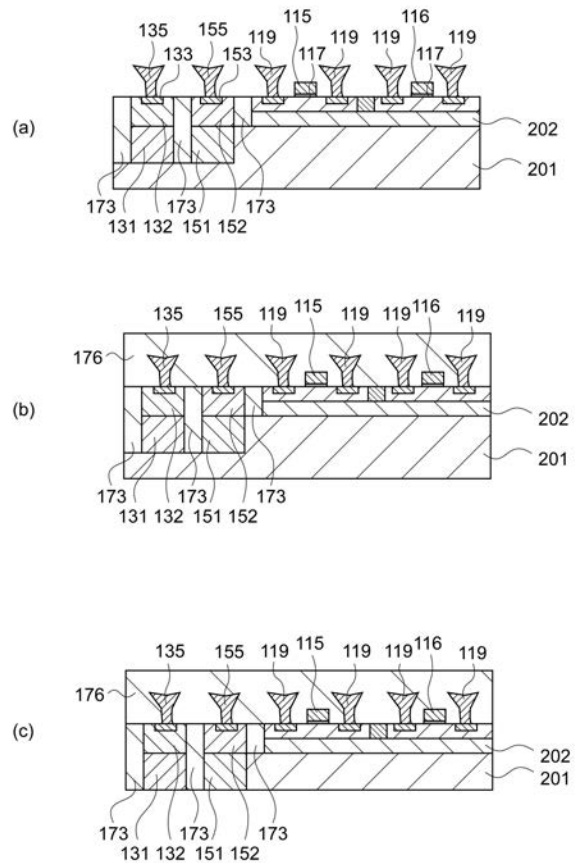
【 図 8 】



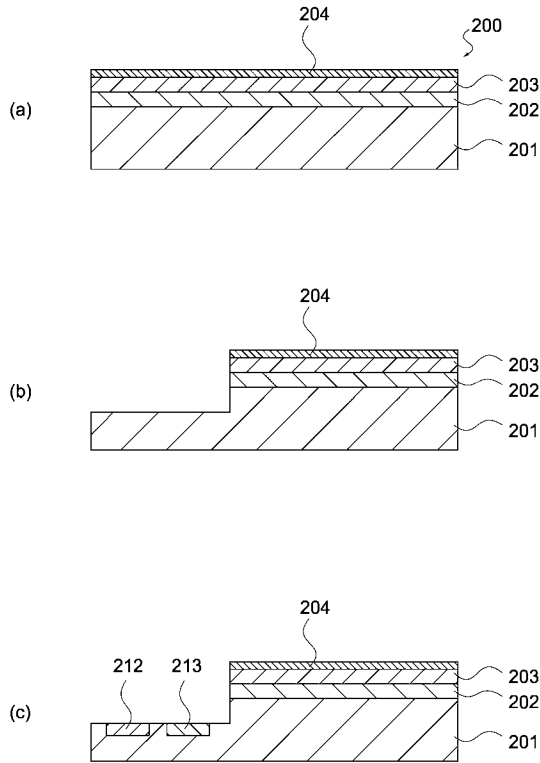
【 図 9 】



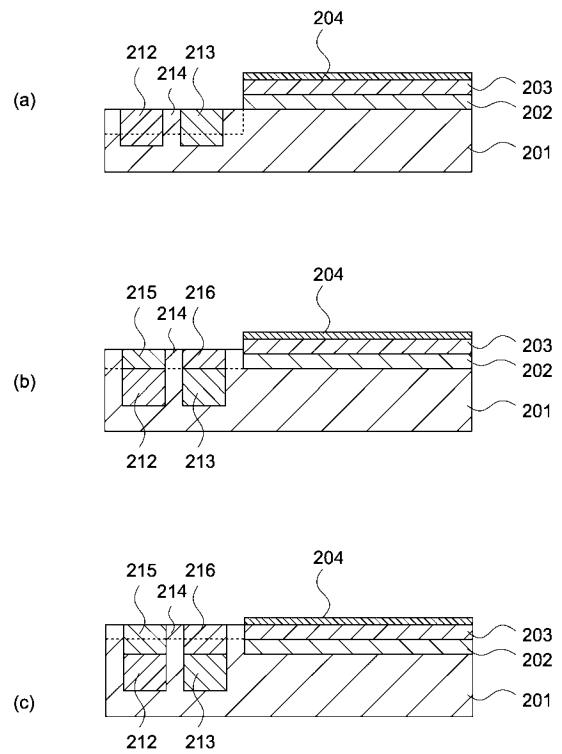
【 図 10 】



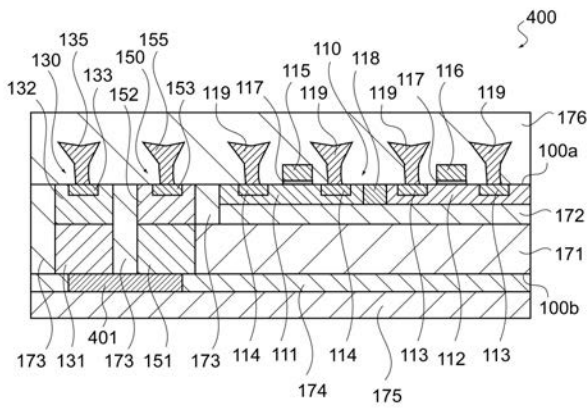
【 図 1 1 】



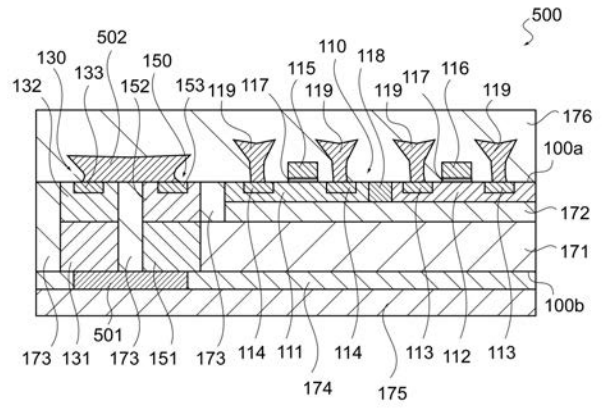
【 図 1 2 】



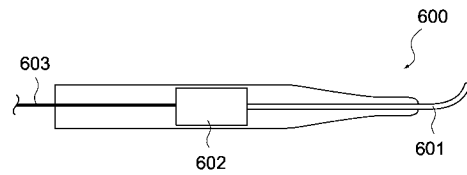
【 図 1 3 】



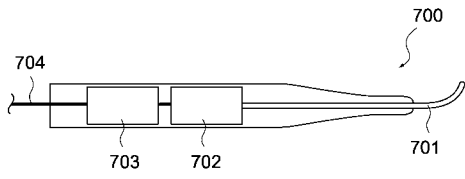
【 図 1 4 】



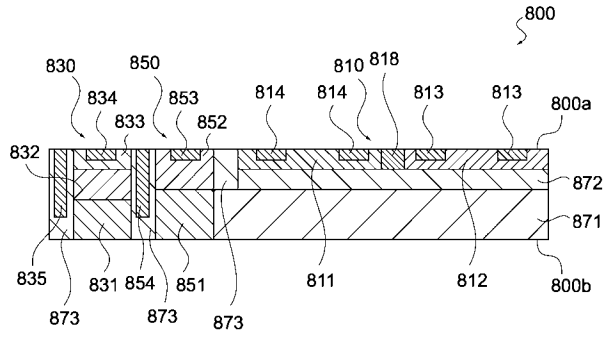
【 図 1 5 】



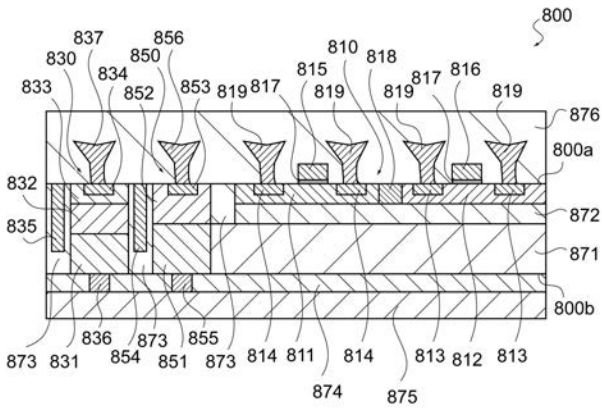
【 図 1 6 】



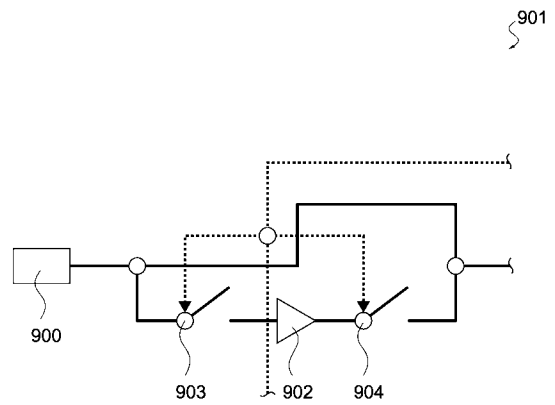
【 図 1 8 】



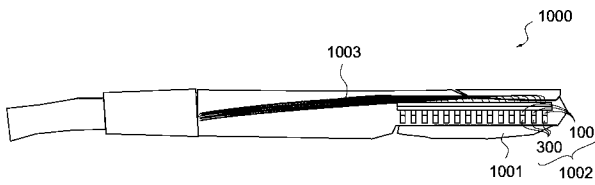
【 図 1 7 】



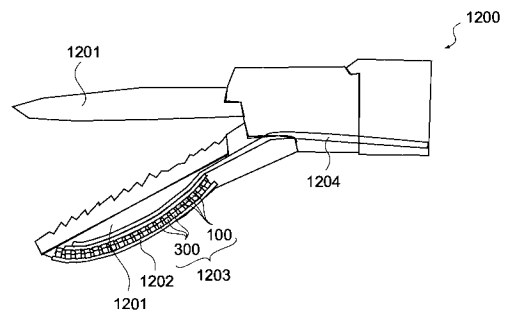
【 図 1 9 】



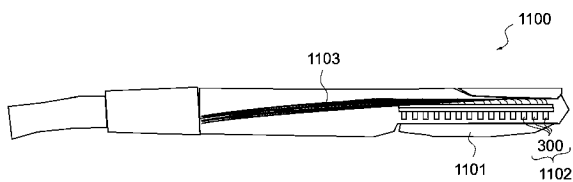
【 図 2 0 】



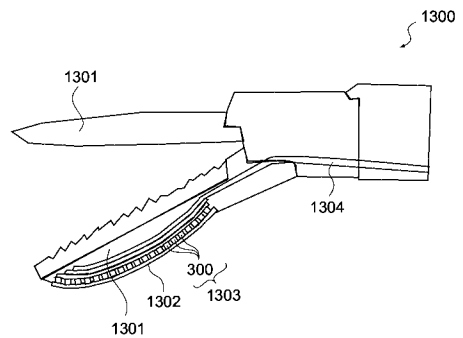
【 図 2 2 】



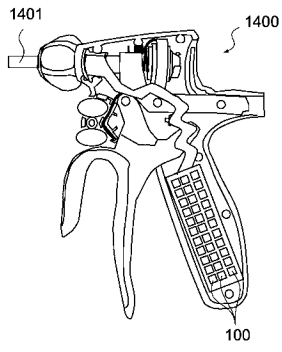
【 図 2 1 】



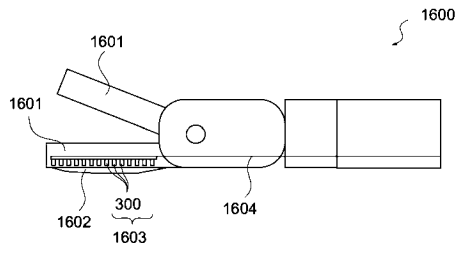
【 図 2 3 】



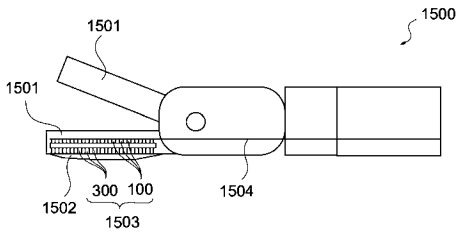
【 図 2 4 】



【 図 2 6 】



【 図 2 5 】



## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/JP2016/003366
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> See extra sheet.  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L21/822, A61B8/14, H01L21/336, H01L21/76, H01L21/762, H01L21/8234, H01L27/04, H01L27/06, H01L27/08, H01L27/088, H01L27/12, H01L29/78, H01L29/786, H01L29/861, H01L29/868  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 8-17694 A (Motorola, Inc.), 19 January 1996 (19.01.1996), paragraphs [0013] to [0022]; fig. 5 to 12 & US 5399507 A column 3, line 57 to column 6, line 3; fig. 5 to 12	1-6, 11-17 7-10
Y	JP 2008-166705 A (Denso Corp.), 17 July 2008 (17.07.2008), paragraphs [0045] to [0074]; fig. 1 to 4 & JP 2013-110429 A & US 2008/0135932 A1 paragraphs [0031] to [0060]; fig. 1 to 4 & DE 102007058556 A1 & CN 101197368 A	1-6, 11-17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 August 2016 (02.08.16)		Date of mailing of the international search report 09 August 2016 (09.08.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/003366

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-102136 A (Elpida Memory, Inc.), 23 May 2013 (23.05.2013), paragraph [0045] & US 2013/0093004 A1 paragraph [0079]	4
Y	JP 2010-147239 A (Toshiba Corp.), 01 July 2010 (01.07.2010), paragraph [0049] & US 2010/0187598 A1 paragraph [0058]	4
Y	JP 2015-515917 A (Volcano Corp.), 04 June 2015 (04.06.2015), paragraphs [0001], [0027] to [0029], [0037]; fig. 1 to 3 & US 2013/0303919 A1 paragraphs [0002], [0040] to [0042], [0050]; fig. 1 to 3 & US 2015/0164469 A1 & WO 2013/170150 A1 & EP 2846699 A1 & CA 2873394 A	11,14-17
Y	JP 2012-176235 A (General Electric Co.), 13 September 2012 (13.09.2012), paragraphs [0001], [0056] to [0065]; fig. 1, 12 & US 2012/0218135 A1 paragraphs [0001], [0070] to [0080]; fig. 1, 12 & CN 102681590 A & KR 10-2012-0098460 A	11,14-17
Y	JP 2009-136700 A (Tyco Healthcare Group LP), 25 June 2009 (25.06.2009), paragraphs [0002], [0016], [0017], [0021]; fig. 1A, 1B & JP 2005-505341 A & US 2004/0193198 A1 paragraphs [0003], [0034], [0035], [0039]; fig. 1A, 1B & US 2009/0182365 A1 & US 2013/0079771 A1 & WO 2003/030754 A1 & EP 1441655 A1 & CA 2463083 A & ES 2327907 T & AU 2002351481 B	11,14-17

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2016/003366

Continuation of A. CLASSIFICATION OF SUBJECT MATTER  
(International Patent Classification (IPC))

*H01L21/822(2006.01)i, A61B8/14(2006.01)i, H01L21/336(2006.01)i,  
H01L21/76(2006.01)i, H01L21/762(2006.01)i, H01L21/8234(2006.01)i,  
H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i,  
H01L27/088(2006.01)i, H01L27/12(2006.01)i, H01L29/78(2006.01)i,  
H01L29/786(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i*

(According to International Patent Classification (IPC) or to both national  
classification and IPC)

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 0 3 3 6 6									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. 特別ページ参照											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/822, A61B8/14, H01L21/336, H01L21/76, H01L21/762, H01L21/8234, H01L27/04, H01L27/06, H01L27/08, H01L27/088, H01L27/12, H01L29/78, H01L29/786, H01L29/861, H01L29/868											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2016年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2016年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2016年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2016年	日本国実用新案登録公報	1996-2016年	日本国登録実用新案公報	1994-2016年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2016年										
日本国実用新案登録公報	1996-2016年										
日本国登録実用新案公報	1994-2016年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 8-17694 A (モトローラ・インコーポレイテッド) 1996.01.19, 段落[0013]-[0022], 図5-12 & US 5399507 A, 第3欄第57行目-第6欄第3行目, 図5-12	1-6, 11-17 7-10									
Y	JP 2008-166705 A (株式会社デンソー) 2008.07.17, 段落[0045]-[0074], 図1-4 & JP 2013-110429 A & US 2008/0135932 A1, 段落[0031]-[0060], 図1-4 & DE 102007058556 A1 & CN 101197368 A	1-6, 11-17									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 02.08.2016		国際調査報告の発送日 09.08.2016									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 市川 武宜 電話番号 03-3581-1101 内線 3516	5 F 4056								

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 0 3 3 6 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-102136 A (エルピーダメモリ株式会社) 2013.05.23, 段落[0045] & US 2013/0093004 A1, 段落[0079]	4
Y	JP 2010-147239 A (株式会社東芝) 2010.07.01, 段落[0049] & US 2010/0187598 A1, 段落[0058]	4
Y	JP 2015-515917 A (ヴォルカノ コーポレイション) 2015.06.04, 段落[0001], [0027]-[0029], [0037], 図 1-3 & US 2013/0303919 A1, 段落[0002], [0040]-[0042], [0050], 図 1-3 & US 2015/0164469 A1 & WO 2013/170150 A1 & EP 2846699 A1 & CA 2873394 A	11, 14-17
Y	JP 2012-176235 A (ゼネラル・エレクトリック・カンパニー) 2012.09.13, 段落[0001], [0056]-[0065], 図 1, 12 & US 2012/0218135 A1, 段落[0001], [0070]-[0080], 図 1, 12 & CN 102681590 A & KR 10-2012-0098460 A	11, 14-17
Y	JP 2009-136700 A (タイコ ヘルスケア グループ リミテッド パ ートナーシップ) 2009.06.25, 段落[0002], [0016], [0017], [0021], 図 1A, 1B & JP 2005-505341 A & US 2004/0193198 A1, 段落[0003], [0034], [0035], [0039], 図 1A, 1B & US 2009/0182365 A1 & US 2013/0079771 A1 & WO 2003/030754 A1 & EP 1441655 A1 & CA 2463083 A & ES 2327907 T & AU 2002351481 B	11, 14-17

国際調査報告

国際出願番号 PCT/J P 2 0 1 6 / 0 0 3 3 6 6

## 発明の属する分野の分類

H01L21/822(2006.01)i, A61B8/14(2006.01)i, H01L21/336(2006.01)i, H01L21/76(2006.01)i,  
H01L21/762(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i,  
H01L27/06(2006.01)i, H01L27/08(2006.01)i, H01L27/088(2006.01)i, H01L27/12(2006.01)i,  
H01L29/78(2006.01)i, H01L29/786(2006.01)i, H01L29/861(2006.01)i,  
H01L29/868(2006.01)i

## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/861 (2006.01)	H 0 1 L 29/91 C	5 F 1 4 0
H 0 1 L 29/868 (2006.01)	H 0 1 L 29/91 A	
H 0 1 L 21/329 (2006.01)	H 0 1 L 27/088 E	
H 0 1 L 21/8234 (2006.01)	H 0 1 L 29/78 6 1 3 A	
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78 6 2 6 C	
H 0 1 L 29/06 (2006.01)	H 0 1 L 29/06 3 0 1 V	
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78 3 0 1 K	
H 0 1 L 21/76 (2006.01)	H 0 1 L 29/78 3 0 1 X	
H 0 1 L 21/22 (2006.01)	H 0 1 L 21/76 L	
H 0 1 L 21/225 (2006.01)	H 0 1 L 21/22 V	
A 6 1 B 8/12 (2006.01)	H 0 1 L 21/225 Q	
	A 6 1 B 8/12	

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(74)代理人 100176131  
弁理士 金山 慎太郎

(74)代理人 100197398  
弁理士 千葉 絢子

(74)代理人 100197619  
弁理士 白鹿 智久

(72)発明者 森本 類  
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 4C601 DD14 EE13 FE01 FE04 FF02 GB03 GB04 GB18  
5F032 AA01 AA34 AA35 AA44 AA46 AA47 AA49 BA03 BA05 BA08  
BB06 CA15 CA17 CA20 CA24 CA25 DA02 DA04 DA12 DA48  
DA53  
5F038 BH04 BH05 BH07 BH13 BH15 BH18 CD18 EZ06 EZ12 EZ13  
EZ14 EZ15 EZ16 EZ20  
5F048 AA02 AA03 AA04 AB10 AC01 AC03 AC10 BA02 BA09 BA16  
BB01 BB05 BB09 BB11 BC03 BC12 BD07 BF16 BG03 BG13  
BG14 CB07 CC06 CC09  
5F110 AA22 BB04 CC02 DD05 DD13 EE03 EE09 EE45 FF02 FF22  
GG02 GG32 GG52 GG54 HJ01 HJ13 HJ16 HK34 NN23 NN35  
NN62 NN71 NN74  
5F140 AA17 AA31 AB01 AC36 BB04 BC12 BD05 BD07 BF04 BJ05  
CB04 CC03 DA01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	半导体器件，超声波成像装置，半导体器件的制造方法和超声波成像系统		
公开(公告)号	<a href="#">JPWO2017056355A1</a>	公开(公告)日	2018-08-02
申请号	JP2017542678	申请日	2016-07-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	森本類		
发明人	森本 類		
IPC分类号	H01L21/822 H01L27/04 H01L27/06 H01L29/786 H01L27/088 H01L29/861 H01L29/868 H01L21/329 H01L21/8234 H01L21/336 H01L29/06 H01L29/78 H01L21/76 H01L21/22 H01L21/225 A61B8/12		
FI分类号	H01L27/04.H H01L27/06.311.B H01L27/06.311.C H01L29/78.623.A H01L27/088.331.E H01L29/91.C H01L29/91.A H01L27/088.E H01L29/78.613.A H01L29/78.626.C H01L29/06.301.V H01L29/78.301.K H01L29/78.301.X H01L21/76.L H01L21/22.V H01L21/225.Q A61B8/12		
F-TERM分类号	4C601/DD14 4C601/EE13 4C601/FE01 4C601/FE04 4C601/FF02 4C601/GB03 4C601/GB04 4C601/GB18 5F032/AA01 5F032/AA34 5F032/AA35 5F032/AA44 5F032/AA46 5F032/AA47 5F032/AA49 5F032/BA03 5F032/BA05 5F032/BA08 5F032/BB06 5F032/CA15 5F032/CA17 5F032/CA20 5F032/CA24 5F032/CA25 5F032/DA02 5F032/DA04 5F032/DA12 5F032/DA48 5F032/DA53 5F038/BH04 5F038/BH05 5F038/BH07 5F038/BH13 5F038/BH15 5F038/BH18 5F038/CD18 5F038/EZ06 5F038/EZ12 5F038/EZ13 5F038/EZ14 5F038/EZ15 5F038/EZ16 5F038/EZ20 5F048/AA02 5F048/AA03 5F048/AA04 5F048/AB10 5F048/AC01 5F048/AC03 5F048/AC10 5F048/BA02 5F048/BA09 5F048/BA16 5F048/BB01 5F048/BB05 5F048/BB09 5F048/BB11 5F048/BC03 5F048/BC12 5F048/BD07 5F048/BF16 5F048/BG03 5F048/BG13 5F048/BG14 5F048/CB07 5F048/CC06 5F048/CC09 5F110/AA22 5F110/BB04 5F110/CC02 5F110/DD05 5F110/DD13 5F110/EE03 5F110/EE09 5F110/EE45 5F110/FF02 5F110/FF22 5F110/GG02 5F110/GG32 5F110/GG52 5F110/GG54 5F110/HJ01 5F110/HJ13 5F110/HJ16 5F110/HK34 5F110/NN23 5F110/NN35 5F110/NN62 5F110/NN71 5F110/NN74 5F140/AA17 5F140/AA31 5F140/AB01 5F140/AC36 5F140/BB04 5F140/BC12 5F140/BD05 5F140/BD07 5F140/BF04 5F140/BJ05 5F140/CB04 5F140/CC03 5F140/DA01		
代理人(译)	大森纯一 高桥充 中村彻平 关根 正好 綾子金子 金山晋太郎		
优先权	2015190920 2015-09-29 JP		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种半导体器件，超声波成像器件，半导体器件的制造方法，以及包括具有优异特性同时具有小面积的保护电路的超声波成像系统。解决方案：根据本技术的半导体器件形成在SOI衬底上，该SOI衬底具有由晶体硅制成的硅衬底，层叠在硅衬底上的BOX层，以及层叠在BOX层上的SOI层一种包括电路的半导体器件，包括：保护电路；以及元件隔离区。保护电路构成集成电路，并包括具有与硅衬底相同的晶体取向的半导体区域。元件隔离区域穿透SOI衬底并分离保护电路。

