

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6470406号
(P6470406)

(45) 発行日 平成31年2月13日(2019.2.13)

(24) 登録日 平成31年1月25日(2019.1.25)

(51) Int.Cl.	F I
HO4R 19/00 (2006.01)	HO4R 19/00 330
GO1N 29/06 (2006.01)	GO1N 29/06
GO1N 29/24 (2006.01)	GO1N 29/24
A61B 8/14 (2006.01)	A61B 8/14

請求項の数 15 (全 28 頁)

(21) 出願番号	特願2017-521778 (P2017-521778)	(73) 特許権者	000005108
(86) (22) 出願日	平成28年5月16日 (2016.5.16)		株式会社日立製作所
(86) 国際出願番号	PCT/JP2016/064440		東京都千代田区丸の内一丁目6番6号
(87) 国際公開番号	W02016/194591	(74) 代理人	110002066
(87) 国際公開日	平成28年12月8日 (2016.12.8)		特許業務法人筒井国際特許事務所
審査請求日	平成29年11月24日 (2017.11.24)	(72) 発明者	町田 俊太郎
(31) 優先権主張番号	特願2015-110530 (P2015-110530)		東京都千代田区丸の内一丁目6番6号 株
(32) 優先日	平成27年5月29日 (2015.5.29)		株式会社日立製作所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	峰 利之
			東京都千代田区丸の内一丁目6番6号 株
			株式会社日立製作所内
		(72) 発明者	藤崎 耕司
			東京都千代田区丸の内一丁目6番6号 株
			株式会社日立製作所内

最終頁に続く

(54) 【発明の名称】 超音波トランスデューサおよび超音波検査装置

(57) 【特許請求の範囲】

【請求項1】

複数のセルが形成されたセルアレイ領域と、
前記セルアレイ領域に接する周辺領域と、
を含み、
前記複数のセルのそれぞれは、
基板と、
前記基板上に形成された第1電極と、
前記第1電極上に形成された第1絶縁膜と、
前記第1絶縁膜上に形成され、かつ、平面視において前記第1電極と重なる空洞部と、
前記空洞部上に形成された第2絶縁膜と、
前記第2絶縁膜上に形成され、かつ、平面視において前記空洞部と重なる第2電極と、
前記第2電極上に形成された第3絶縁膜と、
前記第3絶縁膜上に形成され、かつ、平面視において前記空洞部と重なる梁構造体と、
前記梁構造体を覆い、かつ、前記第3絶縁膜上に形成された第4絶縁膜と、
を有し、
前記周辺領域には、
前記第3絶縁膜と、
前記第3絶縁膜上に形成され、前記梁構造体に相当する複数のパターン構造体と、
前記複数のパターン構造体を覆う前記第4絶縁膜と、

10

20

が形成されている、超音波トランスデューサ。

【請求項 2】

請求項 1 に記載の超音波トランスデューサにおいて、

前記梁構造体および前記複数のパターン構造体のそれぞれによって、前記第 3 絶縁膜上に凸形状が形成される、超音波トランスデューサ。

【請求項 3】

請求項 1 に記載の超音波トランスデューサにおいて、

前記梁構造体は、厚さ / 幅で示されるアスペクト比が、前記複数のセルのそれぞれを構成する構成要素の中で、最も大きい構成要素である、超音波トランスデューサ。

【請求項 4】

請求項 1 に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体の配置パターンの少なくとも一部は、複数の前記梁構造体の配置パターンと等しい、超音波トランスデューサ。

【請求項 5】

請求項 1 に記載の超音波トランスデューサにおいて、

前記周辺領域には、

前記第 1 電極と電氣的に接続された第 1 配線と、

前記第 1 配線と電氣的に接続された第 1 プラグと、

前記第 2 電極と電氣的に接続された第 2 配線と、

前記第 2 配線と電氣的に接続された第 2 プラグと、

が形成されている、超音波トランスデューサ。

【請求項 6】

請求項 5 に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体は、平面視において、前記第 1 プラグおよび前記第 2 プラグと重ならない位置に配置されている、超音波トランスデューサ。

【請求項 7】

請求項 5 に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体の一部は、平面視において、前記第 1 配線と重なる位置に配置されている、超音波トランスデューサ。

【請求項 8】

請求項 5 に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体の一部は、平面視において、前記第 2 配線と重なる位置に配置されている、超音波トランスデューサ。

【請求項 9】

請求項 5 に記載の超音波トランスデューサにおいて、

前記周辺領域は、

前記第 1 配線および前記第 1 プラグが形成された第 1 引き出し領域と、

前記第 2 配線および前記第 2 プラグが形成された第 2 引き出し領域と、

前記第 1 引き出し領域の外側領域である第 1 外縁領域と、

前記第 2 引き出し領域の外側領域である第 2 外縁領域と、

を含む、超音波トランスデューサ。

【請求項 10】

請求項 9 に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体は、前記第 1 外縁領域に配置されている、超音波トランスデューサ。

【請求項 11】

請求項 9 に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体は、前記第 2 外縁領域に配置されている、超音波トランスデューサ。

【請求項 12】

10

20

30

40

50

請求項 9 に記載の超音波トランスデューサにおいて、
前記複数のパターン構造体は、前記第 1 外縁領域および前記第 2 外縁領域に配置されている、超音波トランスデューサ。

【請求項 13】

請求項 1 に記載の超音波トランスデューサにおいて、
前記基板の厚さ方向において、前記複数のパターン構造体のうちの一部のパターン構造体と前記基板との間には、絶縁膜のみが介在する、超音波トランスデューサ。

【請求項 14】

請求項 1 に記載の超音波トランスデューサにおいて、
前記周辺領域には、
少なくとも、前記空洞部、あるいは、前記空洞部を充填した充填部のいずれかを含むダミーセルであって、超音波の送受信機能を果たさない前記ダミーセルと、
前記複数のパターン構造体と、
が形成され、
前記ダミーセルは、前記複数のパターン構造体よりも、前記セルアレイ領域に近い位置に配置されている、超音波トランスデューサ。

【請求項 15】

被検体に接触させて、前記被検体との間で超音波を送受信する超音波探触子と、
前記超音波探触子から超音波を発信させるために、前記超音波探触子に駆動信号を供給する送信部と、
超音波を受信した前記超音波探触子から出力される反射エコー信号を受信する受信部と

、
前記反射エコー信号に基づいて画像を生成する画像処理部と、
超音波の発信時には、前記超音波探触子と前記送信部とを電氣的に接続する一方、超音波の受信時には、前記超音波探触子と前記受信部とを電氣的に接続するように接続経路を切り換える送受信分離部と、

を備える、超音波検査装置であって、
前記超音波探触子は、前記送受信分離部と電氣的に接続され、かつ、超音波トランスデューサを含み、

前記超音波トランスデューサは、
複数のセルが形成されたセルアレイ領域と、
前記セルアレイ領域に接する周辺領域と、
を含む半導体チップを備え、
前記複数のセルのそれぞれは、
基板と、

前記基板上に形成された第 1 電極と、
前記第 1 電極上に形成された第 1 絶縁膜と、
前記第 1 絶縁膜上に形成され、かつ、平面視において前記第 1 電極と重なる空洞部と、
前記空洞部上に形成された第 2 絶縁膜と、

前記第 2 絶縁膜上に形成され、かつ、平面視において前記空洞部と重なる第 2 電極と、
前記第 2 電極上に形成された第 3 絶縁膜と、
前記第 3 絶縁膜上に形成され、かつ、平面視において前記空洞部と重なる梁構造体と、
前記梁構造体を覆い、かつ、前記第 3 絶縁膜上に形成された第 4 絶縁膜と、

を有し、
前記周辺領域には、
前記第 3 絶縁膜と、

前記第 3 絶縁膜上に形成され、前記梁構造体に相当する複数のパターン構造体と、
前記複数のパターン構造体を覆う前記第 4 絶縁膜と、
が形成されている、超音波検査装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、超音波トランスデューサおよびその製造技術並びに超音波検査装置に関し、例えば、MEMS (Micro Electro Mechanical Systems) 技術により製造される超音波トランスデューサおよびその製造技術に適用して有効な技術に関する。

【背景技術】

【0002】

超音波トランスデューサは、超音波を送受信することにより、人体内の腫瘍の診断や建造物に発生した亀裂の検査などの様々な用途に用いられている。

【0003】

これまでは、圧電体の振動を利用した超音波トランスデューサが用いられてきたが、近年のMEMS技術の進歩により、振動部をシリコン基板上に作製した静電容量検出型超音波トランスデューサ (CMUT: Capacitive Micromachined Ultrasonic Transducer) が実用化を目指して盛んに開発されている。

【0004】

このCMUTは、従来の圧電体を用いた超音波トランスデューサと比較して、使用できる超音波の周波数帯域が広い、あるいは、高感度であるなどの利点を有している。また、LSI加工技術を用いて作製することができるので、微細加工が可能である利点も有している。

【0005】

例えば、特許文献1および特許文献2には、CMUTのセルアレイの外周にダミーセルを配置することにより、メンブレンの歪みを均一化、あるいは、デバイス特性を均一化するCMUTが記載されている。また、特許文献3には、CMUTのメンブレン上に梁構造 (「embossed structure」, 「beam structure」) を配置して、メンブレンの共振周波数を調整するCMUTが記載されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2010-172181号公報

【特許文献2】国際公開第2008/136198号

【特許文献3】米国特許第8,483,014号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

通常、CMUTが形成された半導体チップには、複数のセルが形成されたセルアレイ領域と、セルアレイ領域と接して、セルアレイ領域の外側に形成される周辺領域とが存在する。このとき、セルアレイ領域には複数のセルが形成されるため、平坦性が低くなる場合がある一方、通常、周辺領域にはセルが形成されずに平坦性が高い。このため、セルアレイ領域と周辺領域との間に大きな表面積の差が生じることになる。ここで、例えば、CMUTの最上層には、セル内への水分や異物の浸入を抑制するため、パッシベーション膜 (表面保護膜) が形成されるが、このパッシベーション膜の成膜工程においては、平坦性に依存して膜厚に差が生じることがある。したがって、セルアレイ領域でのパッシベーション膜の膜厚と、周辺領域でのパッシベーション膜の膜厚に差が生じ、この結果、セルアレイ領域の中心部でのパッシベーション膜の膜厚と、セルアレイ領域の端部でのパッシベーション膜の膜厚に差が生じる。これにより、CMUTでは、セルアレイ領域に形成されている複数のセルのそれぞれのメンブレンの膜厚ばらつきが発生する。このため、セルアレイ領域に形成されている複数のセル間のデバイス特性 (例えば、感度) が不均一化する。

【0008】

本発明の目的は、CMUTを構成する複数のセルにおけるメンブレンの膜厚ばらつきを抑制することにより、複数のセル間におけるデバイス特性の均一化を向上することにある

10

20

30

40

50

。

【0009】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

一実施の形態における超音波トランスデューサは、複数のセルが形成されたセルアレイ領域と、セルアレイ領域に接する周辺領域と、を含む半導体チップを備える。複数のセルのそれぞれは、基板と、基板上に形成された第1電極と、第1電極上に形成された第1絶縁膜と、第1絶縁膜上に形成され、かつ、平面視において第1電極と重なる空洞部と、空洞部上に形成された第2絶縁膜と、を有する。さらに、複数のセルのそれぞれは、第2絶縁膜上に形成され、かつ、平面視において空洞部と重なる第2電極と、第2電極上に形成された第3絶縁膜と、第3絶縁膜上に形成され、かつ、平面視において空洞部と重なる梁構造体と、梁構造体(「embossed structure」, 「beam structure」)を覆い、かつ、第3絶縁膜上に形成された第4絶縁膜と、を有する。ここで、周辺領域には、第3絶縁膜と、第3絶縁膜上に形成され、梁構造体に相当する複数のパターン構造体と、複数のパターン構造体を覆う第4絶縁膜と、が形成されている。

10

【0011】

また、一実施の形態における超音波検査装置は、被検体に接触させて、被検体との間で超音波を送受信する超音波探触子と、超音波探触子から超音波を発信させるために、超音波探触子に駆動信号を供給する送信部と、超音波を受信した超音波探触子から出力される反射エコー信号を受信する受信部と、を備える。そして、超音波検査装置は、反射エコー信号に基づいて画像を生成する画像処理部と、超音波の発信時には、超音波探触子と送信部とを電気的に接続する一方、超音波の受信時には、超音波探触子と受信部とを電気的に接続するように接続経路を切り換える送受信分離部と、を備える。ここで、超音波探触子は、送受信分離部と電気的に接続され、かつ、上述した構成の超音波トランスデューサを含む。

20

【発明の効果】

【0012】

一実施の形態によれば、CMUTを構成する複数のセルにおけるメンブレンの膜厚ばらつきを抑制することができる。この結果、一実施の形態によれば、複数のセル間におけるデバイス特性の均一化を向上することができる。

30

【図面の簡単な説明】

【0013】

【図1】基本的なCMUTの構成例を示す断面図である。

【図2】メンブレンに梁構造体が設けられたCMUTの構成例を示す断面図である。

【図3】実施の形態1におけるCMUTチップの模式的なレイアウト構成例を示す平面図である。

【図4】図3に示す一部領域を拡大して示す拡大図である。

【図5】図4のA-A線で切断した断面図である。

40

【図6】図3のB-B線で切断した断面図である。

【図7】図3のC-C線で切断した断面図である。

【図8】図3のD-D線で切断した断面図である。

【図9】実施の形態1におけるCMUTの製造工程を示す断面図である。

【図10】図9に続くCMUTの製造工程を示す断面図である。

【図11】図10に続くCMUTの製造工程を示す断面図である。

【図12】図11に続くCMUTの製造工程を示す断面図である。

【図13】図12に続くCMUTの製造工程を示す断面図である。

【図14】図13に続くCMUTの製造工程を示す断面図である。

【図15】図14に続くCMUTの製造工程を示す断面図である。

50

【図16】図15に続くCMUTの製造工程を示す断面図である。

【図17】図16に続くCMUTの製造工程を示す断面図である。

【図18】図17に続くCMUTの製造工程を示す断面図である。

【図19】図18に続くCMUTの製造工程を示す断面図である。

【図20】変形例1におけるCMUTチップの模式的なレイアウト構成例を示す平面図である。

【図21】変形例2におけるCMUTチップの模式的なレイアウト構成例を示す平面図である。

【図22】変形例3におけるCMUTチップの模式的なレイアウト構成例を示す平面図である。

【図23】実施の形態2における半導体ウェハの主面を示す平面図である。

【図24】図23に示す一部領域を拡大して示す拡大図である。

【図25】図23に示す他の一部領域を拡大して示す拡大図である。

【図26】半導体ウェハのスクライブ領域をダイシング処理により切断した後の一部領域を拡大して示す図である。

【図27】半導体ウェハのスクライブ領域をダイシング処理により切断した後の他の一部領域を拡大して示す図である。

【図28】実施の形態3における超音波検査装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0014】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0015】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0016】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0017】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0018】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0019】

（実施の形態1）

<CMUTの基本構造および動作>

図1を用いて、CMUTの基本的な構造および動作を説明する。図1は、基本的な1つのCMUTセルの断面構造を示している。基板101の上層に絶縁膜104aを介して下部電極102が形成され、この下部電極102の上層に絶縁膜104bに囲まれた空洞部103が形成されている。空洞部103の上層の絶縁膜104bと上部電極105により、メンブレン106が配置される。

【0020】

上部電極105と下部電極102の間に直流電圧と交流電圧とを重畳すると、静電気力

10

20

30

40

50

が上部電極 105 と下部電極 102 の間に働き、メンブレン 106 が印加した交流電圧の周波数で振動することで、超音波を発信する。この際に、メンブレン 106 の共振周波数に近い周波数の交流電圧を印加することにより、効率良く超音波を送信することができる。

【0021】

超音波を受信する場合は、メンブレン 106 の表面に到達した超音波の圧力により、メンブレン 106 が振動する。すると、上部電極 105 と下部電極 102 との間の距離が変化するため、静電容量の変化として超音波を検出することができる。この際も、メンブレン 106 の共振周波数に近い周波数の超音波を効率よく受信できる。

【0022】

超音波の送信の効率および受信の効率は、上部電極 105 と下部電極 102 との間に印加する直流電圧にも関係する。上部電極 105 と下部電極 102 との間に印加する直流電圧を増大していくと、メンブレン 106 のバネによる反力と、上部電極 105 と下部電極 102 との間の静電気力が平衡状態を保持できなくなり、空洞部 103 が潰れる現象が発生する。この現象が発生する時の直流電圧は、プライン電圧と呼ばれる。上部電極 105 と下部電極 102 との間に印加する直流電圧がプライン電圧に近いほど、CMUT のメンブレン 106 の振動エネルギーと電気エネルギーの変換効率が高くなる。したがって、CMUT を使用する際に印加する直流電圧は、プライン電圧にできるだけ近い電圧を印加することが、CMUT による超音波の送信効率および受信効率を向上する観点から重要である。つまり、プライン電圧を基準として CMUT の駆動電圧を決定することになる。

【0023】

<改善の検討>

上述した動作原理からも明らかであるが、CMUT のメンブレン 106 の共振周波数とプライン電圧は CMUT を設計する際や使用する際の重要なパラメータである。共振周波数 (F) と、プライン電圧 (V) はともに、メンブレンの幅 w (空洞の幅) と膜厚 t との間に、 $F \propto t / w^2$ 、 $V \propto t^{1.5} / w$ の関係式が成り立ち、幅 w と膜厚 t とを設計通りに作製する必要がある。特に、CMUT のような MEMS デバイスでは、デバイス特性への影響が大きいので、通常の LSI を製造する際よりも、より一層の制御が求められる。

【0024】

半導体基板である半導体ウェハ (シリコンウェハ) を用いて、半導体ウェハ上に多数の CMUT チップ (半導体チップ) を作製する場合は、半導体ウェハ内のすべての CMUT セルのメンブレン 106 の幅 w と厚さ t のばらつきを可能な限り抑制し、それぞれの CMUT セルの共振周波数やプライン電圧といったセルのデバイス特性を均一にすることが重要である。

【0025】

前述したように、CMUT は LSI 加工技術を用いて作製されるので、メンブレン 106 の幅 w は空洞部 103 の型となる犠牲層のパターンを形成するリソグラフィ工程の精度で決定される。LSI のリソグラフィ技術によれば、半導体ウェハ上に多数の CMUT セルを形成しても、リソグラフィ工程によるメンブレンの幅 w、つまり、犠牲層の幅の変動幅は非常に小さく、メンブレンの幅 w を均一に作製することが可能である。

【0026】

一方、メンブレン 106 の厚さ t は、メンブレン 106 を構成する各膜の成膜プロセス、図 1 では、空洞部 103 より上層の絶縁膜 104 b と上部電極 105 の成膜プロセスにより決定される。したがって、セルアレイや半導体ウェハ上の多数の CMUT セルのデバイス特性を均一に製造するためには、各 CMUT セルのメンブレン 106 を構成する各膜に対して、成膜される厚さを制御して、セルアレイ内や半導体ウェハ内で、メンブレン 106 の厚さを均一にすることが重要である。

【0027】

メンブレン 106 を構成する絶縁膜を CVD 法 (Chemical Vapor Deposition) で成膜

10

20

30

40

50

する場合、成膜を行う半導体ウェハ上のパターン密度（パターンの単位表面積）に依存して、パターン上の膜厚が異なることがある。これは、ローディング効果と呼ばれ、CVD法での成膜機構が反応ガスの供給に律速される場合に生じる。特に、プラズマCVD法は、プラズマ中でガス分子と電子の衝突により堆積種が形成され、それらがパターンの表面に堆積する成膜機構となるため、ローディング効果が生じ易い。したがって、セルアレイとその外側の領域でパターン密度が異なる場合には、セルアレイのアレイ中心部と外周部で成膜される膜の厚さが異なり、この結果、セルアレイ内の各CMUTセルのデバイス特性が不均一になる可能性がある。

【0028】

図2は、例えば、梁構造体201を絶縁膜104b上に配置する構造を単純化して示すCMUTの断面図である。図2において、絶縁膜104bと上部電極105と梁構造体201とによって、メンブレン106が構成されることになる。この梁構造体201は、梁構造体201が存在しない場合よりも、メンブレン106の厚さ方向におけるメンブレン106の振動を大きくする機能、言い換えれば、メンブレン106にピストンライクな振動をさせる機能を有しており、この梁構造体201を設けることにより、CMUTにおける超音波の送受信効率を向上することができる。また、梁構造体201を設けることにより、メンブレン106の厚さ t を調整することができるため、メンブレン106の共振周波数やプライン電圧を調整することができる利点も得ることができる。

【0029】

ただし、図2に示すように、梁構造体201は凸形状をしており、梁構造体201を絶縁膜104b上に設ける場合には、絶縁膜104b上に大きな凸状の段差が生じることになる。このようなメンブレン106に大きな段差が生じる梁構造体201が存在する場合には、段差を生じさせる梁構造体201が存在しない図1に示すようなCMUTセルと比較すると、メンブレン106の表面積が増大することになる。

【0030】

したがって、特に、梁構造体201を設けるCMUTでは、セルアレイ内と、通常は平坦な構造となるセルアレイの外側領域（周辺領域）のCMUTセルが配置されていない領域との間に、大きな表面積の差が生じる。このため、梁構造体201を設けるCMUTにおいては、梁構造体201を覆うように絶縁膜（パッシベーション膜、表面保護膜）を形成する際、ローディング効果が生じやすくなる。この結果、セルアレイのアレイ中心部とアレイ外周部で成膜される絶縁膜の厚さが特に大きくなり、これによって、セルアレイ内の各CMUTセルのデバイス特性が不均一になる可能性が高まることになる。

【0031】

そこで、本実施の形態1では、CMUTを構成する複数のCMUTセル（特に、梁構造体201が形成された各CMUTセル）におけるメンブレン106の膜厚ばらつきを抑制する工夫を施している。すなわち、本実施の形態1では、メンブレン106の膜厚ばらつきを抑制して、複数のCMUTセル間におけるデバイス特性の均一化を向上する工夫を施している。以下に、この工夫を施した本実施の形態1における技術的思想について説明することにする。

【0032】

<実施の形態1におけるCMUTの構成>

本実施の形態1における基本思想は、セルアレイ内のメンブレン厚さのばらつきを抑制することによりCMUTのデバイス特性の均一性を向上するという目的を、セルアレイを除く領域にCMUTセルを構成する構成要素を配置し、セルアレイ内の各CMUTセルのメンブレン厚さを均一化することで実現するものである。

【0033】

具体的に、本実施の形態1では、セルアレイが形成された半導体チップにおいて、CMUTセルを構成する梁構造に相当する複数のパターン構造体を、複数のCMUTセルが形成されたセルアレイ領域と接する周辺領域に配置することにより、セルアレイ内の各CMUTセルのメンブレンの膜厚ばらつきを抑制し、これによって、各CMUTセルのデバイ

10

20

30

40

50

ス特性の均一化を実現している。

【0034】

図3は、本実施の形態1におけるセルアレイが形成された半導体チップ（以下、CMUTチップ301と呼ぶ）を示した上面図である。この図3は、空洞部103が、CMUTチップ301の上面から見て、六角形をしたCMUTセルを例として示している。90個のCMUTセルが一点鎖線で示したセルアレイ310を構成している。また、CMUTセルが15個単位で上部電極105を結ぶ配線304により並列接続され、上部電極105からの引き出し配線305を介して、上部電極105への電源供給のためのプラグ306へ接続されており、1つのCMUTセルチャンネルを構成している。図3では、合計6列のCMUTセルチャンネルが下部電極102上に配置されている。下部電極102は、下部電極102の引き出し配線302を介して、下部電極102への電源供給のためのプラグ303へ接続されている。パターン構造体311は、CMUTセルの梁構造体201に相当する構造体であり、セルアレイ領域外の周辺領域に配置したものである。各CMUTセルは、下部電極102上に配置された空洞部103と、空洞部103上に配置された上部電極105と、メンブレンの一部を構成する梁構造体201などを備えて構成される。

10

【0035】

図4は、図3の領域ARを拡大した上面図である。図4に示すように、CMUTセルには、空洞部103を形成するためのエッチング孔401が設けられている。すなわち、エッチング孔401は、空洞部103に接続されている。なお、下部電極102と空洞部103の間に下部電極102を覆うように、酸化シリコン膜からなる絶縁膜が形成されており、上部電極105と空洞部103の間にも、酸化シリコン膜からなる絶縁膜が形成されているが、図4では、空洞部103および下部電極102を示すために図示していない。

20

【0036】

図5は、図4のA-A線で切断した断面図を示している。図5に示すように、半導体基板501上に形成された酸化シリコン膜からなる絶縁膜502上にCMUTセルの下部電極102が配置されている。下部電極102の上層には酸化シリコン膜からなる絶縁膜503を介して空洞部103が配置されている。空洞部103を囲むように酸化シリコン膜からなる絶縁膜504が配置され、絶縁膜504の上層に上部電極105と上部電極105からの引き出し配線305が配置されている。上部電極105と上部電極105からの引き出し配線305の上層には窒化シリコン膜からなる絶縁膜505と酸化シリコン膜からなる絶縁膜506が配置されている。また、絶縁膜504および絶縁膜505には、これらの膜を貫通するエッチング孔401が形成され、このエッチング孔401は、絶縁膜506によって埋め込まれている。このエッチング孔401は、空洞部103を形成するために形成されたものである。絶縁膜506の上層には、半導体基板501の主面の上面からみて、空洞部103に内包される位置に梁構造体201が配置され、また、上部電極105からの引き出し配線305と重なるようにセルアレイ領域の外側の周辺領域に配置したパターン構造体311が配置されている。さらに、梁構造体201およびパターン構造体311を覆い、かつ、絶縁膜506の上層に、窒化シリコン膜からなる絶縁膜507が配置されている。空洞部103の上層に配置された絶縁膜504と絶縁膜505と絶縁膜506と絶縁膜507と上部電極105と梁構造体201とにより、CMUTセルのメンブレン106が構成される。

30

40

【0037】

図6は、図3のB-B線で切断した断面図を示している。図6において、セルアレイ領域の外側の周辺領域に配置したパターン構造体311は、下部電極102からの引き出し配線302の上層に配置され、上部電極105や上部電極105からの引き出し配線305や空洞部103が、下部電極102からの引き出し配線302とパターン構造体311の間に介在しない構成となっている。

【0038】

図7は、図3のC-C線で切断した断面図を示している。701は、CMUTチップ301の端面である。図7において、セルアレイ領域の外側の周辺領域に配置したパターン

50

構造体 3 1 1 の下層には、下部電極 1 0 2 や下部電極 1 0 2 からの引き出し配線 3 0 2、上部電極 1 0 5 や上部電極 1 0 5 からの引き出し配線 3 0 5、空洞部 1 0 3 が存在しない。すなわち、半導体基板 5 0 1 とパターン構造体 3 1 1 の間には、絶縁膜 (絶縁膜 5 0 2 ~ 5 0 6) のみが介在する構成となっている。

【 0 0 3 9 】

図 8 は、図 3 の D - D 線で切断した断面図を示している。図 8 において、セルアレイ領域の外側の周辺領域に配置したパターン構造体 3 1 1 は、プラグ 3 0 6 と C M U T チップの端面 7 0 1 との間に配置された構成となっている。

【 0 0 4 0 】

以上のように、本実施の形態 1 における C M U T は、例えば、図 3 に示すように、複数の C M U T セルが形成されたセルアレイ領域 C A R と、セルアレイ領域 C A R に接する周辺領域 P E R と、を含む C M U T チップ 3 0 1 (半導体チップ) を備える。

【 0 0 4 1 】

そして、複数の C M U T セルのそれぞれは、例えば、図 5 に示すように、半導体基板 5 0 1 と、絶縁膜 5 0 2 を介して、半導体基板 5 0 1 上に形成された下部電極 1 0 2 と、下部電極 1 0 2 上に形成された絶縁膜 5 0 3 と、絶縁膜 5 0 3 上に形成され、かつ、平面視において下部電極 1 0 2 と重なる空洞部 1 0 3 とを有する。さらに、複数の C M U T セルのそれぞれは、図 5 に示すように、空洞部 1 0 3 上に形成された絶縁膜 5 0 4 と、絶縁膜 5 0 4 上に形成され、かつ、平面視において空洞部 1 0 3 と重なる上部電極 1 0 5 と、上部電極 1 0 5 上に形成された絶縁膜 5 0 5 および絶縁膜 5 0 6 とを有する。また、複数の C M U T セルのそれぞれは、絶縁膜 5 0 6 上に形成され、かつ、平面視において空洞部 1 0 3 と重なる梁構造体 2 0 1 と、梁構造体 2 0 1 を覆い、かつ、絶縁膜 5 0 6 上に形成された絶縁膜 5 0 7 とを有する。ここで、本実施の形態 1 における C M U T セルでは、図 5 に示すように、空洞部 1 0 3 上に配置されている絶縁膜 5 0 4 ~ 5 0 7 と上部電極 1 0 5 と梁構造体 2 0 1 とによって、メンブレン 1 0 6 が形成されることになる。特に、本実施の形態 1 において、梁構造体 2 0 1 の厚さは、例えば、絶縁膜 5 0 4 ~ 5 0 6 と上部電極 1 0 5 とを組み合わせた厚さと概ね等しいが、それ以上となるように構成されている。また、梁構造体 2 0 1 は、厚さ / 幅で示されるアスペクト比が、C M U T セルを構成する構成要素の中で、最も大きい構成要素となっている。

【 0 0 4 2 】

一方、図 5 に示すように、周辺領域には、半導体基板 5 0 1 上に絶縁膜 5 0 2 ~ 5 0 6 が積層配置されており、絶縁膜 5 0 6 上に、C M U T セルの構成要素である梁構造体 2 0 1 に相当するパターン構造体 3 1 1 が形成され、パターン構造体 3 1 1 を覆うように絶縁膜 5 0 7 が形成されている。すなわち、図 5 に示すように、C M U T セルには、梁構造体 2 0 1 が形成されており、周辺領域には、この梁構造体 2 0 1 に対応するパターン構造体 3 1 1 が形成されていることになる。すなわち、C M U T セルには、絶縁膜 5 0 6 から凸状に張り出した梁構造体 2 0 1 が形成されているように、周辺領域にも、絶縁膜 5 0 6 から凸状に張り出すようにパターン構造体 3 1 1 が形成されている。つまり、梁構造体 2 0 1 およびパターン構造体 3 1 1 のそれぞれによって、絶縁膜 5 0 6 上に凸形状が形成されることになる。

【 0 0 4 3 】

特に、本実施の形態 1 において、パターン構造体 3 1 1 および梁構造体 2 0 1 は、例えば、窒化シリコン膜を加工することにより形成されており、これにより、パターン構造体 3 1 1 と梁構造体 2 0 1 とは、同一材料から形成されていることになる。さらには、限定するものではないが、例えば、パターン構造体 3 1 1 は、梁構造体 2 0 1 と略同一構造をしている。

【 0 0 4 4 】

次に、図 3 に示すように、セルアレイ領域 C A R に形成されている複数の C M U T セルのそれぞれには、梁構造体 2 0 1 が形成されており、複数の C M U T セル自体が規則的に配列されていることから、C M U T セルの構成要素である梁構造体 2 0 1 も規則的な配置

10

20

30

40

50

パターンで配置されていることになる。そして、本実施の形態 1 においては、図 3 に示すように、周辺領域 P E R には、梁構造体 2 0 1 に相当する複数のパターン構造体 3 1 1 がほぼ規則的に配置されている。具体的には、周辺領域 P E R においては、複数のパターン構造体 3 1 1 が、梁構造体 2 0 1 の配置パターンと概ね等しい配置パターンで配置されている。言い換えれば、複数のパターン構造体 3 1 1 の配置パターンの少なくとも一部は、複数の梁構造体 2 0 1 の配置パターンと等しくなっている。

【 0 0 4 5 】

つまり、図 3 に示すように、周辺領域 P E R には、下部電極 1 0 2 と電氣的に接続された引き出し配線 3 0 2 と、引き出し配線 3 0 2 と電氣的に接続されたプラグ 3 0 3 と、上部電極 1 0 5 と電氣的に接続された引き出し配線 3 0 5 と、引き出し配線 3 0 5 と電氣的に接続されたプラグ 3 0 6 とが形成されている。したがって、複数のパターン構造体 3 1 1 は、平面視において、プラグ 3 0 3 およびプラグ 3 0 6 と重ならない位置に配置する必要があることから、複数のパターン構造体 3 1 1 が梁構造体 2 0 1 の配置パターンと完全に等しく配置するわけにはいかないのである。

10

【 0 0 4 6 】

ただし、図 3 に示すように、複数のパターン構造体 3 1 1 の一部は、平面視において、引き出し配線 3 0 2 と重なる位置に配置することができるとともに、複数のパターン構造体 3 1 1 の一部は、平面視において、引き出し配線 3 0 5 と重なる位置に配置することができる。なぜなら、図 5 および図 6 に示すように、半導体基板 5 0 1 の厚さ方向において、パターン構造体 3 1 1 の下層に引き出し配線 3 0 5 が配置されているとともに、パターン構造体 3 1 1 の下層に引き出し配線 3 0 2 が配置されているからである。

20

【 0 0 4 7 】

さらに、図 3 において、周辺領域 P E R を、引き出し配線 3 0 2 およびプラグ 3 0 3 が形成された第 1 引き出し領域と、引き出し配線 3 0 5 およびプラグ 3 0 6 が形成された第 2 引き出し領域と、第 1 引き出し領域の外側領域である第 1 外縁領域と、第 2 引き出し領域の外側領域である第 2 外縁領域とに分けるとする。この場合、図 3 に示すように、パターン構造体 3 1 1 は、第 1 引き出し領域および第 2 引き出し領域だけでなく、第 1 外縁領域および第 2 外縁領域にも形成されている。以上のようにして、本実施の形態 1 における C M U T が構成されていることになる。

【 0 0 4 8 】

< 実施の形態 1 における特徴 >

続いて、本実施の形態 1 における特徴点について説明する。本実施の形態 1 における特徴点は、例えば、図 3 に示すように、セルアレイ領域 C A R の外側の周辺領域 P E R に、C M U T セルを構成する構成要素である梁構造体 2 0 1 に相当するパターン構造体 3 1 1 をセルアレイのセルピッチと概ね等しいピッチで敷き詰めて配置している点にある。すなわち、本実施の形態 1 では、上部電極 1 0 5 への電源供給のためのプラグ 3 0 6 が形成されている領域と下部電極 1 0 2 への電源供給のためのプラグ 3 0 3 が形成されている領域とを除く C M U T チップ 3 0 1 の周辺領域 P E R にパターン構造体 3 1 1 を配置している。言い換えれば、本実施の形態 1 における特徴点は、セルアレイ領域 C A R の外側に設けられている周辺領域 P E R に、C M U T セルの梁構造体 2 0 1 に対応するパターン構造体 3 1 1 を設け、かつ、少なくとも、複数のパターン構造体 3 1 1 の配置パターンの一部が複数の梁構造体 2 0 1 の配置パターンと等しくなるように配置している点にある。このような構成にすることにより、セルアレイ内の各 C M U T セル間のメンブレンの厚さのばらつきを抑制することができ、これによって、セルアレイ内のすべての C M U T セルのデバイス特性を均一にすることができる。

30

40

【 0 0 4 9 】

つまり、セルアレイ領域 C A R の外側の周辺領域 P E R に C M U T セルを構成する梁構造体 2 0 1 に相当するパターン構造体 3 1 1 を配置しない場合には、セルアレイ領域 C A R の表面には、凸形状の梁構造体 2 0 1 が配置されている一方、周辺領域 P E R の表面は比較的平坦になる。この結果、セルアレイ領域 C A R と周辺領域 P E R において、表面積

50

に大きな差が発生する。このような大きな表面積の差が生じる場合、凸形状の梁構造体 201 を形成した後に CVD 法により成膜処理を実施すると（図 5 では、絶縁膜 507）、表面積の差に基づくローディング効果により、その表面積の差に依存して、セルアレイ領域 CAR の中央部から周辺領域 PER の端部に向かって、徐々に堆積する絶縁膜の膜厚が厚くなってしまふ。その結果、セルアレイ領域 CAR の中央部に配置されている CMUT セルとセルアレイ領域 CAR の外周部に配置されている CMUT セルとのデバイス特性が不均一になる。すなわち、膜厚が薄いセルアレイ領域 CAR の中央部に配置された CMUT セルよりも、膜厚が厚いセルアレイ領域 CAR の外周部に配置された CMUT セルの方が共振周波数やプルイン電圧が高くなる。この状態では、すべての CMUT セルが設計した所望の周波数で効率良く超音波の送受信を行うことができず、各 CMUT セルのチャンネル内やチャンネル間で感度が異なることになる。このことは、CMUT チップ 301 としての感度が低下することを意味する。

10

【0050】

前述したように、CMUT セルに印加する直流電圧を CMUT セルのプルイン電圧と可能な限り等しくすることが感度の向上に繋がるが、セルアレイ内の各 CMUT セルのプルイン電圧が異なる場合、印加する直流電圧をセルアレイ内の複数の CMUT セルの中で最も低いプルイン電圧の CMUT セルを基準にして決定する必要がある。なぜなら、セルアレイ内で相対的に高いプルイン電圧を有する CMUT セルを基準にして、そのプルイン電圧に近い直流電圧をセルアレイ内のすべての CMUT セルに印加すると、低いプルイン電圧を有する CMUT セルがプルインしてしまい、超音波の送信および受信に寄与しなくなる可能性があるからである。逆に、セルアレイ内の複数の CMUT セルの中で最も低いプルイン電圧の CMUT セルを基準にして、印加する直流電圧を決定した場合も、セルアレイ内で相対的に高いプルイン電圧を有する CMUT セルでは、印加された直流電圧は、その CMUT セルのプルイン電圧からみれば低い電圧となってしまうため、感度が低くなってしまふのである。

20

【0051】

これに対し、本実施の形態 1 では、セルアレイ領域 CAR の外側の周辺領域 PER に、CMUT セルを構成する梁構造体 201 に相当する比較的大きな段差（凸形状）を有するパターン構造体 311 を、複数の CMUT セルの配置ピッチと概ね等しい配置ピッチで配置している。これにより、本実施の形態 1 によれば、複数のパターン構造体 311 が形成された周辺領域 PER における表面積と複数の梁構造体 201 が形成されたセルアレイ領域 CAR における表面積との差は、周辺領域 PER に複数のパターン構造体 311 を形成しない場合の周辺領域 PER における表面積と複数の梁構造体 201 が形成されたセルアレイ領域 CAR における表面積との差よりも小さくなる。この結果、セルアレイ領域 CAR の中央部と、セルアレイ領域 CAR の外周部との間で、表面積に大きな差が生じなくすることができるため、梁構造体 201 およびパターン構造体 311 を形成した後に CVD 法により成膜を行っても、セルアレイ領域 CAR の中央部とセルアレイ領域 CAR の外周部に堆積する絶縁膜の膜厚を均一にすることができる。したがって、セルアレイ領域 CAR の中央部に配置された CMUT セルとセルアレイ領域 CAR の外周部に配置された CMUT セルとの間で、共振周波数やプルイン電圧といったデバイス特性も均一になり、これによって、効率の良い超音波の送受信を行なうことが可能となる。

30

40

【0052】

特に、本実施の形態 1 では、周辺領域 PER に配置するパターン構造体 311 として、CMUT セルの構成要素である梁構造体 201 に相当する構造体を採用している。これは、以下に示す理由による。すなわち、梁構造体 201 は、CMUT セルを構成する構成要素の中で最もアスペクト比（厚さ／幅）が大きな構造体である。つまり、アスペクト比が大きい構造体は、凸形状が最も張り出す構造体であり、表面積の増大に最も寄与する。言い換えれば、アスペクト比の最も大きい梁構造体 201 によって、セルアレイ領域 CAR の表面積の増大が生じることから、周辺領域 PER においても、最もアスペクト比の大きな梁構造体 201 に相当するパターン構造体 311 を設けなければ、セルアレイ領域 CA

50

Rの表面積と周辺領域P E Rの表面積との差を最も小さくすることができないのである。言い換えれば、周辺領域P E Rにおいても、最もアスペクト比の大きな梁構造体2 0 1に相当するパターン構造体3 1 1を設けることにより、セルアレイ領域C A Rの表面積と周辺領域P E Rの表面積との差を最小限にすることができるのである。そして、セルアレイ領域C A Rの表面積と周辺領域P E Rの表面積との差を最小限にすることができるということは、成膜時のローディング効果を抑制できることを意味し、これによって、セルアレイ領域C A Rの表面（凹凸形状）を覆う膜の膜厚と、周辺領域P E Rの表面（凹凸形状）を覆う膜の膜厚の均一性を高めることができることを意味する。この結果、セルアレイ領域C A Rの中央部に配置されたC M U Tセルとセルアレイ領域C A Rの外周部に配置されたC M U Tセルとの間で、共振周波数やプルイン電圧といったデバイス特性の均一性を高めることができることになり、これによって、効率の良い超音波の送受信を行なうことができるのである。以上の理由から、周辺領域P E Rに配置されるパターン構造体3 1 1としては、セルアレイ領域C A Rに配置される構造体の中で、最もアスペクト比の高い構造体に相当する構造体から構成することが望ましいのである。具体的に、本実施の形態1では、セルアレイ領域C A Rに配置される構造体の中で、最もアスペクト比の高い構造体が梁構造体2 0 1であることから、周辺領域P E Rに配置するパターン構造体3 1 1として、C M U Tセルの構成要素である梁構造体2 0 1に相当する構造体を採用している。

10

【0053】

<実施の形態1におけるC M U Tの製造方法>

次に、本実施の形態1におけるC M U Tの製造方法について、図面を参照しながら説明する。図9～図19は、図4のA-A線での断面図に対応している。

20

【0054】

まず、複数のチップ領域と、複数のチップ領域を区画するスクライプ領域と、複数のチップ領域の外側に形成されたオフチップ領域と、を主面に有する半導体ウェハを準備する。そして、図9に示すように、半導体基板（半導体ウェハ）5 0 1上に、プラズマC V D法（Chemical Vapor Deposition）で酸化シリコン膜からなる絶縁膜5 0 2を1 0 0 0 n m堆積する。次に、絶縁膜5 0 2上に、スパッタリング法を使用することにより、窒化チタン膜とアルミニウム合金膜と窒化チタン膜とをそれぞれ1 0 0 n m、6 0 0 n m、1 0 0 n m積層する。その後、フォトリソグラフィ技術およびドライエッチング技術を使用してパターンングすることにより、下部電極1 0 2と図3に示す下部電極1 0 2から引き出される引き出し配線3 0 2とを複数のチップ領域のそれぞれに形成する。

30

【0055】

続いて、図10に示すように、プラズマC V D法を使用することにより、下部電極1 0 2上を含む主面に酸化シリコン膜からなる絶縁膜5 0 3を3 0 0 0 n m堆積する。そして、図11に示すように、C M P技術（Chemical Mechanical Polishing）を使用することにより、下部電極1 0 2上の絶縁膜5 0 3の膜厚が2 0 0 n mになるまで平坦化を実施する。

【0056】

その後、図12に示すように、絶縁膜5 0 3の上面に、プラズマC V D法で多結晶シリコン膜（ポリシリコン膜）を3 0 0 n m堆積し、フォトリソグラフィ技術およびドライエッチング技術を使用することにより、多結晶シリコン膜をパターンングすることで、絶縁膜5 0 3上に多結晶シリコン膜からなる犠牲層1 2 0 3を形成する。すなわち、複数のチップ領域のそれぞれにおいて、絶縁膜5 0 3上に、平面視において下部電極1 0 2と重なる犠牲層1 2 0 3を形成する。この犠牲層1 2 0 3は、その後の工程で空洞部となる。

40

【0057】

次に、図13に示すように、犠牲層1 2 0 3と絶縁膜5 0 3とを覆うように、プラズマC V D法により、酸化シリコン膜からなる絶縁膜5 0 4を2 0 0 n m堆積する。つまり、犠牲層1 2 0 3を覆い、かつ、主面に形成された絶縁膜5 0 3上に絶縁膜5 0 4を形成する。

【0058】

50

続いて、図14に示すように、CMUTセルの上部電極105を形成するため、スパッタリング法により、窒化チタン膜とアルミニウム合金膜と窒化チタン膜との積層膜をそれぞれ50nm、100nm、50nm堆積する。そして、フォトリソグラフィ技術およびドライエッチング技術を使用することにより、上部電極105を形成する。その際、上部電極から引き出される引き出し配線305や、図3に示す複数の上部電極105をつなぐ配線304も同時に形成される。このように、図14に示す工程では、複数のチップ領域のそれぞれにおいて、絶縁膜504上に、平面視において犠牲層1203と重なる上部電極105を形成する。

【0059】

そして、図15に示すように、プラズマCVD法を使用することにより、窒化シリコン膜からなる絶縁膜505を絶縁膜504と上部電極105と上部電極から引き出された引き出し配線305とを覆うように200nm堆積する。

【0060】

次に、図16に示すように、フォトリソグラフィ技術およびドライエッチング技術を使用することにより、絶縁膜505および絶縁膜504に犠牲層1203に到達するエッチング孔401を形成する。つまり、複数のチップ領域のそれぞれにおいて、絶縁膜504および絶縁膜505を貫通して犠牲層1203に達するエッチング孔401を形成する。

【0061】

その後、図17に示すように、複数のチップ領域のそれぞれにおいて、エッチング孔401を介して、犠牲層1203をフッ化キセノン(XeF_2)ガスで等方性エッチングすることにより、空洞部103を形成する。

【0062】

続いて、図18に示すように、エッチング孔401を埋め込むために、プラズマCVD法を使用することにより、酸化シリコン膜からなる絶縁膜506を200nm堆積する。このように、複数のチップ領域のそれぞれにおいて、絶縁膜506によって、エッチング孔401を塞ぐ。

【0063】

その後、図19に示すように、プラズマCVD法を使用することにより、窒化シリコン膜からなる絶縁膜を800nm堆積し、フォトリソグラフィ技術およびドライエッチング技術を使用することにより、平面視において空洞部103と重なるCMUTセルの梁構造体201と、セルアレイ領域の外側の周辺領域に、梁構造体201に相当するパターン構造体311とを形成する。これにより、梁構造体201およびパターン構造体311によって、絶縁膜506上に凸形状が形成される。この際に、図3に示すセルアレイ領域の外側の周辺領域に配置されるすべてのパターン構造体311も形成される。

【0064】

そして、図5に示すように、プラズマCVD法を使用することにより、窒化シリコン膜からなる絶縁膜507を400nm堆積する。このとき、本実施の形態1によれば、セルアレイ領域の外側の周辺領域に、CMUTセルを構成する梁構造体201に相当する比較的大きな段差(凸形状)を有するパターン構造体311を形成している。これにより、本実施の形態1によれば、複数のパターン構造体311が形成された周辺領域における絶縁膜506上の表面積と複数の梁構造体201が形成されたセルアレイ領域における絶縁膜506上の表面積との差を小さくすることができる。この結果、プラズマCVD法による絶縁膜507の成膜時におけるローディング効果の発生を抑制することができる。これにより、本実施の形態1によれば、セルアレイ領域の中央部とセルアレイ領域の外周部との間で、表面積に大きな差が生じなくすることができるため、セルアレイ領域の中央部とセルアレイ領域の外周部に堆積する絶縁膜の膜厚を概ね均一にすることができる。

【0065】

最後に、下部電極102への電気的な接続を実施するためのプラグ303(図3参照)と、上部電極105への電気的な接続を実施するためのプラグ306(図3参照)を形成する。以上のようにして、本実施の形態1におけるCMUTを製造することができる。

10

20

30

40

50

【 0 0 6 6 】

< 変形例 1 >

図 3 では、セルアレイ領域 C A R の外側の周辺領域 P E R に形成されているパターン構造体 3 1 1 の配置をセルアレイ内の C M U T セルの配置ピッチと等しいピッチで配置している。しかし、図 3 に示すように、プラグ 3 0 3 およびプラグ 3 0 6 や C M U T チップ 3 0 1 の端部に重なってしまい、等しいピッチでパターン構造体 3 1 1 を配置できない領域が周辺領域 P E R に発生してしまう。その場合は、図 2 0 に示す構造体 2 0 0 1 や構造体 2 0 0 2 のように、配置ピッチやパターン構造体 3 1 1 のパターン形状を変えてもよい。周辺領域 P E R に配置されるパターン構造体 3 1 1 の配置ピッチをセルアレイ内の複数の C M U T セルの配置ピッチと等しくすることが、C M U T チップにおけるセルアレイ領域 C A R の表面積（単位表面積）と周辺領域の表面積（単位表面積）を等しくする観点から望ましいが、周辺領域 P E R に配置されるパターン構造体 3 1 1 を配置できない領域にも、形状の異なる構造体 2 0 0 2 を配置することにより、周辺領域 P E R の単位表面積とセルアレイ領域 C A R の単位表面積を概ね等しくすることができる。この結果、セルアレイ構成する複数の C M U T セルにおいて、デバイス特性のより一層の均一化を実現することができる。

10

【 0 0 6 7 】

< 変形例 2 >

図 2 1 は、セルアレイ 3 1 0 の外周にダミーセル 2 0 0 3 を配置し、ダミーセル 2 0 0 3 とセルアレイ 3 1 0 を配置した領域 2 0 0 4 の外側に、さらに、パターン構造体 3 1 1 を配置した図である。本明細書でいうダミーセルとは、少なくとも、電極（上部電極および下部電極）と空洞部あるいは空洞部を充填した充填部とのいずれかを含むセルであって、超音波の送受信機能を果たさないセルを意味している。ダミーセル 2 0 0 3 は、メンブレンの歪みを均一化あるいはデバイス特性を均一化するために配置しているが、図 2 1 に示すように、その外周に表面積差が生じるような状況が発生する場合には、セルアレイ 3 1 0 とダミーセル 2 0 0 3 を配置した領域の外側にパターン構造体 3 1 1 を配置してもよい。セルアレイ 3 1 0 の外側の領域に、ローディング効果の影響がセルアレイ 3 1 0 まで及ばない程度まで、ダミーセル 2 0 0 3 を配置することは可能である。しかし、ダミーセル 2 0 0 3 を設ける場合、ダミーセル 2 0 0 3 が電極（上部電極および下部電極）を含むため、C M U T チップ 3 0 1 上に多数の不要な浮遊電極が形成され、それらの浮遊電極を介した寄生容量の増加などがセルアレイ 3 1 0 の感度低下を引き起こす可能性がある。また、ダミーセル 2 0 0 3 は空洞部を含むため、セルアレイ 3 1 0 の外側の周辺領域全体にダミーセル 2 0 0 3 を配置する場合、基板から C M U T チップ 3 0 1 を切り出す工程で、C M U T チップ 3 0 1 の端部近傍のダミーセル 2 0 0 3 の空洞部上のメンブレンが剥がれる可能性がある。剥がれたメンブレンは C M U T チップ 3 0 1 上に再付着して、セルアレイ 3 1 0 内の C M U T セルにダメージを与える可能性がある。

20

30

【 0 0 6 8 】

一方、図 2 1 に示す本変形例 2 のように、メンブレン歪みを均一化するためのダミーセル 2 0 0 3 を配置した領域の外側に、ローディング効果を抑制するために、電極や空洞部を含まないパターン構造体 3 1 1 のみを配置した場合、寄生容量の増加やメンブレンの剥がれることを抑制することができる。すなわち、本変形例 2 によれば、セルアレイ 3 1 0 の外周にダミーセル 2 0 0 3 を配置し、さらに、ダミーセル 2 0 0 3 の外側領域に、パターン構造体 3 1 1（構造体 2 0 0 1、構造体 2 0 0 2）を配置している。これにより、本変形例 2 によれば、ダミーセル 2 0 0 3 によって、メンブレン歪みを均一化できるとともに、パターン構造体 3 1 1（構造体 2 0 0 1、構造体 2 0 0 2）によって、ダミーセル 2 0 0 3 に起因する寄生容量の増加やメンブレンの剥がれを防止しながら、ローディング効果を抑制することができる利点を得ることができる。

40

【 0 0 6 9 】

< 変形例 3 >

なお、図 3 と図 4 と図 2 0 と図 2 1 において、複数の C M U T セルのそれぞれの空洞部

50

103は、基板の上面から見て（平面視において）、六角形の形状をしているが、複数のCMUTセルのそれぞれの空洞部103の形状は、これに限らず、例えば、円形形状でも矩形形状をしていてもよい。

【0070】

図22は、CMUTセルが矩形形状の空洞形状をしており、かつ、矩形形状のパターン構造体311を空洞部上に多数配置した場合のCMUTチップ301を示す図である。図22に示す本変形例3においても、セルアレイ310の外側に、比較的大きな段差を発生させるパターン構造体を配置している。この本変形例3においても、セルアレイ310のセルピッチとほぼ同じピッチで、パターン構造体311配置しているため、空洞部の形状が六角形のセルの場合と同様に、セルアレイ310の中心部とセルアレイの外周部との間で表面積の差を小さくすることができる。この結果、本変形例3によっても、CVD法による成膜処理を行っても、セルアレイ310の中央部とセルアレイ310の外周部に堆積する膜の膜厚を均一にすることができる。したがって、本変形例3によっても、セルアレイ310の中央部に配置されたCMUTセルと、セルアレイ310の外周部に配置されたCMUTセルとの共振周波数やプルイン電圧といったデバイス特性が均一になり、効率のよい超音波の送信と受信が可能となる。

10

【0071】

さらに、実施の形態1では、CMUTセルを構成する構成要素の中で、梁構造体201に相当するパターン構造体311を周辺領域に配置したが、例えば、CMUTセルの構成要素の中に梁構造体201のようにアスペクト比の高い構造体が含まれる場合には、この構造体に相当するパターン構造体311を周辺領域に配置してもよい。

20

【0072】

また、実施の形態1で説明したCMUTの構成材料は、その組み合わせの1つの例を示したものであり、例えば、上部電極105や下部電極102の材料として、タングステンやその他の導電性を持つ材料を使用してもよい。さらには、犠牲層1203の材料も、犠牲層1203の周囲を囲む材料とのウェットエッチング選択性を確保することができる材料を使用することができる。したがって、犠牲層1203の材料としては、多結晶シリコン膜の他に、SOG（Spin-on-Glass）あるいは金属膜などを使用することもできる。

【0073】

（実施の形態2）

本実施の形態2では、CMUTチップを形成した半導体基板上において、CMUTチップが形成されているチップ領域以外のスクライプ領域とオフチップ領域にも、CMUTセルを構成する梁構造に相当するパターン構造体を絶縁膜上に配置している。これにより、本実施の形態2においても、セルアレイ内に形成されている各CMUTセルのメンブレンの膜厚ばらつきを抑制することができ、これによって、各CMUTセルのデバイス特性の均一化を実現することができる。

30

【0074】

図23は、CMUTチップ301（チップ領域2102）が配列された半導体ウェハ2101を示す上面図である。本実施の形態2では、半導体ウェハ2101上に、横8列、縦2列の行列配置で複数のCMUTチップ301（複数のチップ領域2102）が形成されている。これらの複数のCMUTチップ301が配列されている複数のチップ領域2102以外の領域には、オフチップ領域2103が形成されている。すなわち、半導体ウェハ2101の主面のうち、複数のチップ領域2102の外側領域にオフチップ領域2103が形成されている。

40

【0075】

図24は、図23の領域BRを拡大して示す上面図である。この領域BRは、4つのCMUTチップ301の角部が対向する領域であり、CMUTチップ301の間にスクライプ領域2201が形成されている。スクライプ領域2201は、CMUTチップ301を切り出すため、ダイシング処理などにより半導体ウェハを切断する領域である。

【0076】

50

図25は、図23の領域CRを拡大して示す上面図である。この領域CRには、チップ領域2102とオフチップ領域2103の境界領域が示されている。

【0077】

図26は、図23に示す半導体ウェハ2101のスクライプ領域2201をダイシング処理により切断した後の領域BRの状態を示す図である。同様に、図27は、図23に示す半導体ウェハ2101のスクライプ領域2201をダイシング処理により切断した後の領域CRの状態を示す図である。2202はダイシング処理により切断された面である。半導体ウェハ2101のダイシングでは、一般的にある幅を持ったダイシングブレードで半導体ウェハ2101を切断するため、スクライプ領域2201のダイシングブレードの幅とほぼ等しい領域が切断される。この際に、CMUTチップ301の外側のスクライプ領域2201やオフチップ領域2103に配置したパターン構造体311も切断されることになる。

【0078】

本実施の形態2における特徴点は、例えば、図24および図25に示すように、半導体ウェハ2101の複数のチップ領域2102以外のスクライプ領域2201やオフチップ領域2103にも、CMUTセルを構成する梁構造体201に相当するパターン構造体311を絶縁膜(図5に示す絶縁膜506)上に配置している点にある。このようにスクライプ領域2201やオフチップ領域2103にもパターン構造体311を配置することにより、半導体ウェハ2101の主面の全面での単位表面積を概ね均等にすることができる。この結果、本実施の形態2によれば、CMUTチップ301に形成されているセルアレイ内の各CMUTセルのメンブレンの厚さばらつきを抑制することができ、これによって、セルアレイ内のすべてのCMUTセルのデバイス特性を均一にすることができる。

【0079】

例えば、CVD法により成膜する際に発生するローディング効果は、メンブレンを構成する膜の成膜条件にも依存するが、単位表面積が異なる領域の境界領域から数mm程度まで影響が及ぶことがある。したがって、セルアレイ領域CARの外側領域である周辺領域PERにパターン構造体311を配置しても、チップ領域2102以外のスクライプ領域2201やオフチップ領域2103までパターン構造体311を配置しないと、これらの領域との単位表面積差に起因するローディング効果の影響がセルアレイ領域CARにまで及ぶおそれがある。この結果、セルアレイ領域CARの中央部に配置されたCMUTセルと外周部に配置されたCMUTセルとのデバイス特性が不均一になる可能性がある。

【0080】

ここで、この影響を抑制するために、スクライプ領域2201やオフチップ領域2103とチップ領域2102との境界から数mmの距離を確保して、チップ領域2102内にセルアレイを配置することが考えられる。ところが、この場合、超音波を送受信する機能を有するセルアレイの大きさ(サイズ)を維持するためには、チップ領域2102のサイズを大きくする必要がある。この結果、半導体ウェハ2101から取得できるCMUTチップ301の数が減少するため、歩留り低下やチップ価格(コスト)の上昇につながる。

【0081】

一方、本実施の形態2では、例えば、図24や図25に示すように、チップ領域2102以外のスクライプ領域2201やオフチップ領域2103にも、梁構造体201に相当するパターン構造体311を配置している。このため、本実施の形態2によれば、半導体ウェハ2101の主面の全面の単位表面積を概ね均一にすることができる。このことから、本実施の形態2によれば、スクライプ領域2201やオフチップ領域2103に起因するローディング効果を抑制するために、スクライプ領域2201やオフチップ領域2103から距離を離してセルアレイを配置する必要がない。したがって、セルアレイの中央部に配置されるCMUTセルと外周部に配置されるCMUTセルとのデバイス特性を均一にするためにチップサイズを大きくする必要がない。すなわち、本実施の形態2によれば、すべてのチップ領域2102内に形成されるセルアレイ内のCMUTセルのデバイス特性を均一化することと、半導体ウェハ2101から取得できるCMUTチップ301の数の

10

20

30

40

50

減少による歩留り低下やチップ価格の上昇を抑制することとを両立できる。

【0082】

本実施の形態2におけるCMUTの製造方法は、前記実施の形態1におけるCMUTの製造方法と同様である。スクライプ領域2201にパターン構造体311を配置するためには、チップ領域2102に梁構造体201を形成するフォトマスクにおいて、スクライプ領域2201にもパターン構造体311のパターンを予めレイアウトしておけばよい。また、オフチップ領域2103は、梁構造体201を形成するフォトマスクを用いて、チップ領域2102だけでなく、オフチップ領域2103にもパターンニングしておくだけでよい。あるいは、オフチップ領域2103のパターン専用のフォトマスクを用いて、オフチップ領域2103にパターン構造体311をパターンニングしてもよい。

10

【0083】

また、前記実施の形態1で説明したように、スクライプ領域2201やオフチップ領域2103に配置するパターン構造体311の配置ピッチやパターン形状をかえても、半導体ウェハ2101の主面の全面において、単位表面積を概ね等しくすれば、配置ピッチやパターン形状に関わらず同様の効果を得ることができる。

【0084】

さらに、本実施の形態2では、例えば、スクライプ領域2201とオフチップ領域2103の両方の領域にパターン構造体311を配置する例について説明したが、これに限定されるものではなく、効果の度合いにより、スクライプ領域2201とオフチップ領域2103の一方の領域にのみにパターン構造体311を配置してもよい。

20

【0085】

(実施の形態3)

次に、前記実施の形態1あるいは前記実施の形態2におけるCMUTを備える超音波検査装置の一構成例とその役割について、図面を参照しながら説明する。

【0086】

図28は、本実施の形態3における超音波検査装置2401の模式的な構成を示すブロック図である。図28において、本実施の形態1における超音波検査装置2401は、本体と超音波探触子2402とにより構成され、本体は、送受分離部2403、送信部2404、バイアス部2405、受信部2406、整相加算部2407、画像処理部2408、表示部2409、制御部2410、操作部2411から構成される。

30

【0087】

超音波探触子2402は、被検体に接触させて被検体との間で超音波を送受波する装置であり、前記実施の形態1あるいは前記実施の形態2におけるCMUTを使用して製造される。超音波探触子2402から超音波が被検体に送波され、被検体からの反射エコー信号が超音波探触子2402により受波される。この超音波探触子2402は、後述する送受分離部2403と電氣的に接続される。

【0088】

送信部2404およびバイアス部2405は、超音波探触子2402から超音波を発信させるために、超音波探触子2402に駆動信号を供給する機能を有する。

【0089】

受信部2406は、超音波探触子2402から出力される反射エコー信号を受信する機能を有する。受信部2406は、さらに、受信した反射エコー信号に対して、アナログデジタル変換(AD変換)等の信号処理を行う。

40

【0090】

送受分離部2403は、超音波の発信時には、超音波探触子2402と送信部2404とを電氣的に接続する一方、超音波の受信時には、超音波探触子2402と受信部2406とを電氣的に接続するように接続経路を切り換える機能を有する。すなわち、送受分離部2403は、送信時には送信部2404から超音波探触子2402へ駆動信号を渡し、受信時には超音波探触子2402から受信部2406へ受信信号を渡すよう送信と受信とを切り換えて分離する機能を有する。

50

【 0 0 9 1 】

整相加算部 2 4 0 7 は、フォーカス点から出力される反射エコー信号をそれぞれの C M U T セルで受信する時間差を考慮して加算する機能を有する。すなわち、整相加算部 2 4 0 7 は、反射エコー信号の位相差を考慮して加算（整相加算）する機能を有する。

【 0 0 9 2 】

画像処理部 2 4 0 8 は、整相加算された反射エコー信号に基づいて検査画像を形成する機能を有し、表示部 2 4 0 9 は、画像処理された検査画像を表示する表示装置である。

【 0 0 9 3 】

制御部 2 4 1 0 は、本体を構成する各構成部を制御する機能を有し、制御部 2 4 1 0 は、超音波探触子 2 4 0 2 の超音波の送受信を制御する。

10

【 0 0 9 4 】

操作部 2 4 1 1 は、制御部 2 4 1 0 に指示を与える装置であり、操作部 2 4 1 1 は、例えば、トラックボールやキーボードやマウス等の入力機器から構成される。

【 0 0 9 5 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。すなわち、本発明は、上述した実施の形態に限定されるものではなく、様々な変形例が含まれる。例えば、上述した実施の形態は、本発明のより良い理解のために詳細に説明した形態であり、必ずしも説明のすべての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

20

【 0 0 9 6 】

前記実施の形態は、以下の形態を含む。

【 0 0 9 7 】

（付記 1）

複数のセルが形成されたセルアレイ領域と、
前記セルアレイ領域に接する周辺領域と、
を含み、
前記複数のセルのそれぞれは、
基板と、
前記基板上に形成された第 1 電極と、
前記第 1 電極上に形成された第 1 絶縁膜と、
前記第 1 絶縁膜上に形成され、かつ、平面視において前記第 1 電極と重なる空洞部と、
前記空洞部上に形成された第 2 絶縁膜と、
前記第 2 絶縁膜上に形成され、かつ、平面視において前記空洞部と重なる第 2 電極と、
前記第 2 電極上に形成された第 3 絶縁膜と、
前記第 3 絶縁膜から凸状に張り出し、かつ、平面視において前記空洞部と重なる梁構造体と、
前記梁構造体を覆い、かつ、前記第 3 絶縁膜上に形成された第 4 絶縁膜と、
を有し、
前記周辺領域には、
前記第 3 絶縁膜と、
前記第 3 絶縁膜から凸状に張り出した複数のパターン構造体と、
前記複数のパターン構造体を覆う前記第 4 絶縁膜と、
が形成されている、超音波トランスデューサ。

30

40

【 0 0 9 8 】

（付記 2）

付記 1 に記載の超音波トランスデューサにおいて、

50

前記複数のパターン構造体のそれぞれは、前記梁構造体と同一材料から形成されている、超音波トランスデューサ。

【0099】

(付記3)

付記1に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体のそれぞれは、前記梁構造体と同一構造をしている、超音波トランスデューサ。

【0100】

(付記4)

付記1に記載の超音波トランスデューサにおいて、

前記複数のパターン構造体が形成された前記周辺領域における前記第3絶縁膜上の表面積と複数の前記梁構造体が形成された前記セルアレイ領域における前記第3絶縁膜上の表面積との差は、前記周辺領域に前記複数のパターン構造体を形成しない場合の前記周辺領域における前記第3絶縁膜上の表面積と複数の前記梁構造体が形成された前記セルアレイ領域における前記第3絶縁膜上の表面積との差よりも小さい、超音波トランスデューサ。

【0101】

(付記5)

付記1に記載の超音波トランスデューサにおいて、

前記第2絶縁膜と前記第2電極と前記第3絶縁膜と前記梁構造体と前記第4絶縁膜とによって、メンブレンが構成され、

前記梁構造体は、前記梁構造体が存在しない場合よりも、前記メンブレンの厚さ方向における前記メンブレンの振動を大きくする機能を有する、超音波トランスデューサ。

【0102】

(付記6)

付記1に記載の超音波トランスデューサにおいて、

前記梁構造体の厚さは、前記第2絶縁膜と前記第2電極と前記第3絶縁膜とを組み合わせた厚さ以上である、超音波トランスデューサ。

【0103】

(付記7)

(a) 複数のチップ領域と、前記複数のチップ領域を区画するスクライプ領域と、前記複数のチップ領域の外側に形成されたオフチップ領域と、を主面に有する半導体ウェハを準備する工程、

(b) 前記複数のチップ領域のそれぞれに第1電極を形成する工程、

(c) 前記第1電極上を含む前記主面に第1絶縁膜を形成する工程、

(d) 前記複数のチップ領域のそれぞれにおいて、前記第1絶縁膜上に、平面視において前記第1電極と重なる犠牲層を形成する工程、

(e) 前記犠牲層を覆い、かつ、前記主面に形成された前記第1絶縁膜上に第2絶縁膜を形成する工程、

(f) 前記複数のチップ領域のそれぞれにおいて、前記第2絶縁膜上に、平面視において前記犠牲層と重なる第2電極を形成する工程、

(g) 前記第2電極上を含む前記主面に第3絶縁膜を形成する工程、

(h) 前記複数のチップ領域のそれぞれにおいて、前記第3絶縁膜および前記第2絶縁膜を貫通して前記犠牲層に達するエッチング孔を形成する工程、

(i) 前記複数のチップ領域のそれぞれにおいて、前記エッチング孔を介して、前記犠牲層を除去することにより、空洞部を形成する工程、

(j) 前記(i)工程後、前記複数のチップ領域のそれぞれにおいて、前記エッチング孔を塞ぐ工程、

(k) 前記(j)工程後、前記複数のチップ領域の前記第3絶縁膜上に、平面視において前記空洞部と重なる梁構造体を形成し、かつ、前記スクライプ領域の前記第3絶縁膜上に、前記梁構造体に相当する複数のパターン構造体を形成する工程、

10

20

30

40

50

(1) 前記 (k) 工程後、前記梁構造体および前記複数のパターン構造体を覆い、かつ、前記主面に形成された前記第 3 絶縁膜上に第 4 絶縁膜を形成する工程、を備える、超音波トランスデューサの製造方法。

【 0 1 0 4 】

(付記 8)

付記 7 に記載の超音波トランスデューサの製造方法において、前記 (k) 工程は、前記オフチップ領域の前記第 3 絶縁膜上にも、前記複数のパターン構造体を形成する、超音波トランスデューサの製造方法。

【 0 1 0 5 】

(付記 9)

付記 7 に記載の超音波トランスデューサの製造方法において、前記複数のチップ領域のそれぞれは、複数のセルが形成されたセルアレイ領域と、前記セルアレイ領域に接する周辺領域と、を含み、前記 (k) 工程は、前記複数のチップ領域のそれぞれの前記周辺領域の前記第 3 絶縁膜上にも、前記複数のパターン構造体を形成する、超音波トランスデューサの製造方法。

10

【 0 1 0 6 】

(付記 1 0)

付記 7 に記載の超音波トランスデューサの製造方法において、前記 (k) 工程で形成される前記梁構造体および前記複数のパターン構造体のそれぞれによって、前記第 3 絶縁膜上に凸形状が形成される、超音波トランスデューサの製造方法。

20

【 0 1 0 7 】

(付記 1 1)

付記 7 に記載の超音波トランスデューサの製造方法において、前記 (1) 工程は、プラズマ C V D 法を使用して、前記第 4 絶縁膜を形成する、超音波トランスデューサの製造方法。

【 符号の説明 】

【 0 1 0 8 】

1 0 1 基板

1 0 2 下部電極

1 0 3 空洞部

1 0 4 a 絶縁膜

1 0 4 b 絶縁膜

1 0 5 上部電極

1 0 6 メンブレン

2 0 1 梁構造体

3 0 1 C M U T チップ

3 0 2 引き出し配線

3 0 3 プラグ

3 0 4 配線

3 0 5 引き出し配線

3 0 6 プラグ

3 1 0 セルアレイ

3 1 1 パターン構造体

4 0 1 エッチング孔

5 0 1 半導体基板

5 0 2 絶縁膜

5 0 3 絶縁膜

30

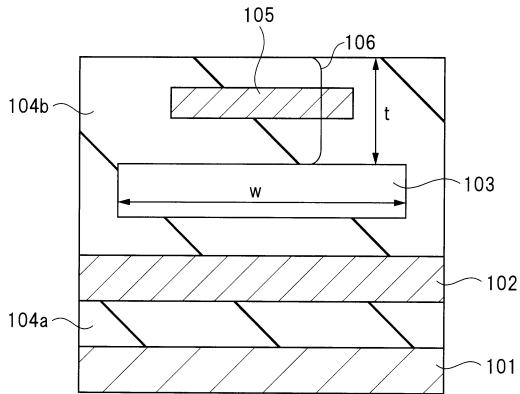
40

50

5 0 4	絶縁膜	
5 0 5	絶縁膜	
5 0 6	絶縁膜	
5 0 7	絶縁膜	
7 0 1	端面	
1 2 0 3	犠牲層	
2 0 0 1	構造体	
2 0 0 2	構造体	
2 0 0 3	ダミーセル	
2 0 0 4	領域	10
2 1 0 1	半導体ウェハ	
2 1 0 2	チップ領域	
2 1 0 3	オフチップ領域	
2 2 0 1	スクライブ領域	
2 2 0 2	面	
2 4 0 1	超音波検査装置	
2 4 0 2	超音波探触子	
2 4 0 3	送受分離部	
2 4 0 4	送信部	
2 4 0 5	バイアス部	20
2 4 0 6	受信部	
2 4 0 7	整相加算部	
2 4 0 8	画像処理部	
2 4 0 9	表示部	
2 4 1 0	制御部	
2 4 1 1	操作部	
C A R	セルアレイ領域	
P E R	周辺領域	

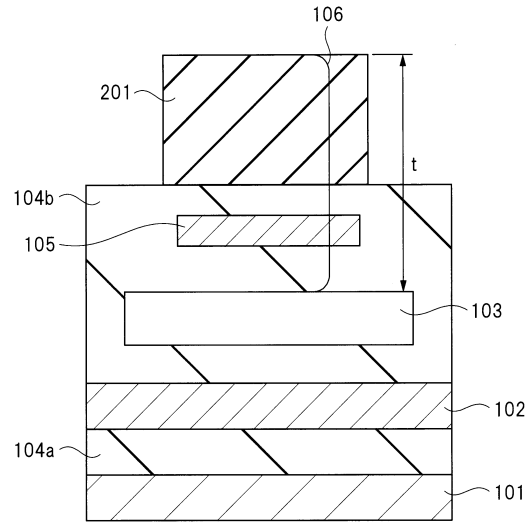
【図1】

図1



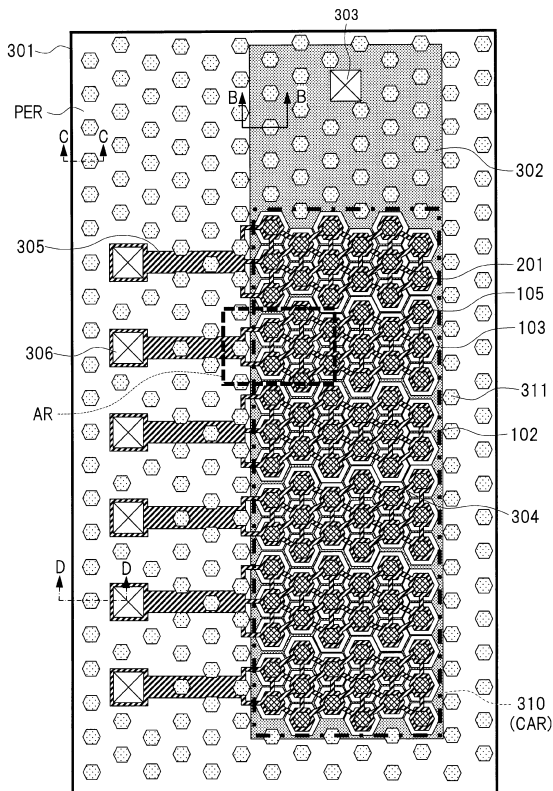
【図2】

図2



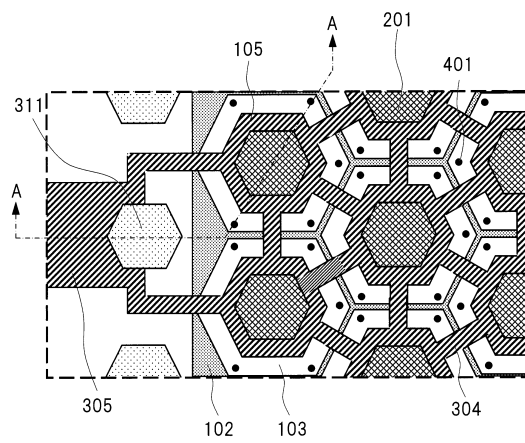
【図3】

図3



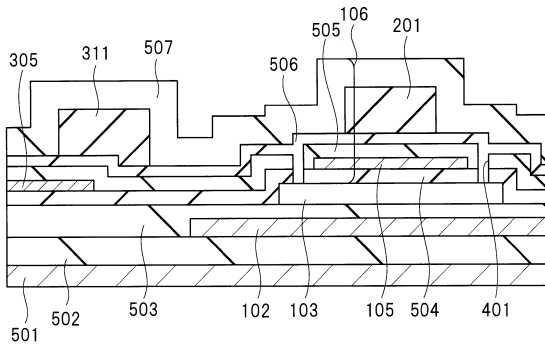
【図4】

図4



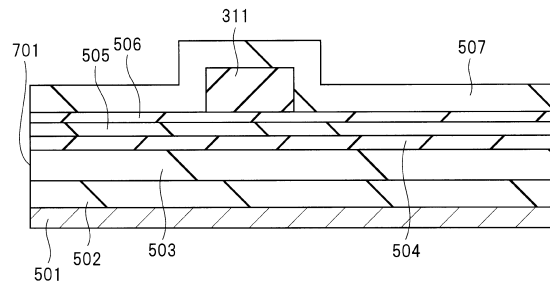
【図5】

図5



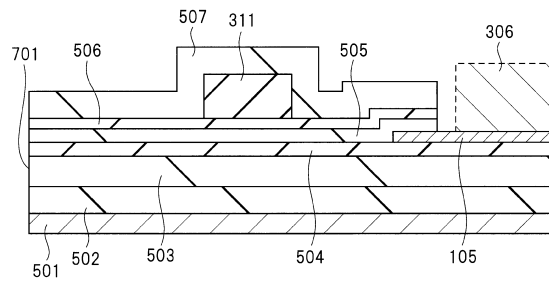
【図7】

図7



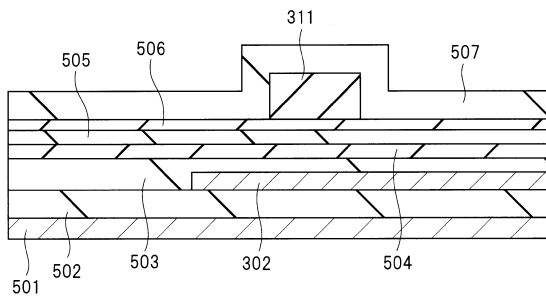
【図8】

図8



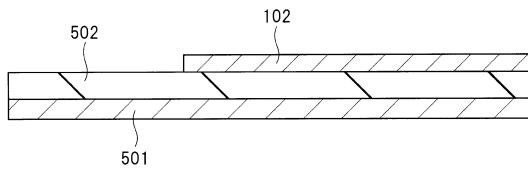
【図6】

図6



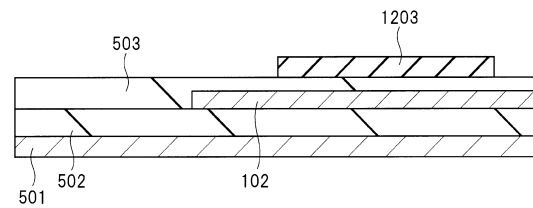
【図9】

図9



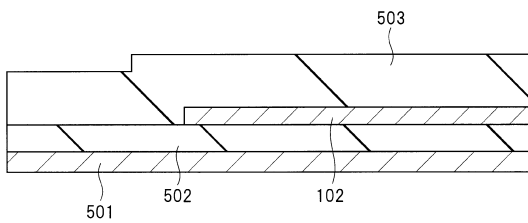
【図12】

図12



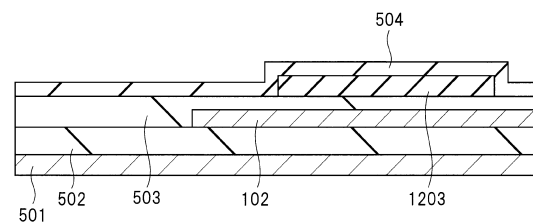
【図10】

図10



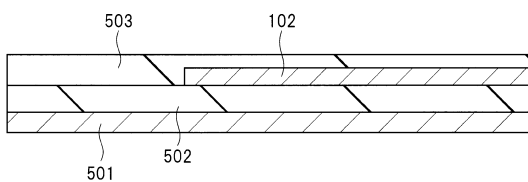
【図13】

図13



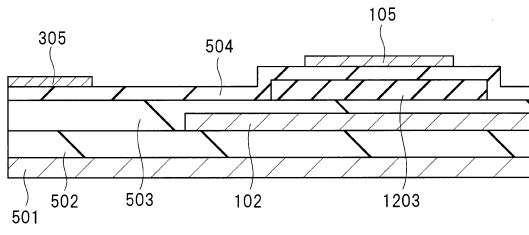
【図11】

図11



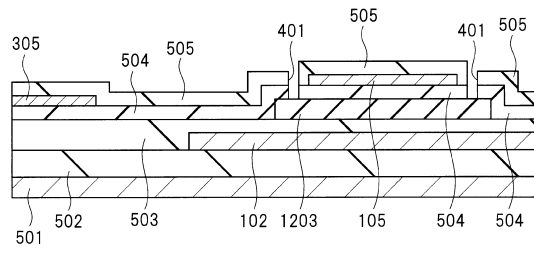
【図14】

図14



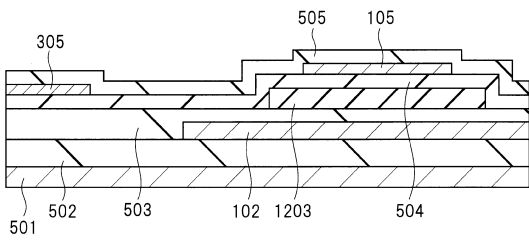
【図16】

図16



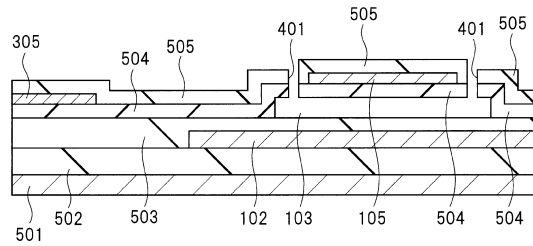
【図15】

図15



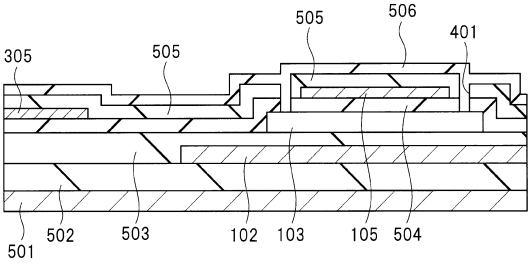
【図17】

図17



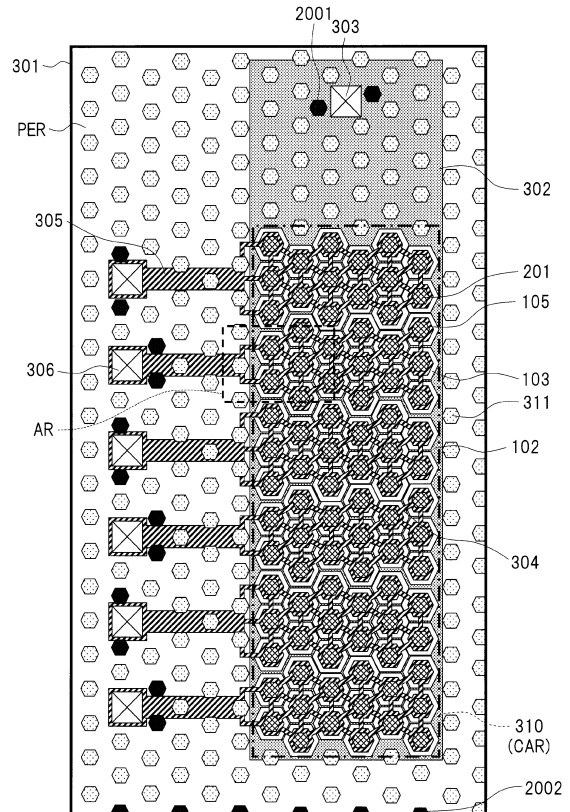
【図18】

図18



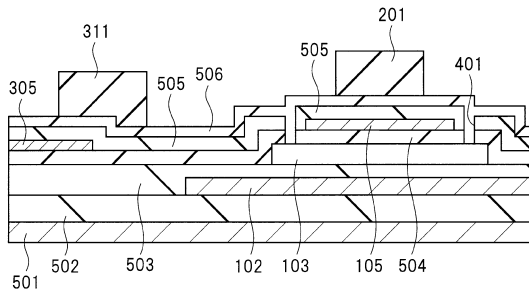
【図20】

図20

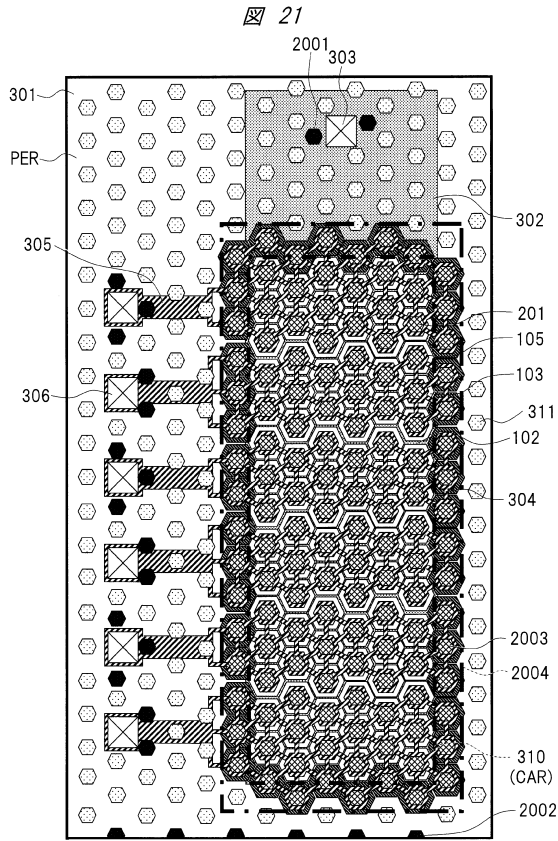


【図19】

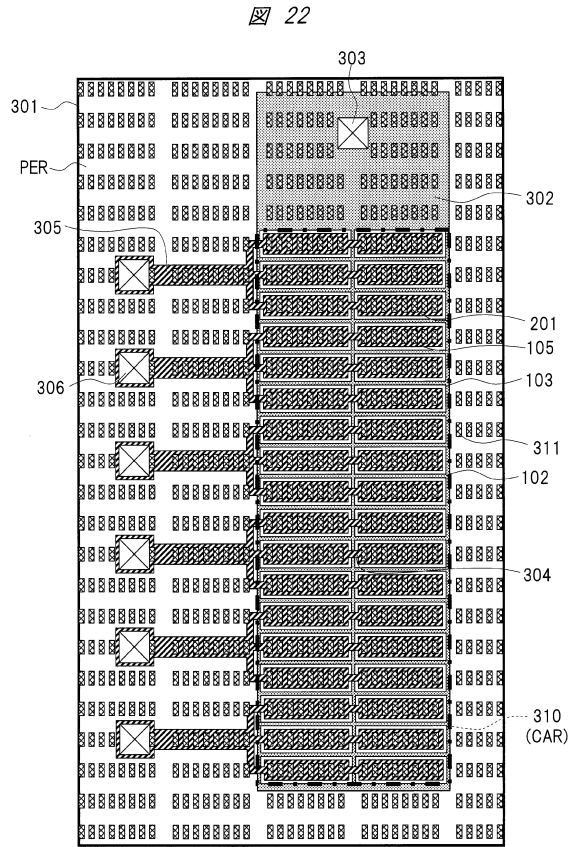
図19



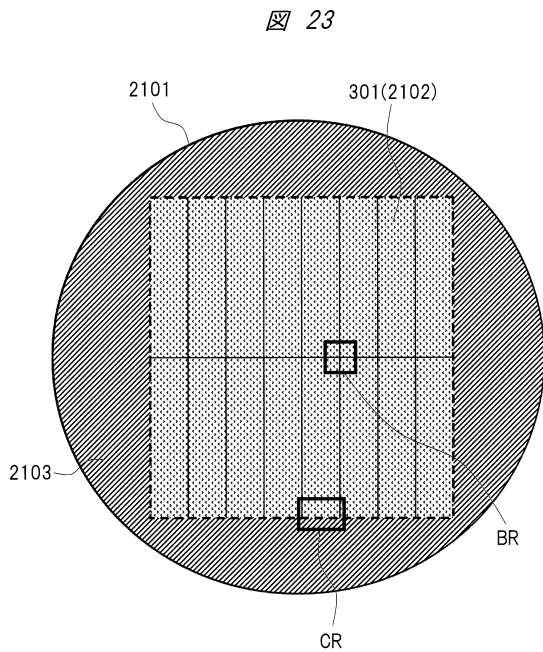
【図 2 1】



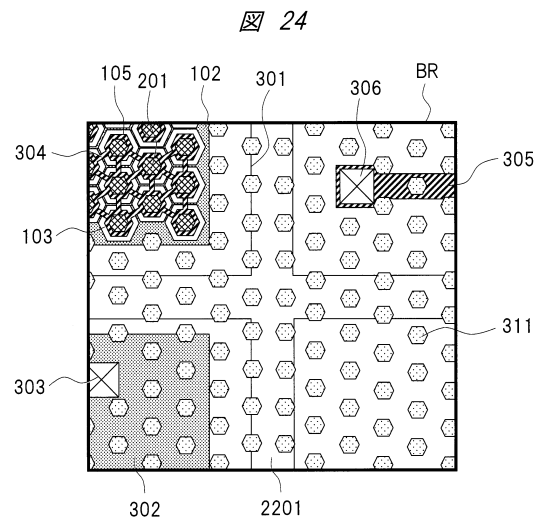
【図 2 2】



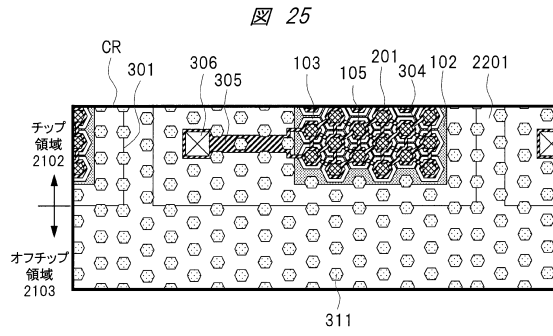
【図 2 3】



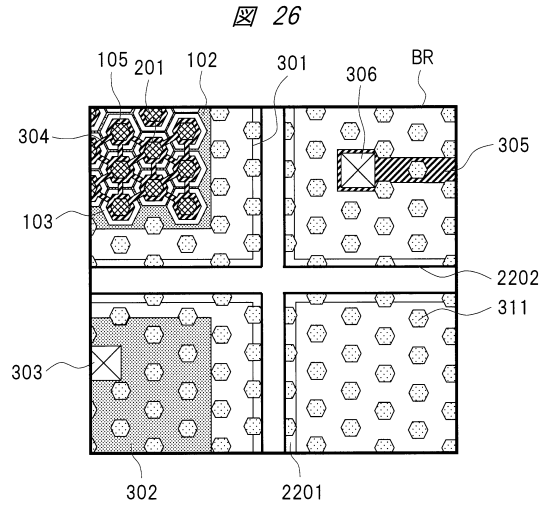
【図 2 4】



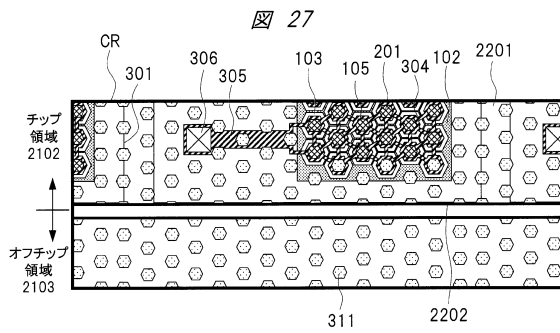
【図 25】



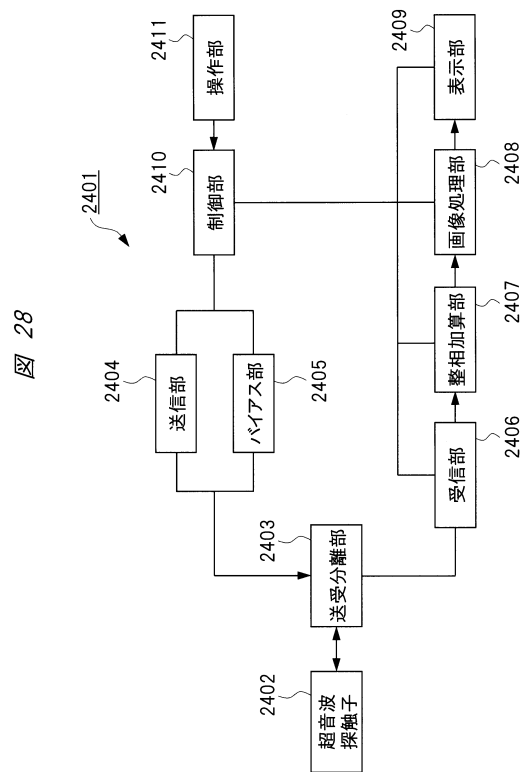
【図 26】



【図 27】



【図 28】



フロントページの続き

- (72)発明者 竹崎 泰一
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 龍崎 大介
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

審査官 須藤 竜也

- (56)参考文献 国際公開第2010/100861(WO, A1)
特開2008-85246(JP, A)
特開2015-66202(JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H04R | 19/00 |
| A61B | 8/14 |
| G01N | 29/06 |
| G01N | 29/24 |

专利名称(译)	超声波换能器和超声波检测装置		
公开(公告)号	JP6470406B2	公开(公告)日	2019-02-13
申请号	JP2017521778	申请日	2016-05-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	町田俊太郎 峰利之 藤崎耕司 竹崎泰一 龍崎大介		
发明人	町田 俊太郎 峰 利之 藤崎 耕司 竹崎 泰一 龍崎 大介		
IPC分类号	H04R19/00 G01N29/06 G01N29/24 A61B8/14		
CPC分类号	A61B8/00 G01N29/06 G01N29/24 H04R1/40 H04R19/00		
FI分类号	H04R19/00.330 G01N29/06 G01N29/24 A61B8/14		
优先权	2015110530 2015-05-29 JP		
其他公开文献	JPWO2016194591A1		
外部链接	Espacenet		

摘要(译)

在静电电容检测型超声换能器中，由于超声换能器的单元阵列的每个单元的膜的膜厚度变化，单元阵列中的单元的器件特性变得不均匀。在包括CMUT芯片301的超声换能器中，CMUT芯片301包括其中形成多个单元的单元阵列区CAR和与单元阵列区CAR接触的外围区PER，梁结构201布置在单元阵列区CAR中，并且梁结构201布置在外围区PER中布置对应于梁结构201的多个图案结构311。因此，单元阵列区CAR的单位表面积与周边区PER的单位表面积之间的差异减小。结果，可以改善覆盖梁结构201和图案结构311的绝缘膜的厚度的均匀性。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6470406号 (P6470406)
(45) 発行日 平成31年2月13日(2019.2.13)	(24) 登録日 平成31年1月25日(2019.1.25)	
(51) Int. Cl.	F I	
H O 4 R 19/00 (2006.01)	H O 4 R 19/00 3 3 0	
G O 1 N 29/06 (2006.01)	G O 1 N 29/06	
G O 1 N 29/24 (2006.01)	G O 1 N 29/24	
A 6 1 B 8/14 (2006.01)	A 6 1 B 8/14	
請求項の数 15 (全 28 頁)		
(21) 出願番号 特願2017-521778(P2017-521778)	(73) 特許権者 000005108 株式会社日立製作所	
(86) (22) 出願日 平成28年5月16日(2016.5.16)	東京都千代田区丸の内一丁目6番6号	
(86) 国際出願番号 PCT/JP2016/064440	110002066	(74) 代理人
(87) 国際公開番号 W02016/194591	特許業務法人簡井国際特許事務所	
(87) 国際公開日 平成28年12月8日(2016.12.8)		(72) 発明者 町田 俊太郎
審査請求日 平成29年11月24日(2017.11.24)		東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(31) 優先権主張番号 特願2015-110530(P2015-110530)		(72) 発明者 峰 利之
(32) 優先日 平成27年5月29日(2015.5.29)		東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(33) 優先権主張国 日本国(JP)		(72) 発明者 藤崎 耕司
		東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
最終頁に続く		
(54) 【発明の名称】 超音波トランスデューサおよび超音波検査装置		