

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-537914

(P2018-537914A)

(43) 公表日 平成30年12月20日(2018.12.20)

(51) Int.Cl.		F I		テーマコード (参考)
H03M	1/38	(2006.01)	H03M 1/38	4C601
A61B	8/14	(2006.01)	A61B 8/14	5J022

審査請求 有 予備審査請求 未請求 (全 19 頁)

(21) 出願番号 特願2018-527771 (P2018-527771)
 (86) (22) 出願日 平成28年12月1日 (2016.12.1)
 (85) 翻訳文提出日 平成30年7月24日 (2018.7.24)
 (86) 国際出願番号 PCT/US2016/064406
 (87) 国際公開番号 WO2017/096033
 (87) 国際公開日 平成29年6月8日 (2017.6.8)
 (31) 優先権主張番号 14/957,418
 (32) 優先日 平成27年12月2日 (2015.12.2)
 (33) 優先権主張国 米国 (US)

(71) 出願人 515244151
 バタフライ ネットワーク、インコーポレイテッド
 アメリカ合衆国、コネチカット州 06437
 ギルフォード、オールド ウィットフィールド ストリート 530
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史
 (74) 代理人 100117189
 弁理士 江口 昭彦
 (74) 代理人 100134120
 弁理士 内藤 和彦

最終頁に続く

(54) 【発明の名称】 非同期逐次比較型アナログ-デジタル変換器ならびに関連する方法および装置

(57) 【要約】

非同期逐次比較型アナログ-デジタル変換器を含む超音波装置および方法が提供される。装置は、少なくとも1つの超音波トランスデューサと、少なくとも1つの超音波トランスデューサに結合された複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)とを含み、複数の非同期SARの少なくとも1つがサンプルアンドホールドステージと、デジタル-アナログ変換器(DAC)と、比較器と、制御回路とを有し、少なくとも1つのビット変換に続くDAC更新イベントは、複数のADCのうちの少なくとも1つの他のADCの対応するDAC更新イベントに同期される。

【選択図】 図2

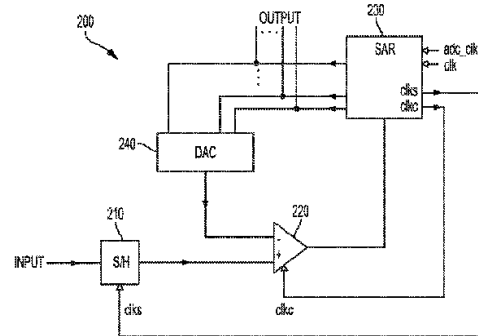


FIG. 2

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの超音波トランスデューサと、

前記少なくとも 1 つの超音波トランスデューサに結合された複数の非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) であって、前記複数の非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の少なくとも 1 つが、サンプルアンドホールドステージと、デジタル - アナログ変換器 (DAC) と、比較器と、SAR 制御器とを有する、複数の非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) と、

を含む装置であって、

前記 SAR 制御器が、サンプルアンドホールドステージへの入力アナログ信号をサンプルアンドホールドステージにサンプリングさせる第 1 の制御信号を生成し、および比較器に前記サンプリングされた入力アナログ信号を前記 DAC の出力信号と比較させる第 2 の制御信号を生成するように構成され、前記比較器の出力は、個々のビット変換に対応する DAC 更新イベントを生じさせるように構成されている、装置。

10

【請求項 2】

前記少なくとも 1 つの超音波トランスデューサが、 $M \times N$ アレイの超音波トランスデューサを含む、請求項 1 に記載の装置。

【請求項 3】

前記 DAC 更新イベントが前記装置のシステムクロックに同期されない、請求項 1 に記載の装置。

20

【請求項 4】

前記非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の他のビットの変換が、前記装置の前記システムクロックに同期されない、請求項 3 に記載の装置。

【請求項 5】

前記非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の最上位ビット (MSB) の変換が、前記装置のシステムクロックまたはサンプリングクロックに同期される、請求項 1 に記載の装置。

【請求項 6】

前記非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の 1 つより多いが全てではないビットの変換が同期する、請求項 1 に記載の装置。

30

【請求項 7】

次のビットの変換が前記 DAC 更新イベントによってトリガされる、請求項 1 に記載の装置。

【請求項 8】

複数の超音波トランスデューサと複数の非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) とを有する超音波装置であって、各超音波トランスデューサがそれぞれ非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) に結合され、前記複数の非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) のそれぞれがサンプルアンドホールドステージと、デジタル - アナログ変換器 (DAC) と、比較器と、SAR 制御器とを有する超音波装置を作動する方法であって、

40

第 1 の制御信号に応答して、1 つの非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の第 1 のビットを変換することと、

前記変換に応答して前記 1 つの非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) 内の DAC を更新することと、

第 2 の制御信号に応答して、前記 1 つの非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の 1 つまたは複数の追加ビットを変換し、前記 DAC を更新することと、を含み、

前記第 1 および第 2 の制御信号の両方が前記 SAR 制御器によって生成され、前記第 1

50

の制御信号は、前記サンプルアンドホールドステージにサンプルアンドホールドステージへの入力アナログ信号をサンプリングさせ、前記第2の制御信号は、前記比較器に前記サンプリングされた入力アナログ信号を前記DACの出力信号と比較させる、方法。

【請求項9】

前記第1の制御信号が、システムクロックを用いて生成される、請求項8に記載の方法。

【請求項10】

前記第1の制御信号のクロックレートがほぼサンプリング周波数である、請求項9に記載の方法。

【請求項11】

前記第2の制御信号に応答して前記1つまたは複数の追加ビットを変換することが、前記システムクロックを用いて同期されない、請求項9に記載の方法。

【請求項12】

前記非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の1つより多いが全てではないビットの変換が同期的である、請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001] 本出願は、代理人整理番号B1348.70018US00の下で2015年12月2日に出願され、“ASYNCHRONOUS SUCCESSIVE APPROXIMATION ANALOG-TO-DIGITAL CONVERTER AND RELATED METHODS AND APPARATUS”と題された米国特許出願第14/957,418号の利益を米国特許法第120条の下で主張する継続出願であり、前記特許出願は参照によりその全体が本明細書に組み込まれる。

【0002】

[0002] 本出願は、逐次比較型アナログ-デジタル変換器を有する超音波装置に関する。

【背景技術】

【0003】

[0003] 超音波装置は、画像診断および/または治療を行うために使用され得る。超音波イメージングは、体内軟部組織身体構造を見るために使用され得る。超音波イメージングは、疾患の原因を見つけるために、または病変を排除するために使用され得る。超音波装置は、人間に聞こえる周波数よりも高い周波数の音波を使用する。超音波画像は、超音波のパルスを、プローブを用いて組織に送ることによって作成される。音波は組織から反射され、この際、様々な組織が様々な程度の音を反射する。これら反射された音波は、記録され、オペレータへ画像として表示され得る。音声信号の強度(振幅)と、波が身体を通過するのにかかる時間とが、画像を生成するために使用される情報を提供する。

【0004】

[0004] 超音波装置を使用して、多くの異なるタイプの画像を形成することができる。画像はリアルタイム画像であることもある。例えば、組織の2次元断面、血流、経時的な組織の動き、血液の位置、特定の分子の存在、組織の剛性、または三次元領域の解剖学的構造を示す画像を生成することができる。

【発明の概要】

【0005】

[0005] 本出願の態様によれば、少なくとも1つの超音波トランスデューサと、少なくとも1つの超音波トランスデューサに結合された複数の非同期逐次比較レジスタ(SAR: successive-approximation-register)アナログ-デジタル変換器(ADC: analog-to-digital converter)とを含む装置であって、複数の非同期SARの少なくとも1つがサンプルアンドホールド

10

20

30

40

50

ステージと、デジタル - アナログ変換器 (DAC: digital - to - analog converter) と、比較器と、制御回路とを備え、少なくとも1つのビット変換に続くDAC更新イベントは、複数のADCのうちの少なくとも1つの他のADCの対応するDAC更新イベントに同期される装置が提供される。

【0006】

[0006] 本発明の態様によれば、複数の超音波トランスデューサと複数の非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) とを有する超音波装置であって、各超音波トランスデューサがそれぞれADCに結合され、複数の非同期SARのそれぞれがサンプルアンドホールドステージと、デジタル - アナログ変換器 (DAC) と、比較器と、制御回路とを有する超音波装置を作動する方法であって、第1のクロック信号に
10 応答して、1つのADCの第1のビットを変換することと、その変換に応答して1つのADC内のDACを更新することと、1つのADC内のDACの更新に応答して複数のADCのうちの別のADCのDACを更新することを含む方法が提供される。

【0007】

[0007] 以下の図面を参照して本出願の様々な態様および実施形態を記載する。図面は必ずしも一定の縮尺比で描かれていないことを認識されたい。複数の図面に現れるアイテムは、それらが現れる全ての図面中、同じ参照番号で示される。

【図面の簡単な説明】

【0008】

【図1】 [0008] 本出願の非限定的な実施形態による、アナログ - デジタル変換器を含む
20 超音波装置のブロック図である。

【図2】 [0009] 本出願の非限定的な実施形態による、非同期逐次比較型アナログ - デジタル変換器のブロック図である。

【図3】 [0010] 本出願の非限定的な実施形態による、図2の非同期逐次比較型アナログ - デジタル変換器に関連付けられる7つの制御信号の経時的発展を示すグラフである。

【図4】 [0011] 本出願の非限定的な実施形態による、図2の非同期逐次比較型アナログ - デジタル変換器によって変換される起こり得るビットシーケンスの経時的発展を示すグラフである。

【図5】 [0012] 本出願の非限定的な実施形態による、アナログ - デジタル変換を実行する
30 ための方法のステップを示す。

【発明を実施するための形態】

【0009】

[0013] 本発明者らは、アナログ - デジタル変換器に関連する電力消費は、電力消費量の多い高速クロック回路の必要性を排除することによって著しく改善され得ることを理解し認識した。

【0010】

[0014] 本出願の態様は、連続変換に関連するタイミングを管理する高速クロック信号の使用を必要としない非同期逐次比較型アナログ - デジタル変換器 (ADC) に関する。
従って、連続変換プロセスの各反復は、前の反復の完了によってトリガされ得る。

【0011】

[0015] さらに、本発明者らは、アナログ - デジタル変換器に関連する速度は、時間制約型クロック回路の必要性を排除することによって、著しく改善され得ることを理解し認識した。典型的なアナログ - デジタル変換器の変換速度は、回路のタイミングを決定するために使用されるクロック信号の繰り返し率によって制限される。
40

【0012】

[0016] 本出願の態様は、連続変換に関連するタイミングを管理する高速クロック信号の使用を必要としない非同期逐次比較型アナログ - デジタル変換器 (ADC) に関する。
従って、変換速度は、変換を実行するのに必要な回路によって生じた遅延によってのみ制限され得る。

【0013】

10

20

30

40

50

[0017] 上記の態様および実施形態、ならびに追加の態様および実施形態を、以下でさらに記載する。これらの態様および/または実施形態は、個々に、全て一緒に、または2つ以上のあらゆる組合せにおいて使用されてもよく、本出願はこの点において制限されない。

【0014】

[0018] 図1は、本出願の非限定的な実施形態による、受信された超音波信号を処理するための回路を示す。回路100は、N個の超音波トランスデューサ102a...102nを含み、Nは整数である。超音波トランスデューサは、いくつかの実施形態では、受信された超音波信号を表す電気信号を生成するセンサである。いくつかの実施形態では、超音波トランスデューサはまた、超音波信号を送信し得る。いくつかの実施形態では、超音波トランスデューサは、容量性微細加工超音波トランスデューサ(CMUT: capacitive micromachined ultrasonic transducer)であり得る。いくつかの実施形態では、超音波トランスデューサは、圧電微細加工超音波トランスデューサ(PMUT: piezoelectric micromachined ultrasonic transducer)であり得る。他の実施形態において、さらに別のタイプの超音波トランスデューサが使用され得る。

10

【0015】

[0019] 回路100は、N個の回路チャンネル104a...104nをさらに備える。回路チャンネルは、それぞれの超音波トランスデューサ102a...102nに対応することができる。例えば、8つの超音波トランスデューサ102a...102nと8つの対応する回路チャンネル104a...104nがあってもよい。いくつかの実施形態では、超音波トランスデューサ102a...102nの数は、回路チャンネルの数よりも多くてもよい。

20

【0016】

[0020] 回路チャンネル104a...104nは、送信回路、受信回路、またはその両方を含むことができる。送信回路は、それぞれのパルサ108a...108nに結合された送信デコーダ106a...106nを含むことができる。パルサ108a...108nは、超音波信号を発するため、それぞれの超音波トランスデューサ102a...102nを制御することができる。

【0017】

[0021] 回路チャンネル104a...104nの受信回路は、それぞれの超音波トランスデューサ102a...102nから出力された電気信号を受信することができる。図示の例では、各回路チャンネル104a...104nは、それぞれの受信スイッチ110a...110nと増幅器112a...112nを含む。受信スイッチ110a...110nは、所与の超音波トランスデューサ102a...102nからの電気信号の読み出しを開始/停止するように制御されてもよい。より一般的には、受信スイッチ110a...110nは、受信回路であってもよい。なぜなら、スイッチの代替物が、同じ機能を実行するために採用されてもよいからである。増幅器112a...112nは、トランスインピーダンス増幅器(TIA: trans-impedance amplifier)であってもよい。

30

40

【0018】

[0022] 回路100は、平均化回路114をさらに備え、これは本明細書中では加算器または加算増幅器とも呼ばれる。いくつかの実施形態では、平均化回路114は、バッファまたは増幅器である。平均化回路114は、増幅器112a...112nの1つまたは複数からの出力信号を受信してもよく、平均出力信号を提供してもよい。平均化された出力信号は、様々な増幅器112a...112nからの信号を加算または減算することによって部分的に形成することができる。平均化回路114は、可変フィードバック抵抗を含むことができる。可変フィードバック抵抗の値は、平均化回路が信号を受信する増幅器112a...112nの数に基づいて動的に調整することができる。平均化回路114は、自動ゼロブロック116に結合される。

50

【 0 0 1 9 】

[0023] 自動ゼロブロック 1 1 6 は、減衰器 1 2 0 および固定利得増幅器 1 2 2 を含む時間利得補償回路 1 1 8 に結合される。時間利得補償回路 1 1 8 は、A D C ドライバ 1 2 4 を経由してアナログ - デジタル変換器 (A D C) 1 2 6 に結合される。図示の例では、A D C ドライバ 1 2 4 は、第 1 の A D C ドライバ 1 2 5 a および第 2 の A D C ドライバ 1 2 5 b を含む。A D C 1 2 6 は、平均化回路 1 1 4 からの信号をデジタル化する。

【 0 0 2 0 】

[0024] 本出願の態様によれば、A D C 1 2 6 は逐次比較型 A D C であってもよい。逐次比較型 A D C は、可能な全ての量子化レベルでバイナリ検索を実行することにより、連続アナログ波形をデジタル表現に変換する。いくつかの実施形態では、非同期逐次比較型 A D C が使用される。

10

【 0 0 2 1 】

[0025] 図 1 は、超音波装置の回路の一部としていくつかの構成要素を示しているが、本明細書に記載された様々な態様は、図示の構成要素の正確な構成要素および構成に限定されないことを理解されたい。例えば、本出願の態様は、逐次比較型 A D C 1 2 6 に関する。

【 0 0 2 2 】

[0026] 図 1 の構成要素は、1 つの基板上に、または異なる基板上に配置することができる。例えば、図示されるように、超音波トランスデューサ 1 0 2 a . . . 1 0 2 n は、第 1 の基板 1 2 8 a 上にあってもよく、残りの図示された構成要素は、第 2 の基板 1 2 8 b 上にあってもよい。第 1 および / または第 2 の基板は、シリコン基板などの半導体基板であってもよい。代替実施形態では、図 1 の構成要素は、1 つの基板上にあってもよい。例えば、超音波トランスデューサ 1 0 2 a . . . 1 0 2 n および図示された回路は、同じ半導体ダイ上にモノリシックに集積されてもよい。このような集積は、超音波トランスデューサとして C M U T を使用することによって促進され得る。

20

【 0 0 2 3 】

[0027] ある実施形態によれば、図 1 の構成要素は、超音波プローブの一部を形成する。超音波プローブは手持ち式であってもよい。いくつかの実施形態では、図 1 の構成要素は、患者が着用するように構成された超音波パッチの一部を形成する。

【 0 0 2 4 】

[0028] 図 2 は、本出願の態様による逐次比較型 A D C 2 0 0 を示す。A D C は、サンプルアンドホールド回路 2 1 0、比較器 2 2 0、デジタル - アナログ変換器 (D A C) 2 4 0 および逐次比較レジスタ (S A R) 制御器 2 3 0 を含むことができる。A D C の出力は、N ビットのワードを含む入力アナログ信号のデジタル表現である。N は 5 ~ 2 0 の間のいずれかの値を有し得る。

30

【 0 0 2 5 】

[0029] 本出願の態様によれば、A D C 2 0 0 によって実行されるアナログ - デジタル変換は反復プロセスである。各反復において、アナログ入力電圧のデジタル表現は、誤差信号を連続的に減少させることによってさらに改善され得る。さらに、A D C 2 0 0 は、各反復が前の反復の完了によってトリガされるように、非同期方式で動作することができる。

40

【 0 0 2 6 】

[0030] いくつかの実施形態では、A D C 2 0 0 は、M x N アレイの超音波トランスデューサからなる 1 つの超音波トランスデューサに結合されてもよく、ここで、M および N はいずれの適切な値をとってもよい。いくつかの他の実施形態では、単一のトランスデューサを A D C 2 0 0 と同じタイプの複数の回路に結合することができる。さらにいくつかの他の実施形態では、A D C 2 0 0 は、複数の超音波トランスデューサによって変換された信号を統合することによって得られた信号によってフィードされてもよい。

【 0 0 2 7 】

[0031] 本出願の態様によれば、逐次比較型 A D C 2 0 0 において、変換は、最上位ビ

50

ット(MSB)から最下位ビット(LSB)まで1ビットずつ実行される。従って、シーケンスの*i*番目のビットの変換は、事前に決められていない時間に発生し、*i*-1番目のビットの変換の完了によってトリガされる。説明のために、各ビットの変換に関連するタイミングは、同期逐次比較型ADCの場合のように、クロック信号によって制御されない。

【0028】

[0032] いくつかの実施形態では、1つのビットの変換は同期的であり、クロック信号によってトリガされるが、他の全てのビットは非同期である。いくつかの実施形態では、最上位ビットが同期ビットである。他の実施形態では、全てのビットではない少なくとも2ビットが同期し、他の全てのビットが非同期である。

10

【0029】

[0033] サンプルアンドホールド(S/H)回路210は、アナログ入力信号を受信するように構成することができる。サンプルアンドホールド210は、シングルエンド型または差動型であってもよい。特定の期間の間、サンプルアンドホールド回路210は、入力信号に関連する電圧の一部を捕捉することができる。続いて、サンプルアンドホールド210は、捕捉された電圧を一定の値に保持することができる。いくつかの実施形態では、サンプルアンドホールド210は、スイッチおよびコンデンサ(図示せず)を備えることができる。サンプル段階中、スイッチは「閉」状態であり、かくして入力電圧をコンデンサに接続することができる。この段階において、スイッチが「閉」のみである限り、入力電圧はコンデンサを充電または放電することができる。ホールド段階において、スイッチは「開」状態であり、かくして入力電圧をコンデンサから切り離すことができる。サンプル段階を通してコンデンサに蓄積された電荷は、入力電圧に比例するコンデンサを横切る電圧をもたらす可能性がある。この段階の間、コンデンサは捕捉された電圧を一定レベルに維持することができる。しかしながら、コンデンサは、それ自体の漏れ電流によって充電または放電することがあり、その結果、蓄積された電圧は時間とともに変化する可能性がある。信号*clk*sを使用して、サンプルアンドホールド210のスイッチが「閉」状態または「開」状態にあるかどうかを判定することができる。いくつかの実施形態では、*clk*sが論理1に等しいとき、スイッチは「閉」であり、*clk*sが論理0に等しいとき、スイッチは「開」である。しかしながら、反対の論理が実装されてもよい。いくつかの実施形態では、スイッチは、電界効果トランジスタ(FET: field effect transistor)、バイポーラ接合トランジスタ(BJT: bipolar junction transistor)または他のいずれかの適切なタイプのトランジスタの1つまたは組み合わせであってもよい。さらに、いくつかの実施形態では、スイッチは、コンデンサを充電および放電するためのバッファ増幅器として構成された演算増幅器に従うことができる。

20

30

【0030】

[0034] サンプルアンドホールド回路210によって取得された電圧は、比較器220の1つの入力ポートに送られてもよい。比較器220の第2入力ポートは、DAC240の出力に接続されてもよい。いくつかの実施形態において、取得した電圧がDAC出力電圧より大きい場合、比較器220は、「高」レベルまたは論理1に対応する電圧を出力することができる。逆に、DAC出力電圧が取得した電圧より大きい場合、比較器220は、「低」の状態または論理0に対応する電圧を出力することができる。しかしながら、いずれかの他の適切な論理が実装されてもよい。いくつかの実施形態では、比較器220は演算増幅器を含むことができる。いくつかの実施形態では、比較器220は、信号*clk*cによってゲート制御されてもよい。「ゲートされた」状態では、比較器220は、比較を実行し、入力信号に基づいて電圧を出力するように構成することができる。「ゲートされていない」状態では、比較器220はアクティブではなく、比較を実行しない。いくつかの実施形態では、*clk*cが論理1に等しいとき、比較器220はゲートされ、*clk*cが論理0に等しいとき、比較器220はゲートされない。しかしながら、反対の論理が実装されてもよい。

40

50

【 0 0 3 1 】

[0035] 論理状態 0 および 1 は、論理 0 に対応する電圧または電圧範囲が論理 1 に対応する電圧または電圧範囲と異なる限り、任意の電圧を表すことができる。いくつかの実施形態では、論理 1 は 1 . 8 V に対応し、論理 0 は 0 V に対応する。いくつかの実施形態では、論理 1 は 0 . 5 V ~ 5 の間の任意の電圧に対応し、論理 0 は - 5 V ~ 1 V の間の任意の電圧に対応し、2 つの範囲は重ならない。

【 0 0 3 2 】

[0036] 本出願の態様によれば、逐次比較レジスタ (S A R) 制御器 2 3 0 は、1 つまたは複数のレジスタおよび論理回路を備えることができる。レジスタのうちの 1 つは、アナログ入力電圧の最新のデジタル表現を格納することができる。レジスタの内容は、比較器 2 2 0 によって実行された比較の結果に基づいて連続的に更新されてもよい。レジスタに含まれるデジタルワードは、D A C 2 3 0 に伝送され、D A C 2 3 0 は、デジタル - アナログ変換を実行することができる。いくつかの実施形態では、アナログ - デジタル変換の開始前のレジスタの初期状態は、最上位ビット (M S B) が 1 に設定され、他の全てのビットが 0 に設定されるように設定されてもよい。このシナリオでは、D A C 2 4 0 は、V r e f / 2 に等しいアナログ信号を出力することができ、ここで、V r e f は、D A C 2 4 0 に印加される基準電圧である。しかしながら、いずれかの他の適切な初期状態が実装されてもよい。いくつかの実施形態では、D A C 2 4 0 は、全て 1 を含むデジタルワードが受信されたときに V r e f を出力するように構成され、全て 0 を含むデジタルワードが受信されたときに 0 V を出力するようにさらに構成されてもよい。いくつかの実施形態では、D A C 2 4 0 は電荷分配回路を含む。D A C 2 4 0 は、シングルエンド型または差動型の構成で配置されたコンデンサバンクをさらに含むことができる。

【 0 0 3 3 】

[0037] いくつかの実施形態では、出力デジタル表現は、図 2 に示す D A C 2 4 0 への入力と等しくなるように構成されてもよい。いくつかの実施形態では、出力デジタル表現は S A R 制御器 2 3 0 の専用レジスタに格納することができる。

【 0 0 3 4 】

[0038] 本出願の態様によれば、A D C 2 0 0 によって実行されるアナログ - デジタル変換は反復プロセスである。各反復において、アナログ入力電圧のデジタル表現は、入力信号と D A C 出力信号との間の差に等しい誤差信号を連続的に減少させることによって、さらに改善される。

【 0 0 3 5 】

[0039] S A R 制御器 2 3 0 の論理回路は、アナログ入力電圧のデジタル表現を形成する N 個のビットの各ビットを順次走査するように構成することができる。いくつかの実施形態では、第 1 の反復中、最上位ビットは、比較器 2 2 0 によって実行される比較の結果に基づいて決定される。例として、取得した信号が D A C 出力信号より大きいシナリオに対応する、比較の出力が論理 1 である場合、シフトレジスタの最上位ビット (M S B) は 1 に設定される。一旦 M S B の状態が決定されると、論理回路は次のビットにスキップする。このプロセスは、最下位ビット (L S B) が決定されるまで続く。

【 0 0 3 6 】

[0040] A D C 2 0 0 は、本出願の態様に従って、非同期方式で動作することができる。各反復は、前の反復の完了によってトリガされてもよい。制御信号 c l k s および c l k c は、クロック信号 c l k および信号 a d c _ c l k に応答して、S A R 制御器 2 3 0 の論理回路によって生成することができる。

【 0 0 3 7 】

[0041] 図 3 は、本出願の態様によるタイミング図の非限定的な例を示す。信号 a d c _ c l k を使用して、アナログ - デジタル変換を初期化することができる。さらに、クロック信号 c l k は、S A R 制御器 2 3 0 に提供されてもよい。クロック信号 c l k は、約 1 0 0 H z ~ 1 0 G H z の間、約 1 K H z ~ 1 0 0 M H z の間、約 1 M H z ~ 約 5 0 M H z の間の繰り返し率を有してもよい。いくつかの実施形態では、a d c _ c l k のエッジ

10

20

30

40

50

、例えば立ち上がりエッジが変換を開始することができる。その後、 clk のエッジ、例えば立ち上がりエッジは、 $clks$ をトリガして論理1に切り替えることができる。 $clks$ が1に等しい間、サンプルアンドホールド回路210は、アナログ入力信号をサンプリングすることができる。信号 $clks$ は、 clk サイクルの持続時間の間、1の状態を維持することができる。この場合、第2の clk 立ち上がりエッジが提供されると、 $clks$ は0に戻ることができる。しかしながら、 $clks$ は、任意の適切な時間の間、1の状態を維持することができる。いくつかの実施形態では、 $clks$ の第2のエッジ、例えば立ち下がりエッジは、 $clkc$ をトリガして論理1に切り替えることができる。 $clkc$ が1に等しい間、比較器220は、取得した信号をDAC出力信号と比較することができる。信号 $clkc$ は、任意の適切な時間の間、1の状態を維持することができる。

10

【0038】

[0042] 各信号 sel_i は、SAR制御器230のレジスタのビットを選択し、ここで、 sel_0 はMSBを選択し、 sel_N-1 はLSBを選択する。いくつかの実施形態では、 sel_i が1に設定されると、レジスタの*i*番目のビットは、比較器220によって実行された比較の結果に基づいて更新され得る。いくつかの実施形態では、MSBは、 clk によって、例えば clk の立ち下がりエッジによって、トリガされ得る。例として、 clk の立ち下がりエッジが提供されると、 sel_0 は1に切り替わり得る。いくつかの実施形態では、MSBを除く他の全てのビットが非同期的にトリガされる。例えば、 sel_0 が1に切り替えられると、 sel_0 のエッジ、例えば立ち上がりエッジは、立ち下がりエッジに続く立ち上がりエッジからなる、任意の適切な持続時間の $clkc$ パルスをトリガし得る。 $clkc$ の立ち下がりエッジは、 sel_1 をトリガして1の状態に切り替え得る。同様に、 sel_1 は $clkc$ をトリガし、 $clkc$ が次に sel_2 をトリガし得る。方法は、LSBに達するまで継続し得る。連続ビット間の遅延は、例えば $clkc$ パルスの持続時間を調整することによって調整することができる。しかしながら、ビットを遅延させる他のいずれかの適切な技術を使用することができる。

20

【0039】

[0043] 本出願の態様によれば、クロック信号 clk を使用して、デジタルワードのサブセットのみをトリガすることができる。例えば、 clk はもっぱらMSBをトリガし得る一方、他の全てのビットは前のビットによってトリガされ得る。結果として、クロック信号の繰り返し率に関連する要件は、同期逐次比較型ADCと比較して緩和され得る。

30

【0040】

[0044] 図3は、制御信号 clk_adc 、 clk 、 $clks$ 、 $clkc$ および sel_i (*i*は0と*N-1*との間の任意の値を取ることができる)がどのようにADC200を駆動するために使用され得るかの非限定的な例を示す。しかしながら、いずれかの他の適切な制御信号を、前述の制御信号の代わりにまたはそれに加えて使用することができる。全ての制御信号は、立ち上がりエッジまたは立ち下がりエッジのいずれかによってエッジトリガされてもよく、あるいはパルストリガされてもよい。

【0041】

[0045] 例として、図4は、本出願の態様による、入力電圧 V_{in} の非限定的なアナログ-デジタル変換を示す。非限定的な例において、アナログ入力電圧の8ビット表現が提供される。しかしながら、任意の数のビットを使用することができる。非限定的な例において、 V_{in} は V_{ref} と $V_{ref}/2$ との間の電圧を示し得、ADCは初期DAC出力電圧が $V_{ref}/2$ に設定されるように構成されてもよい。従って、変換が時間 t_0 で開始される前に、レジスタの値は、最初の桁がMSBを表す「10000000」に等しくてもよい。 t_0 と t_1 との間で、 V_{in} と V_{dac} との間の比較を実行することができる。 V_{dac} はDAC出力電圧を表す。非限定的な例において、 V_{in} が V_{dac} よりも大きいので、MSBは1の状態のままである。時間表の下に示されている数値表は、時間 t_1 後のレジスタの内容を示す。更新されている最新のビットが表中で下線を引かれて示されている。 t_1 と t_2 との間で、第2の比較が実行されてもよい。非限定的な例において、 V_{dac} が V_{in} よりも大きいので、第2のビットは0の状態のままである。 t_2 と t_3

40

50

との間で、第3の比較が実行されてもよい。非限定的な例において、 V_{in} が V_{dac} より大きいので、第3のビットは1に設定される。変換は、LSBに達するまで反復して継続することができる。

【0042】

[0046] 図5は、本出願の態様による、デジタル-アナログ変換を実行する方法を示す。方法500は、例えば、信号 adc_clk の立ち上がりエッジがSARコントローラ230によって受信されたときに、ステップ502で開始することができる。ステップ504で、レジスタを「10000000」に設定することができる。非限定的な例では、デジタル表現は、8ビットのロングワードで実行されてもよい。しかしながら、任意の数のビットを使用することができる。レジスタの長さにかかわらず、MSBは1に設定されてもよく、他の全てのビットは0に設定されてもよい。ステップ506で、 clk_s のエッジがサンプルアンドホールド210によって受信されてもよく、アナログ入力電圧がサンプリングされ、格納されてもよい。ステップ508において、比較器220は、 clk_s のエッジによってトリガされる信号 clk_c によってゲート制御されてもよい。トリガするエッジは、立ち下がりエッジであってもよい。ステップ510において、比較器220は、 V_{in} が V_{dac} より大きいか、またはその逆であるかを決定してもよい。前者の場合、 i 番目のビットが1に設定されてもよく、そうでない場合、 i 番目のビットは0に設定されてもよい。ステップ514において、SAR制御器230は、 i 番目がLSBであるかどうかを決定してもよい。ステップ516で i 番目がLSBでない場合、 sel_{i+1} を1に設定することによって $i+1$ 番目のビットが選択されてもよい。 $i+1$ 番目のビットの選択は、図3に示すように clk_c のエッジを介して非同期的に行うことができる。ステップ518において、DAC240を介してデジタル-アナログ変換が実行されてもよい。その後、方法500は別の反復を実行してもよく、更新された V_{dac} の値を V_{in} と比較することができる。そうでなければ、 i 番目のビットがLSBである場合、サンプリングされたアナログ電圧の変換が完了されてもよい。ステップ520において、この方法は、アナログ-デジタル変換が行われたかどうかを判定する。アナログ-デジタル変換が行われない場合、方法はステップ504から継続してもよく、アナログ入力の新しいサンプルが捕捉されて、変換されてもよい。

10

20

【0043】

[0047] さらに、節約される時間量は重要であり得る。典型的な逐次比較型アナログ-デジタル変換器では、変換を実行するために必要な時間は、回路のタイミングに使用されるクロックの繰り返し率によって制限され得る。いくつかの実施形態では、本明細書に記載したタイプの非同期逐次比較型アナログ-デジタル変換器を利用することにより、後続のクロックエッジを待つのに費やされる不要なアイドル時間を除去することによって相当な時間を節約することができる。いくつかの実施形態では、本明細書に記載したタイプの非同期逐次比較型アナログ-デジタル変換器を利用することにより、最大10%の時間の節約、最大25%の時間の節約、最大50%の時間の節約、またはそのような範囲内の任意の範囲もしくは値を、ADCの観点において実現することができる。

30

【0044】

[0048] いくつかの実施形態では、超音波トランスデューサに結合された複数の逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)が設けられてもよい。

40

【0045】

[0049] 本出願の技術のいくつかの態様および実施形態をこのように記載してきたが、当業者には様々な変更、修正および改良が容易に思い付くであろうことが理解されるべきである。そのような変更、修正、および改良は、本出願に記載された技術の趣旨および範囲内にあることが意図されている。従って、前述の実施形態は単なる例として提示されていること、および、添付の特許請求の範囲およびその等価物の範囲内において、発明的実施形態が具体的に記載されたものとは別の方法で実施されてもよいことが理解されるべきである。

【0046】

50

[0050] 記載したように、いくつかの態様は、1つまたは複数の方法として具体化されてもよい。方法の一部として実行される動作は、任意の適切なやり方で順序付けられてもよい。従って、説明される実施形態において連続的な動作として示されているとしても、いくつかの動作を同時に実行することを含んでもよい、記載のものと異なる順序で動作が行われる実施形態が構築されてもよい。

【0047】

[0051] 本明細書において定義され、使用される全ての定義は、辞書の定義、参照により組み込まれた文献の定義、および/または定義された用語の通常の意味を支配すると理解されるべきである。

【0048】

[0052] 本明細書および特許請求の範囲において使用される「および/または」という語句は、そのように結合された要素、すなわち結合的に存在する場合もあれば選言的に存在する場合もある要素の「どちらかまたは両方」を意味すると理解されるべきである。

【0049】

[0053] 本明細書および特許請求の範囲で使用される際、1つまたは複数の要素のリストに言及する際の「少なくとも1つの」という語句は、要素のリスト内の要素のいずれか1つまたはそれ以上から選択される少なくとも1つの要素を意味するが、要素のリスト内に特定のリストされたありとあらゆる要素の少なくとも1つを必ずしも含まず、また、要素のリスト内の要素のどのような組合せも除外しないことを理解するべきである。

【0050】

[0054] 本明細書で使用される際、数値の文脈で使用される「の間 (between)」という用語は、特段の記載のない限り包括的である。例えば、「AとBの間」には、特段の記載のない限りAとBが含まれる。

【0051】

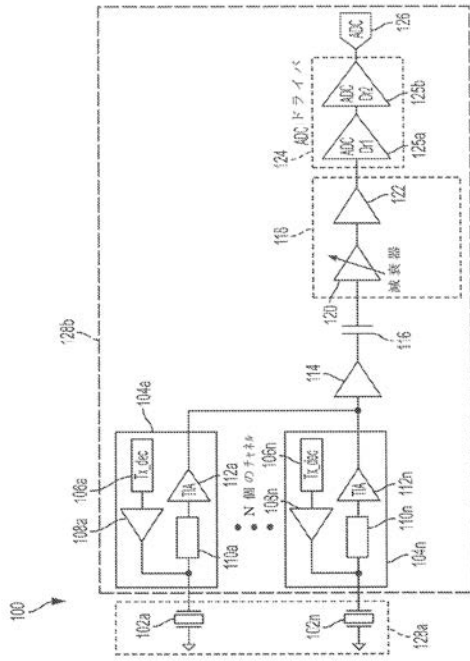
[0055] 特許請求の範囲において、および上記明細書において、「備える、含む (comprising)」、「含む (including)」、「持ち運ぶ (carrying)」、「有する (having)」、「含有する (containing)」、「伴う (involving)」、「保持する (holding)」、「から構成される (composed of)」およびそれらに類するものなど、全ての移行句は、オープンエンドであるように、すなわち、制限することなく含む、を意味するように理解されるべきである。移行句「からなる (consisting of)」および「から本質的になる (consisting essentially of)」のみが、それぞれクローズ型または半クローズ型移行句であるものとする。

10

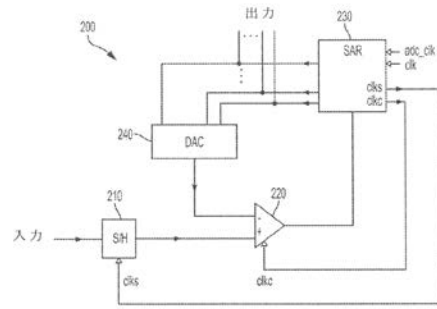
20

30

【 図 1 】



【 図 2 】



【 図 3 】

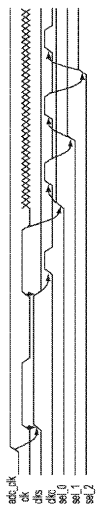


FIG. 3

【 図 4 】

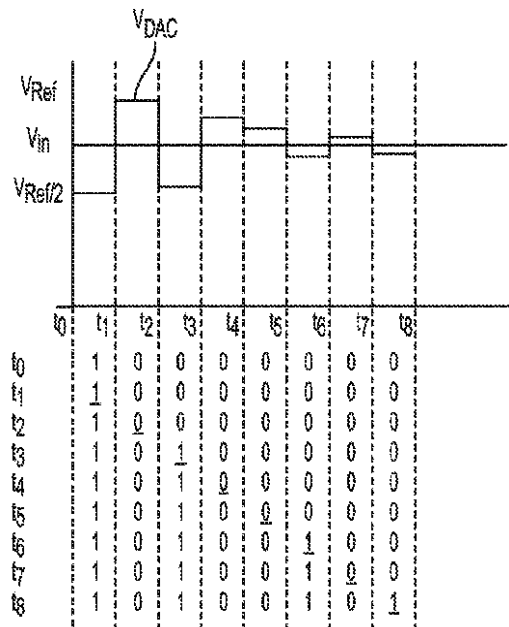
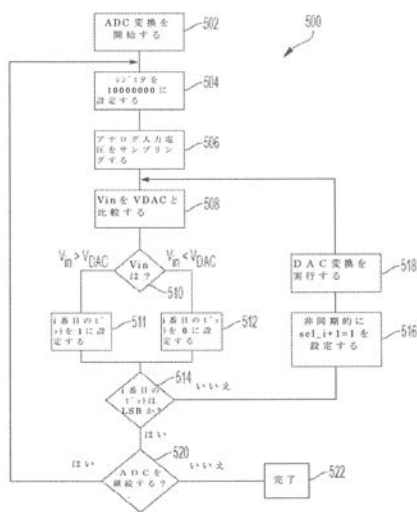


FIG. 4

【図 5】



【手続補正書】

【提出日】平成30年8月21日(2018.8.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

少なくとも1つの超音波トランスデューサと、

前記少なくとも1つの超音波トランスデューサに結合された複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)であって、前記複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の少なくとも1つが、サンプルアンドホールドステージと、デジタル-アナログ変換器(DAC)と、比較器と、SAR制御器とを有する、複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)と、

を含む装置であって、

前記SAR制御器が、サンプルアンドホールドステージへの入力アナログ信号をサンプルアンドホールドステージにサンプリングさせる第1の制御信号を生成し、および比較器に前記サンプリングされた入力アナログ信号を前記DACの出力信号と比較させる第2の制御信号を生成するように構成され、前記比較器の出力は、個々のビット変換に対応するDAC更新イベントを生じさせるように構成されている、装置。

【請求項 2】

前記少なくとも1つの超音波トランスデューサが、 $M \times N$ アレイの超音波トランスデューサを含む、請求項1に記載の装置。

【請求項 3】

前記 D A C 更新イベントが前記装置のシステムクロックに同期されない、請求項 1 に記載の装置。

【請求項 4】

前記非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) の他のビットの変換が、前記装置の前記システムクロックに同期されない、請求項 3 に記載の装置。

【請求項 5】

前記非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) の最上位ビット (M S B) の変換が、前記装置のシステムクロックまたはサンプリングクロックに同期される、請求項 1 に記載の装置。

【請求項 6】

前記非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) の 1 つより多いが全てではないビットの変換が同期する、請求項 1 に記載の装置。

【請求項 7】

次のビットの変換が前記 D A C 更新イベントによってトリガされる、請求項 1 に記載の装置。

【請求項 8】

複数の超音波トランスデューサと複数の非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) とを有する超音波装置であって、各超音波トランスデューサがそれぞれ非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) に結合され、前記複数の非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) のそれぞれがサンプルアンドホールドステージと、デジタル - アナログ変換器 (D A C) と、比較器と、 S A R 制御器とを有する超音波装置を作動する方法であって、

第 1 の制御信号にตอบสนองして、1 つの非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) の第 1 のビットを変換することと、

前記変換にตอบสนองして前記 1 つの非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) 内の D A C を更新することと、

第 2 の制御信号にตอบสนองして、前記 1 つの非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) の 1 つまたは複数の追加ビットを変換し、前記 D A C を更新することと、を含み、

前記第 1 および第 2 の制御信号の両方が前記 S A R 制御器によって生成され、前記第 1 の制御信号は、前記サンプルアンドホールドステージにサンプルアンドホールドステージへの入力アナログ信号をサンプリングさせ、前記第 2 の制御信号は、前記比較器に前記サンプリングされた入力アナログ信号を前記 D A C の出力信号と比較させる、方法。

【請求項 9】

前記第 1 の制御信号が、システムクロックを用いて生成される、請求項 8 に記載の方法。

【請求項 10】

前記第 1 の制御信号のクロックレートがほぼサンプリング周波数である、請求項 9 に記載の方法。

【請求項 11】

前記第 2 の制御信号にตอบสนองして前記 1 つまたは複数の追加ビットを変換することが、前記システムクロックを用いて同期されない、請求項 9 に記載の方法。

【請求項 12】

前記非同期逐次比較レジスタ (S A R) アナログ - デジタル変換器 (A D C) の 1 つより多いが全てではないビットの変換が同期的である、請求項 8 に記載の方法。

【請求項 13】

少なくとも 1 つの超音波トランスデューサと、

前記少なくとも 1 つの超音波トランスデューサに結合された複数の非同期逐次比較レジ

スタ(SAR)アナログ-デジタル変換器(ADC)であって、前記複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の少なくとも1つが、サンプルアンドホールドステージと、デジタル-アナログ変換器(DAC)と、比較器と、第1のクロック信号と第2のクロック信号を入力として受け付けるSAR制御器とを有する、複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)と、を含む装置であって、

前記SAR制御器が、サンプルアンドホールドステージへの入力アナログ信号をサンプルアンドホールドステージにサンプリングさせる第1の制御信号を第1のクロック信号に 응답して生成し、および比較器に前記サンプリングされた入力アナログ信号を前記DACの出力信号と比較させる第2の制御信号を第2のクロック信号に 응답して生成するように構成され、前記比較器の出力は、個々のビット変換に対応するDAC更新イベントを生じさせるように構成されており、

前記非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の最上位ビット(MSB)の変換は、前記第2の制御信号が前記第2のクロック信号に 응답することによりトリガされ、前記非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の他のビットの変換は、前記第2の制御信号が前のビット変換に 응답することによりトリガされる、装置。

【請求項14】

前記少なくとも1つの超音波トランスデューサが、M×Nアレイの超音波トランスデューサを含む、請求項13に記載の装置。

【請求項15】

前記非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の1つより多いが全てではないビットの変換が、前記第2の制御信号が前記第2のクロック信号に 응답することによりトリガされる、請求項13に記載の装置。

【請求項16】

複数の超音波トランスデューサと複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)とを有する超音波装置であって、各超音波トランスデューサがそれぞれ非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)に結合され、前記複数の非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)のそれぞれがサンプルアンドホールドステージと、デジタル-アナログ変換器(DAC)と、比較器と、第1のクロック信号と第2のクロック信号を入力として受け付けるSAR制御器とを有する超音波装置を作動する方法であって、

第1の制御信号に 응답して、前記入力アナログ信号が前記サンプルアンドホールドステージに受け付けられ、前記第1の制御信号が前記第1のクロック信号に 응답して前記SAR制御器によって生成されるサンプリングすることと、

第2の制御信号に 응답して、1つの非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の第1のビットを変換することと、

前記変換に 응답して前記1つの非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)内のDACを更新することと、

前記第2の制御信号に 응답して、前記1つの非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の1つまたは複数の追加ビットを変換し、前記DACを更新することと、を含み、

前記第2の制御信号は、前記SAR制御器によって生成され、前記第2の制御信号は、前記比較器に前記サンプリングされた入力アナログ信号を前記DACの出力信号と比較させ、前記1つの非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の第1のビットを変換することは、前記第2の制御信号が前記第2のクロック信号に 응답することによりトリガされ、前記1つの非同期逐次比較レジスタ(SAR)アナログ-デジタル変換器(ADC)の1つまたは複数の追加ビットの変換は、前記第2の制御信号が前のビット変換に 응답することによりトリガされる、方法。

【請求項17】

前記非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の1つより多いが全てではないビットの変換は、前記第2の制御信号が前記第2のクロック信号に
応答することによりトリガされる、請求項16に記載の方法。

【請求項18】

超音波トランスデューサと、

前記超音波トランスデューサに接続された受信回路であって、前記超音波画像に関連する
情報を表すためにアナログ信号を提供する受信回路と、

前記受信回路と通信するためのアナログ - デジタル変換器 (ADC) であって、前記ア
ナログ - デジタル変換器 (ADC) は、非同期逐次比較レジスタ (SAR) 制御器を含み
、前記アナログ - デジタル変換器 (ADC) は、前記アナログ信号、第1のクロック信号
及び第2のクロック信号を受信し、アナログ信号のデジタル表現を出力するように構成さ
れ、

前記第1のクロック信号及び前記第2のクロック信号は、連続するアナログ - デジタル
変換のタイミングを制御し、

前記第1のクロック信号及び前記第2のクロック信号は、高速クロック信号に依存せず
、

前記SAR制御器は、最上位ビット (MSB) から最下位ビット (LSB) まで、クロ
ックサイクル当たりの1ビットの定量値を連続して近似するように構成され、

前記MSBの変換は、前記第2のクロック信号によってトリガされる、装置。

【請求項19】

前記アナログ信号の前記デジタル表現は、Nビットのデジタルワードを含み、Nは、5
から20の間の値である、請求項18に記載の装置。

【請求項20】

前記非同期逐次比較レジスタ (SAR) アナログ - デジタル変換器 (ADC) の後続の
ビットの変換は、前の変換に連続する信号によってトリガされる、請求項18に記載の装
置。

【請求項21】

前記超音波トランスデューサは、M × N個の超音波トランスデューサのアレイの一部で
ある、請求項18に記載の装置。

【請求項22】

超音波信号を検出する方法であって、

体から第1の複数の超音波信号を受け取ることであって、前記第1の複数の超音波信号
がアナログ信号を規定することと、

第1の平均信号を得るために前記第1の複数の超音波信号を平均することと、

前記アナログ信号に関するエラー信号を反復的に減少させることによる前記第1の平均
信号の定量化された表現の逐次近似によって、アナログ - デジタル変換器 (ADC) にお
いて前記第1の平均信号をデジタル化することと、を含み、

データの少なくとも1ビットの前記定量化された表現の前記連続近似は、クロックサイ
クルに依存しない非同期逐次近似であり、

前記エラー信号を反復的に減少させる少なくとも1つのステップは、前の反復サイクル
の完了によりトリガされる、方法。

【請求項23】

前記逐次近似の第1の変換サイクルは、第1のクロックサイクルによってトリガされ、
前記逐次近似の次の変換サイクルは、前記第1の変換サイクルの完了によってトリガされ
る、請求項22に記載の方法。

【請求項24】

前記第1の複数の超音波信号を平均化するステップは、合計されたアナログ信号を提供
するために前記第1の複数の超音波信号を合計することを更に含む、請求項22に記載の
方法。

【請求項25】

前記合計されたアナログ信号を1つのクロックサイクルにわたり受け取ること、及び、保持することを更に含む、請求項24に記載の方法。

【請求項26】

前記合計されたアナログ信号と比較するための制御を生じさせるために、逐次近似ワードを同等のアナログ信号に変換することを更に含む、請求項24に記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US16/64406
A. CLASSIFICATION OF SUBJECT MATTER IPC - H03M 1/12; A61B 8/14 (2017.01) CPC - H03M 1/001, 1/125, 1/462, 1/0624; A61B 8/4466; G01N 29/34		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) See Search History document		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched See Search History document		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) See Search History document		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y --- A	US 2010/0305449 A1 (WEGENER, A et al.) December 2, 2010; abstract, figure 5, claim 1	1-5, 7 --- 8-12
Y --- A	US 2011/0057823 A1 (HARPE, P) March 10, 2011; paragraphs [0012], [0044], [0058], [0059], [0070], [0100], claim 1	1, 2, 5, 7 --- 6, 8-12
Y --- A	US 2015/0280728 A1 (STMICROELECTRONICS INTERNATIONAL N.V.) October 1, 2015; figure 2, paragraphs [0010], [0019], [0020], [0036], claim 1	1, 3, 4 --- 6, 8-12
A	US 9,071,265 B1 (FREESCALE SEMICONDUCTOR INC.) June 30, 2015; entire document	1-12
<input type="checkbox"/> further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 January 2017 (24.01.2017)		Date of mailing of the international search report 17 FEB 2017
Name and mailing address of the ISA/ Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-8300		Authorized officer Shane Thomas PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA

(72)発明者 チェン, カイリヤン

アメリカ合衆国, コネチカット州 06437, ギルフォード, リバー コロニー 7

(72)発明者 ラルストン, タイラー, エス.

アメリカ合衆国, コネチカット州 06413, クリントン, ビーチ パーク ロード 56

Fターム(参考) 4C601 EE15 GB06 JB19

5J022 AA02 AB01 CA10 CB06 CE01 CF01 CF02 CF05 CF10

专利名称(译)	异步逐次逼近模数转换器及相关方法和装置		
公开(公告)号	JP2018537914A	公开(公告)日	2018-12-20
申请号	JP2018527771	申请日	2016-12-01
[标]申请(专利权)人(译)	蝴蝶网络有限公司		
申请(专利权)人(译)	蝴蝶网络公司		
[标]发明人	チエンカイリヤン ラルストーンタイラーエス		
发明人	チエン,カイリヤン ラルストーン,タイラー,エス.		
IPC分类号	H03M1/38 A61B8/14		
CPC分类号	A61B8/4483 A61B8/54 H03M1/125 H03M1/462 A61B8/4494 H03M1/002		
FI分类号	H03M1/38 A61B8/14		
F-TERM分类号	4C601/EE15 4C601/GB06 4C601/JB19 5J022/AA02 5J022/AB01 5J022/CA10 5J022/CB06 5J022/CE01 5J022/CF01 5J022/CF02 5J022/CF05 5J022/CF10		
代理人(译)	江口明彦 内藤一彦		
优先权	14/957418 2015-12-02 US		
其他公开文献	JP6684352B2		
外部链接	Espacenet		

摘要(译)

提供了一种包括异步逐次逼近模数转换器的超声设备和方法。该装置包括至少一个超声换能器和耦合到至少一个超声换能器的多个异步逐次逼近寄存器 (SAR) 模数转换器 (ADC)，其中多个异步SAR中的至少一个是具有采样保持级，数模转换器 (DAC)，比较器和控制电路并且遵循至少一位转换的DAC更新事件是多个ADC中的至少另一个。与ADC的相应DAC更新事件同步。[选择图]图2

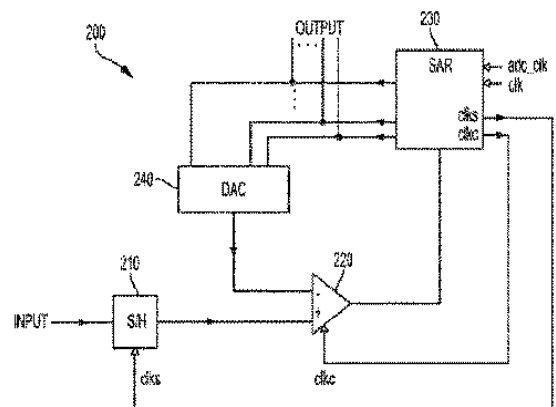


FIG. 2