

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-202354  
(P2016-202354A)

(43) 公開日 平成28年12月8日(2016.12.8)

(51) Int.Cl.  
A61B 8/14 (2006.01)

F 1  
A61B 8/14

テーマコード(参考)  
4C601

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願2015-84827(P2015-84827)  
(22) 出願日 平成27年4月17日(2015.4.17)

(特許庁注:以下のものは登録商標)

1. ブルートゥース

(71) 出願人 514315159  
株式会社ソシオネクスト  
神奈川県横浜市港北区新横浜2丁目10番  
23  
(74) 代理人 100107766  
弁理士 伊東 忠重  
(74) 代理人 100070150  
弁理士 伊東 忠彦  
(74) 代理人 100192636  
弁理士 加藤 隆夫  
(72) 発明者 足立 直人  
神奈川県横浜市港北区新横浜二丁目10番  
23 株式会社ソシオネクスト内  
Fターム(参考) 4C601 EE01 HH17 JC21 KK12

(54) 【発明の名称】 超音波検査装置及び超音波検査装置の制御方法

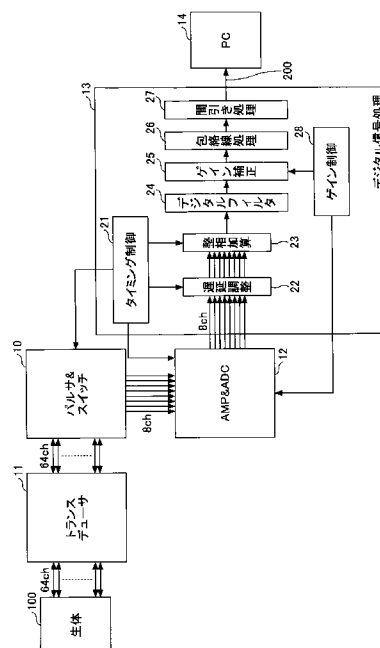
(57) 【要約】

【課題】分解能を上げることにより画質を改善した超音波検査装置を提供する。

【解決手段】超音波検査装置は、一列に配列された複数のトランスデューサと、複数のトランスデューサのうち選択された複数のトランスデューサに超音波パルスを送信させ受信信号を受信させる選択回路と、配列の方向に対応して並ぶ複数奇数個の受信信号を中央の1つの信号を中心として両側で対称に遅延させて互いに加算する第1の動作と、配列の方向に対応して並ぶ複数偶数個の受信信号を中央の2つの信号の間を中心として両側で対称に遅延させて互いに加算する第2の動作とを実行するデジタル信号処理回路とを含む。

【選択図】 図1

超音波検査装置の構成の一例を示す図



**【特許請求の範囲】****【請求項 1】**

一列に配列された複数個のトランスデューサと、  
前記複数個のトランスデューサのうちの選択された複数個のトランスデューサに超音波パルスを送信させ受信信号を受信させる選択回路と、  
前記配列の方向に対応して並ぶ複数奇数個の前記受信信号を中央の 1 つの信号を中心として両側で対称に遅延させて互いに加算する第 1 の動作と、前記配列の方向に対応して並ぶ複数偶数個の前記受信信号を中央の 2 つの信号の間を中心として両側で対称に遅延させて互いに加算する第 2 の動作とを実行するデジタル信号処理回路とを含む超音波検査装置。

10

**【請求項 2】**

前記受信信号をアナログ信号からデジタル信号に変換して、変換後の受信信号を前記デジタル信号処理回路に供給する複数個の A/D 変換器を更に含み、  
前記第 1 の動作において、前記複数個の A/D 変換器のうち前記奇数個の数の A/D 変換器が駆動され、前記第 2 の動作において、前記複数個の A/D 変換器のうち前記偶数個の数の A/D 変換器が駆動されることを特徴とする請求項 1 記載の超音波検査装置。

**【請求項 3】**

前記第 1 の動作において、前記奇数個の数のトランスデューサが前記選択回路により選択的に駆動され、前記第 2 の動作において、前記偶数個の数のトランスデューサが前記選択回路により選択的に駆動されることを特徴とする請求項 1 又は 2 記載の超音波検査装置。

20

**【請求項 4】**

前記デジタル信号処理回路は、  
複数の前記受信信号をそれぞれの遅延量で遅延させる遅延調整回路と、  
前記遅延調整回路により遅延された前記複数の受信信号同士を加算する整相加算回路とを含み、前記遅延調整回路による複数の前記受信信号の遅延量は、前記第 1 の動作のときと前記第 2 の動作のときとで異なる値に設定されることを特徴とする請求項 1 乃至 3 いずれか一項記載の超音波検査装置。

**【請求項 5】**

一列に配列された複数個のトランスデューサのうち奇数個のトランスデューサに超音波を送受信させて得られた受信信号を整相加算する第 1 の動作と、前記複数個のトランスデューサのうち偶数個のトランスデューサに超音波を送受信させて得られた受信信号を整相加算する第 2 の動作とを、交互に実行する超音波検査装置。

30

**【請求項 6】**

一列に配列された複数個のトランスデューサのうちの選択された複数個のトランスデューサに超音波パルスを送信させ第 1 の受信信号を受信させ、  
前記配列の方向に対応して並ぶ複数奇数個の前記第 1 の受信信号を中央の 1 つの信号を中心として両側で対称に遅延させて互いに加算し、  
前記一列に配列された複数個のトランスデューサのうちの選択された複数個のトランスデューサに超音波パルスを送信させ第 2 の受信信号を受信させ、  
前記配列の方向に対応して並ぶ複数偶数個の前記第 2 の受信信号を中央の 2 つの信号の間を中心として両側で対称に遅延させて互いに加算する  
各段階の動作を実行する超音波検査装置の制御方法。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本願開示は、超音波検査装置及び超音波検査装置の制御方法に関する。

**【背景技術】****【0002】**

50

超音波画像診断装置等の超音波検査装置においては、パルサ回路からトランスデューサにパルス電圧信号が印加され、当該パルス電圧信号に応じてトランスデューサが超音波パルスを生体内に送信する。筋肉と脂肪との間等の音響インピーダンスが異なる生体組織の境界において超音波パルスが反射され、反射波がトランスデューサにより受信される。一回の超音波パルス送信により得られる受信信号は、時間と共に振幅が変化する信号となり、受信信号中の時間位置がトランスデューサから生体内反射点までの距離に対応し、受信信号の振幅が生体内反射点の反射の強さに対応する。一回の超音波パルス送信により得られる時間と共に振幅が変化する受信信号は、空間的な輝度変化を有する一本の走査線に対応する輝線として表示画面上に表示される。超音波パルスを発射する位置を横方向に順次ずらしながら得られた複数の受信信号を、複数の走査ラインに対する複数の輝線として表示画面上に位置をずらして表示することにより、超音波断層像を形成することができる。

10

#### 【0003】

超音波パルスを走査するために、多数のトランスデューサ素子が例えば一次元に配列されたトランスデューサアレイが用いられる。一回の超音波パルスの送信動作においては、一列に配置された $n$ 個のトランスデューサ素子のうち、 $m$ 個( $m < n$ )のトランスデューサ素子を一緒に駆動する。この際、互いに若干のタイミングのずれを持たせたパルス電圧信号を $m$ 個のトランスデューサ素子に印加して、 $m$ 個のトランスデューサ素子から僅かに異なるタイミングで超音波パルスを発射してよい。これにより、 $m$ 個のトランスデューサ素子に相当する大きさの開口を有する発射面から、焦点に向かって進行する波面を有する超音波ビームを形成することができる。 $n$ 個のトランスデューサ素子のうち駆動する $m$ 個のトランスデューサの位置を、一次元配列上で順次ずらしていくことにより、横方向(トランスデューサ素子の並び方向)に超音波ビームを走査することができる。

20

#### 【0004】

反射波の受信時には、超音波送信時に用いたのと同じの $m$ 個のトランスデューサを用いて反射波を受信してよい。 $m$ 個のトランスデューサが出力する $m$ 個のアナログ受信信号は、 $m$ 個のADC(アナログデジタル変換器)によりデジタル受信信号に変換される。 $m$ 個のデジタル受信信号は、上記焦点から $m$ 個のトランスデューサまでの距離の差に応じた互いの時間差がゼロになるよう遅延調整され、焦点位置からの反射波の信号が同一の時間位置に配置された受信信号となるようタイミング調整される。この遅延調整後の $m$ 個のデジタル受信信号は、互いに加算され、加算結果として1つのデジタル受信信号が得られる。この1つのデジタル受信信号に対してノイズ除去、ゲイン補正、包絡線検出等の処理を施す。これらの処理により得られた処理後のデジタル信号が、超音波断層像を形成する一本の輝線として表示画面上に表示されてよい。

30

#### 【0005】

近年、超音波検査装置のモバイル機器化が期待されており、装置の小型化及び低消費電力化が進められている。装置の小型化及び低消費電力化のためには、ADCの数を少なくしたり、トランスデューサの駆動電圧を低電圧化することが考えられる。従来の高額な医療用の超音波画像診断装置では、ADCのチャンネル数即ち同時に送受信するトランスデューサ素子の数は例えば32個或いは64個等であり、高いフォーカス能力を有した超音波ビームにより高品質な画像を提供している。小型化及び低消費電力化のためにADCのチャンネル数即ち同時駆動するトランスデューサ素子の数を少なくして例えば8個等にとすると、超音波パルス及び受信信号の総体的な強度が弱くなり、画質が低下してしまう。更には、低消費電力化のためにトランスデューサの駆動電圧を低電圧化すると、各々のトランスデューサ素子についても送信超音波パルス及び受信信号の強度が弱くなり、画質が低下してしまう。特に、ADCのチャンネル数即ち同時駆動するトランスデューサ素子の数を少なくすると、フォーカス能力が低下して、分解能が劣化してしまうという問題がある。

40

#### 【先行技術文献】

#### 【特許文献】

#### 【0006】

【特許文献1】特開2009-142680号公報

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

以上を鑑みると、分解能を上げることにより画質を改善した超音波検査装置が望まれる。

## 【課題を解決するための手段】

## 【0008】

超音波検査装置は、一列に配列された複数個のトランスデューサと、前記複数個のトランスデューサのうちの選択された複数個のトランスデューサに超音波パルスを送信させ受信信号を受信させる選択回路と、前記配列の方向に対応して並ぶ複数奇数個の前記受信信号を中央の1つの信号を中心として両側で対称に遅延させて互いに加算する第1の動作と、前記配列の方向に対応して並ぶ複数偶数個の前記受信信号を中央の2つの信号の間を中心として両側で対称に遅延させて互いに加算する第2の動作とを実行するデジタル信号処理回路とを含む。

10

## 【0009】

超音波検査装置は、一列に配列された複数個のトランスデューサのうち奇数個のトランスデューサに超音波を送受信させて得られた受信信号を整相加算する第1の動作と、前記複数個のトランスデューサのうち偶数個のトランスデューサに超音波を送受信させて得られた受信信号を整相加算する第2の動作とを交互に実行する。

20

## 【0010】

超音波検査装置の制御方法は、一列に配列された複数個のトランスデューサのうちの選択された複数個のトランスデューサに超音波パルスを送信させ第1の受信信号を受信させ、前記配列の方向に対応して並ぶ複数奇数個の前記第1の受信信号を中央の1つの信号を中心として両側で対称に遅延させて互いに加算し、前記一列に配列された複数個のトランスデューサのうちの選択された複数個のトランスデューサに超音波パルスを送信させ第2の受信信号を受信させ、前記配列の方向に対応して並ぶ複数偶数個の前記第2の受信信号を中央の2つの信号の間を中心として両側で対称に遅延させて互いに加算する各段階の動作を実行する。

## 【発明の効果】

## 【0011】

少なくとも1つの実施例によれば、超音波検査装置において分解能を上げることにより画質を改善することができる。

30

## 【図面の簡単な説明】

## 【0012】

【図1】超音波検査装置の構成の一例を示す図である。

【図2】8個のトランスデューサ素子を選択的に駆動したときの送信動作の一例を示す図である。

【図3】8個のトランスデューサ素子を選択的に駆動したときの受信動作の一例を示す図である。

【図4】7個のトランスデューサ素子を選択的に駆動したときの送信動作の一例を示す図である。

40

【図5】7個のトランスデューサ素子を選択的に駆動したときの受信動作の一例を示す図である。

【図6】7個のトランスデューサ素子を選択的に駆動したときの送信動作の別の一例を示す図である。

【図7】7個のトランスデューサ素子を選択的に駆動したときの受信動作の別の一例を示す図である。

【図8】図1の超音波検査装置における超音波ビームの走査動作を示すフローチャートである。

【図9】複数の異なる焦点位置に対する8個のチャンネルの遅延時間の一例を示す図である

50

。

【図 1 0】複数の異なる焦点位置に対する 7 個のチャンネルの遅延時間の一例を示す図である。

【図 1 1】パルサ & スイッチ回路の構成の一例を示す図である。

【図 1 2】アンプ & A/D 変換回路の構成の一例を示す図である。

【図 1 3】遅延調整回路の構成の一例を示す図である。

【図 1 4】整相加算回路の構成の一例を示す図である。

【発明を実施するための形態】

【0013】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。なお以下の図面において、同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。

10

【0014】

図 1 は、超音波検査装置の構成の一例を示す図である。図 1 に示す超音波検査装置は、パルサ & スイッチ回路 10、トランスデューサアレイ 11、アンプ & A/D 変換回路 (AMP & ADC) 12、及びデジタル信号処理回路 13 を含む。デジタル信号処理回路 13 は、タイミング制御回路 21、遅延調整回路 22、整相加算回路 23、デジタルフィルタ 24、ゲイン補正回路 25、包絡線処理回路 26、間引き回路 27、及びゲイン制御回路 28 を含む。超音波検査装置が生成した生体 100 の超音波断層像のデータは、Bluetooth 等のインターフェース 200 を介してパーソナルコンピュータ (PC) 14 やタブレット等の情報処理及び表示機器に送信されてよい。

20

【0015】

図 1 及び以降の同様の図において、各ボックスで示される各回路又は機能ブロックと他の回路又は機能ブロックとの境界は、基本的には機能的な境界を示すものであり、物理的な位置の分離、電気的な信号の分離、制御論理的な分離等に対応するとは限らない。各回路又は機能ブロックは、他のブロックと物理的にある程度分離された 1 つのハードウェアモジュールであってもよいし、或いは他のブロックと物理的に一体となったハードウェアモジュール中の 1 つの機能を示したものであってもよい。

【0016】

トランスデューサアレイ 11 には、複数個 (図 1 の例では 64 個) のトランスデューサ素子が一列に配列されている。パルサ & スイッチ回路 10 は、トランスデューサアレイ 11 の一列に配列された複数個のトランスデューサ素子のうちの選択された複数個 (例えば 7 個又は 8 個) のトランスデューサ素子に、超音波パルスを送信させ且つ受信信号を受信させる。具体的には、デジタル信号処理回路 13 のタイミング制御回路 21 による制御の下で、パルサ & スイッチ回路 10 から、トランスデューサアレイ 11 の配列方向に連続して配置される選択された複数のトランスデューサ素子にパルス電圧信号が印加される。当該パルス電圧信号に応じて、複数のトランスデューサ素子が超音波パルスを生体 100 内に送信する。筋肉と脂肪との間等の音響インピーダンスが異なる生体組織の境界において超音波パルスが反射され、反射波が上記の選択されたトランスデューサ素子により受信される。

30

40

【0017】

一回の超音波パルスの送信動作においては、一列に配置された  $n$  個 (例えば 64 個) のトランスデューサ素子のうち、 $m$  個 ( $m < n$ ) のトランスデューサ素子を一緒に駆動する。この個数  $m$  は、例えば 8 個又は 7 個であってよい。例えば 8 個のトランスデューサ素子を選択的に駆動する動作と、例えば 7 個のトランスデューサ素子を選択的に駆動する動作とについては、後ほど詳細に説明する。なお、例えば 8 個を選択的に駆動する動作と例えば 7 個を選択的に駆動する動作とを実行する場合、7 個のトランスデューサ素子を選択的に駆動する動作においては、8 個のトランスデューサ素子を選択的に駆動する動作と比較して消費電力を削減することができる。

【0018】

50

m個のトランスデューサ素子を一緒に駆動する際、互いに若干のタイミングのずれを持たせたパルス電圧信号をm個のトランスデューサ素子に印加して、m個のトランスデューサ素子から僅かに異なるタイミングで超音波パルスを発射する。これにより、m個のトランスデューサ素子に相当する大きさの開口を有する発射面から、焦点に向かって進行する波面を有する超音波ビームを形成することができる。トランスデューサアレイ11のn個のトランスデューサ素子のうち駆動するm個のトランスデューサの位置を、一次元配列上で順次ずらしていくことにより、横方向(トランスデューサ素子の並び方向)に超音波ビームを走査することができる。m個のトランスデューサ素子に印加するパルス電圧信号のタイミングは、デジタル信号処理回路13のタイミング制御回路21により制御されてよい。

10

**【0019】**

反射波の受信時には、超音波送信時に用いたのと同じのm個のトランスデューサ素子を用いて反射波を受信してよい。m個のトランスデューサ素子が出力するm個のアナログ受信信号は、アンプ&AD変換回路12に供給され増幅され、アンプ&AD変換回路12のm個のADC(アナログデジタルコンバータ)によりデジタル受信信号に変換される。変換後のデジタル受信信号は、アンプ&AD変換回路12からデジタル信号処理回路13の遅延調整回路22に供給される。

**【0020】**

遅延調整回路22によりm個のデジタル受信信号は、焦点からm個のトランスデューサ素子までの距離の差に応じた互いの時間差がゼロになるよう遅延調整され、焦点位置からの反射波の信号が同一の時間位置に配置された受信信号となるようタイミング調整される。この遅延調整後のm個のデジタル受信信号は、整相加算回路23により互いに加算され、加算結果として1つのデジタル受信信号が生成される。この1つのデジタル受信信号に対してデジタルフィルタ24によるノイズ除去、ゲイン補正回路25によりゲイン補正、包絡線処理回路26による包絡線検出等の処理を施す。また間引き回路27が、必要に応じて走査線や画素を間引くことにより、表示画像形式に適した画像データを形成する。

20

**【0021】**

なおゲイン補正回路25は、ゲイン制御回路28の制御の下で動作し、受信信号中の時間位置が後になる程大きな増幅率でデジタル受信信号の振幅を増幅する。即ち、生体100中の反射点の位置がトランスデューサアレイ11から遠くなるほど、当該位置に対応する受信信号の振幅が大きな増幅率で増幅される。

30

**【0022】**

図1に示す超音波検査装置では、デジタル信号処理回路13の制御の下で、例えば7個のトランスデューサ素子を選択的に駆動する第1の動作と、例えば8個のトランスデューサ素子を選択的に駆動する第2の動作とが交互に実行されてよい。第1の動作においては、トランスデューサアレイ11のトランスデューサ素子の配列の方向に対応して並ぶ複数奇数個の受信信号を中央の1つの信号を中心として両側で対称に遅延させて互いに加算する。第2の動作においては、トランスデューサアレイ11のトランスデューサ素子の配列の方向に対応して並ぶ複数偶数個の受信信号を中央の2つの信号の間を中心として両側で対称に遅延させて互いに加算する。

40

**【0023】**

図2は、8個のトランスデューサ素子を選択的に駆動したときの送信動作の一例を示す図である。図2において、トランスデューサ素子11-1乃至11-8は、トランスデューサアレイ11の一行に配列された複数(例えば64個)のトランスデューサ素子のうちの連続する8個である。8個のトランスデューサ素子11-1乃至11-8にパルス電圧信号S1乃至S8がそれぞれ印加されると、トランスデューサ素子11-1乃至11-8から焦点FP1に向かい超音波パルスが発射される。この際、両端のトランスデューサ素子11-1及び11-8に一番最初にパルス電圧信号S1及びS8を印加し、所定の遅延時間後に両端から2番目のトランスデューサ素子11-2及び11-7にパルス電圧信号S2及びS7を印加する。その後所定の遅延時間後に両端から3番目のトランスデューサ

50

素子 1 1 - 3 及び 1 1 - 6 にパルス電圧信号 S 3 及び S 6 を印加し、更にその後所定の遅延時間後に両端から 4 番目のトランスデューサ素子 1 1 - 4 及び 1 1 - 5 にパルス電圧信号 S 4 及び S 5 を印加する。即ち、トランスデューサアレイ 1 1 のトランスデューサ素子 1 1 - 1 乃至 1 1 - 8 について、中央の 2 つの素子の間を中心として両側で対称な遅延を持たせ、中心に近いほど遅延を大きくして超音波パルスを発射している。これにより、トランスデューサ素子 1 1 - 1 乃至 1 1 - 8 から焦点 F S 1 に向けて収束する波面を有する超音波パルスを生成することができる。

#### 【 0 0 2 4 】

図 3 は、8 個のトランスデューサ素子を選択的に駆動したときの受信動作の一例を示す図である。図 3 において、トランスデューサアレイ 1 1 の一列に配列された複数（例えば 6 4 個）のトランスデューサ素子のうちの連続する 8 個のトランスデューサ素子 1 1 - 1 乃至 1 1 - 8 は、焦点 F P 1 からの反射波を受信する。トランスデューサ素子 1 1 - 1 乃至 1 1 - 8 が受信した受信信号 R 1 乃至 R 8 は、図 1 に示すパルサ & スイッチ回路 1 0 及びアンプ & A D 変換回路 1 2 を介して遅延調整回路 2 2 に供給され、遅延調整回路 2 2 によりそれぞれ遅延される。この際、両端のトランスデューサ素子 1 1 - 1 及び 1 1 - 8 に対応する受信信号 R 1 及び R 8 については例えば遅延をゼロとし、両端から 2 番目のトランスデューサ素子 1 1 - 2 及び 1 1 - 7 に対応する受信信号 R 2 及び R 7 については所定の第 1 の遅延を与える。また両端から 3 番目のトランスデューサ素子 1 1 - 3 及び 1 1 - 6 に対応する受信信号 R 3 及び R 6 については、上記第 1 の遅延よりも長い第 2 の遅延を与える。両端から 4 番目のトランスデューサ素子 1 1 - 4 及び 1 1 - 5 に対応する受信信号 R 4 及び R 5 については、第 2 の遅延よりも更に長い第 3 の遅延を与える。即ち、トランスデューサアレイ 1 1 のトランスデューサ素子 1 1 - 1 乃至 1 1 - 8 に対応する 8 個の受信信号について、中央の 2 つの素子の間を中心として両側で対称な遅延を持たせ、中心に近いほど遅延を大きくする。これにより、トランスデューサ素子 1 1 - 1 乃至 1 1 - 8 で受信した焦点 F S 1 からの超音波パルスに対応する受信信号を、時間軸上の同一位置に揃え、整相加算処理に供することができる。

#### 【 0 0 2 5 】

図 2 及び図 3 に示すように 8 個のトランスデューサ素子を超音波の送受信に用いた場合、焦点の横方向位置（トランスデューサ素子の配列方向の位置）は中央の 2 つのトランスデューサ素子の中間の位置となる。従って、駆動する 8 個のトランスデューサ素子を 1 つずつずらして走査ビームを移動させる場合、8 個のトランスデューサ素子の焦点位置は、1 つのトランスデューサ素子の大きさ（或いはトランスデューサ素子の配列のピッチ）に相当する距離だけ移動することになる。即ち、一本ずつ走査される複数の超音波ビームのうち隣接する超音波ビーム間の距離は、トランスデューサ素子の配列のピッチに等しくなる。図 1 に示す超音波検査装置においては、奇数個のトランスデューサ素子を選択的に駆動する動作を実行することにより、隣接する超音波ビーム間の距離（隣接する走査線の焦点間の距離）をトランスデューサ素子の配列のピッチよりも短くする。

#### 【 0 0 2 6 】

図 4 は、7 個のトランスデューサ素子を選択的に駆動したときの送信動作の一例を示す図である。図 4 において、トランスデューサ素子 1 1 - 1 乃至 1 1 - 7 は、トランスデューサアレイ 1 1 の一列に配列された複数（例えば 6 4 個）のトランスデューサ素子のうちの連続する 7 個である。7 個のトランスデューサ素子 1 1 - 1 乃至 1 1 - 7 にパルス電圧信号 S 1 乃至 S 7 がそれぞれ印加されると、トランスデューサ素子 1 1 - 1 乃至 1 1 - 7 から焦点 F P 2 に向かい超音波パルスが発射される。この際、両端のトランスデューサ素子 1 1 - 1 及び 1 1 - 7 に一番始めにパルス電圧信号 S 1 及び S 7 を印加し、所定の遅延時間後に両端から 2 番目のトランスデューサ素子 1 1 - 2 及び 1 1 - 6 にパルス電圧信号 S 2 及び S 6 を印加する。その後所定の遅延時間後に両端から 3 番目のトランスデューサ素子 1 1 - 3 及び 1 1 - 5 にパルス電圧信号 S 3 及び S 5 を印加し、更にその後所定の遅延時間後に中央のトランスデューサ素子 1 1 - 4 にパルス電圧信号 S 4 を印加する。即ち、トランスデューサアレイ 1 1 のトランスデューサ素子 1 1 - 1 乃至 1 1 - 7 について、

中央の1つの素子を中心として両側で対称な遅延を持たせ、中心に近いほど遅延を大きくして超音波パルスを発射している。これにより、トランスデューサ素子11-1乃至11-7から焦点FS2に向けて収束する波面を有する超音波パルスを生成することができる。

#### 【0027】

図5は、7個のトランスデューサ素子を選択的に駆動したときの受信動作の一例を示す図である。図5において、トランスデューサアレイ11の一行に配列された複数(例えば64個)のトランスデューサ素子のうちの連続する7個のトランスデューサ素子11-1乃至11-7は、焦点FP2からの反射波を受信する。トランスデューサ素子11-1乃至11-7が受信した受信信号R1乃至R7は、図1に示すパルサ&スイッチ回路10及びアンプ&AD変換回路12を介して遅延調整回路22に供給され、遅延調整回路22によりそれぞれ遅延される。この際、両端のトランスデューサ素子11-1及び11-7に対応する受信信号R1及びR7については例えば遅延をゼロとし、両端から2番目のトランスデューサ素子11-2及び11-6に対応する受信信号R2及びR6については所定の第1の遅延を与える。また両端から3番目のトランスデューサ素子11-3及び11-5に対応する受信信号R3及びR5については、上記第1の遅延よりも長い第2の遅延を与える。更に、中央のトランスデューサ素子11-4に対応する受信信号R4については、第2の遅延よりも更に長い第3の遅延を与える。即ち、トランスデューサアレイ11のトランスデューサ素子11-1乃至11-7に対応する7個の受信信号について、中央の素子を中心として両側で対称な遅延を持たせ、中心に近いほど遅延を大きくする。これにより、トランスデューサ素子11-1乃至11-7で受信した焦点FS2からの超音波パルスに対応する受信信号を、時間軸上の同一位置に揃え、整相加算処理に供することができる。

10

20

#### 【0028】

図4及び図5に示すように7個のトランスデューサ素子11-1乃至11-7を超音波の送受信に用いた場合、焦点の横方向位置(トランスデューサ素子の配列方向の位置)は中央の1つのトランスデューサ素子11-4の中間の位置となる。従って、図2及び図3に示すように8個のトランスデューサ素子11-1乃至11-8を超音波の送受信に用いた場合の焦点位置に対して、1つのトランスデューサ素子の大きさ(或いは素子配列のピッチ)の1/2に相当する距離だけ焦点が移動することになる。即ち、一本ずつ走査される複数の超音波ビームのうち隣接する超音波ビーム間の距離は、トランスデューサ素子の配列のピッチの1/2に等しくなる。

30

#### 【0029】

図6は、7個のトランスデューサ素子を選択的に駆動したときの送信動作の別の一例を示す図である。図6において、トランスデューサ素子11-2乃至11-8は、トランスデューサアレイ11の一行に配列された複数(例えば64個)のトランスデューサ素子のうちの連続する7個である。7個のトランスデューサ素子間の超音波パルス送信タイミングの時間差については、図4に示す場合と同様である。7個のトランスデューサ素子11-2乃至11-8を用いることにより、中央のトランスデューサ素子11-5の位置において焦点FC3が形成される。

40

#### 【0030】

図7は、7個のトランスデューサ素子を選択的に駆動したときの受信動作の別の一例を示す図である。図7において、トランスデューサアレイ11の一行に配列された複数(例えば64個)のトランスデューサ素子のうちの連続する7個のトランスデューサ素子11-2乃至11-8は、焦点FP3からの反射波を受信する。7個のトランスデューサ素子からの7個の受信信号の間の遅延時間差については、図5に示す場合と同様である。

#### 【0031】

図4及び図5のように7個のトランスデューサ素子11-1乃至11-7を第1の走査に用い、次に図2及び図3のように8個のトランスデューサ素子11-1乃至11-8を第2の走査に用いれば、走査線間の間隔を素子のピッチの1/2にすることができる。ま

50

た図 2 及び図 3 のように 8 個のトランスデューサ素子 1 1 - 1 乃至 1 1 - 8 を第 2 の走査に用い、次に図 6 及び図 7 のように 7 個のトランスデューサ素子 1 1 - 2 乃至 1 1 - 8 を第 3 の走査に用いれば、走査線間の間隔を素子のピッチの 1 / 2 にすることができる。このようにして奇数個のトランスデューサ素子を選択的に駆動する第 1 の動作と偶数個のトランスデューサ素子を選択的に駆動する第 2 の動作とを交互に実行することで、トランスデューサ素子の大きさ（又は配列のピッチ）の 1 / 2 に相当する分解能を実現できる。

#### 【 0 0 3 2 】

図 8 は、図 1 の超音波検査装置における超音波ビームの走査動作を示すフローチャートである。このフローチャートでは、選択的に駆動されるトランスデューサ素子の数は 7 個及び 8 個である。またこのフローチャートの処理では、7 チャンネル用遅延テーブル及び 8 チャンネル用遅延テーブルが用いられる。図 9 は 8 チャンネル用遅延テーブルの一例を示す図である。図 1 0 は 7 チャンネル用遅延テーブルの一例を示す図である。これらの遅延テーブルについては、後ほど詳細に説明する。

10

#### 【 0 0 3 3 】

図 8 に戻り、まずこのフローチャートの動作開始時において、変数  $i$  は初期値 1 に設定される。その後、ステップ S 1 において、7 個のチャンネル  $i$  乃至  $i + 6$  を送受信する。即ち、図 1 の超音波検査装置において、タイミング制御回路 2 1 の制御の下で、パルサ & スイッチ回路 1 0 がトランスデューサアレイ 1 1 の  $i$  番目乃至  $i + 6$  番目のトランスデューサ素子を選択的に駆動し、超音波パルスを送受信させる。この時、7 個のトランスデューサ素子の送信時の遅延時間の設定（各チャンネルに対するパルス電圧信号の遅延時間の設定）、及び、7 個のトランスデューサ素子が受信する受信信号の各チャンネルに対する遅延時間の設定には、7 チャンネル用遅延テーブルを使用する。

20

#### 【 0 0 3 4 】

図 1 0 には、複数の異なる焦点位置（深さ）に対する 7 個のチャンネルの遅延時間の一例が示されている。所望の深さの点にフォーカスするように超音波パルスを送受信したい場合には、図 1 0 に示す遅延テーブルにおいて当該深さに対応する遅延時間を、超音波パルスの送信時のパルス電圧信号のタイミング制御と受信信号の遅延制御との両方において用いる。即ち例えば、深さ 4 0 mm の点にフォーカスしたい場合の送信時には、 $i$  番目乃至  $i + 6$  番目のトランスデューサ素子に印加するパルス電圧信号のそれぞれに対して、0、1 7 . 7 8、2 8 . 4 5、3 2 . 0 1、2 8 . 4 5、1 7 . 7 8、0 の遅延時間を与える。また例えば深さ 4 0 mm の点にフォーカスしたい場合の受信時には、 $i$  番目乃至  $i + 6$  番目のトランスデューサ素子からの受信信号のそれぞれに対して、0、1 7 . 7 8、2 8 . 4 5、3 2 . 0 1、2 8 . 4 5、1 7 . 7 8、0 の遅延時間を与える。

30

#### 【 0 0 3 5 】

なお想定する焦点位置が深い程、当該焦点位置と 7 個のトランスデューサ素子との距離については、チャンネル間での差が小さくなるので、遅延テーブルに示される 7 個のチャンネル間の遅延時間の差も小さくなる。逆に言えば、想定する焦点位置が浅い程、当該焦点位置と 7 個のトランスデューサ素子との距離については、チャンネル間での差が大きくなるので、遅延テーブルに示される 7 個のチャンネル間の遅延時間の差も大きくなる。

40

#### 【 0 0 3 6 】

図 1 に示す超音波検査装置における深さの設定としては、例えば 1 つの超音波断層像を得る際に、予め設定された 1 つの深さに焦点が合う画像を収集して表示してよい。或いは、1 つの超音波断層像を得る際に、複数の異なる深さに焦点が合う複数の画像を収集し、各画像から焦点近傍の高画質である部分を取り出して、複数の画像の高画質部分を組み合わせて合成することにより、全体的に高画質な 1 つの画像を形成してもよい。

#### 【 0 0 3 7 】

図 8 に戻り、ステップ S 2 において、8 個のチャンネル  $i$  乃至  $i + 7$  を送受信する。即ち、図 1 の超音波検査装置において、タイミング制御回路 2 1 の制御の下で、パルサ & スイッチ回路 1 0 がトランスデューサアレイ 1 1 の  $i$  番目乃至  $i + 7$  番目のトランスデューサ素子を選択的に駆動し、超音波パルスを送受信させる。この時、8 個のトランスデューサ

50

素子の送信時の遅延時間の設定（各チャンネルに対するパルス電圧信号の遅延時間の設定）、及び、7個のトランスデューサ素子が受信する受信信号の各チャンネルに対する遅延時間の設定には、8チャンネル用遅延テーブルを使用する。

【0038】

図9には、複数の異なる焦点位置（深さ）に対する8個のチャンネルの遅延時間の一例が示されている。この遅延テーブルに記載される遅延時間の技術的意味は図10の場合と同様である。即ち、所望の深さの点にフォーカスするように超音波パルスを送受信したい場合には、図9に示す遅延テーブルにおいて当該深さに対応する遅延時間を、超音波パルスの送信時のパルス電圧信号のタイミング制御と受信信号の遅延制御との両方において用いる。

10

【0039】

図8に戻り、ステップS3において、 $i + 7$ がチャンネル総数よりも大きいかなかを判定する。なおステップS3の前に、変数 $i$ は1増加される。チャンネル総数とは、トランスデューサレイ11に設けられるトランスデューサ素子の総数であり、図1の超音波検査装置の例では64である。 $i + 7$ がチャンネル総数よりも大きくない場合、処理はステップS1に戻り、ステップS1の処理及び以降のステップの処理を繰り返す。

【0040】

$i + 7$ がチャンネル総数よりも大きい場合、処理はステップS4に移り、7個のチャンネル $i$ 乃至 $i + 6$ を送受信する。この時、7個のトランスデューサ素子の送信時の遅延時間の設定、及び、7個のトランスデューサ素子が受信する受信信号の各チャンネルに対する遅延時間の設定には、7チャンネル用遅延テーブルを使用する。

20

【0041】

以上で超音波検査装置における一回の超音波ビームの走査が完了する。即ち、横方向（トランスデューサ素子の配列方向）における一回の超音波ビームの走査が完了する。

【0042】

図11は、パルサ&スイッチ回路10の構成の一例を示す図である。図11に示すパルサ&スイッチ回路10は、パルス出力及び受信出力回路31、及び、送受信チャンネル選択回路32-1乃至32-8を含む。

【0043】

送受信チャンネル選択回路32-1乃至32-8はそれぞれ、図1のデジタル信号処理回路13のタイミング制御回路21から制御信号CNT1乃至CNT8を受け取る。制御信号CNT1乃至CNT8は、選択するチャンネル番号を示す情報と各チャンネルの遅延時間を示す情報とを含んでよい。各チャンネルの遅延時間を示す情報は、タイミング制御回路21が図9及び図10に示す遅延テーブルを参照して生成してよい。制御信号CNT1乃至CNT8に応じて送受信チャンネル選択回路32-1乃至32-8がパルス出力及び受信出力回路31を制御することで、パルス出力及び受信出力回路31が、選択されたチャンネル番号のトランスデューサ素子を指定された遅延時間で駆動する。具体的には、第1の動作において、7個の数のトランスデューサがパルス出力及び受信出力回路31により選択的に駆動され、第2の動作において、8個の数のトランスデューサがパルス出力及び受信出力回路31により選択的に駆動される。

30

40

【0044】

パルス出力及び受信出力回路31は更に、送受信チャンネル選択回路32-1乃至32-8の制御の下で、選択されたチャンネル番号のトランスデューサ素子からの受信信号を受け取り、受け取った受信信号をアンプ&AD変換回路12（図1参照）に供給する。第1の動作においては、選択された7個の数のトランスデューサからの受信信号が、パルス出力及び受信出力回路31からアンプ&AD変換回路12に供給される。パルス出力及び受信出力回路31からアンプ&AD変換回路12への信号経路は8チャンネルであるため、第1の動作においては、1つの信号経路には受信信号は伝送されていないことになる。第2の動作においては、選択された8個の数のトランスデューサからの受信信号が、パルス出力及び受信出力回路31からアンプ&AD変換回路12に供給される。

50

## 【 0 0 4 5 】

図 1 2 は、アンプ & A D 変換回路 1 2 の構成の一例を示す図である。図 1 2 に示すアンプ & A D 変換回路 1 2 は、増幅機能と A D 変換機能とを有する複数の A M P & A D C 4 0 - 1 乃至 4 0 - 8 を含む。

## 【 0 0 4 6 】

A M P & A D C 4 0 - 1 乃至 4 0 - 8 は、パルサ & スイッチ回路 1 0 から受信信号を受け取り、受け取った受信信号を増幅する。A M P & A D C 4 0 - 1 乃至 4 0 - 8 は更に、増幅後の受信信号をアナログ信号からデジタル信号に変換して、変換後の受信信号をデジタル信号処理回路 1 3 の遅延調整回路 2 2 に供給する。第 1 の動作においては、A M P & A D C 4 0 - 1 乃至 4 0 - 8 のうち 7 個の A M P & A D C ( 例えば 4 0 - 1 乃至 4 0 - 7 ) が駆動され、第 2 の動作において、A M P & A D C 4 0 - 1 乃至 4 0 - 8 のうち 8 個の A M P & A D C が駆動される。第 1 の動作においては、A M P & A D C 4 0 - 1 乃至 4 0 - 8 のうちの 1 つの A M P & A D C の動作が停止されるので、その分の消費電力が削減される。

10

## 【 0 0 4 7 】

図 1 3 は、遅延調整回路 2 2 の構成の一例を示す図である。図 1 3 に示される遅延調整回路 2 2 は、遅延回路 5 0 - 1 乃至 5 0 - 8 を含む。

## 【 0 0 4 8 】

遅延回路 5 0 - 1 乃至 5 0 - 8 は、アンプ & A D 変換回路 1 2 から 8 個又は 7 個の受信信号を受け取ると共に、タイミング制御回路 2 1 から遅延時間を設定するための遅延時間データを受け取る。遅延回路 5 0 - 1 乃至 5 0 - 8 は、遅延時間データに応じて設定された遅延時間だけそれぞれの受信信号を遅延させる。第 1 の動作において 7 個のトランスデューサ素子からの受信信号が供給される場合には、図 1 0 に示される 7 チャンネル用の遅延テーブルに示される遅延時間が遅延回路 5 0 - 1 乃至 5 0 - 8 に設定されてよい。また第 2 の動作において、8 個のトランスデューサ素子からの受信信号が供給される場合には、図 9 に示される 8 チャンネル用の遅延テーブルに示される遅延時間が遅延回路 5 0 - 1 乃至 5 0 - 8 に設定されてよい。即ち、遅延回路 5 0 - 1 乃至 5 0 - 8 により遅延される複数の受信信号の遅延量は、第 1 の動作のときと第 2 の動作のときとで異なる値に設定される。これにより、後段の整相加算回路 2 3 においてタイミングを揃えた適切な整相加算を実現することができる。なお焦点深さに関しては、当該遅延処理対象の受信信号に対して想定されている焦点深さに対応する遅延時間のデータを、図 9 又は図 1 0 の遅延テーブルから抽出し、当該遅延時間を設定する遅延時間データを遅延回路 5 0 - 1 乃至 5 0 - 8 に供給すればよい。

20

30

## 【 0 0 4 9 】

図 1 4 は、整相加算回路 2 3 の構成の一例を示す図である。図 1 4 に示される整相加算回路 2 3 は、加算器 6 0、乗算器 6 1、及び除算器 6 2 を含む。加算器 6 0 は、遅延調整回路 2 2 から適宜遅延された受信信号を受け取る。第 1 の動作において 7 個のトランスデューサ素子からの 7 個の受信信号が供給され、第 2 の動作において 8 個のトランスデューサ素子からの 8 個の受信信号が供給される。

## 【 0 0 5 0 】

40

加算数制御信号 N C がタイミング制御回路 2 1 から供給され、第 1 の動作においては例えば " 0 " の値をとり、第 2 の動作においては例えば " 1 " の値をとってよい。加算器 6 0 に入力される 8 個のチャンネルのうち 1 つのチャンネルには乗算器 6 1 が挿入されており、乗算器 6 1 には加算数制御信号 N C が供給される。乗算器 6 1 は、遅延調整回路 2 2 から供給される受信信号に加算数制御信号 N C を乗算することにより、第 1 の動作においては 0 を出力し、第 2 の動作においては供給される受信信号に等しい信号を出力する。なお第 1 の動作においてトランスデューサレイ 1 1 の送受信に 7 個のトランスデューサ素子のみが用いられており、8 番目のチャンネルの信号は雑音がなく完全に 0 であるならば、必ずしも乗算器 6 1 が設けられている必要はない。

## 【 0 0 5 1 】

50

加算器 60 は、8 個のチャネルの信号を互いに加算する。但し第 1 の動作においては、乗算器 61 の出力は 0 であるので、加算器 60 は 7 個のチャネルの信号を互いに加算することになる。即ち、加算器 60 は、第 1 の動作において 7 個のトランスデューサ素子からの 7 個の受信信号を互いに加算し、第 2 の動作において 8 個のトランスデューサ素子からの 8 個の受信信号を互いに加算する。加算結果は除算器 62 に供給される。

【0052】

除算器 62 は、加算器 60 からの加算結果を受け取ると共に、加算数制御信号 NC をタイミング制御回路 21 から受け取る。除算器 62 は、加算数制御信号 NC が 0 のときには加算結果を 7 で除算し、加算数制御信号 NC が 1 のときには加算結果を 8 で除算する。即ち、除算器 62 は、第 1 の動作において 7 個のトランスデューサ素子からの 7 個の受信信号が供給される場合には加算結果を 7 で除算し、第 2 の動作において 8 個のトランスデューサ素子からの 8 個の受信信号が供給される場合には加算結果を 8 で除算する。このように加算対象の信号数に等しい数での除算が実行されることにより除算後の信号の振幅が正規化され、第 1 の動作と第 2 の動作とで整相加算される信号の数が異なっても、第 1 の動作と第 2 の動作とで互いに同等の振幅の信号が得られる。

10

【0053】

上記実施例の説明では、第 1 の動作における奇数個の駆動チャネル数が 7 個であり、第 2 の動作における偶数個の駆動チャネル数が 8 個である構成を例として用いた。これらの数は一例にすぎず、第 1 の動作における個数と第 2 の動作における個数との大小関係は任意であってよく、第 1 の動作における個数と第 2 の動作における個数との差は 1 である必要は必ずしもない。例えば、第 1 の動作における奇数個の駆動チャネル数が 9 個であり、第 2 の動作における偶数個の駆動チャネル数が 8 個であってもよい。また例えば、第 1 の動作における奇数個の駆動チャネル数が 5 個であり、第 2 の動作における偶数個の駆動チャネル数が 8 個であってもよい。また近い焦点に対しては第 1 及び第 2 の動作における駆動チャネル数がそれぞれ例えば 5 個と 6 個であり、遠い焦点に対しては第 1 及び第 2 の動作における駆動チャネル数がそれぞれ例えば 7 個と 8 個であるというように、焦点距離に応じて数が変化してもよい。

20

【0054】

また上記実施例の説明では、第 1 の動作における奇数個のチャネルについて超音波パルスの送受信が行われ、第 2 の動作における偶数個のチャネルについて超音波パルスの送受信が行われる構成を例として用いた。しかしながら、2 つのトランスデューサ素子の間に焦点を位置させるためには、駆動数を必ずしも奇数個のチャネルする必要はない。非対称な適切な遅延を持たせて偶数個のトランスデューサ素子を駆動すれば、2 つのトランスデューサ素子の間に焦点を位置させることができる。そのように偶数個のトランスデューサ素子を駆動しながらも、受信時に駆動する AMP & ADC をトランスデューサ素子の駆動数よりも少ない奇数個にし、整相加算回路 23 により加算対象の信号数を奇数個にしてもよい。この構成によっても、ある程度の分解能の向上と消費電力の削減との効果を得ることができる。

30

【0055】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

40

【符号の説明】

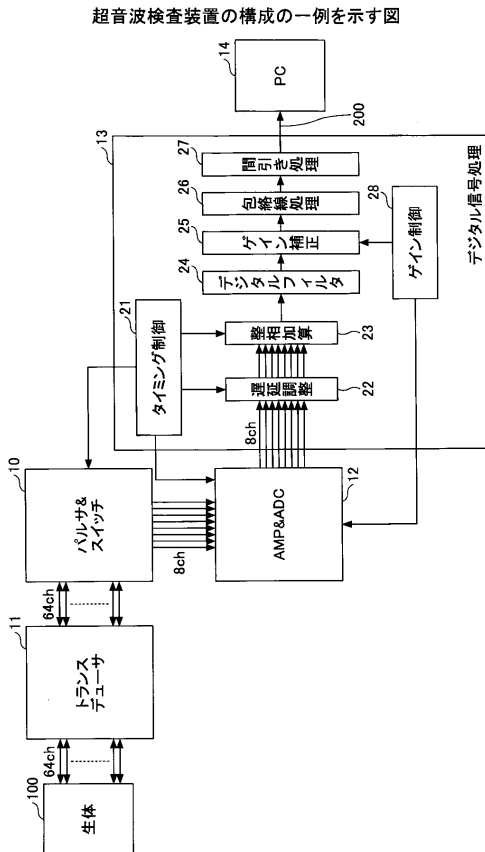
【0056】

- 10 パルサ&スイッチ回路
- 11 トランスデューサアレイ
- 12 アンプ&AD変換回路
- 13 デジタル信号処理回路
- 21 タイミング制御回路
- 22 遅延調整回路
- 23 整相加算回路

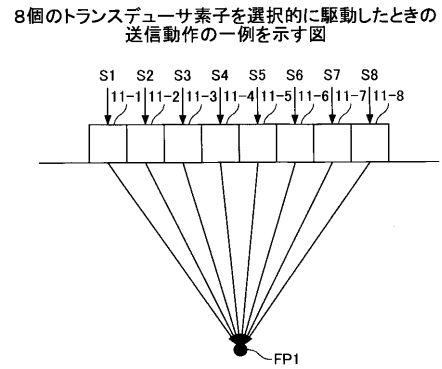
50

- 2 4 デジタルフィルタ
- 2 5 ゲイン補正回路
- 2 6 包絡線処理回路
- 2 7 間引き回路
- 2 8 ゲイン制御回路

【 図 1 】

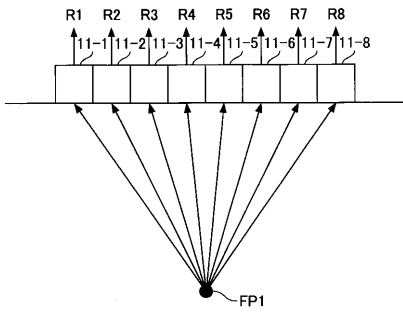


【 図 2 】



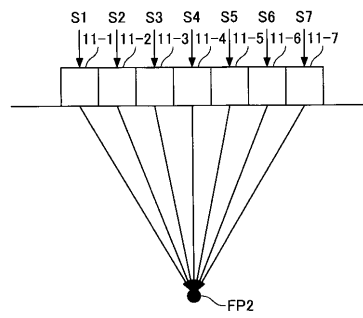
【 図 3 】

8個のトランスデューサ素子を選択的に駆動したときの受信動作の一例を示す図



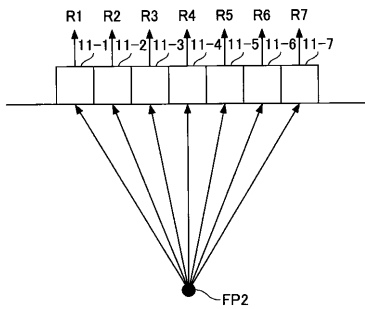
【 図 4 】

7個のトランスデューサ素子を選択的に駆動したときの送信動作の一例を示す図



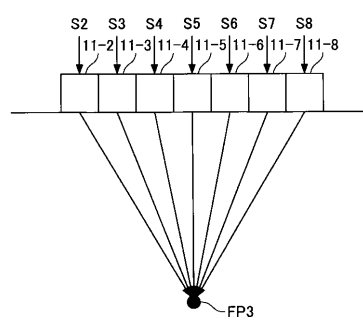
【 図 5 】

7個のトランスデューサ素子を選択的に駆動したときの受信動作の一例を示す図



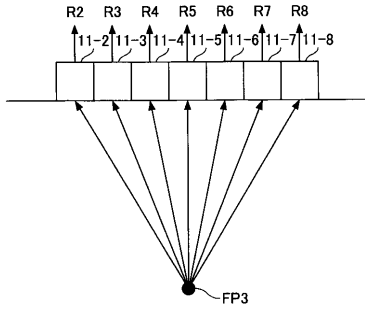
【 図 6 】

7個のトランスデューサ素子を選択的に駆動したときの送信動作の別の一例を示す図



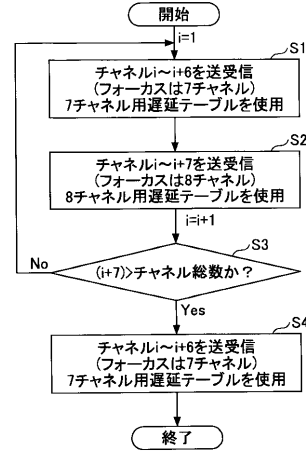
【 図 7 】

7個のトランスデューサ素子を選択的に駆動したときの受信動作の別の一例を示す図



【 図 8 】

図1の超音波検査装置における超音波ビームの走査動作を示すフローチャート



【 図 9 】

複数の異なる焦点位置に対する8個のチャンネルの遅延時間の一例を示す図

| 深さ [mm] | チャンネル1 [ns] | チャンネル2 [ns] | チャンネル3 [ns] | チャンネル4 [ns] | チャンネル5 [ns] | チャンネル6 [ns] | チャンネル7 [ns] | チャンネル8 [ns] |
|---------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| 10      | 0           | 83.74       | 140.16      | 168.56      | 168.56      | 140.16      | 83.74       | 0           |
| 20      | 0           | 42.49       | 70.9        | 85.12       | 85.12       | 70.9        | 42.49       | 0           |
| 30      | 0           | 28.41       | 47.37       | 56.86       | 56.86       | 47.37       | 28.41       | 0           |
| 40      | 0           | 21.33       | 35.55       | 42.67       | 42.67       | 35.55       | 21.33       | 0           |
| 50      | 0           | 17.07       | 28.45       | 34.15       | 34.15       | 28.45       | 17.07       | 0           |
| 60      | 0           | 14.23       | 23.72       | 28.46       | 28.46       | 23.72       | 14.23       | 0           |
| 70      | 0           | 12.2        | 20.33       | 24.4        | 24.4        | 20.33       | 12.2        | 0           |
| 80      | 0           | 10.67       | 17.79       | 21.35       | 21.35       | 17.79       | 10.67       | 0           |
| 90      | 0           | 9.49        | 15.81       | 18.98       | 18.98       | 15.81       | 9.49        | 0           |
| 100     | 0           | 8.54        | 14.23       | 17.08       | 17.08       | 14.23       | 8.54        | 0           |

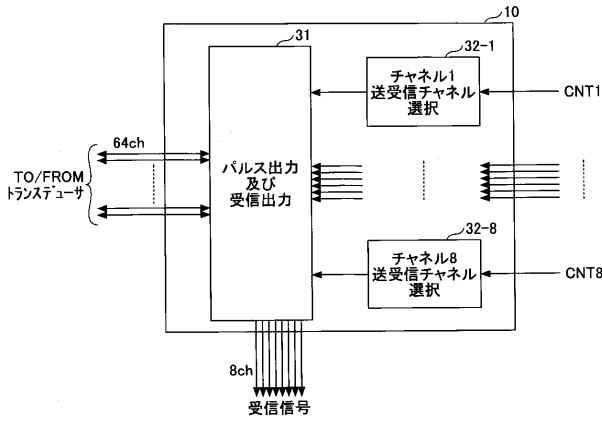
【 図 10 】

複数の異なる焦点位置に対する7個のチャンネルの遅延時間の一例を示す図

| 深さ [mm] | チャンネル1 [ns] | チャンネル2 [ns] | チャンネル3 [ns] | チャンネル4 [ns] | チャンネル5 [ns] | チャンネル6 [ns] | チャンネル7 [ns] |
|---------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| 10      | 0           | 70.19       | 112.67      | 126.89      | 112.67      | 70.19       | 0           |
| 20      | 0           | 35.46       | 56.79       | 63.90       | 56.79       | 35.46       | 0           |
| 30      | 0           | 23.69       | 37.91       | 42.66       | 37.91       | 23.69       | 0           |
| 40      | 0           | 17.78       | 28.45       | 32.01       | 28.45       | 17.78       | 0           |
| 50      | 0           | 14.23       | 22.77       | 25.61       | 22.77       | 14.23       | 0           |
| 60      | 0           | 11.86       | 18.97       | 21.35       | 18.97       | 11.86       | 0           |
| 70      | 0           | 10.17       | 16.27       | 18.30       | 16.27       | 10.17       | 0           |
| 80      | 0           | 8.90        | 14.23       | 16.01       | 14.23       | 8.90        | 0           |
| 90      | 0           | 7.91        | 12.65       | 14.23       | 12.65       | 7.91        | 0           |
| 100     | 0           | 7.12        | 11.39       | 12.81       | 11.39       | 7.12        | 0           |

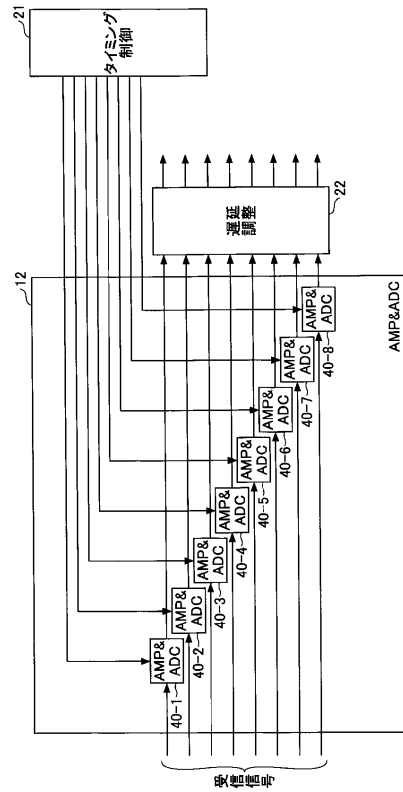
【 図 1 1 】

パルス&スイッチ回路の構成の一例を示す図



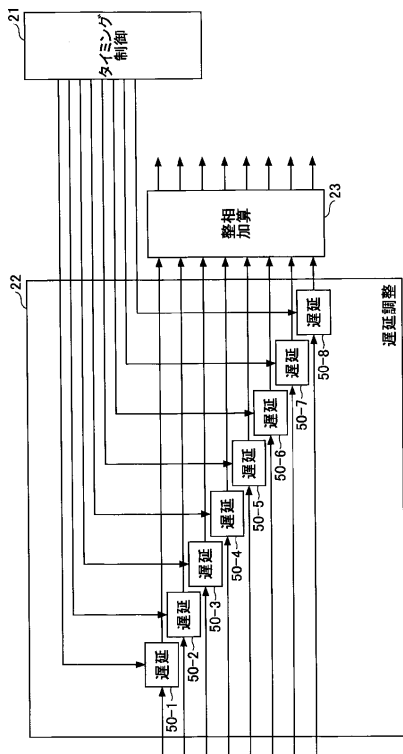
【 図 1 2 】

アンプ&AD変換回路の構成の一例を示す図



【 図 1 3 】

遅延調整回路の構成の一例を示す図



【 図 1 4 】

整相加算回路の構成の一例を示す図

