

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5485108号  
(P5485108)

(45) 発行日 平成26年5月7日 (2014.5.7)

(24) 登録日 平成26年2月28日 (2014.2.28)

(51) Int. Cl.

F I

H03K 17/687 (2006.01)

H03K 17/687 G

A61B 8/00 (2006.01)

A61B 8/00

H01L 29/786 (2006.01)

H01L 29/78 613Z

請求項の数 9 (全 16 頁)

(21) 出願番号 特願2010-241711 (P2010-241711)  
 (22) 出願日 平成22年10月28日 (2010.10.28)  
 (65) 公開番号 特開2012-95168 (P2012-95168A)  
 (43) 公開日 平成24年5月17日 (2012.5.17)  
 審査請求日 平成25年1月23日 (2013.1.23)

(73) 特許権者 000233273  
 株式会社 日立パワーデバイス  
 茨城県日立市大みか町五丁目2番2号  
 (74) 代理人 100064414  
 弁理士 磯野 道造  
 (72) 発明者 原 賢志  
 茨城県日立市大みか町七丁目1番1号 株  
 式会社日立製作所 日立研究所内  
 (72) 発明者 坂野 順一  
 茨城県日立市大みか町七丁目1番1号 株  
 式会社日立製作所 日立研究所内  
 審査官 船越 亮

最終頁に続く

(54) 【発明の名称】 半導体装置、およびそれを用いた超音波診断装置

(57) 【特許請求の範囲】

【請求項 1】

双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備した半導体装置であって、

前記駆動回路は、

前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下である第二の電源電圧を有する第二の電源に接続され、

前記駆動回路は、

前記第一の電源と前記スイッチ回路との間に、アノードを前記第一の電源に接続されたツェナダイオードと、ソース電極が前記ツェナダイオードのカソードに接続されドレイン電極が前記スイッチ回路を制御するゲート端子に接続された P 型 MOSFET とを備えることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、さらにスイッチ制御信号をレベルシフトして前記駆動回路を制御するレベルシフト制御回路を備えることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記ツェナダイオードと前記 P 型 MOSFET とを含む前記駆動回路と、前記スイッチ回路と、前記レベルシフト制御回路とを共通プロセス、同一基板に形成したことを特徴とする半導体装置。

10

20

## 【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記ツェナダイオードのツェナ電圧が前記スイッチ回路の N 型 MOSFET の閾値電圧以上であることを特徴とする半導体装置。

## 【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、前記スイッチ回路は二つの N 型 MOSFET のソース端子を互いに接続し、ゲート端子を互いに接続した双方向アナログスイッチ回路であることを特徴とする半導体装置。

## 【請求項 6】

双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備した半導体装置であって、

前記駆動回路は、

前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下である第二の電源電圧を有する第二の電源に接続され、

前記駆動回路は、

前記第一の電源と前記スイッチ回路との間にツェナダイオードを備える P 型 IGBT が接続されていることを特徴とする半導体装置。

## 【請求項 7】

請求項 6 において、前記ツェナダイオードのツェナ電圧が前記スイッチ回路の N 型 MOSFET の閾値電圧以上であることを特徴とする半導体装置。

## 【請求項 8】

請求項 6 または請求項 7 において、前記スイッチ回路は二つの N 型 MOSFET のソース端子を互いに接続し、ゲート端子を互いに接続した双方向アナログスイッチ回路であることを特徴とする半導体装置。

## 【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項の半導体装置を、振動子への超音波信号の送波切換スイッチに、もしくは超音波の送波パルス発生器と受信増幅器の分離用スイッチに、もしくはプローブの切換スイッチに用いることを特徴とする超音波診断装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、高耐圧用の双方向アナログスイッチを構成する半導体装置、およびそれを用いた超音波診断装置に関する。

## 【背景技術】

## 【0002】

高耐圧用の双方向アナログスイッチ（適宜、スイッチと略す）は、例えば超音波診断装置の分野において、プローブに設けられた複数の振動子に信号を振り分ける為に使用される。双方向アナログスイッチを超音波診断装置の信号切換として使用する場合、双方向アナログスイッチには、診断画像の画質に影響する信号歪みを抑制するため、動作範囲内の高い線形性が要求される。

なお、双方向アナログスイッチの線形性を向上する手法として、特許文献 1 の技術がある。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特表 2004 - 531929 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

10

20

30

40

50

しかしながら、従来の双方向アナログスイッチは必ずしも十分な線形性が確保されていなかった。また、特許文献1に示される回路構成では、オン（ON）状態においてもオフ（OFF）状態においても制御信号の系統に電流が流れ続ける経路があり、電力損失が大きいという課題があった。

【0005】

そこで、本発明はこのような課題を解決するもので、その目的とするところは、良好な線形性を有し、かつ電力損失の少ない双方向アナログスイッチの半導体装置を提供することである。

また、前記半導体装置を用いた検出精度の高い超音波診断装置を提供することである。

【課題を解決するための手段】

10

【0006】

前記の課題を解決して、本発明の目的を達成するために、以下のように本発明の装置を構成した。

すなわち、本発明の半導体装置は、双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備した半導体装置であって、前記駆動回路は、前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下である第二の電源電圧を有する第二の電源に接続され、前記駆動回路は、前記第一の電源と前記スイッチ回路との間に、アノードを前記第一の電源に接続されたツェナダイオードと、ソース電極が前記ツェナダイオードのカソードに接続されドレイン電極が前記スイッチ回路を制御するゲート端子に接続されたP型MOSFETとを備えることを特徴とする。

20

【0007】

また、本発明の半導体装置は、双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備した半導体装置であって、前記駆動回路は、前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下である第二の電源電圧を有する第二の電源に接続され、前記駆動回路は、前記第一の電源と前記スイッチ回路との間にツェナダイオードを備えるP型IGBTが接続されていることを特徴とする。

30

【0008】

また、本発明の超音波診断装置は、前記半導体装置を、振動子への超音波信号の送波切換スイッチに、もしくは超音波の送波パルス発生器と受信増幅器の分離用スイッチに、もしくはプローブの切換スイッチに用いることを特徴とする。

【0009】

かかる構成により、前記スイッチ回路を制御する信号電圧がスイッチ回路の入出力端子に入力する信号より高い電圧を確保するので、双方向アナログスイッチとしての線形性を確保し、かつ電力損失が少ない双方向アナログスイッチの半導体装置が実現する。

【0010】

また、かかる構成により、線形性の優れた電力損失の少ない特性の双方向アナログスイッチを有するので、検出精度の高い超音波診断装置となる。

40

【発明の効果】

【0011】

以上、本発明によれば、良好な線形性を有し、かつ電力損失の少ない双方向アナログスイッチの半導体装置を提供できる。

また、前記半導体装置を用いた検出精度の高い超音波診断装置を提供できる。

【図面の簡単な説明】

【0012】

【図1】本発明による半導体装置の第1実施形態の構成を示す回路図である。

【図2】本発明による半導体装置の第2実施形態の構成を示す回路図である。

50

【図 3】本発明による半導体装置の第 2 実施形態が備える P 型 I G B T の構造を示す断面図である。

【図 4】本発明の半導体装置の入力信号振幅とスイッチ回路の入出力端子間のインピーダンスの関係を示すグラフである。

【図 5】本発明の半導体装置を用いた第 3 実施形態である超音波診断装置の機能構成を示すブロック図である。

【図 6】本発明の半導体装置を用いた第 3 実施形態である超音波診断装置における部分的な細部の構成を示す回路図である。

【図 7】参考比較としての回路技術による双方向アナログスイッチ回路とその駆動回路の構成を示す回路図である。

10

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について説明する。

(第 1 実施形態・半導体装置)

以下、本発明の第 1 実施形態を添付の図面に基づいて詳細に説明する。図 1 は本発明の第 1 実施形態の構成を示す回路図である。

図 1 において、第 1 実施形態である半導体装置は、双方向アナログスイッチ全体回路 4 により構成されている。

【0014】

< 双方向アナログスイッチ全体回路 4 の構成 >

20

双方向アナログスイッチ全体回路 4 は駆動回路 1、スイッチ回路 2、レベルシフト制御回路 3 を備えて構成されている。また、双方向アナログスイッチ全体回路 4 には、高圧正電源 (VPP、第一の電源) 5、高圧負電源 (VNN、第二の電源) 6、およびスイッチ制御信号入力端子 7 が接続され、スイッチ回路 2 における双方向アナログスイッチへの入出力端子 8、9 が備えられている。

【0015】

< スwitch回路 2 >

スイッチ回路 2 は、N 型 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 16 と N 型 MOSFET 17 とを備えて構成されている。N 型 MOSFET 16 と N 型 MOSFET 17 のソース端子とゲート端子がそれぞれ互いに接続されている。なお、MOSFET において、ソースとドレインの関係は、電流が流れる方向によって変化するが、図 1 における N 型 MOSFET 16、17 においては、バルクと同電位とした端子をソース端子 (ソース)、またバルクに接続していない端子をドレイン端子 (ドレイン) と呼ぶことにする。

30

N 型 MOSFET 16 のドレイン端子は、スイッチ回路 2 としての入出力端子 8 であり、N 型 MOSFET 17 のドレイン端子は、スイッチ回路 2 としての入出力端子 9 である。

【0016】

N 型 MOSFET 16、17 の互いに接続されているゲート端子 (ゲート) は、駆動回路 1 の第 1 出力ライン 14 に接続されている。

40

また、N 型 MOSFET 16、17 の互いに接続されているソース端子は、駆動回路 1 の第 2 出力ライン 15 に接続されている。

駆動回路 1 の第 1 出力ライン 14 と第 2 出力ライン 15 は、もとを辿ればスイッチ制御信号 7 に制御される。つまり、スイッチ制御信号 7 が変化することによって、レベルシフト制御回路 3 が動作する。そして、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 18 と第 2 レベルシフト制御回路出力端子 19 による制御信号のもとに駆動回路 1 が動作し、スイッチ回路 2 の状態をオン (ON、導通、低インピーダンス) またはオフ (OFF、遮断、高インピーダンス) に切り換える。これにより、入出力端子 (例えば入出力端子 8) に加えられた信号を、対をなす他の一方の入出力端子 (例えば入出力端子 9) に伝播 (伝達) または遮断する。

50

## 【 0 0 1 7 】

なお、駆動回路 1 の出力信号に相当する第 1 出力ライン 1 4、第 2 出力ライン 1 5 と表記して、出力信号と表記しないのは、第 1 出力ライン 1 4、第 2 出力ライン 1 5 のそれぞれの電位が、駆動回路 1 の P 型 MOS F E T 1 1、N 型 MOS F E T 1 2 の駆動する出力、あるいは N 型 MOS F E T 1 3 の駆動する出力とは別の要因で、定まることがあるためである。

また、駆動回路 1 とレベルシフト制御回路 3 の詳しい構成と動作については後記する。

また、スイッチ回路 2 のさらに詳しい動作と特性については後記する。

## 【 0 0 1 8 】

## &lt; 駆動回路 1 &gt;

駆動回路 1 は、ツェナダイオード 1 0 ( 本実施形態において、降伏電圧がツェナ降伏により決定されるものの他、アバランシェ降伏により決定されるものを含む )、P 型 MOS F E T 1 1、N 型 MOS F E T 1 2、1 3 を備えて構成されている。駆動回路 1 の電源となる高圧正電源 ( V P P ) 5 がツェナダイオード 1 0 のアノード端子に接続され、ツェナダイオード 1 0 のカソード端子は P 型 MOS F E T 1 1 のソース端子に接続されている。

駆動回路 1 のもう一方の電源となる高圧負電源 ( V N N ) 6 は、N 型 MOS F E T 1 2 と N 型 MOS F E T 1 3 のそれぞれのソース端子に接続されている。

## 【 0 0 1 9 】

P 型 MOS F E T 1 1 のドレイン端子と N 型 MOS F E T 1 2 のドレイン端子は互いに接続され、かつ駆動回路 1 の第 1 出力ライン 1 4 として信号を出力している。

また、N 型 MOS F E T 1 3 のドレイン端子は駆動回路 1 の第 2 出力ライン 1 5 として信号を出力している。

P 型 MOS F E T 1 1 のゲート端子はレベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 1 8 に接続されている。

また、N 型 MOS F E T 1 3 のゲート端子と N 型 MOS F E T 1 2 のゲート端子は、共にレベルシフト制御回路 3 の第 2 レベルシフト制御回路出力端子 1 9 に接続されている。

## 【 0 0 2 0 】

## &lt; レベルシフト制御回路 3 &gt;

レベルシフト制御回路 3 は、スイッチ制御信号 7 ( 概ね 0 V - 5 V の制御信号 ) で、高圧正電源 ( V P P ) 5 と高圧負電源 ( V N N ) 6 で動作する駆動回路 1 を駆動できるように信号を電圧変換し、設定する回路である。つまり、0 V - 5 V のスイッチ制御信号を、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 1 8 と第 2 レベルシフト制御回路出力端子 1 9 において、概ね V P P または V N N ( V P P - V N N 間電圧は概ね 2 0 0 V ) の制御信号にレベルシフト ( 電位変換 ) する。したがって、P 型 MOS F E T 1 1 と N 型 MOS F E T 1 2 のゲートは、概ね V P P、V N N の電位で制御される。

なお、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 1 8 と第 2 レベルシフト制御回路出力端子 1 9 とを高圧負電源 6 レベルに設定するタイミングは、同時でも時間差があってもよい。

## 【 0 0 2 1 】

## &lt; 双方向アナログスイッチ全体回路 4 の動作 &gt;

スイッチ制御信号 7 によって、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 1 8 と第 2 レベルシフト制御回路出力端子 1 9 とを高圧負電源 ( V N N ) 6 の電位レベルとすると、駆動回路の P 型 MOS F E T 1 1 がオン、N 型 MOS F E T 1 2、1 3 がオフとなる。それによって、高圧正電源 ( V P P ) 5 からツェナダイオード 1 0、P 型 MOS F E T 1 1 を経由して電流が流れ、スイッチ回路 2 の N 型 MOS F E T 1 6、1 7 のゲート容量が充電されて、N 型 MOS F E T 1 6、1 7 のゲート電位が概ね V P P となることで、N 型 MOS F E T 1 6、1 7 は共にオンする。したがって、スイッチ回路 2 はオンとなる。

## 【 0 0 2 2 】

スイッチ回路 2 がオンの状態で、入出力端子 8 に正電圧信号が印加される場合、N 型 M

10

20

30

40

50

OSFET 16、17のソース端子に接続された第2出力ライン15の電圧は、入出力端子8に追従する。これはN型MOSFET 13がオフであり、N型MOSFET 16がオンしているからである。

N型MOSFET 16、17のゲート・ソース間電圧は、第1出力ライン14、第2出力ライン15の差電圧であり、初期の第1出力ライン14すなわちN型MOSFET 16、17のゲート端子は駆動回路1を介して高圧正電源(VPP)5の電位レベルにある。

入出力端子8に印加される正電圧信号の電位レベル(電圧)が上昇するに従い、第2出力ライン15の電圧も上昇し、N型MOSFET 16、17のゲート・ソース間電圧は減少していく。

#### 【0023】

ツェナダイオード10がない場合

ここで、本実施形態におけるツェナダイオード10の役割を解りやすく説明するために、比較として、駆動回路1のツェナダイオード10がない場合を想定する。

ツェナダイオード10がないと仮定して、P型MOSFET 11が直接、高圧正電源(VPP)5に接続された回路構成の場合、入出力端子8に印加される正電圧信号と高圧正電源(VPP)5の差電圧がN型MOSFET 16、17の閾値電圧に近づくにつれ、N型MOSFET 16、17のインピーダンスは初期より大きくなり、閾値電圧もしくはそれ以下となると、インピーダンスは急激に増大する。

これはN型MOSFET 16、17のオンとオフの境界は、概略(第一近似として)としてゲート電位からソース電位と閾値電圧を引いた値であり、またN型MOSFET 16、17のインピーダンスは、ゲート電位からソース電位と閾値電圧を引いた値に概略(第一近似として)、反比例するからである。

#### 【0024】

したがって、入出力端子8に印加される正電圧信号を入出力端子9に伝達(伝播)する場合には、入出力端子8、N型MOSFET 16、17のソース電位(第2出力ライン15)、入出力端子9は共に、概ね入出力端子8に印加される正電圧信号と同電位となる。

つまり、入出力端子8はN型MOSFET 16、17のソース(ソース端子)ではないが、入出力端子8に印加される正電圧信号を伝達する場合には、N型MOSFET 16、17のソース(ソース端子)の電位も入出力端子8に印加される正電圧信号と概ね同電位になる必要がある。

#### 【0025】

したがって、入出力端子8に印加される正電圧信号が高くなり、正電圧信号の電位と高圧正電源(VPP)5との差電圧がN型MOSFET 16、17の閾値電圧に近づくにつれ、N型MOSFET 16、17のインピーダンスは増大し、入出力端子9より出力される信号の線形性、つまり双方向アナログスイッチとしてのスイッチ回路2の線形性は劣化する。

#### 【0026】

ツェナダイオード10がある場合

図1に示すように、本実施形態におけるツェナダイオード10を接続した回路構成の場合について説明する。

入出力端子8に印加される正電圧信号の電位レベルが上昇すると、N型MOSFET 16、17においてはゲート・ソース間、およびゲート・ドレイン間に寄生の静電容量(不図示)があるので、入出力端子8に印加される正電圧信号の電位レベルが上昇した分に比例した電位が前記寄生の静電容量のためにN型MOSFET 16、17のゲート電位を押し上げる。

#### 【0027】

このとき、前記したツェナダイオード10がない場合には、N型MOSFET 16、17のゲート電位は第1出力ライン14を通して、高圧正電源の電位VPPによって低インピーダンスで固定され、前記寄生の静電容量(不図示)のためにN型MOSFET 16、17のゲート電位を押し上げる電圧増分が寄与しない。

10

20

30

40

50

しかし、図 1 に示すように、本実施形態におけるツェナダイオード 10 を接続した回路構成の場合には、高圧正電源の電位  $V_{PP}$  が N 型 MOSFET 16、17 のゲートに直接には印加されないため、前記寄生の静電容量（不図示）のために N 型 MOSFET 16、17 のゲート電位が押し上げられて、 $V_{PP}$  を超えた電位となる。

#### 【0028】

この電位は最大で高圧正電源（ $V_{PP}$ ）5 の電圧とツェナダイオード 10 のツェナ電圧（降伏電圧）の和まで上昇する。したがって、入出力端子 8 に印加される正電圧信号の電位レベルが上昇し、入出力端子 8 に印加される正電圧信号と高圧正電源 5 の差電圧が、N 型 MOSFET 16、17 の閾値電圧以下となった場合でも、第 1 出力ライン 14、すなわち N 型 MOSFET 16、17 のゲート端子の電位は、前記した理由から最大で高圧正電源（ $V_{PP}$ ）5 の電圧とツェナダイオード 10 のツェナ電圧の和まで上昇する。このため、ツェナダイオード 10 を接続しない回路と比較し、ツェナダイオード 10 を接続した回路においては、インピーダンスの急上昇が避けられ、スイッチ回路 2 が線形性を維持できる入力信号範囲が広がる。

#### 【0029】

なお、前記した電位の上昇が最大で高圧正電源（ $V_{PP}$ ）5 の電圧とツェナダイオード 10 のツェナ電圧の和までである理由は、それ以上の電圧になるとツェナダイオード 10 が降伏（アバランシェ降伏）して急激に電流が流れるからである。

また、ツェナダイオード 10 を順方向で使用する場合には、ダイオードとしての順方向電圧降下があるが、この順方向電圧降下はツェナ電圧（降伏電圧）や高圧正電源の電位  $V_{PP}$  より充分小さく設定することが一般的であるので、順方向電圧降下については無視できるものとする。

#### 【0030】

前記した理由により、例えば、ツェナダイオード 10 のツェナ電圧が、N 型 MOSFET 16、17 の閾値電圧と同一である場合、入出力端子 8 に印加される正電圧信号は、高圧正電源（ $V_{PP}$ ）5 レベルまで印加可能となる。

また、ツェナダイオード 10 はツェナ電圧特性を有するので、N 型 MOSFET 16、17 のゲート電位が電源電圧（ $V_{PP}$ ）5 とツェナダイオード 10 のツェナ電圧の和の値以上となったときに、前記したように、ツェナダイオード 10 が降伏して電流が流れるので、駆動回路 1 やスイッチ回路 2 の内部の素子が必要以上の高電圧になって、前記素子自身あるいは周囲の絶縁破壊を引き起こすことを防止している。

#### 【0031】

なお、以上は入出力端子 8 に正電圧信号が印加され、入出力端子 9 に伝播（伝達）される場合について述べたが、入出力端子 9 に正電圧信号が印加され、入出力端子 8 に伝播（伝達）される場合についても、スイッチ回路 2 は対称な構成であるので、同様の作用と特性となる。

#### 【0032】

また、入出力端子 8 に負電圧信号が印加される場合には、N 型 MOSFET 16 のゲート電位からソース電位と閾値を引いた値は 0 より充分に大きい正の値となるので、N 型 MOSFET 16、17 はあまり変化のない低インピーダンスで、つまり良好な線形性の下に入出力端子 9 に負電圧信号を伝播（伝達）する。

また、入出力端子 9 に負電圧信号が印加される場合にも、スイッチ回路 2 は対称な構成であるので、あまり変化のない低インピーダンスで、つまり良好な線形性の下に入出力端子 8 に負電圧信号を伝播（伝達）する。

#### 【0033】

以上のように、正電圧信号に対しても負電圧信号に対しても良好な線形性を持つことにより、正負の信号である交流信号に対して、さらに大振幅の交流信号に対しても良好な線形性を有する双方向アナログスイッチが実現する。

なお、ツェナダイオード 10 がある場合と無い場合とのインピーダンス特性の差の測定値の詳細については後述する。

10

20

30

40

50

## 【 0 0 3 4 】

## &lt; 低電力損失について &gt;

スイッチ回路 2 をオフするためには、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 1 8、第 2 レベルシフト制御回路出力端子 1 9 の電位レベルを高圧正電源 5 の電位レベルに設定する。第 1 レベルシフト制御回路出力端子 1 8、第 2 レベルシフト制御回路出力端子 1 9 を高圧正電源 ( V P P ) 5 の電位レベルとすることで、駆動回路の P 型 M O S F E T 1 1 がオフ、N 型 M O S F E T 1 2、1 3 がオンとなり、スイッチ回路 2 の N 型 M O S F E T 1 6、1 7 のゲート容量が放電されることで、スイッチ回路 2 はオフとなる。

## 【 0 0 3 5 】

このスイッチ回路 2 がオフの場合は、P 型 M O S F E T 1 1 がオフのため、また他に電流が流れる経路もないので、高圧正電源 ( V P P ) 5、高圧負電源 ( V N N ) 6 の間で電流が定常的に流れることはなく、後記する参考としての比較回路と比べ電力損失は低減される。

なお、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 1 8、第 2 レベルシフト制御回路出力端子 1 9 の電位レベルを高圧正電源 ( V P P ) 5 の電位レベルに設定するタイミングは同時でも時間差があってもよい。

## 【 0 0 3 6 】

## ( 第 2 実施形態・半導体装置 )

図 2 は本発明の第 2 実施形態を示す回路図である。図 2 において、第 2 実施形態である半導体装置は、双方向アナログスイッチ全体回路 2 4 により構成されている。

双方向アナログスイッチ全体回路 2 4 が備える図 2 の駆動回路 2 1 においては、図 1 における駆動回路 1 のツェナダイオード 1 0 と P 型 M O S F E T 1 1 とを、P 型 I G B T ( Insulated Gate Bipolar Transistor、絶縁ゲートバイポーラトランジスタ ) 2 0 に置き換えた構成となっている。

この P 型 I G B T 2 0 は後記するようにツェナダイオードを内蔵する構造となっているので、図 1 のツェナダイオード 1 0 と P 型 M O S F E T 1 1 とに置き換えることが可能となる。

## 【 0 0 3 7 】

図 2 において、P 型 I G B T 2 0 に内蔵されたツェナダイオード ( 3 4、図 3 ) は、オン状態ではツェナ電圧分の逆耐圧を持つ。したがって、高圧正電源 ( V P P ) 5 をオンオフする P 型 I G B T 2 0 と P 型 I G B T 2 0 に内蔵されたツェナダイオード ( 3 4、図 3 ) の構成は、図 1 の P 型 M O S F E T 1 1 とツェナダイオード 1 0 の構成と概ね等価の機能と作用を有する。そのため、P 型 I G B T 2 0 によって、スイッチ回路 2 が線形性を維持できる入力信号範囲が広がる。

## 【 0 0 3 8 】

なお、P 型 I G B T 2 0 に内蔵されたツェナダイオード ( 3 4、図 3 ) は、後記するように、コレクタ電極 3 3 ( 図 3 ) 側に形成される。つまり図 2 においては第 1 出力ライン 1 4 側にできる。しかしながら、高圧正電源である V P P 側でなくとも、ツェナダイオードとしての作用は図 1 の場合と同様であるので、第 1 出力ライン 1 4 の電位を V P P よりツェナ電圧分だけ高く保持することが可能となり、その結果、前記したようにスイッチ回路 2 が線形性を維持できる入力信号範囲が広がる作用がある。

また、他の構成は図 1 の構成と同一であるので、説明を省略する。

## 【 0 0 3 9 】

## &lt; P 型 I G B T の構造 &gt;

図 3 は P 型 I G B T の構造を示す断面図である。

図 3 において、エミッタ電極 3 1 は P<sup>+</sup> 層 3 5 1 に接続されている。P<sup>+</sup> 層 3 5 1 と P ウェル層 3 5 3 の間に N チャンネル層 3 6 2 が介在し、ゲート電極 3 2 でオンオフを制御することにより、この部分の構造で M O S F E T を構成している。前記した P ウェル層 3 5 3、さらに P 層 3 5 2 を経て N<sup>+</sup> 層 3 6 3 ( この部分はバイポーラ構造 ) からコレクタ

10

20

30

40

50



電極 33 につながる構造となっている。以上が IGBT の主要部分の構成である。

なお、図 3 において、N<sup>+</sup>層 361、Si 基板 (n-) 381、SiO<sub>2</sub> (層) 371、372、373 は、IGBT をデバイスとして構成するために構造上、必要な各要素である。

#### 【0040】

以上の構成において、コレクタ電極 33 の直下で、N<sup>+</sup>層 363 と P 層 352 によってダイオード (34) が構成されている。このとき、P 層 352、もしくは N<sup>+</sup>層 363 の不純物濃度を適切に選択すれば、前記した N<sup>+</sup>層 363 と P 層 352 によるダイオードをツェナダイオード 34 とすることができる。この N<sup>+</sup>層 363 と P 層 352 によるツェナダイオード 34 を図 2 の駆動回路 21 において、図 1 のツェナダイオード 10 と同じ作用をさせるものである。

10

なお、P 型 IGBT をデバイスとして製造する工程において、P 層を構成する工程は複数あるので、前記したツェナダイオード 34 を構成する P 層 352 に適切な不純物濃度をイオン打込み、もしくは拡散する工程を流用して用いれば、新たな製造工程の追加をせずに、つまりコストアップ無しに前記ツェナダイオード 34 を形成できる。

#### 【0041】

##### <インピーダンス特性>

図 4 は図 1 の回路の入力信号振幅に対するスイッチ回路 2 (図 1) のインピーダンスを測定した結果であり、ツェナダイオード 10 がある場合と無い場合とのインピーダンス特性を比較した特性図である。

20

図 4 において、横軸は正規化した入力信号振幅であり、入力信号振幅が高圧正電源の V<sub>PP</sub> に等しい場合を 1 の基準値としている。

また、縦軸は正規化したスイッチ回路 2 のインピーダンスの値であって、入力信号振幅が 0.5 (V<sub>PP</sub> の半分) のときのインピーダンス (値) を基準値 1 としている。

#### 【0042】

図 4 において、スイッチ回路 2 (図 1) のインピーダンスが概ねフラットな領域が、線形性を維持されている範囲である。特性線 41 は、ツェナダイオード 10 (図 1) を接続していない回路の測定結果であり、特性線 42 は、ツェナダイオード 10 を接続した回路の測定結果である。ツェナダイオード 10 を接続することで、入力信号振幅のダイナミックレンジが広がるとともに、線形領域が拡大している。特性線 41 と特性線 42 のインピーダンスが急激に増大する特性線上の横軸における差は、概ねツェナダイオード 10 (図 1) のツェナ電圧に対応している。

30

なお、図 4 は前記したように図 1 の回路の測定結果であるが、図 2 の IGBT 20 を用いた場合でも、内蔵されたツェナダイオード (34、図 3) によって、概ね同じような特性改善がある。

#### 【0043】

##### (第 3 実施形態・超音波診断装置)

次に、本発明の第 3 実施形態である超音波診断装置について、図 5、図 6 を参照して説明する。

図 5 は本発明の第 3 実施形態である超音波診断装置 500 の機能構成を示すブロック図であって、本発明の第 1 実施形態もしくは第 2 実施形態の半導体装置を備えて構成されている。

40

#### 【0044】

図 5 において、超音波診断装置 500 は、被検体 (不図示) の計測対象の部位に対して超音波を送受信する超音波探触子 50 と、超音波探触子 50 に送信波の送信フォーカス処理をして超音波送信する送信手段である送信回路系手段 51 と、超音波探触子 50 から出力される受信波の受信フォーカス処理をする整相手段を含んでなる受信回路系手段 52 と、超音波探触子 50 と送信回路系手段 51 及び受信回路系手段 52 との間で伝達される超音波信号の切り換え装置であるスイッチ回路群 55 とを備えている。

#### 【0045】

50

また、さらに超音波診断装置 500 は、受信回路系手段 52 から出力される受信信号を用いて超音波断面像などを表示する超音波表示回路系手段 53 と、超音波表示回路系手段 53 から出力される超音波画像情報を表示する例えばモニタなどの画像表示器 54 とを備えている。

また、太線で示した信号線 505、515、552 は超音波送受信信号の流れを示し、細線で示した信号線 523、534、565 は制御信号の流れを示すものである。

なお、図 5 においては、超音波探触子 50、送信回路系手段 51、受信回路系手段 52、超音波表示回路系手段 53 のブロック図における表記を、それぞれ「探触子」、「送信回路系」、「受信回路系」、「超音波表示回路系」と簡略化している。

#### 【0046】

本実施形態の超音波診断装置 500 は、超音波探触子 50 が備えた  $m$  個の振動子と送信回路系手段 51、受信回路系手段 52 の間で伝達される超音波信号の切り換え装置であるスイッチ回路群 55 に、前記した本実施形態の半導体装置を用いることを特徴としている。

#### 【0047】

スイッチ回路群 55 は、送信回路系手段 51 および受信回路系手段 52 と、超音波探触子 50 の間に設けられている。なお、スイッチ回路群 55 と送信回路系手段 51 および受信回路系手段 52 との間は、送受信チャンネル数が  $n$  本で接続されている。

図 5 におけるスイッチ回路群 55 は、図 6 におけるスイッチ回路群 55 において、より詳しく構成が示されている。

#### 【0048】

図 6 において、スイッチ回路群 55 は、それぞれが  $n$  個のスイッチ（半導体装置 4（図 1）、24（図 2））からなる  $m$  群のスイッチ回路群 #1～スイッチ回路群 # $m$  により構成されている。各スイッチ回路群に備えられた  $n$  個のスイッチ（半導体装置 4（図 1）、24（図 2））の一端は互いに接続されて、超音波探触子 50 が備えた振動子に接続されている。つまり、スイッチ回路群 #1～スイッチ回路群 # $m$  のそれぞれの共通接続された一端は、それぞれ超音波探触子 50 が備えた振動子 #1～振動子 # $m$  の一端に接続されている。また、振動子 #1～振動子 # $m$  の他端はアース（接地）されている。

#### 【0049】

また、各スイッチ回路群に備えられた  $n$  個のスイッチ（半導体装置 4（図 1）、24（図 2））のそれぞれ他端は、それぞれ送受信チャンネル #1～送受信チャンネル # $n$  に接続されている。

なお、図 5 における超音波探触子 50 が備えた「振動子： $m$  個」は、図 6 において、「振動子 #1～振動子 # $m$ 」に対応している。

また、図 5 における「送受信チャンネル数  $n$ 」（515、552）は、図 6 において、「送受信チャンネル #1～送受信チャンネル # $n$ 」に対応している。

#### 【0050】

また、スイッチ回路群 55 のスイッチ回路群（#1～# $m$ ）と、そのなかにそれぞれ備えられた  $n$  個のスイッチ（半導体装置 4（図 1）、24（図 2））の選択と制御は、スイッチ制御回路 56（図 5）が制御信号 565（図 5）によって行う。

#### 【0051】

以上の構成において、送信回路系手段 51 から振動子 #1～振動子 # $m$  に概ね百数十ボルトの電圧を加え、前記振動子から超音波のビームを被検体（不図示）の計測対象の部位に照射する。そして、所定の時間が経過した後に、その反射波を振動子 #1～振動子 # $m$  で検出して、さらに変換された電気信号（概ね数十ミリボルト）を受信回路系手段 52 に送り、信号処理を行う。

以上の過程において、スイッチ回路群 55 のスイッチ回路群（#1～# $m$ ）は、超音波探触子内の超音波を送受信する複数の振動子（#1～# $m$ ）に対して、複数の超音波送受信チャンネルの中から、1つの送受信チャンネルを選択する、あるいは全ての送受信チャンネルを遮断するものである。

10

20

30

40

50

## 【 0 0 5 2 】

また、振動子（＃１～＃ｍ）より超音波のビームを照射する際には、スイッチ（半導体装置４（図１）、２４（図２））には前記した高電圧が印加されるので、高耐圧の特性が必要となる。

また、超音波を送受信する際には高い精度が要求されるので、スイッチ（半導体装置４（図１）、２４（図２））には高い線形性と広いダイナミックレンジが必要となる。

## 【 0 0 5 3 】

本実施形態の超音波診断装置５００は、前記した本実施形態の半導体装置を振動子と送信回路系、受信回路系の間で伝達される超音波信号の切り換え装置に用いたことにより、大振幅の超音波信号を駆動可能である。これにより、超音波信号のＳ／Ｎ比（signal-noise ratio）を改善し、超音波診断装置の画質の改善を図ることが可能となる。

10

## 【 0 0 5 4 】

（その他の実施形態）

図１において、ツェナダイオード１０をＰ型ＭＯＳＦＥＴ１１と高圧正電源（ＶＰＰ）５との間に備えていたが、Ｐ型ＭＯＳＦＥＴ１１と第１出力ライン１４との間に備えてもよい。ツェナダイオード１０はＰ型ＭＯＳＦＥＴ１１のソース側でもドレイン側でも、第１出力ライン１４が高圧正電源（ＶＰＰ）よりツェナダイオード１０のツェナ電圧分だけ高い電位を保持する作用がある。

## 【 0 0 5 5 】

また、ツェナダイオード１０をＰ型ＭＯＳＦＥＴ１１と同一プロセス（共通プロセス）で同一基板のなかに併せて作りこんでもよい。Ｐ型ＭＯＳＦＥＴ１１の製造工程においてはＰ層もＮ層も作りこまれる。したがって、Ｐ型ＭＯＳＦＥＴとは同一基板であって、かつ絶縁隔離（ＳｉＯ２層）された別の領域にＰ層とＮ層からなるツェナダイオードを作り込むことが可能である。また、ツェナダイオードのＰ層もしくはＮ層に不純物のイオン打ち込みを行い、ツェナ電圧特性を調整することもできる。

20

## 【 0 0 5 6 】

また、ツェナダイオード１０をＰ型ＭＯＳＦＥＴ１１とＮ型ＭＯＳＦＥＴ１２、１３、１６、１７、及びレベルシフト制御回路３との同一プロセス（共通プロセス）で同一基板のなかに併せて作りこんでもよい。

ＣＭＯＳ（Complementary Metal Oxide Semiconductor）の製造工程においては、Ｐ型ＭＯＳＦＥＴとＮ型ＭＯＳＦＥＴが、同一プロセス（共通プロセス）かつ同一基板で製造されるので、さらにＰ層とＮ層からなるツェナダイオードを作り込むことは可能である。ツェナダイオード１０と前記各素子を同一プロセス（共通プロセス）で同一基板のなかに併せて作り込めば、さらなるコストダウンとなる。

30

## 【 0 0 5 7 】

また、図２においては、ツェナダイオードを内蔵したＩＧＢＴ２０を用いることを述べたが、ツェナダイオードのツェナ電圧特性に精度などの格別な性能を求める場合には、ＩＧＢＴとツェナダイオードとは別部品で構成してもよい。

## 【 0 0 5 8 】

また、図１、図２において、スイッチ回路２を構成するＭＯＳＦＥＴをＮ型ＭＯＳＦＥＴで説明したが、Ｐ型ＭＯＳＦＥＴで構成してもよい。ただし、このときは駆動回路１もしくは駆動回路２１、及びレベルシフト制御回路３の構成を前記Ｐ型ＭＯＳＦＥＴの極性に合うように変更する。

40

## 【 0 0 5 9 】

また、図１、図２において、スイッチ回路２を構成するＮ型ＭＯＳＦＥＴ１６、１７に対して、それぞれ並列にＰ型ＭＯＳＦＥＴを付加してもよい。ただし、このときは駆動回路１（図１）、２１（図２）、及びレベルシフト制御回路３の構成を、付加した前記Ｐ型ＭＯＳＦＥＴを駆動する回路も含むように変更する。

## 【 0 0 6 0 】

また、図５、図６においては、双方向アナログスイッチとして本発明の第１実施形態も

50

しくは第2実施形態の半導体装置を、超音波診断装置における振動子への超音波信号の送受信用切換スイッチ（超音波の送波パルス発生器と受信増幅器の分離用スイッチ）として用いることを示したが、送信用のみの切換スイッチとして用いてもよい。

また、本実施形態の前記半導体装置を超音波診断装置におけるプローブの切換スイッチとして用いてもよい。

#### 【0061】

（参考比較としての回路技術）

参考比較としての回路技術による双方向アナログスイッチ回路とその駆動回路の構成を図7に示す。

図7は双方向アナログスイッチを構成する一例である。図7において、トランジスタ140、138とツェナダイオード142からなる双方向アナログスイッチ114を、トランジスタ116、118、120、122とダイオード124とツェナダイオード130からなるレベルシフタ112で制御する構成となっている。

この構成によって、双方向アナログスイッチ114としての線形性を保つダイナミックレンジが広がる工夫がなされている。

#### 【0062】

しかしながら、双方向アナログスイッチ114がオン状態において、スイッチ端子144に負電圧信号を加えた場合には、電源132からトランジスタ118、ダイオード124及びツェナダイオード142を経由して電流が流れる。したがって、レベルシフタ112における全ての電流は、スイッチ端子144、またはスイッチ端子146のどちらから外部に流れることとなる。

また、双方向アナログスイッチ114がオフ状態においては、トランジスタ116、トランジスタ122、ツェナダイオード130を経由して電源間（132、134）に電流が流れる。

#### 【0063】

したがって、双方向アナログスイッチ114がオン状態でも、オフ状態においても制御回路であるレベルシフタ112には電流が漏洩電流として流れ続ける。つまり、参考図として示した図7の比較回路は電力損失が大きい。

なお、これに対し、前記した本実施形態の双方向アナログスイッチである半導体装置は、前述した比較回路例のような電流が漏洩するような経路がないので電力損失が低減される。

#### 【0064】

（本実施形態の補足）

以上、本実施形態によれば、P型MOSFETとツェナダイオードを直列に接続して用いる、またはツェナダイオード内蔵P型IGBTを接続することで、スイッチ回路のN型MOSFETのゲート・ソース間電圧がスイッチ回路の動作範囲でツェナ電圧以上に保持されるので、前記スイッチ回路は双方向アナログスイッチとしての良好な線形性が得られる。

また、前記スイッチ回路のオンまたはオフ状態を保持する期間では、電源間は絶縁状態となり、漏洩電流が流れないので従来技術と比較して電力損失を低減できる。

また、ツェナダイオードを含む駆動回路（1、21）、スイッチ回路2、レベルシフト制御回路3の全部、もしくは一部を同一プロセス（共通プロセス）で同一基板のデバイスによる半導体装置ができるのでコストダウンとなる。

また、前記半導体装置を双方向アナログスイッチとして備えた超音波診断装置は検出精度の向上が期待できる。

#### 【産業上の利用可能性】

#### 【0065】

双方向アナログスイッチ、特に高耐圧双方向アナログスイッチは医療分野を初め、広く産業全体に用いられる。本発明、本実施形態の半導体装置を用いた高耐圧双方向アナログスイッチはアナログ特性における線形性に優れ、かつ電力損失が少ないので小型、携帯化

10

20

30

40

50

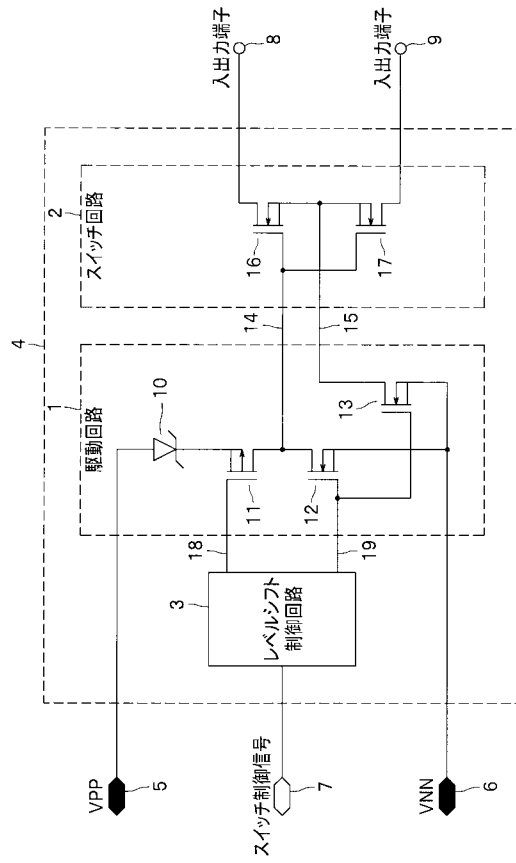
に適し、さらに低コストであるので、医療分野のみならず、広く産業用、家電用の半導体を用いたアナログ信号のスイッチの分野において、用いられる可能性がある。

【符号の説明】

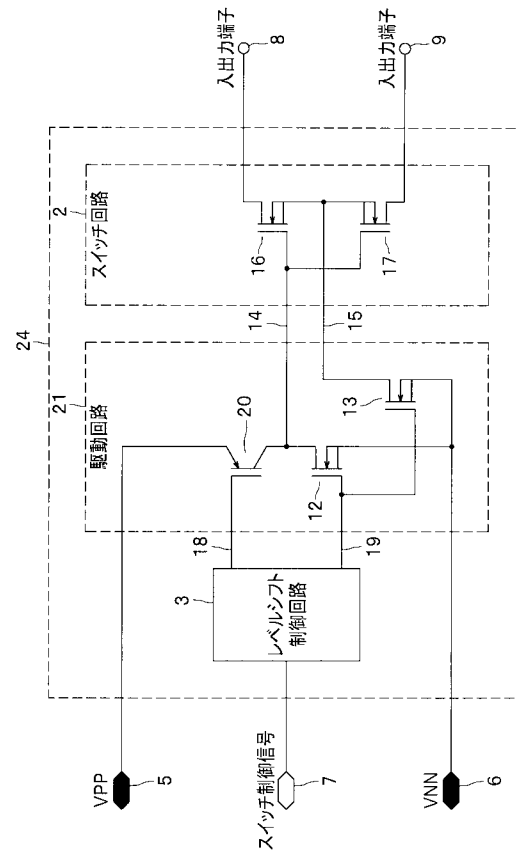
【0066】

- 1、21 駆動回路
- 2 スイッチ回路、双方向アナログスイッチ、スイッチ
- 3 レベルシフト制御回路
- 4、24 双方向アナログスイッチ全体回路、半導体装置、スイッチ
- 5 電圧源、高圧正電源（VPP）、（第一の電源）
- 6 電圧源、高圧負電源（VNN）、（第二の電源） 10
- 7 スイッチ制御信号入力端子、スイッチ制御信号
- 8、9 入出力端子
- 10 ツェナダイオード
- 11 P型MOSFET
- 12、13、16、17 N型MOSFET
- 14 第1出力ライン
- 15 第2出力ライン
- 18 第1レベルシフト制御回路出力端子
- 19 第2レベルシフト制御回路出力端子
- 20 P型IGBT 20
- 31 エミッタ電極
- 32 ゲート電極
- 33 コレクタ電極
- 34 ツェナダイオード、ダイオード
- 351 P<sup>+</sup>層
- 352 P層
- 353 Pウェル層
- 361、363 N<sup>+</sup>層
- 362 Nチャンネル層
- 371、372、373 SiO<sub>2</sub>、SiO<sub>2</sub>層 30
- 381 Si基板（n<sup>-</sup>）
- 41、42 特性線
- 50 探触子、超音波探触子
- 51 送信回路系、送信回路系手段
- 52 受信回路系、受信回路系手段
- 53 超音波表示回路系、超音波表示回路系手段
- 54 画像表示器
- 55 スイッチ回路群団
- 56 スイッチ制御回路
- 500 超音波診断装置 40
- 505、515、552 超音波送受信信号、超音波送受信信号の流れ、信号線
- 523、534、565 制御信号、制御信号の流れ、信号線

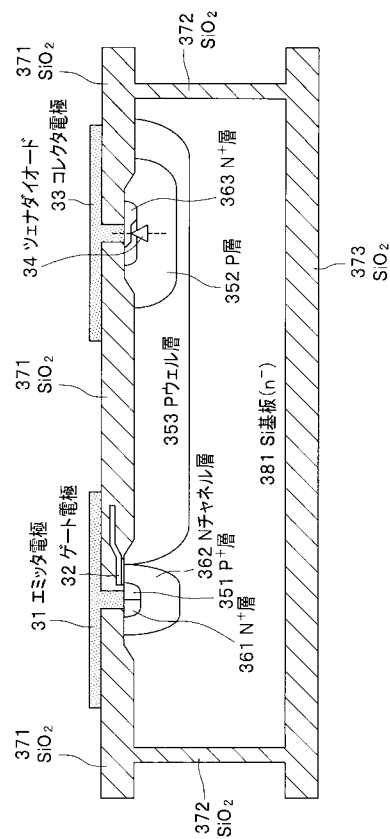
【図 1】



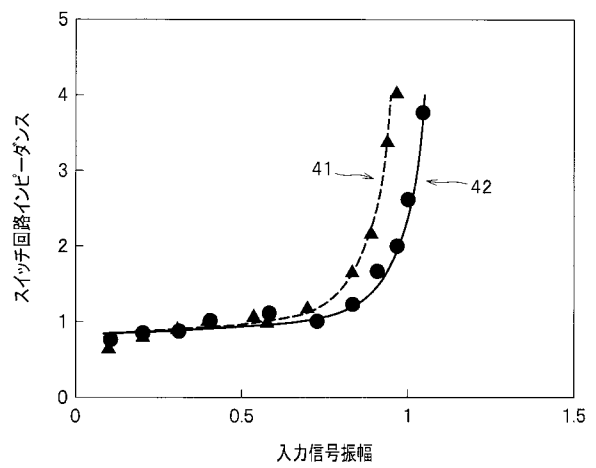
【図 2】



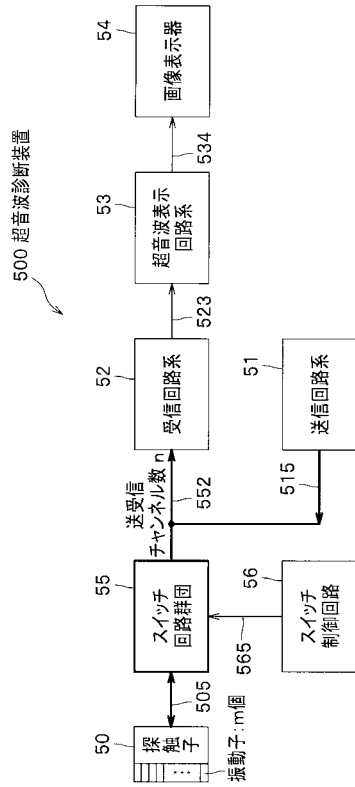
【図 3】



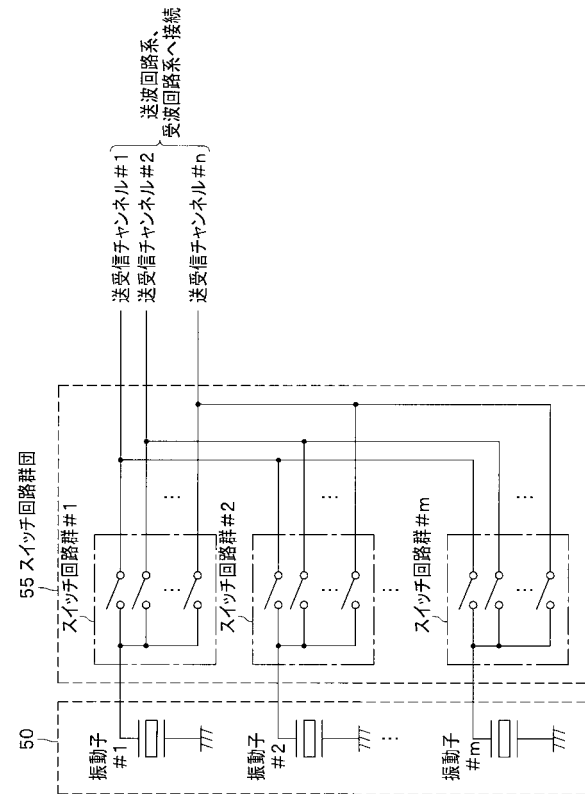
【図 4】



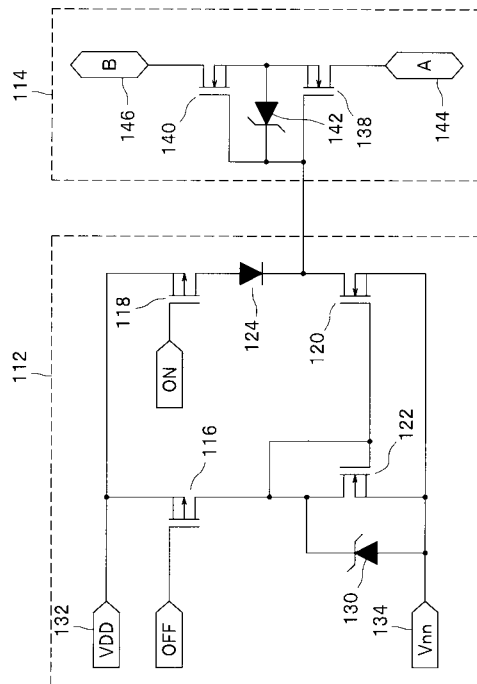
【 図 5 】



【 図 6 】



【圖 7】



---

フロントページの続き

(56)参考文献 米国特許第06617906(US, B1)  
特開2006-033723(JP, A)  
特表2004-531929(JP, A)  
特表2010-530616(JP, A)  
特開2007-116653(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K	17/00	- 17/70
A61B	8/00	
H01L	29/786	



专利名称(译)	半导体装置和使用其的超声波诊断装置		
公开(公告)号	<a href="#">JP5485108B2</a>	公开(公告)日	2014-05-07
申请号	JP2010241711	申请日	2010-10-28
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	日立功率器件		
[标]发明人	原 賢志 坂野 順一		
发明人	原 賢志 坂野 順一		
IPC分类号	H03K17/687 A61B8/00 H01L29/786		
FI分类号	H03K17/687.G A61B8/00 H01L29/78.613.Z		
F-TERM分类号	4C601/EE15 4C601/GB21 5F110/AA09 5F110/AA16 5F110/BB12 5F110/BB20 5F110/CC02 5F110/DD13 5F110/HJ06 5F110/HJ13 5F110/NN62 5F110/NN65 5F110/NN71 5J055/AX11 5J055/BX16 5J055/CX00 5J055/DX09 5J055/DX22 5J055/DX48 5J055/DX74 5J055/DX82 5J055/EX07 5J055/EY13 5J055/EY21 5J055/EZ20 5J055/FX05 5J055/FX12 5J055/FX37 5J055/GX01 5J055/GX02 5J055/GX06 5J055/GX07		
审查员(译)	船越亮		
其他公开文献	JP2012095168A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

要解决的问题：提供具有良好线性度和较低功率损耗的双向模拟开关的半导体器件。而且，提供了一种具有高检测精度的超声诊断设备。解决方案：在双向通/断开关电路的半导体器件和包含开关电路的驱动电路的双向模拟开关中，驱动电路连接到第一和第二电源所述第一电源电压，所述是所施加的信号在所述的端子的开关电路输出的最大电压值的第二电源电压，所施加的信号到开关电路的输出端子并且驱动电路包括齐纳二极管和串联连接在第一电源和开关电路之间的p型MOSFET。而且，超声诊断设备包括半导体器件。点域1

