

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-503808

(P2019-503808A)

(43) 公表日 平成31年2月14日(2019.2.14)

(51) Int.Cl. F 1 テーマコード(参考)
A 6 1 B 8/14 (2006.01) A 6 1 B 8/14 4 C 6 0 1

審査請求 未請求 予備審査請求 未請求 (全 28 頁)

(21) 出願番号 特願2018-540468 (P2018-540468)
 (86) (22) 出願日 平成29年1月20日 (2017.1.20)
 (85) 翻訳文提出日 平成30年8月2日 (2018.8.2)
 (86) 国際出願番号 PCT/EP2017/051128
 (87) 国際公開番号 WO2017/133900
 (87) 国際公開日 平成29年8月10日 (2017.8.10)
 (31) 優先権主張番号 16154161.0
 (32) 優先日 平成28年2月4日 (2016.2.4)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 590000248
 コーニンクレッカ フィリップス エヌ
 ヴェ
 KONINKLIJKE PHILIPS
 N. V.
 オランダ国 5656 アーエー アイン
 ドーフェン ハイテック キャンパス 5
 High Tech Campus 5,
 NL-5656 AE Eindhove
 n
 (74) 代理人 100122769
 弁理士 笛田 秀仙
 (74) 代理人 100163809
 弁理士 五十嵐 貴裕

最終頁に続く

(54) 【発明の名称】 超音波イメージングシステム及び方法

(57) 【要約】

超音波イメージングシステムが、トランスデューサのサブアレイのセットを有する超音波トランスデューサのアレイを有する。各トランスデューサはアナログバッファを有する。トランスデューサの各サブアレイは、超音波トランスデューサのアレイ内から、バッファ間の一つ又はそれより多くのホップを有する超音波トランスデューサのアレイの外側への信号経路を有する。超音波トランスデューサのアレイ内部から周辺部までの信号線長を短縮するために、バッファ間の少なくともいくつかの複数のホップが設けられる。各バッファホップは遅延を導入するが、多数のアナログ信号がトランスデューサアレイの大面積ASICを介して伝送されるように信号劣化を防止する。

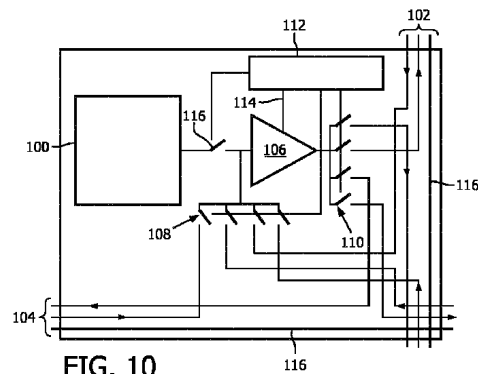


FIG. 10

【特許請求の範囲】**【請求項 1】**

超音波イメージングシステムであって、

トランスデューサのサブアレイのセットを有する超音波トランスデューサのアレイと、アナログバッファのアレイであって、前記アナログバッファは前記各々のトランスデューサに関連し、前記各々のトランスデューサの位置に局所的に配置される、アナログバッファのアレイと

を有する、超音波イメージングシステムにおいて、

前記トランスデューサの各サブアレイは、前記超音波トランスデューサのアレイ内から前記超音波トランスデューサのアレイの外側へ、前記各々のトランスデューサに対する1つの信号経路を備える、信号経路のセットを有し、前記トランスデューサの少なくともいくつかは前記アナログバッファの間に複数のホップを有する、超音波イメージングシステム。

10

【請求項 2】

アナログ-デジタル変換器のバンクのアレイを有し、前記信号経路のセットは、前記アナログ-デジタル変換器のバンク又はバンクのセットにつながる、請求項1に記載のイメージングシステム。

【請求項 3】

前記超音波トランスデューサのアレイは、集積回路として設けられ、前記アナログ-デジタル変換器のバンクのアレイは前記集積回路の一部として設けられ、又は

20

前記アナログ-デジタル変換器のバンクのアレイは、超音波トランスデューサのアレイと別個の基板上に設けられる、請求項2に記載のイメージングシステム。

【請求項 4】

前記ホップは、前記各々のトランスデューサから前記アレイの外側への経路に沿って均一に広がる、請求項1乃至3の何れか一項に記載のイメージングシステム。

【請求項 5】

前記アナログバッファの各セットの各バッファは、ユニティゲインを備える差動増幅器又はサンプルアンドホールド回路を有する、請求項1乃至4の何れか一項に記載のイメージングシステム。

【請求項 6】

30

前記超音波トランスデューサのアレイは、前記超音波トランスデューサの行及び列を有し、前記超音波トランスデューサのアレイ内の前記信号経路は列を形成する、請求項1乃至5の何れか一項に記載のイメージングシステム。

【請求項 7】

前記超音波トランスデューサのアレイの前記領域の外側の行に配置されるアナログバッファの第2のアレイをさらに有する、請求項6に記載のイメージングシステム。

【請求項 8】

前記各々のトランスデューサは、

アナログバッファと、

スイッチング装置と、

40

前記スイッチング装置を制御するレジスタと

を有する回路を有し、

前記スイッチング装置は、前記トランスデューサ出力を前記回路の選択される出力にルーティングし、又は前記バッファを通じて前記回路への外部入力を前記回路からの外部出力にルーティングするように選択的に構成可能である、

請求項1乃至5の何れか一項に記載のイメージングシステム。

【請求項 9】

前記信号経路は、前記各々のトランスデューサに対して同じ数のホップを有する、請求項1乃至8のいずれか一項に記載のイメージングシステム。

【請求項 10】

50

前記各々のトランスデューサに関連する遅延に関する情報を記憶するメモリと、
前記メモリに記憶される前記遅延を考慮して、前記トランスデューサ信号を処理するプロセッサと

を更に有する、請求項1乃至8の何れか一項に記載のイメージングシステム。

【請求項11】

超音波イメージング方法であって、

トランスデューサのサブアレイのセットを有する超音波トランスデューサのアレイを使用して超音波信号を生成するステップと、

前記各トランスデューサの位置に局所的に配置される、関連するアナログバッファを使用して、前記各々のトランスデューサからの出力をバッファリングするステップと、

前記トランスデューサの各サブアレイに対して、前記アレイ内から前記アレイの外側へ、前記サブアレイの前記各々のトランスデューサのための信号経路を形成するステップであって、前記トランスデューサの少なくともいくつかが前記アナログバッファの間に複数のホップを有する、ステップと

を有する、超音波イメージング方法。

【請求項12】

前記各信号経路をアナログ-デジタル変換器のそれぞれのバンク又はバンクのセットに供給する、請求項11に記載の方法。

【請求項13】

前記ホップは、前記各々のトランスデューサから前記アレイの外側への経路に沿って均一に広がる、請求項11又は12に記載の方法。

【請求項14】

前記超音波トランスデューサのアレイは超音波トランスデューサの行及び列を有し、前記方法は、前記超音波トランスデューサの前記アレイの領域のエッジに達するように列として信号経路を形成するステップと、前記超音波トランスデューサのアレイの前記領域の外側の列に配置される第2アレイのアナログバッファの間に更なる信号経路を供給するステップとを有し、又は

前記信号経路は、前記超音波トランスデューサのアレイの前記領域内に配置される第2アレイの複数のアナログバッファを含み、前記方法は、前記超音波トランスデューサのアレイ内にジグザグ信号経路を形成するステップを有する、

請求項10乃至13の何れか一項に記載の方法。

【請求項15】

前記各々のトランスデューサに対して同じ数のホップを備える信号経路を形成するステップ、又は

前記各々のトランスデューサに関連する遅延に関する情報を記憶し、前記記憶される遅延を考慮して前記トランスデューサ信号を処理するステップ

を有する、請求項10乃至13の何れか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、超音波イメージングシステムに関し、特に超音波センサの大面積アレイを有するシステムに関する。

【背景技術】

【0002】

大面積超音波は、専門ソノグラファーの必要性の低減に基づいて、再現性、高速、高品質の画像及び使い易さを可能にする方法として提案されている。そのようなシステムは、自動的に最適な動作条件を見つけるように設計されてもよい。それらは大きな領域であるので、体の広い領域をカバーすることができ、したがって、最良の角度からの視野が探索され、繰り返し使用され得る自動化された方法で使用されることができ。

【0003】

10

20

30

40

50

超音波プローブは、典型的には、CMOS ASICに結合された超音波トランスデューサとして実施される。超音波トランスデューサは、容量性マイクロマシン超音波トランスデューサ (CMUT) デバイスの場合のように、CMOSプロセスの一部として実施することもできる。大面積超音波プローブは、シリコンの単一の大きなピースから構成されることができ、又はプローブの複数の個々のタイルのタイリングから構成されることができ、

【発明の概要】

【発明が解決しようとする課題】

【0004】

図1は、20cm×20cmのASICを与える、各々が250µm×250µmのサイズである、例えば800×800のトランスデューサのレイを有するASICの形態の大面積超音波システムを示す。レイの動的アパーチャ（すなわち、所与の時点で同時に読み出されるトランスデューサのセット）は、より小さいレイであり、例えばトランスデューサの50×50サブレイ1である。この素子のセットを読み出すために、トランスデューサレイの外側（周辺）の領域2として示されているように2500個のアナログ-デジタル変換器（ADC）が設けられている。領域4として示される100個の低電圧差動信号送信器もある。

10

【0005】

共通のシリコン基板上のプローブのレイの代わりに、図2に示すように別個のプローブのレイを設けることができる。平面図に示すように、ギャップ8によって間隔を置いて配置された個々のプローブ6がある。2つの側面図に示されているように、これは曲率が人体にフィットするように導入されることを可能にする。

20

【0006】

このタイプのシステムの問題は、急速な超音波イメージングを可能にするのに十分な速度で現在の市販システムよりもはるかに大きい大面積ASICシステムからデータを取り出す方法にある。

【0007】

大面積システムはさらに多くの個別のプローブを有するが、そのうち小さな部分のみが何れかの所与の時間にオンになる。上述したように、システム全体が256倍の素子、すなわち上の例の800x800を有することができるにもかかわらず、50x50素子のオーダの超音波アパーチャが適切になり得る。

【0008】

ASICが非常に大きい場合、イメージング時間もまた大きくなり、例えば胸部スクリーニング及びモニタリングには大きすぎる。現在のシステムでは、胸部毎に30分のスキャン時間が典型的である。したがって、より速いイメージングが望ましい。また、特定のイメージングモード、例えば、エラストグラフィ及びベクトルフローイメージングは、はるかに高速の条件を有する。

30

【0009】

従って、胸部イメージングにおける高速検査の能力を提供するために、イメージング速度を2桁増加させる必要がある。ベクタフロー及びエラストグラフィなどのイメージングモードは、さらなる高速化の改善、たとえば、1000Hz以上の動作を必要とする。

【0010】

これらの所望の速度の増加は、超音波プローブレイからの信号の搬送に関する特定の問題を提起する。約1度の角度の分解能の場合、0.5mmの超音波波長、1.25cmのアパーチャといった、イメージングに関するいくつかの非常に基本的な仮定がなされ得る。この場合、+/-30度をカバーするイメージングプロシージャは60スキャンに相当する。

40

【0011】

10cmの深度は、1500m/sの音速を必要とすると仮定すると、送受信時間は134µs、すなわち200µsのオーダになる。3Dイメージングの場合、2つの直角の下であるスキャンが必要になるので、必要なスキャン時間は60x60x0.0002=0.72秒になる。

【0012】

上記の例のように、大面積システムは、800x800の素子を有し、アパーチャが50x50トラ

50

ンスデューサである場合、アレイの間のx方向及びy方向の50素子のステップにおける全システムの間でスキャンするには、 $16 \times 16 = 256$ ステップが必要である。したがって、全体のイメージング時間は3.1分になる。

【0013】

3Dイメージングが必要でない場合、1Dシステムは2Dアレイの間でスキャンされることができる。20cm×20cmの大面积アレイ及び250µmの素子ピッチで上記と同じパラメータを取ると、800の1Dスキャンは一方向(x軸)で $60 \times 800 \times 0.0002 = 9.6$ 秒を要する。y軸方向をカバーするため、これは数回の繰り返しを必要とする。例えば $20\text{cm}/1.25\text{cm} = 16$ であるので、全体の時間は $9.6 \times 16 = 153.6$ 秒、すなわち2.6分となる。

【0014】

他のイメージングモードは、この時間をさらに長くすることができる。これらの時間が呼吸又は運動時間よりもはるかに大きい場合、イメージングされる器官が相対的に静止しているときであっても、イメージングアーチファクトが存在する可能性がある。心臓又は血流イメージング(3Dベクトルフロー)が考慮される場合、その状況はさらに深刻になる。したがって、大面积の状況で超高速イメージングが必要になる。

【0015】

超高速イメージングは、平面又は放射波送信を使用することができ、例えば20回以上の送信で画像を構成するためにコヒーレントな合成を使用する。画像内のすべての点を一度に受信できる場合、上記の $60 \times 60 \times 0.0002 = 0.72$ 秒の時間を $20 \times 0.0002 = 4\text{ms}$ に短縮することができる。この場合、全体のイメージング時間は1.6秒になる。したがって、呼吸運動はより容易に適応される。急速に動く器官、例えば心臓の場合、全体の時間を短縮するために、アパーチャは少数の位置にしか必要とされない。

【0016】

1つの標準的なASICアプローチは、アナログ出力の数を減らすために、パッチにおけるいくつかの素子のアナログマイクロビームフォーミングを実行することにある。例えば、アナログビームフォーミングは、上述の 50×50 アパーチャ内のパッチに適用されることができる。各パッチは、かなり多数の素子、例えば $8 \times 9 = 72$ とすることができる。例えば、より小さな完全なASICは、9216の素子を有することができる。標準的な超音波システムは128のアナログ出力に制限されることが多いため、それらは72素子サイズ($72 \times 128 = 9216$)の長方形パッチに素子をグループ化することにより、ASIC上でアナログビームフォーミングを実行する。当然のことながら、これらの図は単なる例である。それから、128個のADCを有する超音波システムにおいて、デジタルビームフォーミングがチップ外で行われる。このように出力チャンネル数を128に減らすことにより、最大40MHzの周波数のアナログ信号がプローブASICからアナログ方式で読み出されることができる。

【0017】

しかしながら、超高速イメージングが必要な場合、平面波コヒーレントコンパウンディングを用いて、大きなパッチにわたるマイクロビームフォーミングはエラーを起こしやすくなり、画質が損なわれる。これは、角度がはるかに大きいニアフィールド(近接場)では特に重要になる。したがって、マイクロビームフォーミングは、特に大きなパッチサイズではあまり有用ではない。 2×2 (50×50 アパーチャの場合、625チャンネル)又は 3×3 (50×50 アパーチャの場合、278チャンネル)のような小さなパッチサイズによるマイクロビームフォーミングが好ましい。

【0018】

図1では、ADCブロック2はトランスデューサのアレイと同じASIC上に示されている。しかしながら、そうである必要はない。主な問題は、ASIC上にある場合、超音波アパーチャからADCブロック2に多くの信号を送信することであり、又はADCブロックがASICの外部にある場合、ASICからデータを転送するアナログラインドライバに送信することにある。このような大規模なASICでは、回線負荷が非常に大きくなる。

【0019】

一例として、レチクルスティッチングを使用する典型的な $0.18 \mu\text{m}$ CMOS技術は、金属ト

10

20

30

40

50

ラッキングのためのかなり大きな線幅、例えば2 μm のラインピッチの場合、1 μm を有することができる。すべての2500個の素子が読み出される必要があると仮定すると、2 \times 50の差動ワイヤは200 μm のスペースを占有する。

【0020】

個々の素子のサイズが250 μm である場合、高メタルスタックを備えるCMOSプロセスでこれは問題にはならない。1列の素子の空間内に50素子のデータが読み出される必要がある場合、これは50素子の幅内で2500素子のデータが読み出されることができることを意味する。したがって、アパーチャがASIC内にある場合はどこでも、簡単な方法でASICのエッジまでデータはトラッキングされることができる。

【0021】

ライン負荷を考慮すると、0.18 μm CMOS 6メタルプロセスのいくつかの典型的な値(金属1が基板に最も近い場合)は、以下になる。

金属の幅及び抵抗の例

-金属1乃至4 0.10hms/Sq

-金属5 0.050hms/Sq

-金属6 0.010hms/Sq

寄生容量の例

-金属対金属 100aF/ μm

-金属対下部金属 50aF/ μm^2

【0022】

上記の金属5の特性を有する金属は、大面積のシナリオに適している。上部金属は供給のために必要とされ、非常に広く、例えば3 μm の最小幅である。金属1乃至4も使用することができるが、抵抗はかなり高い。

【0023】

20cm ASICの間の配線トラッキングの寄生容量及び抵抗の計算では、次のことが分かる。

寄生容量

【0024】

1本のワイヤの20cmの容量は、
 $200\text{aF}/\mu\text{m} \times 200000\mu\text{m} + 100\text{aF}/\mu\text{m}^2 \times 1\mu\text{m} \times 200000\mu\text{m} = 40\text{pF} + 20\text{pF} = 60\text{pF}$
 と見積もることができる。

【0025】

低いオン抵抗を必要とするトランスデューサ毎の1つのスイッチを仮定すると、50fFのゲート/ソース/ドレイン容量が仮定され得る。アレイの間に垂直方向に800が存在するため、トランジスタからの容量は40pFになる。従って、垂直トラック容量の合計は100pFのオーダーになる。水平トラックも使用されている場合、これは倍になる。

寄生抵抗

【0026】

垂直配線抵抗は、 $0.050\text{hms}/\text{sq} \times 200000\text{sq} = 10\text{K}$ オームのオーダーになる。水平トラックも使用されている場合は、これもまた倍になる。

【0027】

これは、垂直ライン時定数($\tau = RC$)が1 μs のオーダーになることを意味する。10ビットの精度で充電するため、約7の時定数が必要である。したがって、40MHzのサンプルレートでサイズ20cmのASIC上のこの距離でアナログ信号を送信することはできない。優れた技術の変化を考慮しても、このアナログデータ転送速度は不可能である。

【0028】

この分析は、1つの基本的な問題が、特にASICの間を動く多数のアナログ信号があるとき、データ変換又は転送のために大規模な超音波アレイからASICのエッジにデータを読み出す方法にあることを示している。

【0029】

10

20

30

40

50

図2に示すようなタイル型システムでは、10pFのオーダになるタイルASICの間のボンドパッドの寄生容量のために、問題はさらに困難になる。

【課題を解決するための手段】

【0030】

本発明は、請求項によって規定される。

【0031】

本発明の一態様による実施例によれば、超音波イメージングシステムであって、

【0032】

トランスデューサのサブアレイのセットを有する超音波トランスデューサのアレイと、

【0033】

アナログバッファのアレイであって、前記アナログバッファは前記各トランスデューサに関連し、前記各トランスデューサの位置に局所的に配置される、アナログバッファのアレイと

を有する、超音波イメージングシステムにおいて、

【0034】

トランスデューサの各サブアレイは、前記超音波トランスデューサのアレイ内から前記超音波トランスデューサのアレイの外側へ、前記各々のトランスデューサに対する1つの信号経路を備える、信号経路のセットを有し、前記トランスデューサの少なくともいくつかはアナログバッファの間の複数のホップを有する、超音波イメージングシステムが提供される。

【0035】

このシステムは、トランスデューサのアレイにバッファを組み込む。信号線の長さを短縮するために、バッファ間の複数のホップが設けられる（ただし、アレイの最外周にあるトランスデューサの場合、複数のホップは必要でない）。各バッファホップは遅延を導くが、信号線の時定数を減らすことによって、特に信号が通過する最大信号線長を短くすることによって、信号劣化を防止し、したがって抵抗及び容量を低減する。このようにして、多数のアナログ信号はトランスデューサアレイの面積ASICの間で伝送されることができる。これらが事前に分かっているため、遅延の何れの差も補償することができ、したがってビームフォーミングは実現されることができる。トランスデューサのサブアレイは、例えば、検出アパーチャに対応する。

【0036】

このシステムは、アナログ-デジタル変換器のバンクのアレイを有することができ、各信号経路は、アナログ-デジタル変換器のそれぞれのバンク又はバンクのセットにつながる。したがって、信号経路はアナログ領域にとどまるので、限定される回路が必要となる。

【0037】

1つの構成では、超音波トランスデューサのアレイは、ASICなどの集積回路として提供され、アナログ-デジタル変換器のバンクのアレイは、集積回路の一部として提供される。これは完全な統合ソリューションを形成する。

【0038】

代わりに、アナログ-デジタル変換器のバンクは、超音波トランスデューサのアレイに対して別個の基板の上に設けられてもよい。超音波トランスデューサ自体は、別個のプロープとして形成されてもよい。

【0039】

ホップは、信号経路に沿って均一に分布していてもよい。このようにして、バッファ動作の間の信号経路の距離は（所与の数のホップに対して）最小に保持される。

【0040】

アナログバッファの各セットの各バッファは、ユニティゲインを有する差動増幅器又はサンプルアンドホールド回路を有することができる。

【0041】

10

20

30

40

50

1つの構成では、超音波トランスデューサのアレイは、超音波トランスデューサの行及び列を有し、信号経路は列を形成する。このようにして、信号経路は超音波トランスデューサのアレイの周辺部に線で延在する。ホップの数は、周辺部からの各超音波トランスデューサの距離の関数であってもよい。

【0042】

それから、アナログバッファの第2のアレイは、超音波トランスデューサのアレイの領域の外側の列に配置されてもよい。これらは、アナログ-デジタル変換器の分散配置が使用されるように、周辺部に沿って1本の信号経路線を分布させるために使用されてもよい。

【0043】

他の構成では、アナログバッファの第2のアレイは、超音波トランスデューサのアレイ内の信号経路がジグザグ経路を形成するように、超音波トランスデューサのアレイの領域内に配置される。この場合、信号経路は周辺部に直接延在することはないが、行方向及び列方向成分を有するより複雑なルートに従うことができる。

【0044】

他の構成では、各トランスデューサは、

【0045】

アナログバッファと、

【0046】

スイッチング装置と、

【0047】

スイッチング装置を制御するためのレジスタとを有する回路を有し、

【0048】

前記スイッチング装置は、前記トランスデューサ出力を前記回路の選択された出力にルーティングし、又は前記バッファを介して前記回路から外部出力への前記回路に対する外部入力をルーティングするように選択的に構成可能である。

【0049】

この回路は、バッファ機能又はトランスデューサ出力機能を提供するように構成可能である。このようにして、レジスタ制御を更新することによってホップパターンが設定されることができる。バッファを介するルーティングは、例えば、行方向入力及び行方向出力、又は列方向入力及び列方向出力ライン内であってもよい。しかしながら、90度又は180度のリダイレクトを可能にすることもできる。

【0050】

例えば、信号経路は、各トランスデューサについて同じ数のホップを有する。このようにして、各信号経路は同じ遅延を経験する。これは、クロック遅延を課すため、サンプルアンドホールド回路の形態でのバッファに特に適している。等しい信号経路長は、トランスデューサのアレイ内で実現され、又はトランスデューサのアレイの外側の部分を含んだ後に実現され得る。最終的な信号経路の位置は、アナログ-デジタル変換器の分散配置が使用され得るように、ここでも周辺部に沿って分布されてもよい。

【0051】

代わりに、異なる信号経路に異なる数のホップがある場合（及び特に関心のあることに、サンプルアンドホールド回路がバッファとして使用されるとき）、システムは、

【0052】

各トランスデューサに関連する遅延に関する情報を記憶するメモリと、

【0053】

メモリに記憶される遅延を考慮して、トランスデューサ信号を処理するプロセッサとを更に有する。

【0054】

これにより、データ処理が信号経路を考慮することが可能になる。信号経路の長さは、

10

20

30

40

50

周辺部までのトランスデューサの距離の関数であり、できるだけ少ないホップで経路長をできるだけ短く保つことを可能にする。

【0055】

本発明の他の態様による実施例は、超音波イメージング方法であって、

【0056】

トランスデューサのサブアレイのセットを有する超音波トランスデューサのアレイを使用して超音波信号を生成するステップと、

【0057】

それぞれの変換器の位置に局所的に配置される関連するアナログバッファを使用して各トランスデューサからの出力をバッファリングするステップと、

【0058】

トランスデューサの各サブアレイに対して、アレイ内からアレイ外への信号経路を形成するステップであって、トランスデューサの少なくともいくつかはアナログバッファの間に複数のホップを有する、ステップと

を有する、超音波イメージング方法を提供する。

【0059】

各信号経路は、アナログ-デジタル変換器のそれぞれのバンク又はバンクのセットにつながるることができる。ホップは、各トランスデューサからアレイの外側への経路に沿って均一に広がることがある。

【0060】

超音波トランスデューサのアレイは、超音波トランスデューサの行と列を含み、この方法は、超音波トランスデューサのアレイの領域のエッジに達するように列として信号経路を形成するステップと、超音波トランスデューサのアレイの領域の外側の列に位置される第2のアレイのアナログバッファの間にさらなる信号経路を提供するステップとを有する。代わりに、信号経路は、超音波トランスデューサのアレイの領域内に配置されるアナログバッファの第2のアレイを含むことができ、この方法は、超音波トランスデューサのアレイ内にジグザグ信号経路を形成するステップを有する。

【0061】

いずれの場合でも、各トランスデューサに対して同じ数のホップで信号経路が形成されてもよい。

【0062】

代わりに、各トランスデューサに関連する遅延に関して情報が記憶されることができ、この方法は、記憶される遅延を考慮して、トランスデューサ信号を処理するステップを有する。異なるトランスデューサのための異なる信号経路は、異なる数のホップを有することができ、経路長はできるだけ短く保つことができる。

【0063】

以下、本発明の実施例を添付の図面を参照して詳細に説明する。

【図面の簡単な説明】

【0064】

【図1】トランスデューサのアレイを有するASICの形態の大面積超音波システムを示す。

【図2】別個のプロープのアレイが提供され得ることを示す。

【図3】一般的な動作を説明するために超音波診断イメージングシステムを示す。

【図4】本発明のアプローチを利用する超音波イメージングシステムの第1の例を示す。

【図5】バッファ回路を実現するための差動増幅器を示す。

【図6】図5のシステムのシミュレーションを示す。

【図7】バッファ回路を実現するためのサンプルアンドホールド回路を示す。

【図8】図7のシステムのシミュレーションを示す。

【図9】アレイから周辺部への信号経路が常に同じ長さであるアプローチを示す。

【図10】1つのトランスデューサ素子に関連する回路の例を示す。

【図11】図10のスキップバスがどのようにトランスデューサに接続されているかを示し

10

20

30

40

50

ている。

【図12】バッファ構成の第1の例を示す。

【図13】バッファ構成の第2の例を示す。

【図14】トランスデューサアレイの外側の行方向のみのバッファリングのための単純化されるスイッチング構成を示す。

【図15】トランスデューサアレイ内のバッファリングとアレイ外側のADCへの水平バッファリングの組み合わせを示している。

【発明を実施するための形態】

【0065】

本発明は、トランスデューサのサブアレイのセットを有する超音波トランスデューサのアレイを有する超音波イメージングシステムを提供する。各トランスデューサはローカルアナログバッファを有する。トランスデューサの各サブアレイは、超音波トランスデューサのアレイ内から超音波トランスデューサのアレイの外側への信号経路のセットを有し、各々はアナログバッファ間に一つ又はそれより多くのホップを有する。超音波トランスデューサのアレイの内部から周辺部までの信号線長を短縮するために、バッファ間に少なくともいくつかの複数のホップが設けられる。各バッファホップは遅延を導くが、多数のアナログ信号がトランスデューサアレイの大面积ASICの間で伝送され得るように信号劣化を防止する。

【0066】

本発明は、トランスデューサアレイからのトランスデューサ信号のルーティングに関するものであるため、図3を参照して、超音波診断イメージングシステムの一般的な動作を最初に説明し、システムの受信機能に重点を置いて説明する。

【0067】

このシステムは、超音波を送信し、エコー情報を受信するためのCMUTトランスデューサアレイ10'を有するアレイトランスデューサブローブ10を有する。トランスデューサアレイ10'は、代わりに、PZT又はPVDFのような材料で形成される圧電トランスデューサを有してもよい。トランスデューサアレイ10'は、2D平面内又は3Dイメージングのための3次元内でスキャンすることができるトランスデューサの2次元アレイである。

【0068】

トランスデューサアレイ10'は、CMUTアレイセル又は圧電素子による信号の受信を制御するプローブ内のマイクロビームフォーマ12に結合される。マイクロビームフォーマは、米国特許第5,997,479号(Savordら)、第6,013,032号(Savord)及び第6,623,432号(Powersら)に記載されているように、トランスデューサのサブアレイ(又は「グループ」又は「パッチ」)によって受信される信号の少なくとも部分的ビームフォーミングをすることが可能である。

【0069】

マイクロビームフォーマは完全にオプションであることが留意される。以下の例ではアナログビームフォーミングは想定されない。

【0070】

マイクロビームフォーマ12は、マイクロビームフォーマが使用されず、トランスデューサアレイがメインシステムビームフォーマによって直接的に動作されているとき、送信及び受信の間でスイッチし、メインビームフォーマ20を高エネルギー送信信号から保護する送信/受信(T/R)スイッチ16にプローブビームによって結合される。トランスデューサアレイ10からの超音波ビームの送信は、T/Rスイッチ16及びメイン送信ビームフォーマ(図示せず)によってマイクロビームフォーマに結合されるトランスデューサコントローラ18によって方向付けられ、ユーザインターフェイスのユーザの操作又はコントロールパネル38からの入力を受信する。

【0071】

トランスデューサコントローラ18によって制御される機能の1つは、ビームがステアリングされ、フォーカスされる方向である。ビームは、トランスデューサアレイから直進(

10

20

30

40

50

直交)するか、又はより広い視野のために異なる角度でステアリングされることができる。トランスデューサコントローラ18は、CMUTアレイ用のDCバイアス制御部45を制御するように結合されることができる。DCバイアス制御部45は、CMUTセルに印加されるDCバイアス電圧を設定する。

【0072】

受信チャンネルでは、部分的にビーム形成される信号がマイクロビームフォーマ12によって生成され、トランスデューサの個々のパッチからの部分的にビーム形成される信号が、完全にビーム形成される信号に結合されるメイン受信ビームフォーマ20に結合される。例えば、メインビームフォーマ20は、128個のチャンネルを有し、その各々は、数十又は数百のCMUTトランスデューサセル又は圧電素子のパッチから部分的にビーム形成される信号を受信する。このようにして、トランスデューサアレイの数千のトランスデューサによって受信される信号は、単一のビーム形成される信号に効率的に寄与することができる。

10

【0073】

ビーム形成される受信信号は、信号プロセッサ22に結合される。信号プロセッサ22は、組織及び微小気泡から戻されるエコー信号の非線形(基本周波数の高次高調波)エコー信号の識別を可能にするように、線形及び非線形信号を分離するように動作する帯域通過フィルタリング、デシメーション、I及びQ成分分離、及び高調波信号分離のような様々な方法で受信されるエコー信号を処理することができる。信号プロセッサは、スペックル低減、信号合成、及びノイズ除去などの更なる信号強調を実行することもできる。信号プロセッサ内のバンドパスフィルタは、トラッキングフィルタとすることができ、その通過帯域は、エコー信号が増加する深さから受信されるときに、より高い周波数帯域からより低い周波数帯域にスライドし、それにより、より深い周波数からより高い周波数でノイズを拒絶し、これらの周波数は解剖学的情報がない。

20

【0074】

送信用及び受信用のビームフォーマは、異なるハードウェアで実現され、異なる機能を有することができる。当然のことながら、受信ビームフォーマは、送信ビームフォーマの特性を考慮して設計されている。図1では、簡略化のため受信器ビームフォーマ12,20のみを示している。完全なシステムでは、送信マイクロビームフォーマとメイン送信ビームフォーマとを有する送信チェーンも存在する。

30

【0075】

マイクロビームフォーマ12の機能は、アナログ信号経路の数を減らすために信号の初期組み合わせを提供することである。これは、通常、アナログ領域で実行される。

【0076】

最終ビームフォーミングはメインビームフォーマ20で行われ、典型的にはデジタル化の後である。

【0077】

送信チャンネル及び受信チャンネルは、固定周波数帯域を有する同じトランスデューサアレイ10'を使用する。しかしながら、送信パルスが占有する帯域幅は、使用されている送信ビームフォーミングに依存して変化し得る。受信チャンネルは、トランスデューサの帯域幅全体を捕捉することができ(古典的手法である)、又は帯域通過処理を使用することにより、有用な情報(例えば、主要な高調波の高調波)を含む帯域幅のみを抽出することができる。

40

【0078】

処理される信号は、ドップラープロセッサ28及びBモード(すなわち、輝度モード、又は2Dイメージングモード)プロセッサ26に結合される。Bモードプロセッサ26は、体内の器官及び血管の組織などの体の構造のイメージングのための受信超音波信号の振幅の検出を用いる。米国特許第6,283,919号(Roundhillら)及び米国特許第6,458,083号(Jagoら)に記載されるように、体の構造のBモード画像は、高調波画像モード又は基本画像モードのいずれかで形成されてもよく、又は両方の組み合わせで形成されてもよい。ドップラープロセッサ28は、画像フィールド内の血球の流れなどの物質の動きを検出するために、

50

組織の動き及び血流から時間的に異なる信号を処理する。ドップラープロセッサ28は、典型的には、体内の選択されるタイプの物質から返されるエコーを通過させ、及び/又は拒絶するように設定され得るパラメータを有するウォールフィルタを含む。

【0079】

例えば、ウォールフィルタは、より低い又はゼロ速度の物質からの比較的強い信号を排除しながら、比較的高速の物質から比較的低い振幅の信号を通過させる通過帯域特性を有するように設定されることができる。この通過帯域特性は、流れる血液からの信号を通過させる一方、心臓の壁のような近くの静止した、又は遅く動いている物体からの信号を拒絶する。逆特性は、心臓の動く組織からの信号を通過させる一方、組織ドップラーイメージングと呼ばれるものに対する血流信号を拒絶し、組織の動きを検出及び描写する。ドップラープロセッサは、画像フィールド内の異なる点からの時間的に離散したエコー信号のシーケンスを受信して処理し、アンサンプルと呼ばれる特定の点からのエコーのシーケンスを受け取って処理する。比較的短い間隔にわたって急速に連続して受信されるエコーのアンサンプルは、血流速度を示す速度に対するドップラー周波数の対応を用いて、血流のドップラーシフト周波数を推定するために使用されることができる。より長い時間にわたって受信されるエコーのアンサンプルは、より遅く流れる血液又はゆっくりと動く組織の速度を推定するために使用される。

【0080】

Bモード及びドップラープロセッサによって生成される構造信号及び動き信号は、スキャン変換器32及びマルチプレーナリフォーマッタ44に結合される。スキャン変換器32は、所望の画像フォーマットで受信される空間関係においてエコー信号を構成する。例えば、スキャン変換器は、エコー信号を2次元(2D)セクタ形状のフォーマット又はピラミッド3次元(3D)画像に構成することができる。スキャン変換器は、画像フィールド内の点における動きに対応する色でBモード構造画像をそのドップラー推定速度で重ね合わせて、画像フィールド内の組織及び血流の動きを示すカラードップラー画像を生成することができる。米国特許第6,443,896号(Detmer)に記載のように、マルチプレーナリフォーマッタは、体のポリュメトリック領域内の共通平面内の点から受信されるエコーをその平面の超音波画像に変換する。米国特許第6,530,885号(Entrekinら)に記載のように、音量レンダラ42は、3Dデータセットのエコー信号を所与の基準点から見て投影される3D画像に変換する。

【0081】

2D又は3D画像は、画像ディスプレイ40上の表示のための更なる強調、バッファリング及び一時記憶のために、スキャン変換器32、マルチプレーナリフォーマッタ44及びボリュームレンダラ42から画像プロセッサ30に結合される。イメージングのために使用されることに加えて、ドップラープロセッサ28によって生成される血流値及びBモードプロセッサ26によって生成される組織構造情報は、定量化プロセッサ34に結合される。定量化プロセッサは、器官の大きさ及び妊娠期間などの構造的測定値並びに血流のポリュメトリックレートなどの異なるフロー条件の測定値を生成する。定量化プロセッサは、測定が行われる画像の解剖学的構造内の点など、ユーザ制御パネル38からの入力を受信することができる。定量化プロセッサからの出力データは、ディスプレイ40上の画像での測定グラフィックス及び値の再生のため、及びディスプレイデバイス40からのオーディオ出力のためにグラフィックスプロセッサ36に結合される。グラフィックスプロセッサ36は、超音波画像を用いる表示のためのグラフィックオーバーレイも生成する。これらのグラフィックオーバーレイは、患者の名前、画像の日時、イメージングパラメータなどの標準的な識別情報を含むことができる。これらの目的のために、グラフィックスプロセッサは、患者名のようなユーザインタフェース38からの入力を受信する。ユーザインタフェースは、トランスデューサアレイ10'からの超音波信号の生成、したがってトランスデューサアレイ及び超音波システムによって生成される画像を制御するために送信コントローラ18にも結合される。コントローラ18の送信制御機能は、実行される機能の1つに過ぎない。コントローラ18は、(ユーザによって与えられる)動作モードと、対応する必要な送信器構成及び受信器アナ

10

20

30

40

50

ログ-デジタル変換器における帯域通過構成とを考慮する。コントローラ18は、固定状態の状態機械であってもよい。

【0082】

ユーザインタフェースは、MPR画像の画像フィールドにおいて定量化される測定値を実行するために使用され得る複数のマルチプレーナリフォーマット(MPR)画像の面の選択及び制御のために、マルチプレーナリフォーマッタ44に結合される。

【0083】

本発明は、トランスデューサアレイの素子からアレイの周辺部への受信トランスデューサ信号のルーティングに関する。

【0084】

図4は、本発明の手法を利用した超音波イメージングシステムの第1の例を示している。

【0085】

トランスデューサアレイを有する領域50が存在する。アレイは、行及び列に配置されるトランスデューサのサブアレイ52のセットを有する。各サブアレイは、複数のトランスデューサを有する。例えば、上記の例に従えば、各サブアレイ52は、50×50個の個別のトランスデューサを有することができる。当然のことながら、サブアレイ内の他の何れかの数の個々のトランスデューサも可能である。

【0086】

トランスデューサアレイは、アナログバッファのアレイを備えている。したがって、各トランスデューササブアレイ52は、アナログバッファのセット54と関連していると思なされることができる。これらは、トランスデューサのそれぞれのサブアレイ52の位置に配置される。トランスデューサアレイは、トランスデューサの規則的なアレイであることは注意される。これは、サブアレイからの信号だけがいつでも処理されるため、サブアレイのセットと考えられることができる。処理されているサブアレイはイメージングアパーチャを形成し、アレイの周りを移動することができる。それは重なり合わない位置の間で移動されてもよく、又はサブアレイが処理され得る異なる位置がオーバーラップしてもよい。

【0087】

1つのサブアレイからの信号が処理されるとき、他のトランスデューサはオフであり、ハイインピーダンス状態にあるので、それらは信号経路に結合されない。

【0088】

図4では、アナログバッファの各セット54が1つのユニットとして示されている。これは、簡単な方法で超音波プローブアパーチャによって生成されるすべての信号の処理を表す。実際には、個々のバッファは規則的なアレイを形成し、各々の個々のバッファはそれ自身のローカルトランスデューサに隣接して配置される。アナログバッファの各セット54は、一般に、それぞれのトランスデューササブアレイ内に配置され、各バッファとトランスデューサとの間、したがってバッファの各セット54とトランスデューササブアレイとの間に、1対1のマッピングがある。このようにして、サブアレイ52内のトランスデューサからバッファのセット54内のそのローカルバッファまでの短い信号経路が存在する。各バッファは、複数のバッファ要素を有するバッファ回路であってもよい。そのトランスデューサに関連するバッファの局所位置は、例えば、トランスデューササブアレイと同じ平面内、又は前記トランスデューササブアレイの平面の上又は下の回路層のいずれかに配置されることができる。両方の場合において、バッファは関連するトランスデューサの近傍に配置されるので、短い相互接続線を実現することができる。

【0089】

トランスデューサの各サブアレイ52は、超音波トランスデューサのアレイ50内から超音波トランスデューサのアレイ50の外側に信号経路56を有する。信号経路は、バッファ間に一つ又はそれより多くのホップを含み、実際には複数のホップを有する。この例では、信号経路は列を形成する。このようにして、信号経路は、列線において、超音波トランスデューサのアレイ50の周辺部に延在する。

【0090】

10

20

30

40

50

バッファ動作間の信号線長を短縮するために、バッファ間の複数のホップが設けられている。

【0091】

ホップは、所与のトランスデューサと周辺部との間に直列に延びるバッファの間に均一に間隔をおいて配置されてもよい。異なるトランスデューサからの信号は、周辺部に達するのに同数のホップを有することができるが、同様に、アレイ内の所与のトランスデューサの位置の関数である多数のホップが存在し得る。複数ホップは、好ましくは、信号経路に沿って均一な距離で作られる。このようにして、バッファ動作間の信号経路距離は最小限に保たれる。トランスデューサに関連するバッファの間にさらなるバッファが存在してもよい。

10

【0092】

一例として、示されるサブアレイ52に関して、信号経路がアレイ50のエッジに達する前に、バッファの3つのサブアレイが存在する。バッファの各サブアレイがバッファの50×50アレイである場合、列方向のみで最大150のバッファホップを作成できる。以下で説明するように、約40のバッファホップが完全な信号列に適している可能性がある。このように、バッファリングは、列内の各隣接バッファで行われるのではなく、列における全てのnバッファで行われるので、必要な数の信号ホップが作成され、又は別の見方をすれば、最大信号経路長が決定される。

【0093】

各バッファホップは、典型的には遅延を導入するが、アナログ信号伝送距離、したがって信号線抵抗及び容量を低減することによって信号劣化を防止するので、多数のアナログ信号はトランスデューサアレイの大面積ASICの間で高速で送信される。

20

【0094】

信号経路は、最終的に、アナログ/デジタル変換器のバンク58のアレイにつながる。図4の例では、アナログ/デジタル変換器のバンク58は領域50の軸に沿って延在する。

【0095】

ここでも、デジタル/アナログ変換器は、表現を容易にするために単にバンクとして示されている。それらは単純にアレイを形成し、アレイは、トランスデューサのアレイのサブアレイへの分割に対応する概念的な分割を単に提供するためにバンクのセットと見なされることができる。

30

【0096】

各トランスデューサと関連するアナログ-デジタル変換器との間の固定マッピングが存在するので、各可能な超音波アパーチャに対して、1つのトランスデューサがアナログ-デジタル変換器の専用の1つにその信号を供給する。したがって、信号経路は、アナログ-デジタル変換器のすべてのバンク58の間で分割される。これは、(アナログデジタル変換器の数を減らすために)アナログマイクロビームフォーミングを想定していないが、アナログマイクロビームフォーミングをさらに使用することができる。

【0097】

この構成は、RCのタイミング問題を解決する。しかしながら、変換器のバンク58及びアパーチャの超音波トランスデューサの間に可変遅延が存在する。

40

【0098】

(ASICの領域である)領域50の1つのエッジに沿ってアナログ-デジタル変換器をグループ化することによって、ADCがかなり大きくなるので、水平信号経路及び垂直信号経路が必要とされる。これらの水平信号経路に対して、アナログバッファの第2のアレイは、超音波トランスデューサのアレイ50の領域の外側の行に配置される。これらは、表現を容易にするために、セット60にグループ化されて示されている。これらは、アナログ-デジタル変換器バンク58の分散配置が使用されるように、周辺部に沿って1つの信号経路線を分布させるように使用されてもよい。

【0099】

水平バッファ60は両方向に動作する。垂直バッファは、トランスデューサのサブアレイ

50

52からの信号を処理し、トランスデューサのバッファは、それらがアパーチャ内で積極的に使用されない場合、データ転送のために（すなわち、ホップを実行するために）再利用され、データをトランスデューサから変換器に送信する。

【0100】

バッファシンボルを形成する矢印は、データフローの方向を示す。上述したように、バッファの各セットは、実際には、アパーチャ内のトランスデューサの数（50x50サブアレイの場合2500）に対応するバッファのバスである。この例では、アナログ-デジタル変換器の各バンク58は、2500/16=156個のアナログ-デジタル変換器を含む（16行のサブアレイ52、したがって16列方向信号経路36がある）。したがって、この例では、156個のアナログ/デジタル変換器の16個のバンクが必要である。

10

【0101】

したがって、各信号経路は、アナログ/デジタル変換器のバンク58のフルセットにつながる。したがって、（フルASIC内の何れかの場所で選択され得る）50x50のサブアレイ内において、最初の156個のトランスデューサは156個のADCの第1のバンクにルーティングされると考えられ、次に156個のトランスデューサは156個のADCの第2のバンクにルーティングされる。

【0102】

図4の太字の経路は、トランスデューサ52の1つのサブアレイからの信号経路がアナログ-デジタル変換器の全16バンク58に達する方法を示している（簡略化のために9つのバンクのみが示されている）。

20

【0103】

図4では、アナログ-デジタル変換器のバンク58が、超音波トランスデューサのアレイ50の基板とは別個に設けられている。しかしながら、代わりに、超音波トランスデューサのアレイをASICなどの集積回路として提供し、アナログ-デジタル変換器のバンクのアレイを集積回路の一部として提供することができる。これは完全な統合ソリューションを形成する。

【0104】

図4のバッファシステムは、図5に示す完全差動増幅器を使用して実施することができる。各バッファは、適切なフィードバック抵抗構成72を使用することによって、ユニティゲインで反転する差動増幅器70を備える。ラインの寄生容量及び抵抗は、増幅器70の出力におけるブロック74として示されている。各信号経路は、図4の増幅回路の直列チェーンを有する。

30

【0105】

図5のシステムを数学的に考えると、ステージn+1の出力は、

$$Vout_{n+1} = \frac{-Vout_n}{(1 + R_p/R)(1 + i\omega C_p R_p R / (R + R_p))}$$

40

によって前のステージnの出力に関連付けられる。ここで、Rはアンプの帰還抵抗、R_pは寄生抵抗、C_pは寄生容量である。それから、N段のバッファの場合、

$$Vout_N = \frac{(-1)^N Vout_1}{(1 + R_p/R)^N (1 + i\omega C_p R_p R / (R + R_p))^N} \approx (-1)^N Vout_1 \left(1 - \frac{NR_p}{R}\right) \left(1 - \frac{Ni\omega\tau_{PN}}{(1 + R_p/R)}\right)$$

である。

50

【 0 1 0 6 】

このようなシステムでは、時定数 $\tau_p = R_p C_p$ がゼロであっても信号損失が発生することが分かる。これを回避するため、アンプの帰還「 τ 」抵抗 R を非常に大きくする必要がある。

τ_p が有限であれば状況は悪化する。しかしながら、時定数 $\tau_{ps} = R_p C_p$ は、より多くのバッファが追加されるにつれて遅れる。

【 0 1 0 7 】

バッファされていないシステムが時定数 $\tau_{p0} = R_{p0} C_{p0}$ を有する場合、 N 個のバッファを有する時定数は $\tau_{pN} = R_{p0} C_{p0} / N_2$ となる。

【 0 1 0 8 】

したがって、時定数はバッファの数が増加するよりも速く立下がる。したがって、正しい数のバッファを選択すると、時定数効果は回避されるが、DC信号損失の影響はそのまま残る。

10

【 0 1 0 9 】

N 個のバッファの場合、 $N (f/f_{p0})$ のバッファ速度が必要である。したがって、 $f=40\text{MHz}$ 、 $f_{p0}=1\text{MHz}$ の場合、 N は40より大きくなる。

【 0 1 1 0 】

ビームフォーミングを実行するのに必要な最大サンプルレートは、しばしば f として示される40MHzとして引用される。 f_{p0} は $1/2 R_{p0} C_{p0}$ である。バッファされていないシステムは、単に信号をフィルタリングするだけである。 $N=40$ のバッファを追加することにより、高い周波数が見られ、したがって適切な信号サンプリングが可能になる。増幅器は、好ましくは、それらのユニティゲイン帯域幅が40MHzよりも少なくとも10倍大きくなる必要があるような利得関数である。

20

【 0 1 1 1 】

100K のフィードバック抵抗と100pF/40のステージ寄生容量と10K/40 のステージ寄生抵抗を持つ40個のバッファを備えたステップ入力（相補差動入力 V_{in-p} 及び V_{in-n} ）のシミュレーションが図6に示されている。出力 V_{out-p} と V_{out-n} の信号損失が見られると、信号は50ns以上遅延する。400MHzのアンプ帯域幅は、非常に低い出力インピーダンスで使用されることができる。

【 0 1 1 2 】

したがって、正確なサンプリングレートを実現するために、例えば40個のバッファが直列になっている。800×800トランスデューサアレイの例では、トランスデューサ1つあたり1つのバッファが使用される場合、垂直方向及び水平方向に最大800個のバッファを有することが可能である。しかしながら、バッファリング動作の回数は、電力消費を低減し、ノイズの問題を低減するために制限されるべきである。したがって、信号寄生インピーダンスの時定数を減少させることと、消費電力を低減することとの間に妥協点がある。40のバッファリングステップの必要性は、大きさのオーダーを示すための単なる例であり、40MHzのサンプリングレートもまた単なる例である。

30

【 0 1 1 3 】

バッファ動作の数は、垂直又は水平トランスデューサ（したがって、バッファ）位置の数（与えられた例では800）よりも少ないことが分かる。したがって、バッファリングはすべてのバッファで行われるのではなく、代わりにパスに沿って拡散される所望の数のバッファ動作で信号経路が規定される。

40

【 0 1 1 4 】

各トランスデューサからの信号は、信号が、読み出され、又はデジタル信号に変換されるアレイの周辺部に到達する前に同じ数のバッファリングホップを受ける。代わりに、バッファリング動作の数は、アレイ内の位置に依存してもよいので、例えば、（個々のトランスデューサから周辺部への）各信号経路が、同じ単位長さのセクションから形成され、単位長さは、寄生時定数を規定する。

【 0 1 1 5 】

他のアプローチは、サンプルアンドホールド回路を使用することにある。

50

【0116】

図7に、可能な解決策を示す。2つのバッファ80,82、ならびに2つの寄生線抵抗及び容量セクション84が示されている。各バッファは、完全差動サンプルアンドホールドを可能にする2つの差動対入力ステージを有する完全差動バッファ86を備える。

【0117】

一例として、40MHzで動作するクロックが入力をサンプリングし、その入力はいずれからの次段半クロックサイクル（したがって、シーケンシャルステージの入力における相補クロック）によってサンプリングされる。この場合、増幅器は、上記の例のように、400MHzではなく、ずっと低い利得帯域幅、すなわち40MHzしか必要としない。しかしながら、信号はステージ当たり半サイクルの遅延を見る。

10

【0118】

図8は、このシステムのシミュレーションを示している。10,20,30及び40ステージ後の出力は、プロット90,92,94及び96として示されている。利得の減少は見られないので、はるかに低いユニティゲイン帯域幅（したがって電力）が使用される。残りの唯一の問題は遅延であるが、この遅延のサイズはよく知られている。

【0119】

上述のように、アパーチャは、大きなアレイ内のどこにでも配置されることができる。これは、遅延が0からおそらく最大で40クロックサイクルまで変化し得ることを意味する。この40クロックサイクルの遅延は、40垂直及び40水平ホップからもたらされることができ、それぞれ40クロックサイクルの遅延を与える。ここでも所望されるホップの数は、サンプルレートによって決定される。遅延は補正される必要があり、そうでなければビームフォーミングが深刻に妥協される。

20

【0120】

可能なアプローチは2つある。

【0121】

第1のアプローチは、アレイから周辺部まで（例えば、アナログ-デジタル変換器まで）の信号経路が常に同じ長さであることを保証することにある。したがって、アパーチャがより大きいアレイ内にある場合はいつでも、コンバータへの経路は常に同じ数のホップ、すなわち同じ数のサンプルアンドホールドステージを含む。

【0122】

このアプローチは、3x3の例について図9に概念的に示されている。各トランスデューササブアレイは、上記の例のようにバッファのローカルセット54を有する。さらに、アナログバッファの第2のアレイ98は、超音波トランスデューサのアレイの領域50内に配置され、信号経路は、トランスデューサの各サブアレイに対して同じホップ数を有する。これは、ジグザグ経路を周辺部に提供し、それからアナログ/デジタル変換器のバンク58に供給することによって実現される。この単純化される例では、各変換器サブアレイは、アナログ-デジタル変換器のバンク58に達する前に5ホップを有する。このようにして、各信号経路は同じ遅延を経験する。これは、サンプルアンドホールド回路を使用するシステムにとって特に重要である。

30

【0123】

最終的な信号経路の位置は、周辺部に沿って分布されてもよいので、アナログ-デジタル変換器の分散配置が、上述したのと同じ方法で使用され得る。

40

【0124】

経路長を等化する代わりに、システムは、トランスデューサの各サブアレイに関連する遅延に関する情報を記憶するために（ハードウェア又はソフトウェアにおける）メモリを使用することができる。プロセッサ（例えば、図2の22,26,28）は、メモリに記憶される遅延を考慮に入れて変換器信号を処理する。しかしながら、この処理は、データにビームフォーミングが適用される前に行われる。

【0125】

この場合のバッファリング動作の数は、ここでもアレイ内の位置に依存することがある

50

。

【0126】

上述したように、超音波アレイの各トランスデューサ素子に関連するローカルバッファが存在する。バッファは、超音波トランスデューサのためのアドレッシング回路に追加されている。したがって、各トランスデューサ及びそれに関連するバッファは、超音波トランスデューサ測定値を出力バス上にルーティングするか、又は入力バス上の入射信号のバッファリングを実行し、それを出力バスに中継するか、又はそれは単にバススルーモードで動作する。

【0127】

図10は、1つのトランスデューサ素子100に関連する回路の例を示す。この設計は、バッファの単一のアレイが図9のジグザグ経路を規定することを可能にし、各バッファは何れかの所望の信号経路方向にバッファリングを提供するように構成可能である。

10

【0128】

垂直バス102は、列方向に沿って各トランスデューサに対して2本の線が存在するように、サブアレイ（すなわち、動的アパーチャ）の行の数の2倍の幅を有する。2つの線は、回路を通過し、データを、通過させるか、トランスデューサ素子から加えられるようにするか、又はバッファされるようにすることができる。垂直バス102の残りのラインは、これらのラインがトランスデューサ回路をちょうどスキップして通過する点で、スキップバス116と見なされることができ。それらは、アパーチャの異なる行におけるトランスデューサ素子に関連付けられている。この例では、スキップバスの幅は $\{2x(\text{サブアレイの行数}) - 2\}$ である。

20

【0129】

バス102の2つのラインはトランスデューサ回路を通過する。

【0130】

水平バス104は、行方向に沿って各トランスデューサに対して2本の線が存在するように、サブアレイ（すなわち動的アパーチャ）内の列の数の2倍の幅を有する。ここでも、バス104の2つのラインは、トランスデューサ回路を通過し、残りのラインは、スキップバス116を形成すると見なすことができる。

【0131】

回路はバッファ106を有する。4つのスイッチの第1のバンク108は、バッファに供給される入力を制御し、4つのスイッチの第2のバンク110は、バッファからの出力がルーティングされる場所を制御する。

30

【0132】

第1のバンク108は、

【0133】

バス104の1ラインを左に、

【0134】

バス104の1ラインを右側に、

【0135】

バス102の1ラインを上を、

40

【0136】

バス102の1ラインを下に
接続する。

【0137】

同様に、第2のバンク110は、

【0138】

バス104の1ラインを左に、

【0139】

バス104の1ラインを右に、

【0140】

50

バス102の1ラインを上、

【0141】

バス102の1ラインを下に

接続する。

【0142】

つまり、バンク108とバンク106にある適切なスイッチのペアをアクティブにすることによって、信号は何れの方向（上、下、左又は右）からも受信されることができ、バッファリングされ、何れかの方向に出力されることができる。したがって、バッファ機能はライン内にあることができ、又は直角リダイレクトを実行することができ、又はUターンを実行することができる。

10

【0143】

当然のことながら、信号経路を下向き及び右向きにすることにより、構成は簡略化されることができる。これは、各バス102,104の幅を半分にする。

【0144】

スイッチはレジスタ112によって制御される。

【0145】

レジスタは、制御線114でバッファ106自体を制御し、トランスデューサ素子はその出力をバッファに供給することを可能にするスイッチ116を制御する。したがって、回路は、代わりに、回路内にバッファリングを伴うか又は伴わないで、何れかの方向でバスに超音波トランスデューサ素子出力をルーティングすることができる。

20

【0146】

このように、各トランスデューサ素子回路は柔軟性があり、何れかの経路にデータをルーティングし、何れかの経路に沿ってバッファリングを実行することができる。

【0147】

2つのバンクのスイッチはパススルーモードを実現することもできる。例えば、バンク10の2つのスイッチ（例えば、上部の2つのスイッチ）が閉じている場合、直線状の垂直経路が形成されることができる。同様に、バンク108の2つのスイッチ（例えば、左の2つのスイッチ）が閉じられている場合、直線状の水平経路が形成される。したがって、回路はパススルーモードで構成されてもよい。このパススルーモードは、クロスオーバーを実現する。

30

【0148】

例えば、アパーチャの1つの列に64の行素子があり、トランスデューサ素子毎に1つのバッファがある場合、64本のワイヤのバスが列内に必要であり、1つのバッファのみが1列を駆動することができる（この例の場合、双方向性は無視される）。したがって、バッファは、バッファに再び接続する前に、63行素子のための信号を駆動する。したがって、スキップバスは63ライン幅である。

【0149】

図11は、2つの列のみを有するアパーチャの単純化される配置のために、バス102がアパーチャ120内のトランスデューサにどのように接続されるかを示している。画像は、バス102の2本の下向きラインに交互に接続されるアパーチャ内のトランスデューサ（上部2つのトランスデューサ）を示す。一方のラインはアパーチャ内のその行のためのラインであり、他方はスキップバスであると考えられることができる。双方向性は、バス102がアパーチャ内の行の数の2倍に等しい幅、すなわちこの簡略化される例において4を有するように示されているので、各トランスデューサは各方向のスキップバスヘディングにそれ自身のラインを有し、他の2本のラインは、その特定のトランスデューサのためのスキップバスと見なされることができる。トランスデューサ素子のバス102への接続は、チェッカーボードパターンに従う。

40

【0150】

したがって、バッファは、超音波トランスデューサの行と列の選択とは別個に動作する。選択されるアパーチャは、全アレイ内の要素の限定される選択、例えば1024x1024トラ

50

ンスデューサ素子内の64x64である。選択されるアパーチャはアレイの間でゆっくりとスキャンされる。

【0151】

レジスタ112は、選択されるバッファを可能にし、データの通過又は素子データの出力を可能にするように書き込まれる。この書き込みは、アパーチャのスキャン中に動的に行われるので、アレイは各アパーチャ位置に対して再構成され、バッファホップの必要な組み合わせが提供される。何れかの所与のアパーチャ位置について、アレイの外部のバッファホップのセットが構成されることができる。

【0152】

示されている例では、レジスタは10ビットである。1ビットは超音波トランスデューサ出力をイネーブルするために使用され、1つはバッファをイネーブルするために使用され、4つはバッファ出力をルーティングするために使用され、4つはバッファ入力を選択するために使用される。

【0153】

構成は何れかの経路を介してデータをルーティングする柔軟性を有するが、データは通常、ADCが常駐するエッジまでまっすぐにルーティングされる。

【0154】

図12は、バッファ構成の簡単な例を示している。トランスデューサがアドレス指定されるアパーチャは、原理を説明するために4つのトランスデューサを有する領域120として示されている。トランスデューサ信号は、それらの初期回路においてバッファリングされる。次の要素におけるバッファリング動作に後続される次の要素におけるパススルー機能がある。例えば、トランスデューサ122aからのトランスデューサ信号は、最初にバッファリングされ、それからトランスデューサ122b内でバッファリングすることなくトランスデューサ回路を通過する。それから、それらはトランスデューサ素子122cにおいてバッファリングされる。したがって、他のすべてのトランスデューサ素子はバッファリングされる。

【0155】

各トランスデューサ素子は代わりにサブアレイによって構成されることができ、ここでもn個のトランスデューサ素子全てがバッファリングされることができ、ここでもnはサブアレイのサイズ(すなわち行の数)である。パススルーモードにおいて、スキップバスが使用されてもよく、又はスイッチ構成がパススルーモードを提供してもよい。

【0156】

2つの列の外側にあるバッファはすべてオフになっている(塗りつぶしの代わりに白で示されている)。これにより電力が節約される。

【0157】

アクティブアレイが大きくなると、より多数の個々のトランスデューサ素子はスキップされる必要がある。例えば64x64アクティブアパーチャは63素子のスキップを必要とし、したがって、次のホップのためのバッファリングを実行するために使用可能なバッファが存在する前に、バッファ駆動強度はアクティブアパーチャのフルサイズの間で駆動するのに十分である必要がある。バスラインは、それから64個のトランスデューサ毎にトランスデューサ回路に接続するだけである。各ラインは、残りの63個のトランスデューサのためのスキップバスの一部として機能する。

【0158】

図13は、簡単な2x2アパーチャ120に基づくバッファ構成の例をここでも示す。この例では、横方向シフトがアレイの間で実施される。信号経路のチェーンにないバッファは、電力を節約するためにここでもオフにされることができる。

【0159】

図14は、トランスデューサアレイの外側で、行方向のみのバッファリングのための単純化されるスイッチング構成を示す。ここでも、バッファ106及びレジスタ112があるが、単一の列入力及び一対の行バスラインが存在する。これは、上で説明したようにアレイの全幅を占めるADCへのルーティング用である。このような回路の1つは、図示のように各ADC

10

20

30

40

50

に関連付けられている。

【0160】

図15は、(列方向に真っ直ぐに下がる)トランスデューサアレイ内のバッファリングとアレイ外のADCへの水平バッファリングとの組み合わせを示す。

【0161】

(アレイ内及びアレイ外の)レジスタは、関連する回路を必要な方法でセットアップするようにアドレス指定されることができる。レジスタアドレッシングは非常に迅速に実行されることができる純粋なデジタル機能である。例えば、オンチップコントローラは、外部ソースからのデータを取り込んで、正しいパターンをすべてのレジスタに送るこの機能を実行するように使用されることができる。

10

【0162】

アパーチャはアレイの間でゆっくり移動するため、レジスタの設定はほとんどの場合、スタティックになる。

【0163】

アパーチャが1つの場所にある間、アパーチャは、例えば、遠視野から近視野のイメージングにサイズを変えるように制御されてもよい。これはより迅速な更新であるが、必ずしもレジスタ設定を変更する必要はない。必要であれば、CMOS論理の更新レートは、アパーチャが縮小するにつれて必要とされないバッファをディスエーブルするのに十分であるべきである。

【0164】

本発明は、大面積医療用超音波イメージングのためのものである。

20

【0165】

開示される実施形態に対する他の変更は、図面、開示、及び添付の特許請求の範囲の研究から、クレームされる発明を実施する際、当業者によって理解され得、実現され得る。特許請求の範囲において、「有する (comprising)」という単語は他の要素又はステップを排除するものではなく、不定冠詞「a」又は「an」は複数を除外しない。特定の手段が相互に異なる従属請求項に列挙されているという単なる事実は、これらの手段の組み合わせが有利に使用できないことを示すものではない。特許請求の範囲内のいかなる参照符号も、範囲を限定するものとして解釈されるべきではない。

【 図 1 】

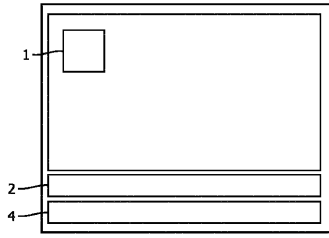


FIG. 1

【 図 2 】

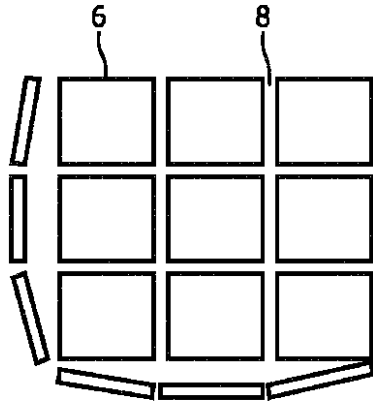


FIG. 2

【 図 4 】

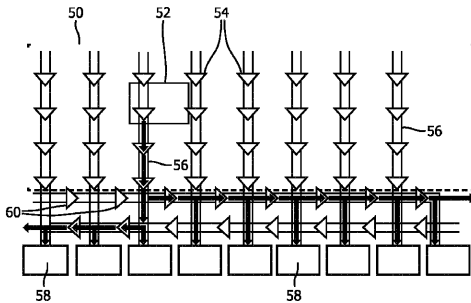


FIG. 4

【 図 5 】

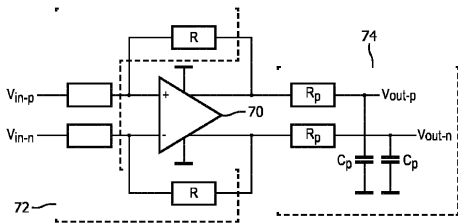
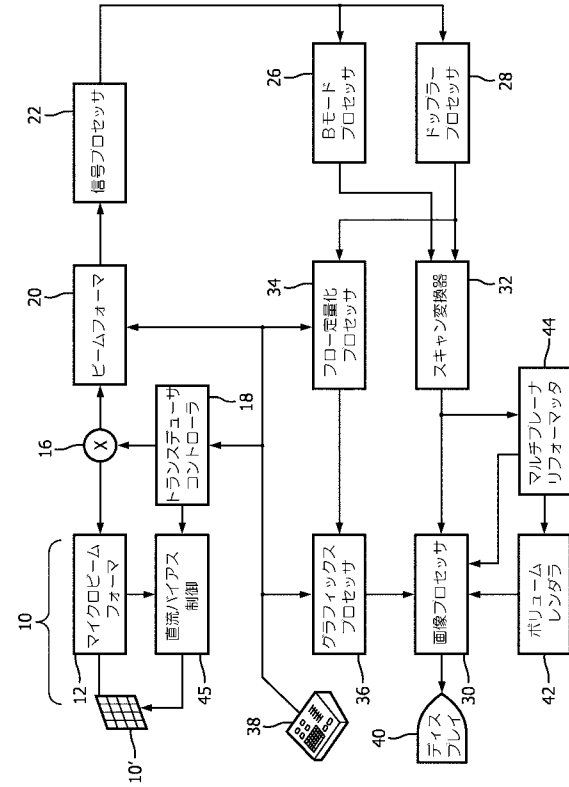
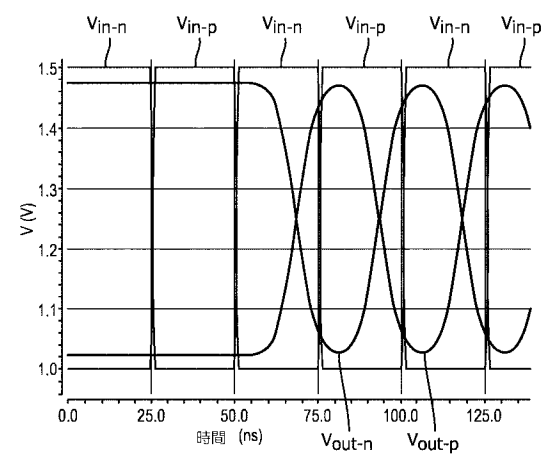


FIG. 5

【 図 3 】



【 図 6 】



【 図 7 】

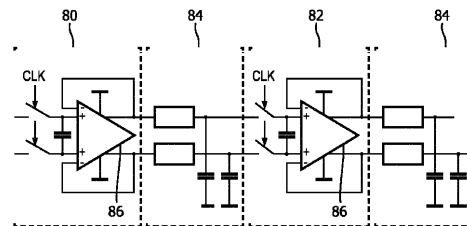
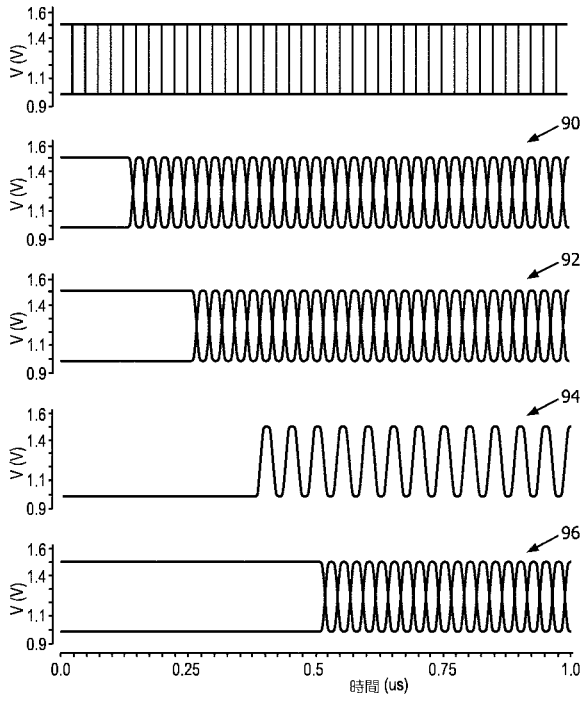


FIG. 7

【 図 8 】



【 図 9 】

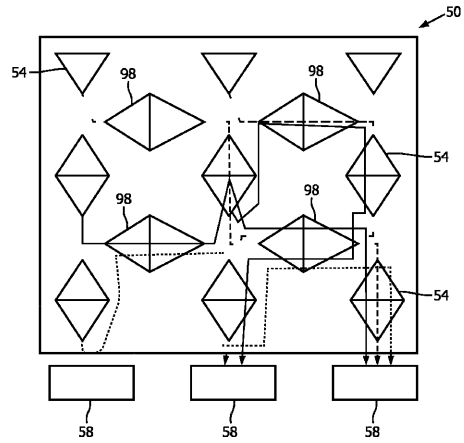


FIG. 9

【 図 1 0 】

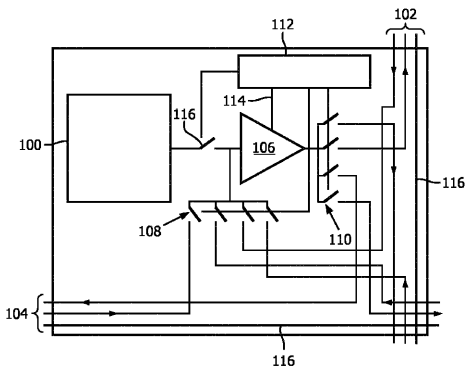


FIG. 10

【 図 1 1 】

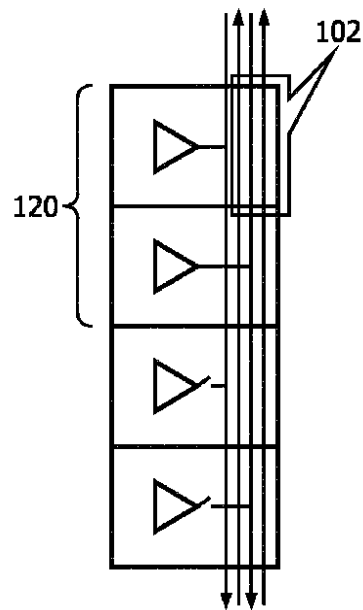


FIG. 11

【 図 1 2 】

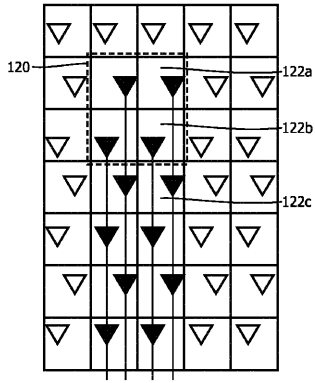


FIG. 12

【 図 1 3 】

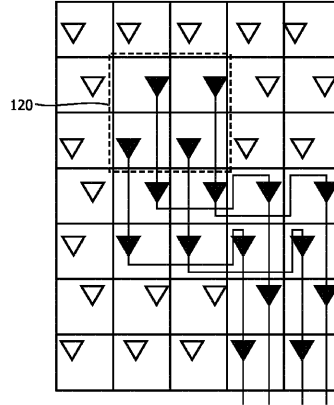


FIG. 13

【 図 1 4 】

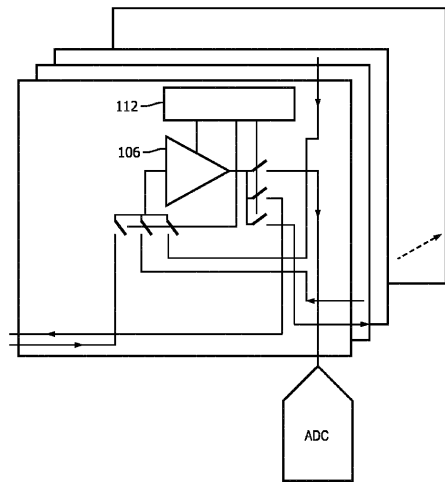


FIG. 14

【 図 1 5 】

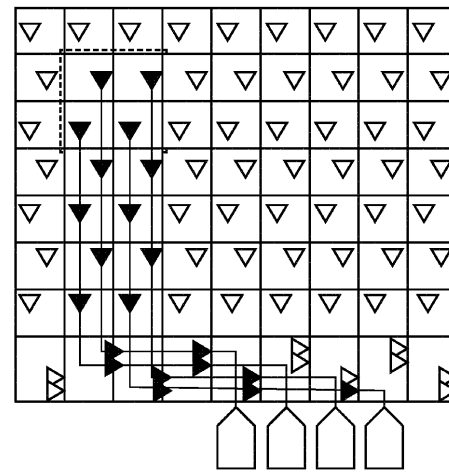


FIG. 15

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/051128

A. CLASSIFICATION OF SUBJECT MATTER		
INV. G01S7/52	G01S15/89 B06B1/06	
ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G01S B06B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
EPO-Internal, WPI Data, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2015/087991 A1 (CHEN KAILIANG [US] ET AL) 26 March 2015 (2015-03-26) abstract; figures 1, 2A, 2B, 6C paragraph [0060] - paragraph [0063] paragraphs [0067] - [0069], [0089] paragraph [0096] ----- -/--	1-7, 10-15 8,9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier application or patent but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search		Date of mailing of the international search report
15 March 2017		24/03/2017
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Knoll, Bernhard

1

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/051128

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>DAVID F LEMMERHIRT ET AL: "A 32 x 32 capacitive micromachined ultrasonic transducer array manufactured in standard CMOS", IEEE TRANSACTIONS ON ULTRASONICS, FERROELECTRICS AND FREQUENCY CONTROL, vol. 59, no. 7, 1 July 2012 (2012-07-01), pages 1521-1536, XP011491427, ISSN: 0885-3010, DOI: 10.1109/TUFFC.2012.2352 abstract; figures 7, 8 Section II-C</p> <p style="text-align: center;">-----</p>	1-15
A	<p>WYGANT I O ET AL: "Integration of 2D CMUT arrays with front-end electronics for volumetric ultrasound imaging", IEEE TRANSACTIONS ON ULTRASONICS, FERROELECTRICS AND FREQUENCY CONTROL, vol. 55, no. 2, 1 February 2008 (2008-02-01), pages 327-342, XP011225322, ISSN: 0885-3010, DOI: 10.1109/TUFFC.2008.652 abstract; figures 4, 5 Section II-B</p> <p style="text-align: center;">-----</p>	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/051128

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2015087991 A1	26-03-2015	US 2015087991 A1	26-03-2015
		WO 2015048341 A2	02-04-2015

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(72)発明者 フィッシュ ダフィット アンドリュウ
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 アーノルダセン ヘラルドス ヨハヌス ヤコブス マリア
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 オウゾウノフ ソティル フィリポフ
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 トテフ エミル ディミトロフ
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

Fターム(参考) 4C601 EE08 GB06 GB20 GB22 HH01 HH22 HH29 JB02 JB03

专利名称(译)	超声成像系统和方法		
公开(公告)号	JP2019503808A	公开(公告)日	2019-02-14
申请号	JP2018540468	申请日	2017-01-20
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦NV哥德堡		
[标]发明人	フィッシュダフィットアンドリユー アーノルダセンヘラルドスヨハヌスヤコブスマリア オウゾウノフソティルフィリポフ トテフエミルディミトロフ		
发明人	フィッシュダフィットアンドリユー アーノルダセンヘラルドスヨハヌスヤコブスマリア オウゾウノフソティルフィリポフ トテフエミルディミトロフ		
IPC分类号	A61B8/14		
CPC分类号	G01S15/8927 B06B1/0622 G01S7/52025 G01S7/5208		
FI分类号	A61B8/14		
F-TERM分类号	4C601/EE08 4C601/GB06 4C601/GB20 4C601/GB22 4C601/HH01 4C601/HH22 4C601/HH29 4C601/JB02 4C601/JB03		
优先权	2016154161 2016-02-04 EP		
其他公开文献	JP2019503808A5		
外部链接	Espacenet		

摘要(译)

超声成像系统具有超声换能器的阵列，超声换能器具有一组换能器子阵列。每个传感器都有一个模拟缓冲器。换能器的每个子阵列具有从超声换能器阵列内部到超声换能器阵列外部的信号路径，在缓冲器之间有一跳或多跳。提供缓冲器之间的至少一些跳以减少从超声换能器阵列的内部到外围的信号线长度。每个缓冲区跃点都会引入延迟，但是可以防止信号降级，因为许多模拟信号通过换能器阵列的大面积ASIC传输。

