

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-93962

(P2017-93962A)

(43) 公開日 平成29年6月1日(2017.6.1)

(51) Int.Cl.

A61B 8/14 (2006.01)

F1

A61B 8/14

テーマコード(参考)

4C601

審査請求 未請求 請求項の数 11 O L (全 27 頁)

(21) 出願番号 特願2015-231639 (P2015-231639)
 (22) 出願日 平成27年11月27日 (2015.11.27)

(71) 出願人 715010864
 エスアイアイ・セミコンダクタ株式会社
 千葉県千葉市美浜区中瀬一丁目8番地
 (74) 代理人 110002066
 特許業務法人筒井国際特許事務所
 (72) 発明者 吉澤 弘泰
 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
 (72) 発明者 花沢 聡
 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
 (72) 発明者 小田原 達矢
 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

最終頁に続く

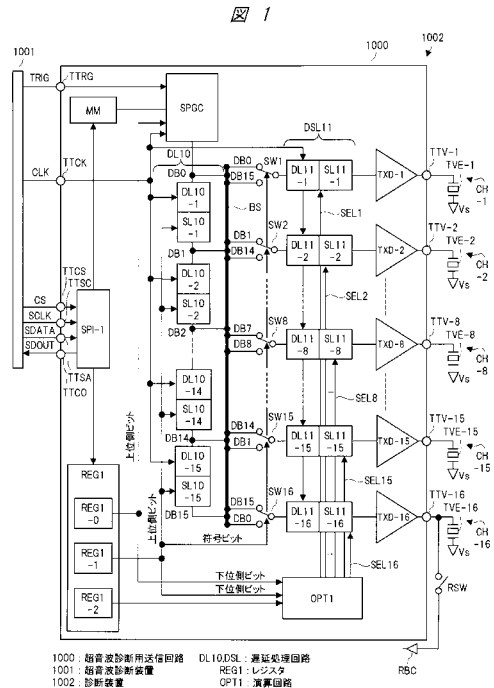
(54) 【発明の名称】 超音波診断用送信回路および超音波送信方法

(57) 【要約】

【課題】情報量の削減を図りながら、価格の上昇を抑制することが可能な超音波診断用送信回路を提供する。

【解決手段】超音波診断用送信回路1000は、送信信号パターンを遅延する遅延処理回路DL10と、遅延時間を算出する演算回路OPT1を備える。複数のチャンネルに対応した複数の圧電素子に対して、送信信号パターンを供給する送信タイミングが、直線状または円弧状になるように、送信タイミングが、圧電素子の配置を変数とした多次元の多項式で近似される。この多次元の多項式における係数が、超音波診断用送信回路に供給され、第1係数に基づいて、遅延処理回路DL10における遅延時間が定められ、第2係数に基づいて、演算回路OPT1が遅延時間を算出し、複数の圧電素子には、第1係数に従った遅延時間と第2係数に従った遅延時間を含む送信タイミングで、送信信号パターンが供給される。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

送信信号パターンを生成するパターン生成回路と、
前記送信信号パターンを遅延する遅延処理回路と、
遅延時間を算出する演算回路と、
を備え、

複数のチャンネルのそれぞれに対応した複数の超音波発生回路に対して、前記送信信号パターンを供給する送信タイミングが、前記複数の超音波発生回路の配置に対して直線状または円弧状になるように、前記送信タイミングが、前記複数の超音波発生回路の配置を変数とした多次元の多項式で近似され、前記多次元の多項式における係数が供給され、前記供給された係数のうちの第 1 係数に基づいて、前記遅延処理回路における遅延時間が定められ、前記供給された係数のうちの第 2 係数に基づいて、前記演算回路が遅延時間を算出し、前記複数の超音波発生回路のそれぞれには、前記第 1 係数に従った遅延時間と前記第 2 係数に従った遅延時間を含む送信タイミングで、前記送信信号パターンが供給される、超音波診断用送信回路。

10

【請求項 2】

請求項 1 に記載の超音波診断用送信回路において、

前記多項式は、前記複数の超音波発生回路の配置を変数とした 2 次元の多項式であり、1 次元の係数が、前記第 1 係数とされ、2 次元の係数が、前記第 2 係数とされる、超音波診断用送信回路。

20

【請求項 3】

請求項 2 に記載の超音波診断用送信回路において、

前記演算回路は、前記 2 次元の係数と端数処理の演算を行う、超音波診断用送信回路。

【請求項 4】

請求項 3 に記載の超音波診断用送信回路において、

前記複数のチャンネルの数が、整数の偶数 N 個のとき、偶数 N の中心点 $N/2$ を 0 とし、中心点 $N/2$ を超えるチャンネルにおける送信タイミングと、中心点 $N/2$ 未満のチャンネルにおける送信タイミングが、前記多項式において同じ変数によって表される、超音波診断用送信回路。

30

【請求項 5】

請求項 4 に記載の超音波診断用送信回路において、

前記超音波診断用送信回路は、前記送信信号パターン、クロック信号および選択信号が供給される複数の半周期遅延選択回路を備え、

前記複数の半周期遅延選択回路のそれぞれは、供給されている送信信号パターンを、選択信号によって指定された上記クロック信号のエッジに同期して、前記超音波発生回路へ供給する、超音波診断用送信回路。

【請求項 6】

請求項 5 に記載の超音波診断用送信回路において、

前記超音波診断用送信回路は、超音波診断装置に結合される 1 個の半導体装置に形成され、前記第 1 係数および前記第 2 係数は、前記超音波診断装置から、前記半導体装置に形成された前記超音波診断用送信回路へ供給される、超音波診断用送信回路。

40

【請求項 7】

請求項 6 に記載の超音波診断用送信回路において、

前記複数の超音波発生回路は、前記半導体装置に結合された複数の圧電素子を備えている、超音波診断用送信回路。

【請求項 8】

複数のチャンネルのそれぞれに対応した複数の超音波発生回路に対して、送信信号パターンを供給する送信タイミングが、前記複数の超音波発生回路の配置に対して直線状または円弧状になるように、前記送信タイミングを、前記複数の超音波発生回路の配置を変数とした多次元の多項式で近似し、前記多次元の多項式における係数を、超音波診断用送信

50

回路へ供給する係数供給工程と、

供給された係数のうちの第1係数に基づいて、遅延処理回路により、前記送信信号パターンを遅延させ、遅延された送信信号パターンを、供給された係数のうちの第2係数に基づいて、演算回路により求めた遅延時間、遅延させて、前記複数の超音波発生回路に供給する送信信号パターン供給工程と、

を備える、超音波送信方法。

【請求項9】

請求項8に記載の超音波送信方法において、

前記多次元の多項式は、2次元の多項式であり、

前記係数供給工程において、前記2次元の多項式のうち、1次元の係数が、前記第1係数として供給され、前記2次元の多項式のうち、2次元の係数が、前記第2係数として供給される、超音波送信方法。

10

【請求項10】

送信信号パターンを生成するパターン生成回路と、

前記送信信号パターンを遅延させる遅延時間を算出する演算回路と、

を備え、

複数のチャンネルのそれぞれに対応した複数の超音波発生回路に対して、前記送信信号パターンを供給する送信タイミングが、前記複数の超音波発生回路の配置に対して直線状または円弧状になるように、前記送信タイミングが、前記複数の超音波発生回路の配置を変数とした2次元の多項式で近似され、前記2次元の多項式における係数が、前記演算回路に供給され、前記演算回路で算出された遅延時間を含む送信タイミングで、前記送信信号パターンが、前記複数の超音波発生回路へ供給される、超音波診断用送信回路。

20

【請求項11】

請求項10に記載の超音波診断用送信回路において、

前記超音波診断用送信回路は、レジスタを備え、

前記超音波診断用送信回路は、超音波診断装置に結合される1個の半導体装置に形成され、前記係数は、前記超音波診断装置から、前記レジスタに格納される、超音波診断用送信回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、超音波診断用送信回路および超音波送信方法に関し、特に複数のチャンネルを有する超音波診断用送信回路および複数のチャンネルで超音波を送信する超音波送信方法に関する。

【背景技術】

【0002】

複数のチャンネルを有する超音波診断用送信回路は、超音波診断装置と組み合わせられて、例えば人体の超音波診断の際に用いられる。超音波診断用送信回路は、複数の駆動回路と、それぞれの駆動回路に対応した複数の前段回路を備えた、例えば1個の半導体装置によって構成されている。この場合、それぞれのチャンネルに対して、1個の駆動回路とその前段回路とが割り当てられ、前段回路からの送信信号パターンに従って駆動回路が、高電圧の駆動信号を形成し、送信する。この高電圧の駆動信号は、チャンネルに対応した超音波発生回路、例えば圧電素子に送信され、それぞれの圧電素子は、駆動信号に従って、超音波を発生する。これにより、それぞれのチャンネルにおいて、超音波が発生することになる。

40

【0003】

超音波診断の際、それぞれのチャンネルにおいて発生した超音波が、ほぼ同じタイミングで、所望の部位（焦点）に到達（収束）することが望ましい。このようにすることにより、所望の部位における超音波エネルギーを強くすることが可能となり、診断の精度の向上を図ることが可能となる。

50

【 0 0 0 4 】

超音波を収束する技術は、例えば特許文献 1 に示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開平 6 - 3 3 5 4 8 0 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

10
所望の部位に、それぞれのチャンネルにおいて発生した超音波が収束するようにするために、超音波診断用送信回路（以下、単に送信回路とも称する）から、チャンネルのそれぞれに対応した圧電素子へ供給する駆動信号の送信タイミング（遅延量）は、それぞれのチャンネルにおける圧電素子と所望の部位との間の距離に応じて、調整される。所謂、送信のビームフォーミングが行われる。すなわち、超音波が収束する部位に応じて、チャンネル毎に調整された送信タイミングで、駆動信号が、送信回路から、チャンネル毎の圧電素子へ供給されることになる。これにより、チャンネル毎に、圧電素子が発生する超音波のタイミングが調整され、所望の部位において、超音波が収束することになる。

【 0 0 0 7 】

20
所望の部位に、チャンネル毎に発生した超音波が収束する技術として、本発明者らは、本発明に先だって、図 6 および図 7 に示す技術考えた。本発明の理解を容易にするために、先ず、図 6 および図 7 に示す本発明者らが考えた検討技術 1 および 2 を説明する。

【 0 0 0 8 】

< 検討技術 1 >

図 6 において、6 0 0 2 は、診断装置を示しており、診断装置 6 0 0 2 は、超音波診断用送信回路（送信回路）6 0 0 0 と、超音波診断装置 6 0 0 1 を備えている。また、図 6 において、CH - 1 ~ CH - 1 6 のそれぞれは、チャンネルを示しており、TVE - 1 ~ TVE - 1 6 は、チャンネル CH - 1 ~ CH - 1 6 のそれぞれに対応した圧電素子を示している。すなわち、図 6 では、チャンネルの数が、1 6 個の場合が示されている。

【 0 0 0 9 】

30
圧電素子 TVE - 1 ~ TVE - 1 6 は、人体に当接するプローブ（図示せず）内に設けられ、プローブとは物理的に分離された送信回路 6 0 0 0 との間がケーブルによって電氣的に接続されている。また、送信回路 6 0 0 0 と超音波診断装置 6 0 0 1 との間は、配線によって、電氣的に接続されている。

【 0 0 1 0 】

40
送信回路 6 0 0 0 は、上記したように、チャンネルに対応した複数の駆動回路と複数の前段回路を備えているが、図 6 では、チャンネル CH - 1 ~ CH - 1 6 に対応した駆動回路 TXD - 1 ~ TXD - 1 6 のみが描かれている。図 6 に示した診断装置 6 0 0 2 においては、超音波診断装置 6 0 0 1 が、チャンネル CH - 1 ~ CH - 1 6 毎に、送信信号 TXP - 1 ~ TXP - 1 6 を形成し、ケーブルを介して、送信回路 6 0 0 0 へ供給する。送信回路 6 0 0 0 においては、チャンネル CH - 1 ~ CH - 1 6 に対応した駆動回路 TXD - 1 ~ TXD - 1 6 が、供給された送信信号 TXP - 1 ~ TXP - 1 6 に応じた駆動信号 TXS - 1 ~ TXS - 1 6 を形成し、対応する圧電素子 TVE - 1 ~ TVE - 1 6 へ供給する。

【 0 0 1 1 】

送信信号 TPX - 1 ~ TPX - 1 6 のそれぞれは、互いに同じ送信信号パターンを有している。図 6 では、送信信号パターンが、所定の電圧 Vs から第 1 のタイミングでパルス状に変化する信号パターン P 1 と第 1 のタイミングよりも遅いタイミングでパルス状に変化する信号パターン P 2 とによって構成されている例が示されている。

【 0 0 1 2 】

50
超音波診断装置 6 0 0 1 においては、例えば信号パターン P 1 と信号パターン P 2 によ

って構成された送信信号パターンを有する1個の共通の送信信号TPXを形成する。形成した共通の送信信号TPXを、信号処理回路(図示しない)により、互いに異なる送信タイミングで、送信信号TXP-1~TXP-16として、それぞれのチャンネルCH-1~CH-16へ供給する。すなわち、図6の例では、送信信号TXP-1およびTXP-16を、所定の送信タイミングで、配線を介して、送信回路6000へ供給する。送信信号TXP-1、TXP-16よりも遅れた送信タイミングにおいて、超音波診断装置6002は、送信信号TXP-7、TXP-9を、配線を介して、送信回路6000へ供給し、さらに遅れた送信タイミングにおいて、送信信号TXP-8を、配線を介して、送信回路6000へ供給する。

【0013】

送信回路6000における駆動回路TXD-1~TXD-16のそれぞれは、対応する配線を介して供給された送信信号TXP-1~TXP-16を、高電圧の駆動信号TXS-1~TXS-16に変換して、対応する圧電素子TEV-1~TEV-16へ供給する。図示していないが、駆動回路TXD-1~TXD-16には、所定の電圧Vsを基準電圧として、この基準電圧よりも正極側に高電圧の電圧+VPと、基準電圧よりも負極側に高電圧の電圧-VPが供給されている。駆動回路TXD-1を例にして説明すると、駆動回路TXD-1は、送信信号パターンにおける信号パターンP1のパルス状の変化に应答して、所定の電圧Vsから正極側の電圧+VPへパルス状に変化し、信号パターンP2のパルス状の変化に应答して、所定の電圧Vsから負極側の電圧-VPへパルス状に変化する駆動信号TXS-1を出力する。残りの駆動回路TXD-2~TXD-16についても、同様にして、送信信号パターンの変化に应答してパルス状に変化する駆動信号を出力する。

【0014】

これにより、圧電素子TVE-1、TVE-16には、所定のタイミングで、パルス状に変化する駆動信号TXS-1、TXS-16が供給されることになり、所定のタイミングで、超音波を発生する。圧電素子TVE-7、TVE-9には、所定のタイミングよりも遅れたタイミングで、パルス状に変化する駆動信号TXS-7、TXS-9が供給されることになり、所定のタイミングよりも遅れたタイミングで、超音波を発生する。図6の例では、さらに遅れたタイミングで、駆動信号TXS-8が、パルス状に変化するため、圧電素子TVE-8は、圧電素子TVE-7、TVE-9よりも後のタイミングで、超音波を発生することになる。

【0015】

図6の例では、圧電素子TVE-8が、超音波を発生するタイミングが、最も遅くなり、圧電素子TVE-7からTVE-1(およびTVE-8からTVE-16)の順に、超音波を発生するタイミングが、早くなる。その結果、圧電素子TVE-8が当接された人体の部位に近接した部位において、それぞれのチャンネルCH-1~CH-16において発生した超音波が、収束することになり、収束した部位での超音波エネルギーを強くすることが可能となる。

【0016】

なお、収束した部位においては、収束した超音波に対する反射波が発生する。この反射波を、圧電素子TVE-1~TVE-16が受信し、圧電素子TVE-1~TVE-16のそれぞれからの受信信号が、図示しない受信回路を介して、超音波診断装置6001へ供給される。超音波診断装置6001では、受信信号を処理することにより、例えば画像として表示する。

【0017】

超音波診断装置6001において、共通の送信信号TPXを形成する回路、共通の送信信号TPXから送信信号TXP-1~TXP-16を形成する処理回路および受信信号を処理する回路は、例えば、所謂FPGAのような半導体装置によって構成される。例えば、送信信号TXP-1~TXP-16を形成する処理回路は、FPGAのような半導体装置により構成されたデジタル信号処理回路による演算および制御によって達成されてい

10

20

30

40

50

る。

【0018】

図6に示した診断装置6002では、超音波診断装置6001が、所望の部位において、超音波が収束するような送信タイミングで、送信信号TXP-1~TXP-16を、送信回路6000へ供給している。すなわち、超音波診断装置6001において、送信のビームフォーミングが行われ、ビームフォーミングされた駆動信号が、チャンネル毎の圧電素子に供給されている。そのため、チャンネルの数が増えるのに従って、超音波診断装置6001から、送信回路6000へ供給する送信信号の数も増加する。図6に示したように、送信信号TXP-1~TXP-16が、複数の信号パターンP1、P2によって表される場合には、チャンネルの数の2倍の送信信号を、超音波診断装置6001から送信回路6000へ供給することが要求される。さらに、駆動信号TXS-1~TXS-16のそれぞれが、電圧Vs、+VP、-VPのような3状態ではなく、より多段に変化するようになる場合には、送信信号の数は、チャンネルの数の3倍以上となる。すなわち、駆動信号が、パルサーの場合、超音波診断装置6001と送信回路6000との間の送信信号の数は、チャンネルの数の2倍以上になってしまう。

10

【0019】

送信回路6000は、半導体装置によって構成されるが、近年の半導体製造技術の発達に伴い、半導体装置に集積化される駆動回路およびその前段回路の数を、より多くすることが可能となっている。一方、診断装置6002の高性能化も進んでおり、プローブに内蔵される圧電素子の数も増加し、チャンネルの数も増加する傾向にある。例えば、チャンネルの数は、128チャンネル、192チャンネル等に増加する傾向にある。

20

【0020】

チャンネルの数が増加することにより、超音波診断装置6001と送信回路6000との間の送信信号の数は、大幅に増加する。そのため、超音波診断装置6001と送信回路6000との間の配線の数も、大幅に増加することになる。その結果、超音波診断装置6001と送信回路6000との間を接続する基板における配線の設計の難易度が高くなる。また、診断装置6002のコストアップに繋がる。

【0021】

また、プローブに、送信回路6000と圧電素子TVE-1~TVE-16とを搭載することも検討されている。この場合、プローブに搭載された送信回路6000と、超音波診断装置6001との間が、ケーブルによって電氣的に接続されることになる。送信信号が大幅に増えるため、ケーブルの本数が増加することになる。ケーブルの本数が増加すると、ケーブルの束が太くなり、プローブの操作性が低下することになり、プローブに、送信回路6000と圧電素子を搭載する際の障害となる。

30

【0022】

< 検討技術2 >

図7は、本発明者らが検討した他の診断装置7002の構成を示すブロック図である。診断装置7002は、送信回路7000と、超音波診断装置7001とを備えている。送信回路7000は、1個の半導体装置によって構成されている。図7において、TTV-1~TTV-16、TTRG、TTCK、TTCS、TTSC、TTSAおよびTTSOは、半導体装置(送信回路700)の外部端子を示している。図7において、TXD-1~TXD-16のそれぞれは、図6に示した駆動回路TXD-1~TXD-16と同じ構成を有する駆動回路である。また、図7において、TVE-1~TVE-16は、図6に示した圧電素子TVE-1~TVE-16と同じ構成を有する圧電素子である。

40

【0023】

図7において、圧電素子TVE-1~TVE-16は、それぞれの一方の端部が、対応する外部端子TTV-1~TTV-16を介して、駆動回路TXD-1~TXD-16の出力に接続され、それぞれの他方の端部は、所定の電圧Vsに接続されている。図7に示した駆動回路TXD-1~TXD-16および圧電素子TVE-1~TVE-16の動作は、図6と同じであるため、説明は省略する。なお、図7でも省略されているが、圧電素

50

子 T V E - 1 ~ T V E - 1 6 は、プローブに搭載されている。

【 0 0 2 4 】

送信回路 7 0 0 0 は、シリアルペリフェラルインタフェース (S e r i a l P e r i p h e r a l I n t e r f a c e : S P I) 回路 (以下、インタフェース回路とも称する) S P I - 1、演算処理回路 O P T 7、揮発性メモリ回路 M M、送信信号パターン生成回路 (以下、パターン生成回路とも称する) S P G C、遅延回路 D L - C および選択回路 S L 7 - 1 ~ S L 7 - 1 6 を備えている。

【 0 0 2 5 】

超音波診断装置 7 0 0 1 は、図示しないが、送信のビームフォーミングを行うための情報 (データ) を出力する回路ブロック (以下、説明の都合上、フォーミング情報回路ブロック F C B と称する) と、シリアルペリフェラルインタフェース回路ブロック (以下、説明の都合上、インタフェース回路ブロック I C B と称する) と、制御回路ブロックを備えている。超音波診断装置 7 0 0 1 において、制御回路ブロックは、クロック信号 C L K およびトリガー信号 T R I G を形成し、形成したクロック信号 C L K を、送信回路 7 0 0 0 の外部端子 T T C K に供給し、形成したトリガー信号 T R I G を、送信回路 7 0 0 0 の外部端子 T T R G へ供給する。制御回路ブロックは、送信回路 7 0 0 0 において、超音波を発生させるとき、トリガー信号 T R I G を出力する。送信回路 7 0 0 0 は、外部端子 T T R G を介してトリガー信号 T R I G が供給されたとき、外部端子 T T C K に供給されているクロック信号 C L K に同期して、送信動作を行う。

10

【 0 0 2 6 】

超音波診断装置 7 0 0 1 において、フォーミング情報回路ブロック F C B は、ビームフォーミングを行うためのフォーミング情報、例えば所望の部位に関する情報と、発生する送信信号の信号パターンを表すパターン情報を生成する。

20

【 0 0 2 7 】

超音波診断装置 7 0 0 1 におけるインタフェース回路ブロック I C B は、イネーブル信号 C S を外部端子 T T C S へ出力し、送信回路 7 0 0 0 のインタフェース回路 S P I - 1 を活性化させる。その後で、インタフェース回路ブロック I C B は、外部端子 T T S C に供給しているシリアルクロック信号 S C L K に同期させながら、フォーミング情報回路ブロック F C B によって生成されたパターン情報およびフォーミング情報を、シリアルデータ S D A T A として、外部端子 T T S A に供給する。また、必要に応じて、外部端子 T T S O を介して、送信回路 7 0 0 0 からの情報をデータ S D O U T として受信する。

30

【 0 0 2 8 】

送信回路 7 0 0 0 において、インタフェース回路 S P I - 1 は、イネーブル信号 C S が供給されることにより、活性化する。活性化すると、インタフェース回路 S P I - 1 は、シリアルクロック信号 S C L K に同期して供給されているデータ S D A T A を取り込む。取り込んだデータ S D A T A のうち、パターン情報を揮発性メモリ回路 M M に格納する。

【 0 0 2 9 】

また、取り込んだデータ S D A T A のうち、フォーミング情報は、演算処理回路 O P T 7 へ供給する。演算処理回路 O P T 7 は、供給されたフォーミング情報に基づいて、ビームフォーミングを行う。すなわち、演算処理回路 O P T 7 は、フォーミング情報に基づいて、演算処理および制御を行い、チャンネル毎に、遅延量 (送信タイミング) を算出する。また、演算処理回路 O P T 7 は、チャンネルに対して共通となる遅延量を共通遅延量として算出する。演算処理回路 O P T 7 は、チャンネルに 1 対 1 に対応したチャンネル遅延レジスタと、共通遅延レジスタとを備えている。

40

【 0 0 3 0 】

図 7 では、チャンネルの数は、図 6 と同じに 1 6 個である。そのため、演算処理回路 O P T 7 は、1 6 個のチャンネル遅延レジスタ R E G 7 - 1 ~ R E G 7 - 1 6 と、1 個の共通遅延レジスタ R E G 7 - C を備えていることになる。演算により求めた共通遅延量は、共通遅延レジスタ R E G 7 - C に格納される。一方、演算により求められた 1 6 個のチャンネルの遅延量は、対応するチャンネル遅延レジスタに格納される。例えば、チャンネル

50

CH - 1に関する遅延量は、チャンネル遅延レジスタREG 7 - 1に格納され、チャンネルCH - 8に関する遅延量は、チャンネル遅延レジスタREG 7 - 8に格納される。他のチャンネルに関する遅延量も、同様にして、それぞれに対応するチャンネル遅延レジスタに格納される。

【0031】

トリガー信号TRIGが、外部端子TTRGに供給されると、パターン生成回路SPGCは、クロック信号CLKに同期して、動作を開始する。動作を開始すると、パターン生成回路SPGCは、揮発性メモリ回路MMに格納されているパターン情報を読み出し、読み出したパターン情報によって表されている送信信号パターンを有する送信信号を生成する。このとき、パターン生成回路SPGCは、共通遅延レジスタREG 7 - Cからの共通遅延情報に基づいて、所定の時間経過したときから、送信信号を生成する。生成された送信信号は、遅延回路DL - Cに供給される。遅延回路DL - Cは、クロック信号CLKに同期して、所定の間隔で、供給された送信信号を、時間的に連続して出力する。すなわち、所定の間隔で、送信信号が、繰り返し、遅延回路DL - Cから出力されることになる。

10

【0032】

遅延回路DL - Cから出力されている繰り返しの送信信号は、選択回路SL 7 - 1 ~ SL 7 - 16に供給される。選択回路SEL 7 - 1 ~ SEL 7 - 16も、チャンネルCH - 1 ~ CH - 16にそれぞれ対応している。選択回路SL 7 - 1 ~ SL 7 - 16のそれぞれは、チャンネル遅延レジスタREG 7 - 1 ~ REG 7 - 16に格納されている遅延量によって制御される。すなわち、トリガー信号TRIGが出力された後、対応するチャンネル遅延レジスタから供給されている遅延量に到達したとき、選択回路は、遅延回路DL - Cから出力されている送信信号を選択し、対応する駆動回路の入力に供給する。

20

【0033】

選択回路SL 7 - 1、SL 7 - 8を例にして述べると、トリガー信号TRIGが出力されてから、対応するチャンネル遅延レジスタREG 7 - 1からの遅延量で表される時間に到達すると、選択回路SL 7 - 1は、遅延回路DL - Cから出力されている送信信号を選択して、対応する駆動回路TXD - 1の入力に供給する。また、対応するチャンネル遅延レジスタREG 7 - 8からの遅延量で表される時間に到達すると、選択回路SL 7 - 8は、遅延回路DL - Cから出力されている送信信号を選択して、対応する駆動回路TXD - 8の入力に供給する。残りの選択回路も同様に動作する。これにより、ビームフォーミングされた送信信号に対応する駆動信号が、それぞれのチャンネルの圧電素子に供給されることになる。

30

【0034】

図7に示した診断装置7002では、送信のビームフォーミングが、送信回路7000において行われことになる。そのため、超音波診断装置7001と送信回路7000との間の信号を削減することが可能であり、図7に示すように、シリアル通信(SPI)によって、情報を超音波診断装置7001から送信回路7000へ供給することが可能となる。その結果、チャンネルの数が増加しても、超音波診断装置7001と送信回路7000との間を接続する配線の数が、増加するのを防ぐことが可能となる。しかしながら、送信回路7000において、送信のビームフォーミングを行うための処理が必要とされる。この処理を行うために、演算論理回路OPT 7には、膨大な論理回路およびメモリ回路を設けることが必要となり、半導体装置(半導体チップ)の面積が大きくなり、コストアップに繋がる。また、フォーミング情報は、フレーム毎に、シリアル通信によって、送信回路7000へ供給することが要求されるが、供給する情報量が増加すると、圧電素子からの受信信号を受信する受信期間が減少することにも繋がる。

40

【0035】

特許文献1では、送信のビットフォーミングにおいて、近似式を用いることが示されているが、送信回路における演算回路の規模の増加を抑制するという観点では、不十分である。

【0036】

50

本発明の目的は、情報量の削減を図りながら、価格の上昇を抑制することが可能な超音波診断用送信回路を提供することにある。

【0037】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0038】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0039】

一実施の形態によれば、超音波診断用送信回路は、送信信号パターンを生成するパターン生成回路と、送信信号パターンを遅延する遅延処理回路と、遅延時間を算出する演算回路を備える。複数のチャンネルのそれぞれに対応した複数の超音波発生回路（圧電素子）に対して、送信信号パターンを供給する送信タイミングが、複数の超音波発生回路の配置位置に対して直線状または円弧状になるように、送信タイミングが、複数の超音波発生回路の配置位置を変数とした多次元の多項式で近似される。この多次元の多項式における係数が、超音波診断装置から超音波診断用送信回路へ供給され、供給された係数のうちの第1係数に基づいて、遅延処理回路における遅延時間が定められ、供給された係数のうちの第2係数に基づいて、演算回路が遅延時間を算出し、複数の超音波発生回路のそれぞれには、第1係数に従った遅延時間と第2係数に従った遅延時間を含む送信タイミングで、送信信号パターンが供給される。

【0040】

複数のチャンネルに対応した超音波発生回路に対して、送信信号パターンを供給する送信タイミングが、超音波発生回路の配置位置を変数とした近似式によって表され、近似式の係数が、超音波診断用送信回路に供給される。供給された係数に基づいて、送信タイミングが定められるため、送信のビームフォーミングのために、超音波診断用送信回路へ供給されるデータ量（情報量）を低減することが可能となる。また、供給される変数のうちの第1変数に基づいて、遅延処理回路が送信信号パターンを遅延させるため、送信信号パターンを遅延させる遅延時間を算出する演算回路の規模が、大きくなるのを抑制することが可能となる。その結果、送信のビームフォーミングの際のデータ量（情報量）の低減を図りながら、価格の上昇を抑制することが可能な超音波診断用送信回路を提供することができる。

【発明の効果】

【0041】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0042】

情報量の削減を図りながら、価格の上昇を抑制することが可能な超音波診断用送信回路を提供することができる。

【図面の簡単な説明】

【0043】

【図1】実施の形態1に係わる診断装置の構成を示すブロック図である。

【図2】実施の形態2に係わる診断装置の構成を示すブロック図である。

【図3】実施の形態3に係わる診断装置の構成を示すブロック図である。

【図4】(A)および(B)は、実施の形態1に係わる原理を説明するための図である。

【図5】実施の形態1に係わる遅延処理回路の構成を示すブロック図である。

【図6】診断装置の構成を示すブロック図である。

【図7】診断装置の構成を示すブロック図である。

【発明を実施するための形態】

【0044】

10

20

30

40

50

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部分には原則として同一の符号を付し、その繰り返しの説明は、原則として省略する。

【0045】

(実施の形態1)

<診断装置の全体構成>

図1は、実施の形態1に係わる診断装置1002の構成を示すブロック図である。診断装置1002は、超音波診断装置1001、超音波診断用送信回路(送信回路)1000およびプローブを備えている。

【0046】

送信回路1000は、特に制限されないが、超音波を伝送するチャンネルの数が、16個の場合が示されている。勿論、チャンネルの数は、16個に限定されるものではない。また、この実施の形態1では、送信回路1000は、1個の半導体装置によって形成されているが、これに限定されるものではない。送信回路1000を形成する半導体装置は、複数の外部端子を備えているが、図1には、複数の外部端子のうちの一部が、外部端子TTV-1~TTV-16、TTRG、TTCK、TTCS、TTSC、TTSAおよびTTSOとして示されている。

【0047】

図1には、プローブは明示されていないが、プローブに搭載されている複数の超音波発生回路である複数の圧電素子が明示されている。超音波を伝送するチャンネルの数が、16個であるため、図1には、チャンネルの数に対応する16個の圧電素子TVE-1~TVE-16が示されている。

【0048】

圧電素子TVE-1~TVE-16のそれぞれが、16個のチャンネルのそれぞれに1対1で対応している。圧電素子TVE-1~TVE-16のそれぞれは、ケーブルを介して外部端子TTV-1~TTV-16に、電氣的に接続された一方の端部と、所定の電圧Vsに接続された他方の端部とを備えている。送信回路1000は、それぞれのチャンネルにおいて、超音波を発生するとき、所定の電圧Vsに対して電圧値が変化する駆動信号を外部端子TTV-1~TTV-16から出力する。例えば、駆動信号は、所定の電圧Vsを基準として、高い電圧(+VP)または/および低い電圧(-VP)に変化する。これにより、それぞれの圧電素子TVE-1~TVE-16が、超音波を発生する。

【0049】

超音波診断装置1001は、送信のビームフォーミングのとき、所望の部位に、16個のチャンネルにおいて発生する超音波が収束するように、送信タイミングを近似する2次元の多項式の係数を求め、求めた係数を、シリアル通信によって、送信回路1000へ供給する。すなわち、超音波診断装置1001は、求めた係数を、データSDATAとして、配線を介して、外部端子TTSAへ供給する。送信回路1000は、供給された係数(データ)を基にして、それぞれのチャンネルにおける送信信号パターンの送信タイミングを定める。この送信信号パターンに基づいて、外部端子TTV-1~TTV-16から出力される駆動信号が定められる。

【0050】

それぞれの圧電素子TVE-1~TVE-16には、所望の部位からの反射波が到達する。圧電素子TVE-1~TVE-16は、到達した反射波に応じた受信信号を形成する。この形成された受信信号は、分離スイッチを介して、受信回路に供給され、受信回路から、超音波診断装置1001へ供給される。図1では、分離スイッチのうち、圧電素子TVE-16に対応した分離スイッチが、符号RSWとして示されており、分離スイッチRSWを介して受信信号が供給される受信回路が、符号RBCとして示されている。

【0051】

<超音波診断装置>

次に、超音波診断装置1001の動作を説明する。実施の形態1においては、超音波を

10

20

30

40

50

発生するとき、チャンネル毎の送信信号パターンの送信タイミングが、圧電素子（超音波発生回路）の配置位置を変数とした2次元の多項式によって定められる。この送信信号パターンは、駆動信号として、圧電素子に供給されるため、それぞれのチャンネルにおける圧電素子に供給される駆動信号のタイミングが、2次元の多項式によって定められることになる。2次元の多項式は、 $DLY(x) = -ax^2 + bx + c$ である。ここで、 x が、圧電素子の配置位置を示す変数である。また、 a 、 b および c は、係数であり、 a は、2次元の係数（第1係数）、 b は1次元の係数（第2係数）、 c は0次元の係数を意味している。 $DLY(x)$ は、送信信号パターンの送信タイミング（遅延量）を意味しており、圧電素子の配置位置（ x ）によって定まる。

【0052】

すなわち、実施の形態1では、2次元の多項式 $DLY(x)$ によって、送信信号パターンの送信タイミングを近似していることになる。

【0053】

図4は、実施の形態1の原理を説明するための説明図である。この図4を用いて、2次元の多項式 $DLY(x)$ によって、送信タイミング（遅延量）が定められることを説明する。図4(A)は、超音波発振回路（圧電素子）と所望の部位との関係を示す図である。

【0054】

説明を容易にするために、圧電素子 $TVE-1 \sim TVE-16$ は、図4(A)に示すように1列（圧電素子列）に沿って、上から圧電素子 $TVE-1$ から $TVE-16$ の順に配置されているものとする。また、図4(A)には、1列に配置された圧電素子 $TVE-1 \sim TVE-16$ のうち、図1と同様に、圧電素子 $TVE-1$ 、 $TVE-2$ 、 $TVE-8$ 、 $TVE-15$ および $TVE-16$ のみが描かれている。チャンネルの数が16個であるため、圧電素子 $TVE-1$ および圧電素子 $TVE-16$ のそれぞれの配置位置は、圧電素子列（1列）の端部であり、圧電素子 $TVE-8$ の配置位置は、圧電素子列の中央部分となる。

【0055】

図4(A)において、 $BL1$ 、 $BL2$ および $BL3$ は、所望の部位を示している。この所望の部位 $BL1$ 、 $BL2$ または $BL3$ に、それぞれのチャンネルで発生した超音波が、収束するようにする。言い換えるなら、それぞれのチャンネルで発生した超音波の焦点が、所望の部位と一致するようにする。なお、超音波診断において、診断結果を、例えば画像表示する場合には、プローブが人体に当接された状態で、それぞれのチャンネルで発生した超音波の焦点が、例えば、図4(A)の上側の部位から下側の部位に向かって一致するように、スキャンが行われる。

【0056】

それぞれのチャンネルにおいて発生した超音波の焦点を、所望の部位 $BL1$ と一致させる場合、圧電素子 $TVE-8$ は、所望の部位 $BL1$ の近くに配置されており、圧電素子 $TVE-8$ と所望の部位 $BL1$ との間の距離は、一点鎖線 $BL1-8$ となる。これに対して、圧電素子 $TVE-1$ および $TVE-16$ は、圧電素子 $TVE-8$ に比べて、所望の部位 $BL1$ から遠く離れており、その間の距離は、一点鎖線 $BL1-1$ 、 $BL1-16$ となる。そのため、所望の部位 $BL1$ に、圧電素子 $TVE-1$ を有するチャンネル $CH-1$ 、圧電素子 $TVE-8$ を有するチャンネル $CH-8$ および圧電素子 $TVE-16$ を有するチャンネル $CH-16$ のそれぞれにおいて発生した超音波の焦点を一致させるためには、圧電素子 $TVE-1$ （ $TVE-16$ ）に供給される駆動信号と、圧電素子 $TVE-8$ に供給される駆動信号との間で送信タイミング（遅延量）を、変えることが必要とされる。

【0057】

すなわち、一点鎖線 $BL1-1$ 、 $BL1-16$ で示した距離が、一点鎖線 $BL-8$ で示した距離よりも長いために、圧電素子 $TVE-8$ に供給される駆動信号の送信タイミングを、圧電素子 $TVE-1$ （ $TVE-16$ ）に供給される駆動信号の送信タイミングよりも遅くすることが必要とされる。圧電素子に供給される駆動信号は、送信信号パターンに基づいているため、これは、チャンネル $CH-1$ 、 $CH-16$ のそれぞれにおける送信信号パ

10

20

30

40

50

ターンの送信タイミングを、チャンネルCH - 8における送信信号パターンの送信タイミングよりも早くすることに相当する。

【0058】

チャンネルCH - 1、CH - 8およびCH - 16を例に述べたが、チャンネルCH - 2からCH - 7は、それぞれのチャンネルにおける圧電素子と所望の部位BL 1との間の距離が、一点鎖線BL 1 - 1と一点鎖線BL 1 - 8との間の長さとなり、チャンネルCH - 2からCH - 7の順に、距離は短くなる。同様に、チャンネルCH - 9からCH - 15は、それぞれのチャンネルにおける圧電素子と所望の部位BL 1との間の距離が、一点鎖線BL 1 - 8と一点鎖線BL 1 - 16との間の長さとなり、チャンネルCH - 15からCH - 9の順に、距離は短くなる。

10

【0059】

そのため、チャンネルCH - 2 ~ CH - 7における電圧素子TVE - 2 ~ TVE - 7 (図示せず) に対しては、チャンネルCH - 1における送信信号パターンの送信タイミングと、チャンネルCH - 8における送信信号パターンの送信タイミングの間の送信タイミングを持つ送信信号パターンを形成することが必要とされる。この場合、チャンネルCH - 2における送信信号パターンからチャンネルCH - 7における送信信号パターンに向かって、送信タイミングが遅くなるようにする。同様に、チャンネルCH - 9 ~ CH - 15における電圧素子TVE - 9 (図示せず) ~ TVE - 15に対しては、チャンネルCH - 8における送信信号パターンの送信タイミングと、チャンネルCH - 16における送信信号パターンの送信タイミングの間の送信タイミングを持つ送信信号パターンを形成することが必要とされる。この場合、チャンネルCH - 9における送信信号パターンからチャンネルCH - 15における送信信号パターンに向かって、送信タイミングが早くなるようにする。

20

【0060】

すなわち、所望の部位に最も離れた圧電素子TVE - 1、TVE - 16に対する送信信号パターンから、所望の部位に最も近接した圧電素子TVE - 8に対する送信信号パターンに向かって、送信タイミングを、徐々に遅くすることが必要とされる。

【0061】

図4 (A) では、所望の部位BL 1が、圧電素子TVE - 8に最も近接している場合を説明したが、所望の部位BL 1が、圧電素子TVE - 2 ~ TVE - 15のいずれかに最も近接している場合にも、上記した説明と同様になる。すなわち、所望の部位から離れた電圧素子から最も近接した圧電素子に対して、送信信号パターンの送信タイミングが、遅くなるようにすることが必要とされる。

30

【0062】

一方、所望の部位が、部位BL 2の場合には、電圧素子TVE - 1と部位BL 2との間の距離が、二点鎖線BL 2 - 1のようになり、電圧素子TVE - 8と部位BL 2との間の距離が、二点鎖線BL 2 - 8のようになり、電圧素子TVE - 16と部位BL 2との間の距離が、二点鎖線BL 2 - 16のようになる。距離は、二点鎖線BL 2 - 16からBL - 1の順に短くなる。そのため、チャンネルCH - 16からCH - 1に向けて、送信信号パルスの送信タイミングを遅くすることが必要とされる。

40

【0063】

同様に、所望の部位が、部位BL 3の場合には、電圧素子TVE - 16と部位BL 3との間の距離が、破線BL 3 - 16のようになり、電圧素子TVE - 8と部位BL 3との間の距離が、破線BL 3 - 8のようになり、電圧素子TVE - 1と部位BL 3との間の距離が、破線BL 3 - 1のようになる。距離は、破線BL 3 - 1からBL - 16の順に短くなる。そのため、チャンネルCH - 1からCH - 16に向けて、送信信号パルスの送信タイミングを遅くすることが必要とされる。

【0064】

図4 (B) は、実施の形態1に係わる送信信号パターンの送信タイミング (遅延量) を示す図である。実施の形態1においては、送信信号パターンの送信タイミングが、2次元の多項式 $DLY(x)$ によって表される。図4 (B) において、横軸は時間を示しており

50

、縦軸は、圧電素子 T V E - 1 6 ~ T V E - 1 の配置位置を示している。

【 0 0 6 5 】

図 4 (B) において、一点鎖線 D L Y - B L 1 は、所望の部位が、図 4 (A) に示した部位 B L 1 の場合の多項式 D L Y (x) の結果を示しており、二点鎖線 D L Y - B L 2 は、所望の部位が、図 4 (A) に示した部位 B L 2 の場合の多項式 D L Y (x) の結果が示されている。圧電素子の配置 (位置) を変数 x とし、多項式 D L Y (x) に与えることにより、圧電素子の配置に応じた送信信号パターンの送信タイミング (遅延量) を算出することが可能である。

【 0 0 6 6 】

所望の部位が、B L 1 の場合、多項式 D L Y (x) における 2 次元の係数 a が適切な値に設定される。これにより、多項式 D L Y (x) によって得られる送信タイミングは、一点鎖線 D L Y - B L 1 に示すように、圧電素子の配置に対して、円弧状になる。この円弧上における遅延時間が、所望の部位 B L 1 のときの、それぞれの圧電素子に対する送信信号パターンの送信タイミングに相当する。図 4 (A) に示した圧電素子 T V E - 1 、 T V E - 2 、 T V E - 8 、 T V E - 1 5 および T V E - 1 6 を例にして述べると、図 4 (B) に示した D L Y 1 (1) 、 D L Y 1 (2) 、 D L Y 1 (8) 、 D L Y 1 (1 5) および D L Y 1 (1 6) が、これらの圧電素子に対する送信信号パターンの送信タイミングに相当する。

【 0 0 6 7 】

所望の部位が、圧電素子 T V E - 2 ~ T V E - 1 5 のいずれかに、最も近接している場合も、多項式 D L Y (x) における 2 次元の係数 a が適切な設定される。これにより、最も近接している圧電素子に対する遅延時間が最も遅くなるような円弧状の送信タイミングが、多項式 D L Y (x) によって得られる。

【 0 0 6 8 】

一方、所望の部位が、図 4 (A) に示した部位 B L 2 の場合には、2 次元の係数 a が 0 に設定される。これにより、多項式 D L Y (x) によって得られる送信タイミングは、図 4 (B) の二点鎖線 D L Y - B L 2 に示すように、圧電素子の配置に対して、直線状になる。この直線上における遅延時間が、所望の部位 B L 2 のときの、それぞれの圧電素子に対する送信信号パターンの送信タイミングに相当する。図 4 (A) に示した圧電素子 T V E - 1 、 T V E - 2 、 T V E - 8 、 T V E - 1 5 および T V E - 1 6 を例にして述べると、図 4 (B) に示した D L Y 2 (1) 、 D L Y 2 (2) 、 D L Y 2 (8) 、 D L Y 2 (1 5) および D L Y 2 (1 6) が、これらの圧電素子に対する送信信号パターンの送信タイミングに相当する。

【 0 0 6 9 】

所望の部位が、図 4 (A) に示した部位 B L 3 の場合にも、2 次元の係数 a が 0 に設定される。これにより、多項式 D L Y (x) によって得られる送信タイミングは、二点鎖線 D L Y - B L 2 と同様に、圧電素子の配置に対して、直線状になる。しかしながら、この場合の送信タイミングは、二点鎖線 D L Y - B L 2 とは、対照的な直線となる。すなわち、この場合の直線は、圧電素子 T V E - 1 から T V E - 1 6 に向けて、遅延時間が長くなるような線となる。また、図 4 (A) に示すように、二点鎖線 B L 2 - 1 に比べて破線 B L 3 - 1 6 が短いため、所望の部位 B L 2 に対応する多項式 D L Y (x) によって求めた送信タイミングの遅延時間に比べて、所望の部位 B L 3 に対応する多項式 D L Y (x) によって求めた送信タイミングの遅延時間は短くなるようにされる。

【 0 0 7 0 】

図 4 (A) において、O F S は、圧電素子 T V E - 1 ~ T V E - 1 6 の配置にかかわらず必要とされるオフセットを示している。このオフセット O F S は、2 次元の多項式 D L Y (x) において、0 次元の係数 c で表す。

【 0 0 7 1 】

2 次元の多項式 D L Y (x) の係数 a (2 次元の係数) 、 b (1 次元の係数) および c (0 次元の係数) を適切に設定することにより、種々の部位に適した送信信号パターンの

10

20

30

40

50

送信タイミングを、近似的に求めることができる。係数 a、b および c は、超音波診断装置 1001 が、診断をする部位、すなわち所望の部位に応じて形成する。

【0072】

超音波診断装置 1001 は、図示しないが、送信信号の信号パターンを表すパターン情報を生成するパターン生成回路ブロックと、シリアルペリフェラルインタフェース回路ブロックと、制御回路ブロックを備えている。超音波診断装置 1001 において、制御回路ブロックは、クロック信号 CLK およびトリガー信号 TRIG を形成し、形成したクロック信号 CLK を、送信回路 1000 の外部端子 TCLK に供給し、形成したトリガー信号 TRIG を、送信回路 1000 の外部端子 TTRG へ供給する。制御回路ブロックは、送信回路 1000 において、超音波を発生させるとき、トリガー信号 TRIG を出力する。送信回路 1000 は、外部端子 TTRG を介してトリガー信号 TRIG が供給されたとき、外部端子 TCLK に供給されているクロック信号 CLK に同期して、送信動作を行う。

10

【0073】

超音波診断装置 1001 におけるインタフェース回路ブロックは、イネーブル信号 CS を外部端子 TCS へ出力し、その後で、インタフェース回路ブロックは、外部端子 TTS に供給しているシリアルクロック信号 SCLK に同期させながら、形成した係数 a、b および c と、パターン生成回路ブロックによって生成されたパターン情報を、シリアルデータ SDATA として、外部端子 TTS A に供給する。また、必要に応じて、外部端子 TTS O を介して、送信回路 1000 からの情報をデータ SDOU T として受信する。

【0074】

<送信回路>

図 1 に戻って、送信回路 1000 の構成を説明する。送信回路 1000 は、シリアルペリフェラルインタフェース回路（インタフェース回路）SPI - 1、揮発性メモリ回路 MM、送信信号パターン生成回路（パターン生成回路）SPGC、レジスタ REG 1、遅延処理回路 DL 10、DSL 11、演算処理回路（演算回路）OPT 1 および駆動回路 TXD - 1 ~ TXD - 16 を備えている。さらに、送信回路 1000 は、バス BS (DB 0 ~ DB 15) とスイッチ SW 1 ~ SW 16 を備えている。

20

【0075】

インタフェース回路 SPI - 1 は、外部端子 TCS を介してイネーブル信号 CS が供給されることにより、活性化する。上記したように、超音波診断装置 1001 は、イネーブル信号 CS を発行した後、シリアルクロック信号 SCLK に同期して、超音波診断装置 1001 で形成した係数 a、b および c とパターン情報を、シリアルデータ SDATA として、外部端子 TTS A に供給する。インタフェース回路 SPI - 1 は、外部端子 TTS C に供給されているシリアルクロック信号 SCLK に同期して、係数 a、b および c とパターン情報を取り込む。

30

【0076】

ここで取り込んだパターン情報は、揮発性メモリ回路 MM に供給され、揮発性メモリ回路 MM に格納される。一方、取り込んだ係数 a、b および c は、レジスタ REG 1 に供給される。レジスタ REG 1 は、0 次元の係数を格納する 0 次元レジスタ REG 1 - 0、1 次元の係数を格納する 1 次元レジスタ REG 1 - 1 および 2 次元の係数を格納する 2 次元レジスタ REG 1 - 2 を備えている。レジスタ REG 1 に供給された係数 a、b および c のうち、0 次元の係数である係数 c は、0 次元レジスタ REG 1 - 0 に格納され、1 次元の係数である係数 b は、1 次元レジスタ REG 1 - 1 に格納され、2 次元の係数である係数 a は、2 次元レジスタ REG 1 - 2 に格納される。この実施の形態 1 では、係数 a、b および c のそれぞれが、複数のビットによって構成されている。そのため、0 次元レジスタ REG 1 - 0、1 次元レジスタ REG 1 - 1 および 2 次元レジスタ REG 1 - 2 のそれぞれも、複数ビットのレジスタによって構成されている。

40

【0077】

パターン生成回路 SPGC は、トリガー信号 TRIG が、外部端子 TTRG を介して供給されると、揮発性メモリ回路 MM に格納されているパターン情報を読み出す。パターン

50

生成回路SPGCには、0次元レジスタREG1-0の上位側ビット(複数ビット)と、外部端子TTCKを介してクロック信号CLKとが供給されている。この実施の形態1においては、0次元レジスタREG1-0に格納されている係数cの上位側ビット(複数ビット)、すなわち0次元レジスタREG1-0の上位側ビットによって、図4(B)で説明したオフセットOFFSが表されている。パターン生成回路SPGCは、クロック信号CLKに同期して動作し、読み出したパターン情報を基にして、送信信号パターンを生成する。パターン生成回路SPGCは、トリガー信号TRIGが供給された後、0次元レジスタREG1-0の上位側ビットによって表されているオフセットOFFS後に、生成した送信信号パターンを出力する。これにより、送信信号パターンの送信タイミングに、オフセットOFFSに相当する遅延量が付加されることになる。

10

【0078】

パターン生成回路SPGCから出力された送信信号パターンは、遅延処理回路(遅延回路)DL10およびバスBSに供給される。遅延処理回路DL10は、この実施の形態1においては、15個の遅延回路DL10-1~DL10-15と15個の選択回路SL10-1~SL10-15を備えている。遅延回路DL10-1~DL10-15は、互いに同じ構成を有しており、選択回路SL10-1~SL10-15も互いに同じ構成を有している。

【0079】

ここで、それぞれ1個の遅延回路と1個の選択回路が組とされ、1個の単位遅延処理回路が構成されている。すなわち、遅延回路DL10-1と選択回路SL10-1が組とされ、1個の単位遅延処理回路が構成されている。他の遅延回路DL10-2~DL10-15と他の選択回路SL10-2~SL10-15も同様である。これにより、遅延処理回路DL10は、15個の単位遅延処理回路によって構成されている。この15個の単位遅延処理回路は直列的接続されている。すなわち、遅延回路DL10-1と選択回路SL10-1によって構成された初段(1段目)の単位遅延処理回路の出力は、遅延処理回路DL10-2と選択回路SL10-2によって構成された次段(2段目)の単位遅延処理回路に供給される。以降、同様にして、15個の単位遅延処理回路が直列的に接続されている。

20

【0080】

遅延回路DL10-1には、パターン生成回路SPGCによって形成された送信信号パターンが供給される。同図では、遅延回路DL10-1に供給される送信信号パターンに、符号DB0が付されている。遅延回路DL10-1は、クロック信号CLKに同期して、送信信号パターンBD0を所定の期間遅延して、複数の遅延された送信信号パターンを、連続的に形成する。選択回路SEL10-1は、1次元レジスタREG1-1に格納されている係数bの上位側ビット(複数ビット)が供給され、遅延回路DL10-1において形成された複数の遅延された送信信号パターンから、係数bの上位側ビットによって指定された送信信号パターンを選択し、選択した送信信号パターンを、単位遅延処理回路の出力として、2段目の単位遅延処理回路(遅延回路DL10-2と選択回路SL10-2)に供給する。図1では、1段目の単位遅延処理回路から出力される送信信号パターンに、符号DB1が付されている。

30

40

【0081】

2段目の単位遅延処理回路においても、1段目の単位遅延処理回路と同様に、入力した送信信号パターンDB1を、クロック信号CLKに同期して、所定の期間遅延して、複数の遅延された送信信号パターンを、連続的に形成する。形成された複数の送信信号パターンから、1次元レジスタREG1-1に格納されている係数bの上位側ビット(複数ビット)によって指定された送信信号パターンが選択され、選択された送信信号パターンが、2段目の単位遅延処理回路の出力として、3段目の単位遅延処理回路に供給される。以降、同様にして、15個の単位遅延処理回路のそれぞれから、係数bの上位側ビットによって指定された送信信号パターンDB1~DB15が出力される。

【0082】

50

送信信号パターンDB0～DB15は、バスBSに供給される。バスBSは、送信信号パターンDB0～DB15にそれぞれ1対1に対応した16本の信号配線を備えており、それぞれの信号配線に、対応する送信信号パターンが供給される。

【0083】

遅延処理回路DSL11は、それぞれのチャンネルCH-1～CH-16に対応した遅延回路DL11-1～DL11-16と、それぞれのチャンネルCH-1～CH-16に対応する選択回路SL11-1～SL11-16を備えている。

【0084】

遅延回路DL11-1～DL11-16は、スイッチSW1～SW16を介して、バスBSに接続されており、対応するスイッチを介して供給される送信信号パターンを、クロック信号CLKに同期して、所定の期間遅延して、複数の遅延された送信パターンを、連続的に形成する。

10

【0085】

この実施の形態1においては、遅延回路DL11-1は、スイッチSW1を介して、バスBS内の16本の信号配線のうち、送信信号パターンDB0を伝達する信号配線と、送信信号パターンDB15を伝達する信号配線に接続され、遅延回路DL11-2は、スイッチSW2を介して、バスBS内の16本の信号配線のうち、送信信号パターンDB1を伝達する信号配線と、送信信号パターンDB14を伝達する信号配線に接続されている。また、遅延回路DL11-8は、スイッチSW8を介して、バスBS内の16本の信号配線のうち、送信信号パターンDB7を伝達する信号配線と、送信信号パターンDB8を伝達する信号配線に接続され、遅延回路DL11-15は、スイッチSW15を介して、バスBS内の16本の信号配線のうち、送信信号パターンDB14を伝達する信号配線と、送信信号パターンDB1を伝達する信号配線に接続されている。さらに、遅延回路DL11-16は、スイッチSW16を介して、バスBS内の16本の信号配線のうち、送信信号パターンDB15を伝達する信号配線と、送信信号パターンDB0を伝達する信号配線に接続されている。

20

【0086】

図1には示していないが、遅延回路DL11-3～DL11-7およびDL11-9～DL11-14も同様になっている。すなわち、遅延回路DL11-3は、スイッチSW3によって、選択的に送信信号パターンDB2またはDB13が供給され、遅延回路DL11-4は、スイッチSW4によって、選択的に送信信号パターンDB3またはDB12が供給され、遅延回路DL11-5は、スイッチSW5によって、選択的に送信信号パターンDB4またはDB11が供給され、遅延回路DL11-6は、スイッチSW6によって、選択的に送信信号パターンDB5またはDB10が供給され、遅延回路DL11-7は、スイッチSW7によって、選択的に送信信号パターンDB6またはDB9が供給される。

30

【0087】

同様に、遅延回路DL11-9は、スイッチSW9によって、選択的に送信信号パターンDB8またはDB7が供給され、遅延回路DL11-10は、スイッチSW10によって、選択的に送信信号パターンDB9またはDB6が供給され、遅延回路DL11-11は、スイッチSW11によって、選択的に送信信号パターンDB10またはDB5が供給される。さらに、遅延回路DL11-12は、スイッチSW12によって、選択的に送信信号パターンDB11またはDB4が供給され、遅延回路DL11-13は、スイッチSW13によって、選択的に送信信号パターンDB12またはDB3が供給され、遅延回路DL11-14は、スイッチSW14によって、選択的に送信信号パターンDB13またはDB2が供給される。

40

【0088】

スイッチSW1～SW16は、1次元レジスタREG1-1に格納されている係数bの符号ビットによって制御される。特に制限されないが、符号ビットが、正を示しているとき、スイッチSW1～SW16のそれぞれは、送信信号パターンDB0～DB15が、遅

50

遅延回路 $SL11-1 \sim SL11-16$ に供給されるように、バス BS と遅延回路 $SL11-1 \sim SL11-16$ の間を接続する。これに対して、符号ビットが、負を示しているときには、スイッチ $SW1 \sim SW16$ のそれぞれは、送信信号パターン $DB0 \sim DB15$ が、遅延回路 $SL11-16 \sim SL11-1$ に供給されるように、バス BS と遅延回路 $SL11-1 \sim SL11-16$ の間を接続する。すなわち、符号ビットが、正であれば、遅延回路 $DL11-1$ から $DL11-16$ の順に、送信信号パターン $DB0 \sim DB15$ が供給され、符号ビットが、負であれば、反対に遅延回路 $DL11-16$ から $DL11-1$ の順に、送信信号パターン $DB0 \sim DB15$ が供給されることになる。

【0089】

ここで、0次元の係数 c と1次元の係数 b の構成を述べておく。0次元の係数 c は、上位側ビット（複数ビット）と下位側ビットとを備えており、上記したように、上位側ビットによって、オフセット $OF S$ が表される。また、下位側ビットは、端数処理に用いられる。1次元の係数 b は、符号ビットと上位側ビット（複数ビット）と下位側ビットを備えている。ここで、符号ビットは、2次元の多項式 $DLY(x)$ の演算結果が、図4(B)の二点鎖線 $DLY-BL2$ のように、チャンネル $CH-15$ から $CH-1$ に向かって、送信タイミングが遅くなるのか、チャンネル $CH-1$ から $CH-15$ に向かって、送信タイミングが遅くなるのかを示す符号である。図4(A)を例にして述べれば、所望の部位が $BL2$ のときには、係数 b の符号は、例えば正となり、所望の部位が $BL3$ のときには、係数 b の符号は、負となる。

【0090】

符号ビットにより、スイッチ $SW1 \sim SW16$ が、遅延回路 $DL11-1 \sim DL11-16$ へ供給される送信信号パターンを切り換えるようにしているため、2次元の多項式 $DLY(x)$ による演算結果が、図4(B)の二点鎖線 $DLY-BL2$ であっても、この二点鎖線 $DLY-BL2$ と対照的な直線になっても、遅延処理回路 $DSL11$ を共通に用いることが可能となり、サイズが大きくなるのを低減することが可能である。

【0091】

遅延処理回路 $DSL11$ において、同じチャンネルに対応する遅延回路と選択回路は、対応する遅延回路から出力されている複数の送信信号パターンから、演算回路 $OPT1$ によって指定された送信信号パターンを選択し、選択した送信信号パターンを、対応する駆動回路の入力に供給する。図1に示した例で説明すると、選択回路 $SL11-1$ は、遅延回路 $DL11-1$ から出力されている複数の送信信号パターンから、演算回路 $OPT1$ の選択信号 $SEL1$ によって指定された送信信号パターンを選択する。選択された送信信号パターンは、駆動回路 $TXD-1$ の入力に供給される。

【0092】

同様にして、選択回路 $SL11-2$ は、選択信号 $SEL2$ に従って、遅延回路 $DL11-2$ からの送信信号パターンを選択し、駆動回路 $TXD-2$ へ供給し、選択回路 $SL11-8$ は、選択信号 $SEL8$ に従って、遅延回路 $DL11-8$ からの送信信号パターンを選択し、駆動回路 $TXD-8$ へ供給する。また、選択回路 $SL11-15$ は、選択信号 $SEL15$ に従って、遅延回路 $DL11-15$ からの送信信号パターンを選択し、駆動回路 $TXD-15$ へ供給し、選択回路 $SL11-16$ は、選択信号 $SEL16$ に従って、遅延回路 $DL11-16$ からの送信信号パターンを選択し、駆動回路 $TXD-16$ へ供給する。図示していない他の選択回路 $SL11-3 \sim SL11-7$ および $SL11-9 \sim SL11-14$ についても同様である。

【0093】

演算回路 $OPT1$ は、2次元レジスタ $REG1-2$ に格納されている係数 a 、1次元レジスタ $REG1-1$ に格納されている係数 b の下位側ビットおよび0次元レジスタ $REG1-0$ に格納されている係数 c の下位側ビットを受け、2次元の多項式 $DLY(x)$ における2次元項の演算および端数処理演算を実行する。この演算の実行により、演算回路 $OPT1$ は、選択信号 $SEL1 \sim SEL16$ を形成する。チャンネル $CH-1 \sim CH-16$ のそれぞれにおける圧電素子 $TVE-1 \sim TVE-16$ の位置を変数 x とし、この変数 x

10

20

30

40

50

と供給された2次元の係数 a とが演算され、それぞれのチャンネル $CH-1 \sim CH-16$ に対応した選択信号 $SEL1 \sim SEL16$ が、形成される。このとき、下位側ビットを用いて端数処理の演算が行われ、端数処理の演算結果が、選択信号 $SEL1 \sim SEL16$ が反映される。これにより、端数により生じる誤差の低減が図られている。

【0094】

選択信号 $SEL1 \sim SEL16$ に基づいて、選択回路 $SL11-1 \sim SL11-16$ のそれぞれが、対応する遅延回路 $DL11-1 \sim DL11-16$ からの送信信号パターンを選択し、選択された送信信号パターンが、対応する駆動回路 $TXD-1 \sim TXD-16$ に供給される。駆動回路 $TXD-1 \sim TXD-16$ のそれぞれは、供給された送信信号パターンに基づいて、駆動信号を形成し、外部端子 $TTV-1 \sim TTV-16$ を介して、圧電素子 $TVE-1 \sim TVE-16$ へ供給する。

10

【0095】

これにより、駆動回路 $TXD-1 \sim TXD-16$ のそれぞれには、2次元の多項式 $DLY(x)$ によって決められた送信タイミングで変化する送信信号パターンが供給されることになる。駆動回路 $TXD-1 \sim TXD-16$ は、供給された送信信号パターンの変化に対応した高電圧(+VP、-VP)の駆動信号を形成する。その結果、チャンネル $CH-1 \sim CH-16$ のそれぞれにおける圧電素子 $TVE-1 \sim TVE-16$ は、2次元の多項式 $DLY(x)$ によって決められた送信タイミングで、超音波を発生することになる。

【0096】

この実施の形態1においては、特に制限されないが、送信信号の送信タイミングは、トリガー信号 $TRIG$ を起点としている。そのため、送信タイミングは、トリガー信号 $TRIG$ の変化点から送信信号パターンの変化点までの遅延時間、すなわち遅延量と見なすことができる。

20

【0097】

<遅延処理回路の構成>

図5は、実施の形態1に係わる遅延処理回路の構成を示すブロック図である。ここでは、図1に示した遅延処理回路 $DL10$ を例にして、その構成を説明する。図5には、遅延処理回路 $DL10$ を構成する15個の単位遅延処理回路のうち、2個の単位遅延処理回路が示されている。すなわち、遅延回路 $DL10-1$ と選択回路 $SL10-1$ によって構成された1段目の単位遅延処理回路と、遅延回路 $DL10-2$ と選択回路 $SL10-2$ によって構成された2段目の単位遅延処理回路が、図5には示されている。単位遅延処理回路は、互いに同じ構成を有しているため、ここでは、遅延回路 $SL10-1$ と選択回路 $SL10-1$ によって構成された1段目も単位遅延処理回路を、例にして主に説明する。

30

【0098】

遅延回路 $DL10-1$ は、複数個の単位遅延回路 $UDL1 \sim UDLn$ を備えている。それぞれの単位遅延回路は、例えば1個または複数個のフリップフロップ回路によって構成されており、これらのフリップフロップ回路は、クロック信号 CLK に同期して、入力信号を取り込み、出力する。これにより、単位遅延回路 $UDL1 \sim UDLn$ のそれぞれは、クロック信号 CLK に同期して動作し、入力信号を所定の時間遅延して、入力信号に対応した信号を出力信号として形成し、出力する。

40

【0099】

単位遅延回路 $UDL1 \sim UDLn$ は、直列的に接続されている。すなわち、単位遅延回路 $UDL1$ の出力信号が、次段の単位遅延回路 $UDL2$ の入力信号とされ、単位遅延回路 $UDL2$ の出力信号が、次段の単位遅延回路 $UDL3$ の入力信号とされる。以降、順次、単位遅延回路の出力信号が、次段の単位遅延回路の入力信号とされている。

【0100】

初段の単位遅延回路 $UDL1$ には、パターン生成回路 $SPGC$ (図1)によって形成された送信信号パターン $DB0$ が、入力信号として供給される。

【0101】

送信信号パターン $DB0$ または単位遅延回路 $UDL1 \sim UDLn$ のそれぞれの出力信号

50

は、選択回路 S L 1 0 - 1 に供給される。選択回路 S L 1 0 - 1 は、1次元レジスタ R E G 1 - 1 からの上位側ビットが、選択信号として供給され、送信信号パターン D B 0 または単位遅延回路 U D L 1 ~ U D L n のそれぞれの出力信号から、上位側ビットによって指定された出力信号が、選択され、選択された出力信号が、送信信号パターン D B 1 として、選択回路 S L 1 0 - 1 から出力される。

【0102】

単位遅延回路 U D L 1 ~ U D L n によって、送信信号パターン D B 0 は、順次、遅延され、順次遅延された送信信号パターンが、単位遅延回路 U D L 1 ~ U D L n から出力信号として出力されることになる。すなわち、それぞれ所定の時間遅延した出力信号が、単位遅延回路 U D L 1 ~ U D L n から出力され、選択回路 S L 1 0 - 1 によって、係数 b の上位ビットにより指定された時間だけ遅延した出力信号が、送信信号パターン D B 1 として出力されることになる。

10

【0103】

遅延回路 D L 1 0 - 1 と選択回路 S L 1 0 - 1 によって構成された単位遅延処理回路の出力信号である送信信号パルス D B 1 が、遅延回路 D L 1 0 - 2 と選択回路 S L 1 0 - 2 によって構成され次段の単位遅延処理回路の入力となる。以降同様にして、単位遅延処理回路の出力が、次段の単位遅延処理回路の入力となる。これにより、それぞれの単位遅延処理回路から、係数 b によって指定された送信タイミングを有する送信信号パターンが出力されることになる。

【0104】

図1に示した遅延処理回路 D S L 1 1 も、遅延処理回路 D L 1 0 と同様な構成を有している。しかしながら、遅延処理回路 D S L 1 1 における遅延回路 D L 1 1 - 1 ~ D L 1 1 - 1 6 のそれぞれは、入力信号として、スイッチ S W 1 ~ S W 1 6 を介して、送信信号パターン D B 0 ~ D B 1 5 が供給されることになる。また、選択回路 S L 1 1 - 1 ~ S L 1 1 - 1 6 には、演算回路 O P T 1 によって形成された選択信号 S E L 1 ~ S E L 1 6 が供給されることになる。

20

【0105】

次に、具体的な数値の一例を述べておく。チャンネルの数は、図1で述べたように、16個である。パターン生成回路 S P G C で生成する送信信号パターンは、3ビットで表され、共通の遅延量、すなわちオフセット O F S の遅延量は、0 ~ 40 μ s で、16個のチャンネル間の遅延幅量は、0 ~ 2.4 μ s である。また、遅延制御の精度、すなわち制御できる遅延量のステップ量は、5 ns である。

30

【0106】

図7で説明した検討技術2を用いる場合、送信のビームフォーミングにおいて、超音波診断装置 7 0 0 1 から送信回路 7 0 0 0 へ供給される情報量(データ量)は、例えば約20バイトになる。この場合、1個のチャンネルあたりのデータ量が、9ビットで、共通のデータ量が13ビットである。この場合、レジスタ R E G 7 - C、R E G 7 - 1 ~ R E G 7 - 1 6 を含む演算回路 O P T 7 は、約33Kゲート相当の論理素子を必要とする。

【0107】

これに対して、実施の形態1で述べたように、送信タイミングを2次元の多項式 $D L Y(x) = -ax^2 + bx + c$ で近似する場合、2次元の係数 a は、6ビット、1次元の係数 b は、1ビットの符号ビットを含めて10ビット、0次元の係数 c は、14ビット(演算精度を考慮して、下位ビット L S B は2.5 ns に設定する)で表すことができる。そのため、超音波診断装置 1 0 0 1 から送信回路 1 0 0 0 へ供給する情報量(データ量)は、約4バイト(6ビット+10ビット+14ビット)とすることができる。すなわち、送信のビームフォーミングを実施するために、超音波診断装置 1 0 0 1 から送信回路 1 0 0 0 へ供給する情報量(データ量)は、約1/5に低減することが可能となる。

40

【0108】

図7の検討技術2と、実施の形態1とを比較した場合、レジスタの数を大幅に低減することが可能なる。また、実施の形態1においては、送信タイミングを定める2次元の多項

50

式 D L Y (x) の演算のうち、1次元で表される遅延時間は、演算処理ではなく、論理回路によって構成された遅延処理回路（遅延回路）D L 1 0 において、1次元の係数によって指定された遅延量によって定められる。2次元の係数および端数処理の演算が、演算回路 O P T 1 によって行われ、演算の結果に従って、遅延量が定められる。すなわち、実施の形態 1 においては、送信タイミングを近似する 2次元の多項式により表される遅延量において、一部の遅延量（1次元項で表される）が、演算処理ではなく、遅延回路によって実現され、他の一部の遅延量（2次元項で表される）が、演算処理によって定められ、チャンネルのそれぞれにおける送信タイミング（遅延量）は、この一部の遅延量に、他の一部の遅延量を追加することにより、求められている。

【 0 1 0 9 】

一部の遅延量（1次元項で表される）が、演算処理により定められるものでないため、送信タイミングを近似する 2次元の多項式を演算する演算回路の規模が大きくなるのを抑制することが可能となる。

【 0 1 1 0 】

また、実施の形態 1 では、送信タイミングを 2次元の多項式で近似化するとき、変数 x が規格化されている。すなわち、チャンネルの数に相当する圧電素子の数が、整数の N 個であった場合、変数 x は、N の中心点 (N / 2) を 0 として、変数 x が増加する方向と、変数 x が減少する方向で、同じ値となるようにされる。これにより、変数 x = 0 を基準として、変数 x が増加する方向における 2次元の項で表される遅延時間と、変数 x が減少する方向における 2次元の項で表される遅延時間とが対称となる。言い換えるならば、2次元の項で表される遅延時間に関しては、中心点 (N / 2) を超えるチャンネルにおける送信タイミングと、中心点 (N / 2) 未満のチャンネルにおける送信タイミングは、多項式において同じ変数によって表される。

【 0 1 1 1 】

これにより、演算回路 O P T 1 は、変数 x が 0 から増加する方向（または減少する方向）についてのみ、遅延量を定める（選択する）演算処理を実施し、変数 x が 0 から減少する方向（または増加する方向）の演算処理は、実施しない。変数 x が 0 から減少する方向（または増加する方向）における遅延量は、変数 x を 0 から増加（または減少）する際に実施した演算処理により求めた遅延量を流用する。このようにすることによって、演算回路 O P T 1 の規模が大きくなるのを、さらに抑制することが可能である。

【 0 1 1 2 】

変数 x の規格化を数式で示すと、圧電素子の数が、N 個の場合、変数 x は、 -1 、 $-1 + 2 / N$ 、 \dots 、 $-2 / N$ 、 0 、 $2 / N$ 、 \dots 、 $1 - 2 / N$ となる。図 1 および図 4 (A) を例にして説明すると、チャンネルの数が 16 であるため、変数 x は、 -1 、 $-1 + 2 / 16$ 、 \dots 、 $-2 / 16$ 、 0 、 $2 / 16$ 、 \dots 、 $1 - 2 / 16$ とされる。演算回路 O P T 1 は、例えばチャンネル C H - 1 ~ C H - 8 に対する演算処理を行って、選択信号 S E L 1 ~ S E L 8 を形成する。一方、選択信号 S E L 9 ~ S E L 16 については、選択信号 S E L 1 ~ S E L 8 を形成する際に得た演算処理の結果を流用する。

【 0 1 1 3 】

このようにすることにより、実施の形態 1 では、レジスタ R E G 1、遅延処理回路 D L 1 0、D S L 1 1 および演算回路 O P T 1 を、約 25 K ゲート相当の論理素子によって構成することが可能となり、面積の低減を図ることが可能となる。

【 0 1 1 4 】

（実施の形態 2）

図 2 は、実施の形態 2 に係わる診断装置 2002 の構成を示すブロック図である。図 2 に示す診断装置 2002 の構成は、図 1 に示した診断装置 1002 の構成と類似しているので、相違点を主に説明する。

【 0 1 1 5 】

図 2 において、2000 は、送信回路を示し、2001 は、超音波診断装置を示している。超音波診断装置 2001 の構成は、図 1 に示した超音波診断装置 1001 と同じであ

10

20

30

40

50

るため、説明は省略する。送信回路2000は、図1に示した送信回路1000に対して、インバータ回路IV-CLKと、半周期遅延選択回路HDL-1~HDL-16が追加されていることを除いて、送信回路1000と同じである。そのため、ここでは、インバータ回路IV-CLKと半周期遅延選択回路HDL-1~HDL-16を主として説明する。

【0116】

インバータ回路IV-CLKは、外部端子TTCKに供給されるクロック信号CLKを、位相反転して、位相反転した反転クロック信号を形成して、半周期遅延選択回路HDL-1~HDL-16のそれぞれへ供給する。クロック信号CLKの位相を反転しているため、反転クロック信号は、クロック信号CLKが立ち上がる時、立ち下がり、クロック信号CLKが立ち下がる時、立ち上がることになる。クロック信号CLKは、例えば立ち上がってから再び立ち上がるまでの期間が、クロック信号CLKの1周期となる。クロック信号CLKが、ハイレベルとなっている期間と、ロウレベルとなっている期間が同じであれば、すなわち、デューティが50%であれば、反転クロック信号は、クロック信号CLKに対して、半周期遅れて、ハイレベルへ立ち上がり、半周期遅れて、ロウレベルへ変化するクロック信号となる。

10

【0117】

半周期遅延選択回路HDL-1~HDL-16は、チャンネルCH-1~CH-16にそれぞれ対応しており、選択回路SL11-1~SL11-15から出力される出力信号、すなわち送信信号パターンを入力し、送信信号パターンを取り込み、所定の時間後に、取り込んだ送信パターン信号を対応する駆動回路TXD-1~TXD-16へ供給する。この半周期遅延選択回路HDL-1~HDL-16における取り込みは、選択信号SEL1S~SEL16Sによって、クロック信号CLKまたは反転クロック信号のエッジに同期して行われるようにされている。すなわち、選択信号SEL1S~SEL16Sによって、半周期遅延選択回路HDL-1~HDL-16は、入力された送信信号パターンを、クロック信号CLKのエッジに同期して、取り込むか、反転クロック信号のエッジに同期して取り込むかが選択される。

20

【0118】

反転クロック信号のエッジ(例えば立ち上がりエッジ)に同期して取り込むように選択された場合、送信信号パターンは、クロック信号CLKのエッジ(立ち上がりエッジ)に対して、半周期遅れて、取り込まれることになり、駆動回路TXD-1~TXD-16に供給される送信信号パターンの送信タイミングを、半周期遅らせることが可能となる。

30

【0119】

例えば、反転クロック信号の立ち上がりエッジに同期して、送信信号パターンが、半周期遅延選択回路HDL-1~HDL-16に取り込まれるとした場合、反転クロック信号は、クロック信号CLKの反転クロック信号であるため、実質的にクロック信号CLKの立ち上がりエッジ、または立ち下がりエッジに同期して、半周期遅延選択回路HDL-1~HDL-16は、送信信号パターンを取り込み、取り込んでから所定の時間後のタイミングで、送信パターンを、駆動回路へ供給していると思なすことができる。このように実質的にクロック信号CLKの立ち下がりに同期して、取り込むように選択することにより、クロック信号CLKが2倍の周波数の場合と同様な送信タイミングを得ることが可能となる。

40

【0120】

そのため、遅延回路DL10-1~DL10-15およびDL11-1~DL11-15は、クロック信号CLKに同期して動作しているが、これらの遅延回路に供給されるクロック信号の周波数を半分に遅くしても、クロック信号の周波数を遅くしていない状態の送信タイミングを有する送信信号パターンを提供することが可能となる。この場合、クロック信号CLKの周波数が半分になるため、これらの遅延回路を構成するフリップフロップ回路の段数を低減することが可能となる。その結果、レジスタREG1、遅延処理回路DL10、DSL11および演算回路OPT1を構成する論理素子をさらに低減すること

50

が可能となり、約 15 K ゲート相当の論理素子によって、これらの回路ブロックを構成することが可能となり、面積の更なる低減を図ることが可能となる。

【0121】

なお、選択信号 SEL1S ~ SEL16S は、図 1 で説明した選択信号 SEL1 ~ SEL16 の一部を用いてもよいし、選択信号 SEL1 ~ SEL16 とは別に、演算回路 OPT1 において形成するようにしてもよい。

【0122】

(実施の形態 3)

図 3 は、実施の形態 3 に係わる診断装置 3002 の構成を示すブロック図である。この診断装置 3002 は、超音波診断装置 3001 と送信回路 3000 とを備えている。ここで、超音波診断装置 3001 は、図 1 に示した超音波診断装置 1001 と同じ構成を有しているため、その説明は省略する。

10

【0123】

送信回路 3000 は、シリアルペリフェラルインタフェース回路 (インタフェース回路) SPI-1、揮発性メモリ回路 MM、送信信号パターン生成回路 (パターン生成回路) SPGC、レジスタ REG1、遅延回路 DL-C、選択回路 SL7-1 ~ SL7-16、駆動回路 TXD-1 ~ TXD-16 および演算回路 OPT3 を備えている。同図において、TVE-1 ~ TVE-16 は、圧電素子を示しており、TTV-1 ~ TTV-16、TTRG、TTCK、TTCS、TTSC、TTSA および TTSO は、外部端子を示している。この実施の形態 3 においても、送信回路 3000 は、1 個の半導体装置によって形成されている。外部端子 TTV-1 ~ TTV-16、TTRG、TTCK、TTCS、TTSC、TTSA および TTSO は、半導体装置の外部端子である。

20

【0124】

送信回路 3000 において、揮発性メモリ MM、パターン生成回路 SPGC、遅延回路 DL-C、選択回路 SL7-1 ~ SL7-16、駆動回路 TXD-1 ~ TXD-16 のそれぞれは、図 7 において述べたものと同じであるため、説明は省略する。圧電素子 TVE-1 ~ TVE-16 は、図 1 で述べたものと同じであるため、説明は省略する。

【0125】

インタフェース回路 SPI-1 およびレジスタ REG1 は、図 1 で述べたインタフェース回路およびレジスタと同じであるため、説明は省略する。

30

【0126】

この実施の形態 3 においては、レジスタ REG1 内の 0 次元レジスタ REG1-0 に格納されている 0 次元の係数 c の上位側ビットが、実施の形態 1 と同様に、パターン生成回路 SPGC に供給される。パターン生成回路 SPGC は、実施の形態 1 と同様に、オフセット OFS に相当する遅延量後に、送信信号パターンを形成し、遅延回路 DL-C に供給する。遅延回路 DL-C において、送信信号パターンは、図 7 で説明したように、連続的に送信信号パターンを形成し、選択回路 SL7-1 ~ SL7-16 へ供給する。

【0127】

レジスタ REG1 内の 0 次元レジスタ REG1-0 に格納されている係数 c の上位側ビット、1 次元レジスタ REG1-1 に格納されている係数 b の各ビットおよび 2 次元レジスタ REG1-2 に格納されている係数 a の各ビットは、演算回路 OPT3 に供給される。

40

【0128】

演算回路 OPT3 は、供給された係数の各ビットと、圧電素子 TVE-1 ~ TVE-16 の位置を示す変数 x とを用いて、2 次元の多項式 $DLY(x) = -ax^2 + bx + c$ の演算を行う。この演算により、それぞれのチャンネル CH-1 ~ CH-16 における送信信号パターンの送信タイミングが求められる。

【0129】

求めた送信タイミングにおいて、演算回路 OPT3 は、選択信号 SEL3-1 ~ SEL3-16 を発生する。例えば、チャンネル CH-1 においては、2 次元の多項式 $DLY(x)$

50

x)により求めたチャンネルCH-1における送信タイミングにおいて、演算回路OPT3は、選択信号SEL3-1を出力する。他のチャンネルCH-2~CH-16においても同様に、2次元の多項式DLY(x)により求めたチャンネルCH-2~CH-16における送信タイミングにおいて、演算回路OPT3は、選択信号SEL3-1~SEL3-16を出力する。

【0130】

選択回路SL7-1~SL7-16は、選択信号SEL3-1~SEL3-16が供給されることにより、そのとき遅延回路DL-Cから供給されている送信信号パターンを、対応する駆動回路TXD-1~TXD-16へ供給する。これにより、それぞれの駆動回路TXD-1~TXD-16からは、2次元の多項式DLY(x)により求めたチャンネル毎の送信タイミングで、送信信号パターンが供給されることになる。その結果、チャンネル毎の送信タイミングに応じた駆動信号が、外部端子TTV-1~TTV-16を介して、圧電素子TVE-1~TVE-16に供給されることになり、送信タイミングに応じたタイミング、超音波が発生されることになる。

10

【0131】

この実施の形態3によれば、送信のビームフォーミングのとき、超音波診断装置3001から送信回路3000へ供給される情報として、パターン情報および係数a、bおよびcとすることが可能であり、超音波診断装置3001から送信回路3000へ転送されるデータ量を低減することが可能となる。

【0132】

実施の形態1~3によれば、転送されるデータ量を低減することが可能であるため、超音波診断装置と送信回路との間の配線数を低減することが可能となり、価格の上昇を抑制することが可能となる。また、データ受信の期間が圧迫されるのを防ぐことが可能である。

20

【0133】

配線数の低減が図れるため、操作性が悪くなるのを防ぎながら、送信回路と複数の圧電素子をプローブに搭載することが可能となる。

【0134】

なお、実施の形態では、所望の部位と圧電素子との間の距離に応じて、送信タイミングを定めることを主として説明したが、距離だけでなく、用いるプローブの仕様、音速等も、送信タイミングに影響する。これらの影響を考慮して、近似式の係数は定められる。

30

【0135】

実施の形態1~3は、超音波送信方法の観点で捉えることができる。超音波送信方法の観点で捉える場合、超音波診断装置(例えば1001)が、係数を供給する係数供給工程を実行し、供給された係数に基づいて、送信回路(例えば1000)が送信信号パターン供給工程を実行する。

【0136】

ここで、係数供給工程において、超音波診断装置は、複数のチャンネルのそれぞれに対応した複数の超音波発生回路に対して、送信信号パターンを供給する送信タイミングが、複数の超音波発生回路の配置に対して直線状または円弧状になるように、送信タイミングを、複数の超音波発生回路の配置を変数とした多次元の多項式で近似し、多次元の多項式における係数を、超音波診断用送信回路へ供給する。また、送信信号パターン供給工程において、送信回路は、供給された係数のうちの第1係数に基づいて、遅延処理回路により、送信信号パターンを遅延させ、遅延された送信信号パターンを、供給された係数のうちの第2係数に基づいて、演算回路により求めた遅延時間、遅延させて、複数の超音波発生回路に供給する。

40

【0137】

実施の形態1および2においては、2次元の多項式DLY(x)によって、送信タイミングを近似する例を説明したが、これに限定されるものではなく、多次元の多項式によって、送信タイミングを近似するようにしてもよい。

50

【0138】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0139】

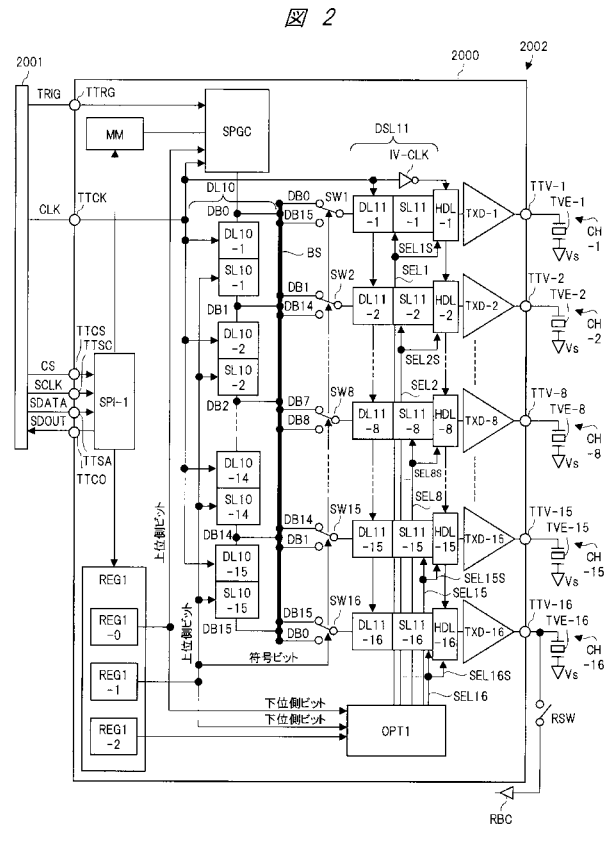
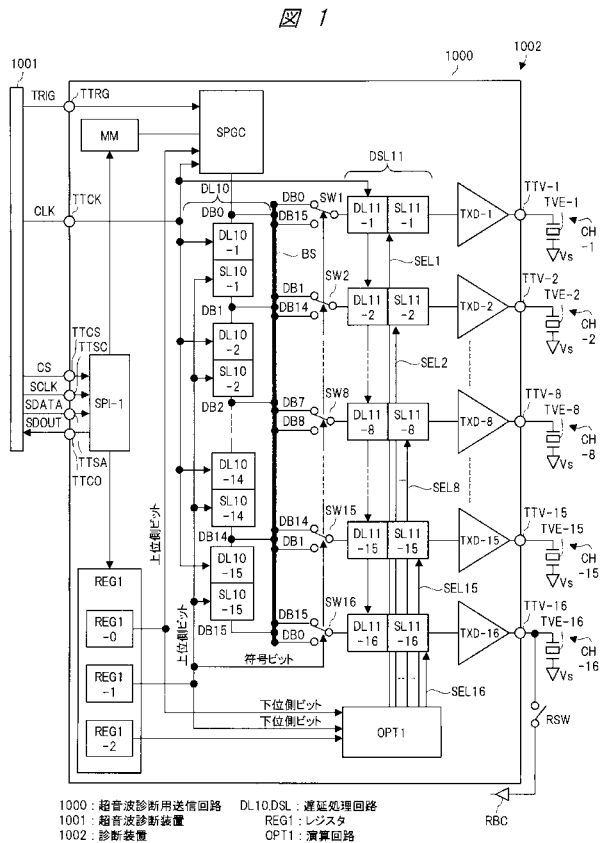
- 1000、2000、3000 超音波診断用送信回路
- 1001、2001、3001 超音波診断装置
- 1002、2002、3002 診断装置
- CH-1~CH-16 チャンネル
- DL10、DSL11 遅延処理回路
- REG1 レジスタ
- REG1-0 0次元レジスタ
- REG1-1 1次元レジスタ
- REG1-2 2次元レジスタ
- MM 揮発性メモリ回路
- SPGC 送信信号パターン生成回路
- SPI-1 シリアルペリフェラルインタフェース回路
- TXD-1~TXD-16 駆動回路
- TVE-1~TVE-16 圧電素子
- OPT1、OPT3 演算回路

10

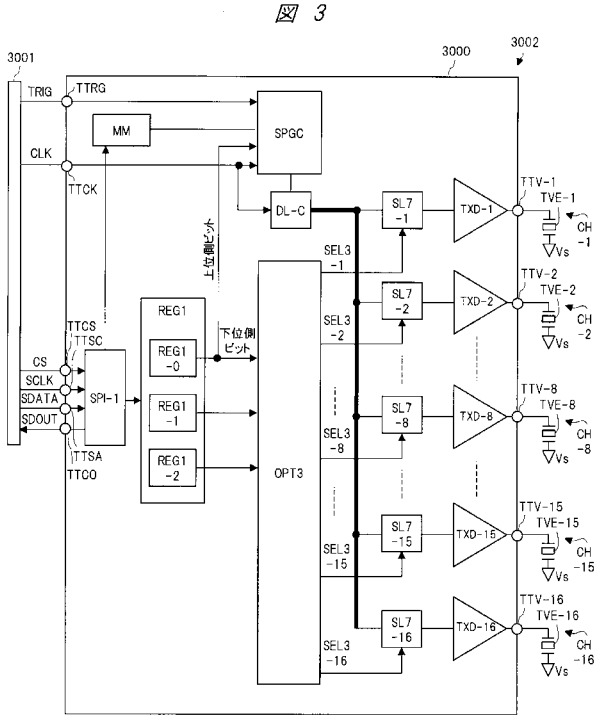
20

【図1】

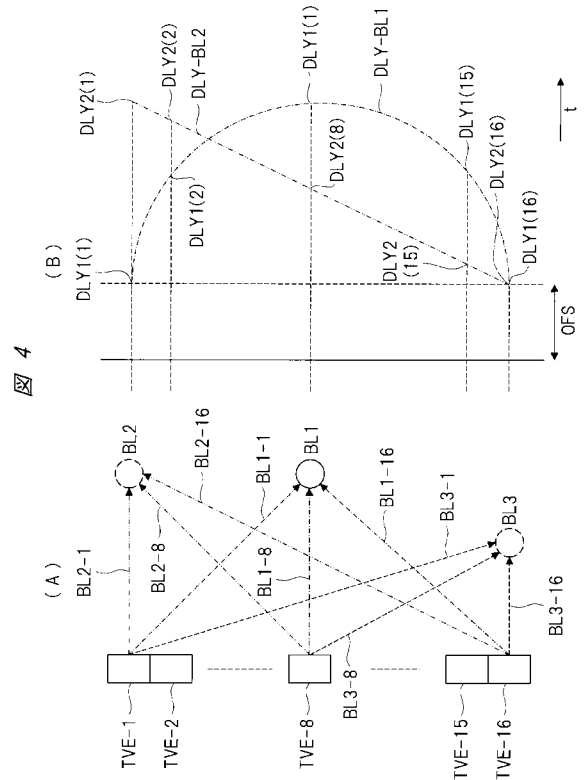
【図2】



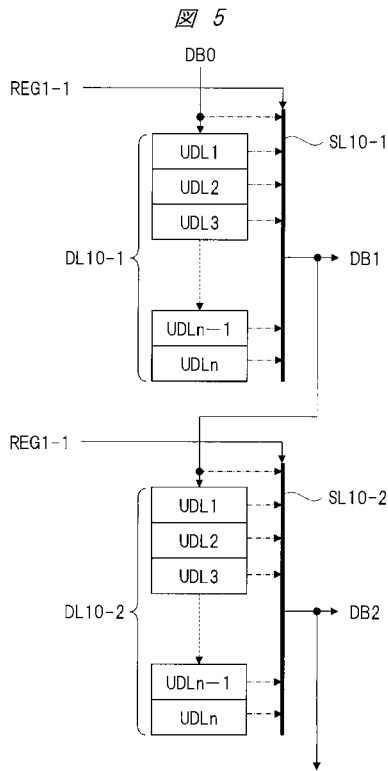
【 図 3 】



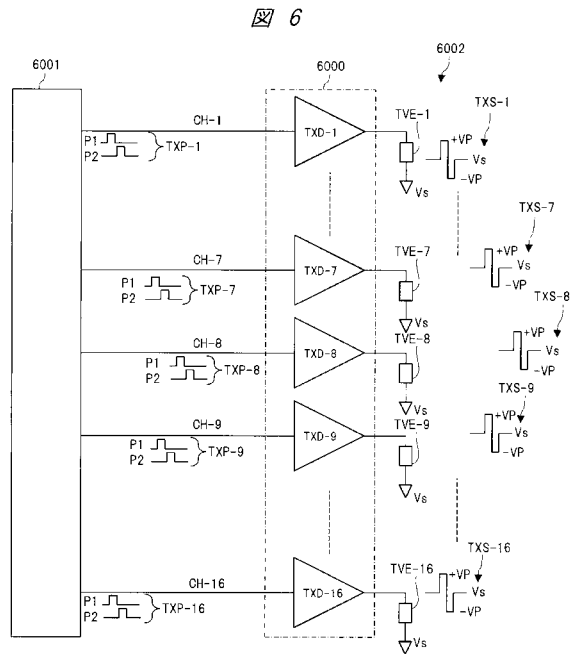
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 李 娜

東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

Fターム(参考) 4C601 EE14 HH12 JB34

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 超声诊断发射电路和超声波发射方法 | | |
| 公开(公告)号 | JP2017093962A | 公开(公告)日 | 2017-06-01 |
| 申请号 | JP2015231639 | 申请日 | 2015-11-27 |
| [标]申请(专利权)人(译) | 精工半導體有限公司 | | |
| 申请(专利权)人(译) | SII半导体有限公司 | | |
| [标]发明人 | 吉澤弘泰 花沢聡 小田原達矢 李娜 | | |
| 发明人 | 吉澤 弘泰 花沢 聡 小田原 達矢 李 娜 | | |
| IPC分类号 | A61B8/14 | | |
| CPC分类号 | A61B8/4494 A61B8/5207 B06B1/0215 B06B2201/76 | | |
| FI分类号 | A61B8/14 | | |
| F-TERM分类号 | 4C601/EE14 4C601/HH12 4C601/JB34 | | |
| 其他公开文献 | JP6545089B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供一种用于超声波诊断的传输电路，能够在不减少信息量的情况下抑制价格上涨。超声诊断传输电路1000包括用于延迟传输信号模式的延迟处理电路DL 10和用于计算延迟时间的运算电路OPT 1。对于多个对应于多个信道，发送定时的和压电元件的供给的发送信号的模式，以使直链或弓形的，发送定时，多维多项式，其中所述压电元件和可变的布置在近似。在多维的多项式系数被提供给超声波诊断发射器电路，基于所述第一系数，定义的延迟时间在延迟处理电路DL10，基于第二系数运算电路OPT1延迟时间被计算，所述多个压电元件，在包括根据第一系数，并且根据第二系数的延迟时间的发送定时，发送信号模式被提供。点域1

