

【特許請求の範囲】**【請求項 1】**

超音波振動子を用いた送受信方法であって、
アナログ信号を遅延させることが可能な遅延回路を N 個用意し、
送信時には、
N b i t 幅のパルス波形論理信号を N 個の前記遅延回路でそれぞれ遅延させ、
遅延させた前記パルス波形論理信号に基づいてパルサを制御し、
前記パルサから出力される駆動信号で前記超音波振動子を駆動して、超音波を送信し、
受信時には、
前記超音波振動子で得られる受信信号を、前記 N 個の遅延回路少なくとも一つで遅延させることにより、
送信と受信で遅延回路を共用することを特徴とする、
超音波振動子を用いた送受信方法。

【請求項 2】

前記遅延回路により遅延させた前記パルス波形論理信号を閾値と比較して、論理 0 または 1 を判定することを特徴とする、
請求項 1 記載の超音波振動子を用いた送受信方法。

【請求項 3】

前記遅延回路は差動回路であり、前記パルス波形論理信号の正論理の信号と論理反転した信号を差動信号として入力し、
遅延された前記差動信号を差動出力として取り出し、
前記差動出力を比較することで論理 0 または 1 を判定することを特徴とする、
請求項 1 記載の超音波振動子を用いた送受信方法。

【請求項 4】

前記遅延回路は、キャパシタにアナログ電圧を書き込んで保持し、所定時間後に読み出すことでアナログ信号を遅延させることを特徴とする、
請求項 1 記載の超音波振動子を用いた送受信方法。

【請求項 5】

送信時には、
N 個の前記遅延回路を構成するキャパシタを遅延回路ごとに独立に制御して、N b i t 幅のパルス波形論理信号を遅延させ、
受信時には、
一つの前記遅延回路を構成するキャパシタと、他の前記遅延回路を構成するキャパシタとを並列接続することにより、複数の遅延回路を一つの遅延回路として用いて、前記受信信号を遅延させることを特徴とする、
請求項 4 記載の超音波振動子を用いた送受信方法。

【請求項 6】

前記遅延回路は差動回路であり、前記パルス波形論理信号の正論理の信号と論理反転した信号を差動信号として入力し、
遅延された前記差動信号を差動出力として取り出し、
前記差動出力を比較することで論理 0 または 1 を判定することを特徴とする、
請求項 5 記載の超音波振動子を用いた送受信方法。

【請求項 7】

前記遅延回路は出力バッファを持ち、
前記出力バッファにより受信時には低インピーダンスの出力を実現し、送信時にはこの出力バッファを前記差動出力の比較のための比較器として用いることで、論理 0 または 1 を判定することを特徴とする、
請求項 6 記載の超音波振動子を用いた送受信方法。

【請求項 8】

パルサから少なくとも 3 つのレベルを持つ駆動信号を生成し、前記駆動信号により振動

子を駆動する超音波探触子であって、

前記パルサを制御するために、少なくとも第 1 のデジタル論理信号と第 2 のデジタル論理信号を含む波形制御信号を出力する波形制御信号源と、

前記第 1 のデジタル論理信号を遅延させる第 1 の遅延回路と、

前記第 2 のデジタル論理信号を遅延させる第 2 の遅延回路と、

を備える超音波探触子。

【請求項 9】

前記振動子に接続される受信回路と、

前記波形制御信号および前記受信回路の出力信号を入力とする切り替え回路を備え、

前記切り替え回路は、

送信時には、前記第 1 のデジタル論理信号を前記第 1 の遅延回路に入力するとともに前記第 2 のデジタル論理信号を前記第 2 の遅延回路に入力し、

受信時には、前記受信回路の出力を前記第 1 の遅延回路および前記第 2 の遅延回路の少なくとも 1 つに入力する、

請求項 8 記載の超音波探触子。

【請求項 10】

前記第 1 の遅延回路および前記第 2 の遅延回路はアナログ遅延回路であり、

該アナログ遅延回路は、

入力信号を保持する複数のキャパシタを備え、

前記複数のキャパシタの書き込みタイミングを制御する複数の書き込み信号と、前記複数のキャパシタの出力タイミングを制御する複数の読み出し信号により、遅延時間を制御するものである、

請求項 8 記載の超音波探触子。

【請求項 11】

前記第 1 の遅延回路の前記キャパシタと、前記第 2 の遅延回路の前記キャパシタを並列接続するためのスイッチを備え、

送信時には、前記スイッチにより前記並列接続を解除し、前記第 1 の遅延回路の前記キャパシタと、前記第 2 の遅延回路の前記キャパシタを、別々の電荷量を保持する独立のキャパシタとして用い、

受信時には、前記スイッチにより前記並列接続を実行し、前記第 1 の遅延回路の前記キャパシタと、前記第 2 の遅延回路の前記キャパシタを一つのキャパシタとして用いる、

請求項 10 記載の超音波探触子。

【請求項 12】

前記アナログ遅延回路は差動回路であり、入力信号の正論理の信号と論理反転した信号を差動信号として入力し、差動出力を出力し、

前記差動出力を入力とするオペアンプを備え、

前記オペアンプは受信時には、

非反転入力にコモン電圧を、反転入力に前記差動出力の一方を、出力に前記差動出力の他方を接続し、出力バッファとして動作させ、

前記オペアンプは送信時には、

非反転入力に前記差動出力の一方を、反転入力に前記差動出力の他方を接続し、前記差動出力を比較する、

請求項 10 記載の超音波探触子。

【請求項 13】

超音波探触子と装置本体からなる超音波診断装置であって、

前記超音波探触子は、

パルサから少なくとも 3 つのレベルを持つ駆動信号を生成し、前記駆動信号により振動子を駆動する超音波探触子であって、

前記パルサを制御するために、少なくとも第 1 のデジタル論理信号と第 2 のデジタル論理信号を含む波形制御信号を出力する波形制御信号源と、

10

20

30

40

50

前記第 1 のデジタル論理信号を遅延させる第 1 の遅延回路と、
前記第 2 のデジタル論理信号を遅延させる第 2 の遅延回路と、を備える、
超音波診断装置。

【請求項 1 4】

前記パルサ、前記振動子、前記第 1 の遅延回路、および前記第 2 の遅延回路の組を複数
備え、

前記振動子から得られた受信信号を前記第 1 の遅延回路および前記第 2 の遅延回路の少
なくとも一つに入力するための切り替えスイッチと、

遅延させた複数の前記受信信号を加算する加算器と、

前記加算器で加算した信号を前記装置本体に送信するケーブルと、を備える、

請求項 1 3 記載の超音波診断装置。

10

【請求項 1 5】

前記第 1 の遅延回路および前記第 2 の遅延回路は、それぞれが、入力信号を保持する複
数のキャパシタを備え、

前記複数のキャパシタの書き込みタイミングを制御する複数の書き込み信号と、前記複
数のキャパシタの出力タイミングを制御する複数の読み出し信号により、遅延時間を制御
するものであり、

前記第 1 のデジタル論理信号および前記第 2 のデジタル論理信号は、前記第 1 の遅延回
路および前記第 2 の遅延回路にそれぞれ独立に入力され、

前記受信信号は、前記第 1 の遅延回路のキャパシタと、前記第 2 の遅延回路のキャパシ
タを並列接続して形成される受信用遅延回路に入力される、

請求項 1 4 記載の超音波診断装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、超音波診断装置の構成要素である超音波探触子に関し、超音波探触子の各振
動子への送信信号及び、各振動子からの受信信号を遅延させる技術に関するものである。

【背景技術】

【0002】

超音波診断装置は人体に非侵襲で安全性の高い医療診断機器であり、X線診断装置、M
R I (M a g n e t i c R e s o n a n c e I m a g i n g) 装置などの他の医用画
像診断装置に比べ、装置規模が小さい。また、超音波探触子を体表から当てるだけの簡便
な操作により、例えば、心臓の脈動や胎児の動きといった検査対象の動きの様子をリアル
タイムで表示可能な装置であることから、今日の医療において重要な役割を果たしている
。

30

【0003】

超音波診断装置においては、超音波探触子に内蔵されている複数の振動子それぞれに高
電圧の駆動信号を供給することで、超音波を被検体内に送信する。そして、被検体内にお
いて生体組織の音響インピーダンスの差異によって生ずる超音波の反射波を複数の振動素
子それぞれにて受信し、超音波探触子が受信した反射波に基づいて画像を生成する。

40

【0004】

具体的には、送信においては、複数の振動子に独立な遅延を与えて振動子を駆動するこ
とで音響パルスをフォーカスし、超音波のビームフォーミングおよびビーム走査を行う。
受信においては、生体内の反射点から各振動子への距離の違いを補償するため、複数の振
動子に独立な遅延を与えて信号の位相をコヒーレントにそろえ、これを加算するという整
相処理を行う。このように、アナログ信号の遅延は超音波診断装置において必須の信号処
理となっている。

【0005】

近年、3次元立体画像を得られる超音波診断装置が開発されてきており、3次元立体画
像から任意の断面を特定して断層像を得ることで、検査効率を向上させることが出来る。

50

3次元の撮像のためには、超音波探触子内の振動子を、従来の1次元配列から2次元配列、すなわち2Dアレイとする必要があり、振動子数が従来の超音波探触子に対して2乗で増加する。この場合に、超音波探触子と本体装置を接続するケーブルの本数を2乗で増やすことは困難であるため、超音波探触子内で整相加算して本数を減らした受信信号を本体装置にケーブルを介して転送する必要がある。このような超音波探触子内での整相加算を実現するには、送受信と整相加算の機能をビームフォーマーICとして実現し、IC内に振動子毎に送受信回路を配置して、振動子と電氣的に1対1で接続する必要がある。

【0006】

以上のように、2Dアレイ超音波探触子においては、整相加算を行うICを探触子内に搭載する必要があり、数千から1万以上の送受信回路がICに搭載される。振動子とIC内送受信回路は一對一で接続され、振動子ピッチ、すなわち振動子1チャンネル(1ch)と対応する送受信回路のピッチは、超音波グレーティングの制約から決まる。すなわち、超音波の周波数と振動子ピッチから回折により虚像を生成するグレーティングローブがある角度方向に生成し得るが、これが走査角の範囲内で生成しない条件となるよう、送受信回路のピッチを所定の寸法に収める必要がある。このように送受信回路の小面積化が2Dアレイ超音波探触子においては重要な課題となる。

10

【0007】

さらに、探触子は体表に直接接触するので発熱を抑える必要があり、ICの低消費電力化は重要な課題である。

【0008】

振動子1chと対応する送受信回路の面積を低減するには、遅延回路を送信回路と受信回路で共用することが効果的である。超音波Bモード画像の撮像においては、送信を行ってから受信に切り替えて信号処理を行うため、送信の遅延制御を行った後に受信の遅延制御を行うことで、同一の1ch内遅延回路を送信と受信で時分割に共用することが可能である。遅延回路を送信回路と受信回路で共用する点については、例えば特許文献1に開示がある。

20

【0009】

また、ICの低消費電力化のためには、送信回路にパルサを用いるのが効果的である。送信回路には、波形を線形に増幅して振動子を駆動するリニア増幅器と、複数レベルの電圧、例えば正電圧、負電圧、GNDの3レベルの電圧のパルスを生じて振動子を駆動するパルサがある。リニア増幅器は任意の波形を生じて生成可能であるが、定常バイアス電流を必要とし、消費電力が大きい。一方パルサではトランジスタ寄生容量の充放電電流のみが流れるため、波形は多値電圧レベルから成るパルスしか生成できないものの、低消費電力動作を実現できる。パルサの入力信号は、アナログ電圧ではなくどの電圧レベルを出力するかを決める論理信号となる。超音波診断装置へのパルサの使用については、例えば特許文献2に開示がある。

30

【先行技術文献】

【特許文献】

【0010】

【特許文献1】WO 2016/152375 A1

40

【特許文献2】特開2014-28027号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

低消費電力かつ送受信回路の面積低減を図るためには、送信回路としてパルサを用いつつ、遅延回路を送信と受信で共用することがひとつの解である。そこで、本発明者らは送信回路としてパルサを用いつつ、遅延回路を送信と受信で共用する構成について検討を行った。

【0012】

図1は3値パルサと振動子の一例を示す回路図である。パルサの入力は、正電圧出力信

50

号 P O S と負電圧出力信号 N E G を用いて表現される 2 ビット幅の信号であり、N O R ゲートを用いて入力に応じて 3 値の出力を得、振動子 E L を駆動する。振動子 E L は、送信時においては電気信号を音に変換し、受信動作においては、反射点から受信した音を電気信号に変換するトランスデューサである。

【 0 0 1 3 】

図 2 には、図 1 のパルサにおいて、2 ビット入力と 3 値の出力の関係を示す。この例では、2 ビット入力は 3 つの値を表現する。入力 P O S と N E G の両方が L o w の場合には、スイッチ G S がオンし他はオフとなり、振動子 E L は G N D (例えば 0 V) に接続される。入力 P O S が 0 で N E G が 1 の場合には、スイッチ N S がオンし他はオフとなり、負側高電圧 H V S S が振動子 E L への入力となる。入力 P O S が 1 で N E G が 0 の場合には、

10

【 0 0 1 4 】

図 3 は、本発明者らがパルサを用いつつ遅延回路を送信と受信で共用する構成の検討に際して考案した、比較例のブロック図である。図 3 の構成は、1 つの振動子 E L に対応する 1 c h の送受信回路の構成を、特に遅延回路に着目して示している。2 D アレイ超音波探触子では、図 3 の構成をアレイ状に複数備えることになる。

【 0 0 1 5 】

受信時は、被測定対象の反射点からの振動 (音波) を振動子 E L で受信し、送受信スイッチ T / R - S W をオンして低雑音増幅器 L N A で増幅する。増幅信号は、送受信切り替え信号 T x / R x で制御されるアナログマルチプレクサ A M U X により、遅延回路 D L Y に入力される。遅延回路 D L Y の出力 T x D L Y は、加算回路 R x A D D E R へ送出される。加算回路 R x A D D E R は、受信時に 2 D アレイを構成する複数の振動子 E L からの受信信号を遅延させた出力を加算し、整相加算を実現するアナログ加算器である。

20

【 0 0 1 6 】

受信信号はアナログ信号であるから、遅延回路 D L Y はアナログ信号を処理できるアナログ遅延回路である必要がある。遅延回路を送受信で共用とするため、送信時には同じアナログ遅延回路を用いて、パルサの入力となる論理信号を遅延させる必要がある。以下では、図 1 および図 2 の例に従い、2 ビット幅で 3 値を有する論理信号を例に説明するが、

30

【 0 0 1 7 】

送信時には、波形メモリ T x R A M に格納される送信波形パタンのデータ (この例では 2 ビット幅) を、デジタル / アナログ変換器 D A C でアナログ信号 (この例では 3 値のアナログ信号) とし、アナログマルチプレクサ A M U X により、遅延回路 D L Y に入力する。遅延されたアナログ信号は、正の閾値 H V T H との比較を行う比較器 H C と、負の閾値 L V T H との比較を行う比較器 L C とによってレベル判定され、基準クロック C L K でタイミングの同期をとり、3 値パルサ P U に入力される。3 値パルサ P U は入力に従って、3 値の振動子駆動信号 T D を発生して振動子 E L を駆動する。送信時には、送信信号による受信回路への悪影響を避けるために、送受信スイッチ T / R - S W はオフとなる。波形メモリ T x R A M は、送信パルス波形が格納されたランダムアクセスメモリであり、波形メモリ T x R A M に格納される送信波形パタンのデータは、測定対象に応じて複数準備し、適宜選択することが可能である。

40

【 0 0 1 8 】

図 3 に示すように、遅延回路 D L Y は送受信の両方に用いる。先に述べたように、受信信号はアナログ信号であるため、遅延回路 D L Y はアナログ遅延回路である。このとき、パルサの 2 ビット入力信号のふるまいを検討する必要がある。

【 0 0 1 9 】

図 4 は、図 3 の回路において送信時の信号波形の状態を検討した波形図である。図 1 のような正側高電圧 H V D D 、負側高電圧 H V S S 、G N D の 3 レベルの電圧を出力可能な

50

3 値パルサを例に取ると、正側出力に対応する P O S 信号と負側出力に対応する N E G 信号の 2 b i t の信号が必要となり、送信時はこの 2 b i t 論理信号を遅延させる必要がある。

【 0 0 2 0 】

図 4 に示すように、図 3 の構成では、波形メモリ T x R A M から得られる 2 ビット幅の論理信号を構成する 2 値を持つ論理信号 T x < 1 >、T x < 0 > を、デジタル/アナログ変換器 D A C で一旦 3 値の矩形波波形 D A C O U T にする。そして、矩形波波形 D A C O U T を、アナログマルチプレクサ A M U X で切り替えて遅延回路 D L Y に入力する。

【 0 0 2 1 】

なお、本明細書では、2 値を持つ論理信号を「デジタル論理信号」という。また、2 b i t のデジタル論理信号を、纏めて「T x < 1 : 0 >」のように表記する場合がある。他の論理信号も同様である。

10

【 0 0 2 2 】

遅延回路 D L Y を通した 3 値波形 T x D L Y を、正の閾値 H V T H および負の閾値 L V T H と比較して、デジタル論理信号 T x C M P < 1 > および T x C M P < 0 > に戻す。この論理信号を、フリップフロップにより基準クロック C L K と同期してタイミングを取り直し、T x < 1 >、T x < 0 > を所望時間遅延させた信号 P O S および N E G を得る。なお、3 値波形 T x D L Y は遅延回路 D L Y で所望の遅延が与えられるが、図 4 は波形の変化に着目して説明するため、遅延は 0 で示している。

【 0 0 2 3 】

このとき、デジタル/アナログ変換器 D A C の出力 D A C O U T は、理想的には 3 値を持つ矩形波であるが、図 4 のタイミングチャートのように遅延回路 D L Y を通った波形 T x D L Y は、遅延回路 D L Y の有限の帯域のために立ち上がり、立ち下がりがなまった波形となる。これを閾値 H V T H および L V T H と比較してデジタル論理信号 T x C M P < 1 >、T x C M P < 0 > に戻すと、本来は T x < 1 >、T x < 0 > が、例えば 1 クロック遅延した波形が P O S、N E G に現れるはずが、パルス幅が所望の幅からずれてしまう。図 4 では理想的な波形を「desired」で示す太線で表し、理想的な波形からのずれを太い矢印で示している。

20

【 0 0 2 4 】

すなわち、なまった T x D L Y 信号を閾値 H V T H、L V T H と比較して論理 0 または 1 を判定する際に、とくに H V T H と L V T H をまたがって遷移する際に遷移時間がクロック周期を超えてしまうと、T x C M P < 1 : 0 > から P O S、N E G にリタイミングする際に、本来あるはずのない P O S が 0 かつ N E G が 0 の期間が生ずる。また、パルス幅が本来の T x < 1 : 0 > の幅から変動してしまう。

30

【 0 0 2 5 】

このようにして、パルサ P U の入力 P O S および N E G のパルス幅がずれるため、振動子 E L を駆動する振動子駆動信号 T D のパルス幅も所望のパルス幅からずれてしまう。すなわち、正側高電圧 H V D D と、負側高電圧 H V S S のパルス幅が変わってしまう。このため、パルサ P U は所望の中心周波数のパルスを送信できない。このとき、パルス幅の変動が生じないように、受信信号帯域以上に広帯域の遅延回路を採用することも考えられるが、回路面積や消費電力が増加してしまう。

40

【 0 0 2 6 】

そこで、パルサに対応しつつ送信、受信での遅延回路の共用を行う構成において、パルス幅の変動を抑制しつつ、送信パルス波形論理信号を遅延させることが望まれる。

【課題を解決するための手段】

【 0 0 2 7 】

本発明の一側面は、超音波振動子を用いた送受信方法であって、アナログ信号を遅延させることが可能な遅延回路を N 個用意するものである。送信時には、N b i t 幅のパルス波形論理信号を N 個の前記遅延回路でそれぞれ遅延させ、遅延させたパルス波形論理信号に基づいてパルサを制御し、パルサから出力される駆動信号で超音波振動子を駆動して、

50

超音波を送信する。受信時には、超音波振動子で得られる受信信号を、N個の遅延回路少なくとも一つで遅延させることにより、送信と受信で遅延回路を共用する。

【0028】

本発明の他の一側面は、パルサから少なくとも3つのレベルを持つ駆動信号を生成し、駆動信号により振動子を駆動する超音波探触子である。ここで、パルサを制御するために、少なくとも第1のデジタル論理信号と第2のデジタル論理信号を含む波形制御信号を出力する波形制御信号源と、第1のデジタル論理信号を遅延させる第1の遅延回路と、第2のデジタル論理信号を遅延させる第2の遅延回路と、を備える。

【0029】

本発明の他の一側面は、超音波探触子と装置本体からなる超音波診断装置である。ここで、超音波探触子は、パルサから少なくとも3つのレベルを持つ駆動信号を生成し、駆動信号により振動子を駆動する超音波探触子であって、パルサを制御するために、少なくとも第1のデジタル論理信号と第2のデジタル論理信号を含む波形制御信号を出力する波形制御信号源と、第1のデジタル論理信号を遅延させる第1の遅延回路と、第2のデジタル論理信号を遅延させる第2の遅延回路と、を備える。

10

【発明の効果】

【0030】

パルサに対応しつつ送信、受信での遅延回路の共用を行う構成において、パルス幅の変動を抑制しつつ、送信パルス波形論理信号を遅延させることができる。

【図面の簡単な説明】

20

【0031】

【図1】3値パルサの一例を示す回路図。

【図2】3値パルサの2ビット入力と動作の例を示す表図。

【図3】パルサを用いて送信、受信での遅延回路の共用を行う構成の比較例を示すブロック図。

【図4】図3の比較例における送信時の信号の波形を示す波形図。

【図5】実施例1の構成を示すブロック図。

【図6】実施例1における送信時の信号の波形を示す波形図。

【図7】遅延回路の構成例を示す回路図。

【図8】遅延回路の動作タイミングを示す波形図。

30

【図9】実施例2の構成を示すブロック図。

【図10】実施例2における送信時の信号の波形を示す波形図。

【図11】実施例3の構成を示すブロック図。

【図12】実施例4の構成を示すブロック図。

【図13】遅延回路の他の構成例を示す回路図。

【図14】遅延回路の動作タイミングを示す波形図。

【図15】遅延回路の他の構成例を示す回路図。

【図16】超音波診断装置のシステム構成を示すブロック図。

【図17】送受信回路の構成を示すブロック図。

【発明を実施するための形態】

40

【0032】

以下、実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。本発明の思想ないし趣旨から逸脱しない範囲で、その具体的構成を変更し得ることは当業者であれば容易に理解される。

【0033】

明細書および図面で説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、重複する説明は省略することがある。

【0034】

本明細書等における「第1」、「第2」、「第3」などの表記は、構成要素を識別する

50

ために付するものであり、必ずしも、数または順序を限定するものではない。また、構成要素の識別のための番号は文脈毎に用いられ、一つの文脈で用いた番号が、他の文脈で必ずしも同一の構成を示すとは限らない。また、ある番号で識別された構成要素が、他の番号で識別された構成要素の機能を兼ねることを妨げるものではない。

【0035】

図面等において示す各構成の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面等を開示された位置、大きさ、形状、範囲などに限定されない。

【0036】

本明細書において単数形で表される構成要素は、特段文脈で明らかに示されない限り、複数形を含むものとする。

10

【0037】

以下で詳細に説明される実施例の一つの概要は、アナログ信号を遅延させることが可能な遅延回路を複数、たとえばN個用意し、送信時にパルスを制御するNbit幅のパルス波形論理信号をそれぞれ遅延させる。また、送信と受信で遅延回路を共用する。また、送信時には、遅延回路により遅延させたパルス波形論理信号出力を閾値と比較して論理0または1を判定する。

【0038】

アナログ信号を遅延させることが可能な遅延回路としては、キャパシタにアナログ電圧を書き込んで保持し、所定時間後に読み出すことでアナログ信号を遅延させる構成がある。

20

【0039】

また、送信時にはN個のキャパシタを独立に制御してN個の遅延回路を実現することでNbit幅のパルス波形論理信号を遅延させ、受信時にはN個のキャパシタを並列に用いてアナログ信号を遅延させる1つの遅延回路とすることも可能である。

【0040】

アナログ信号を遅延させることが可能な遅延回路は差動回路とすることもできる。これにパルス波形論理信号の正論理の信号と論理反転した信号を差動信号として入力し、差動出力として取り出し、差動電圧を比較することで論理0または1に戻すことができる。

【0041】

また、アナログ信号を遅延させることが可能な遅延回路は出力バッファを持つことで受信時には低インピーダンスの出力を実現し、送信時にはこの出力バッファ回路を比較器として用いることで論理0または1の判定を行うこともできる。

30

【実施例1】

【0042】

図5は第1の実施例を示すブロック図である。波形メモリT×RAMのデータに基づく送信パルス波形の2bit信号Tx<1>、Tx<0>を、ともにアナログ信号を遅延させることが可能な第1の遅延回路DLY1および第2の遅延回路DLY0を用いて、2bit幅の論理バス信号として遅延させる。このとき、アナログマルチプレクサAMUXは、信号Tx<1>を第1の遅延回路DLY1に入力し、信号Tx<0>を第2の遅延回路DLY0に入力する。各遅延回路への入力は、2値を持つ矩形波となる。

40

【0043】

遅延回路DLY1、DLY0の出力のTxDLY<1>、TxDLY<0>は論理判定用閾値VTHと比較され、デジタル論理信号TxCMP<1>、TxCMP<0>に戻される。デジタル論理信号TxCMP<1>、TxCMP<0>は、フリップフロップにより基準クロックCLKと同期し、2bit幅の論理信号POS、NEGとして3値パルサPUに入力される。

【0044】

図6に図5と対応するタイミングチャートを示す。第1の遅延回路DLY1および第2の遅延回路DLY0を通る信号はデジタル論理信号であり、論理0または1の2値を持つ

50

矩形波信号である。T x D L Y < 1 : 0 > は、遅延回路 D L Y 1、D L Y 0 で遅延されたデジタル論理信号であり、アナログ遅延回路の有限の帯域のために理想的な矩形波から変形した波形となる。

【 0 0 4 5 】

しかし、T x D L Y < 1 : 0 > のように有限の帯域の遅延回路でなまったとしても、図 3、図 4 の 3 値を持つ矩形波信号の場合と異なり、2 b i t 幅の送信パルス波形信号のパルス幅を遅延後も正しく復元できる。

【 0 0 4 6 】

すなわち、図 4 の 3 値信号 T x D L Y では、プラスレベルからマイナスレベルへの遷移に遅延回路 D L Y の追従が難しかったのに比べ、図 6 の 2 値信号 T x D L Y < 1 > と T x D L Y < 0 > では、この大きな遷移がなくなり遅延時の波形への影響が小さい。このため、デジタル論理信号 T x C M P < 1 >、T x C M P < 0 >、およびデジタル論理信号 P O S、N E G のパルス幅は、T x < 1 >、T x < 0 > のパルス幅からの変化が抑制される。このため、振動子 E L の振動子駆動信号 T D は、波形メモリ T x R A M のデータに忠実な 3 値波形となる。この 3 値の高電圧波形により、振動子から音圧を発生させる。

10

【 0 0 4 7 】

上記のように、送信パルス波形をデジタル / アナログ変換して多値レベル (3 値以上) の矩形波にし、アナログ遅延回路により遅延させた後に論理信号に戻すのではなく、0 または 1 の 2 値論理信号のままパスとして複数のアナログ遅延回路を通す。この構成により、パルス幅を変動させてしまうことなく、送信パルス波形論理信号を遅延させることができ、送信用の多値パルスに対応しつつ送信、受信での遅延回路の共用が可能となる。送信時には高電圧の振動子駆動信号 T D から受信系の低雑音増幅器 L N A を保護するために、送受分離スイッチ T / R - S W はオフ状態であるのは図 3 の例と同様である。

20

【 0 0 4 8 】

受信時には、送受分離スイッチ T / R - S W をオンさせて、振動子 E L からの微弱なアナログ受信信号を低雑音増幅器 L N A で増幅し、アナログマルチプレクサ A M U X で低雑音増幅器 L N A 出力を選択して遅延回路 D L Y 1 (あるいは D L Y 0) により遅延させ、後段の受信加算器 R x A D D E R に送る。この構成および動作により、パルス対応かつ送信と受信で共用可能な遅延回路を実現する。

【 0 0 4 9 】

図 5、図 6 では 3 値パルスの例を示したが、遅延回路の数を増やせば 5 値以上の多値パルスにも対応可能である。ただし面積と消費電力は増加する。また、遅延された信号 T x D L Y < 1 >、T x D L Y < 0 > を比較器 H C、L C で論理判定用閾値 V T H と比較することで 0 または 1 の論理判定を行う構成としているが、遅延回路が V D D から G N D の電源電圧振幅の出力を生成可能であれば、比較器は論理インバータのような単純な回路に替えることも可能である。

30

【 0 0 5 0 】

図 7 は、図 5 に示した遅延回路 D L Y 1 または D L Y 0 の実現例である。遅延回路 D L Y 1 または D L Y 0 は、アナログ信号を扱うアナログ遅延回路である。このようなアナログリングメモリの構成により、クロックに同期してサンプル / ホールドを行い、アナログ信号をクロックサイクルの分解能で遅延させることが可能である。

40

【 0 0 5 1 】

アナログ信号である電圧入力 V i n は書き込み制御信号 * w で制御される W r i t e 側スイッチをオンさせてサンプリング用のキャパシタ C s * に書き込まれ、保持される。その後一定時間経過後に読み出し制御信号 * r で制御される R e a d 側スイッチをオンさせて出力させる。書き込み W r i t e から読み出し R e a d までの時間が遅延時間となる。ここで * は 0 および自然数で、図 7 の場合は、0 から M までの番号を持つ複数のキャパシタ C s とスイッチの組が、順番にサンプル・ホールドを行う。

【 0 0 5 2 】

最大遅延量は、クロック周期 x キャパシタ C s 並列数 (M + 1) で決まる。特に制限は

50

ないが、出力につながる配線負荷や、送信時に次段となる送信回路、受信時に次段となる加算回路の入力容量を駆動するために、出力バッファ B U F を設けることが望ましい。

【 0 0 5 3 】

図 8 に、図 7 の動作を説明するタイミングチャートを示す。基準クロック C L K から、図示されるようなクロック周期 $\times (M + 1)$ の周期をもつ $M + 1$ 相の信号を、W r i t e 用、R e a d 用それぞれで生成する。順番に書き込み制御信号 $* w$ をハイレベルにして書き込み側スイッチをオンさせ、キャパシタ $C s *$ に入力アナログ電圧を書き込んで保持する。所定クロックサイクル後に、読み出し制御信号 $* r$ をハイレベルにして読み出し側スイッチをオンさせ、出力を得る。書き込んでから読み出すまでのクロックサイクル数が遅延時間となる。図 8 の例では遅延はクロック 3 サイクルである。

10

【 0 0 5 4 】

図 7 に示したように、 $0 w$ と $0 r$ 、 $1 w$ と $1 r$ 、 $M w$ と $M r$ は同一のキャパシタを制御している。 $* w$ 、 $* r$ がハイレベルのときにスイッチがオンしてキャパシタへの電圧の書き込み、読み出しが行われ、 $0 w$ 立ち上がりから $0 r$ 立ち上がり、 $M w$ 立ち上がりから $M r$ 立ち上がりの時間が遅延時間となる。

【 0 0 5 5 】

W r i t e、R e a d とともにサフィックス $0 \sim M$ の制御信号が循環し、 $M w$ がハイレベルになった後は $0 w$ がハイレベルに上がる。このため $M + 1$ サイクルより長いクロックサイクルでアナログ電圧を保持しておけないので、最大遅延量は図 7 のスイッチおよびキャパシタの並列数 $M + 1$ で決まる。すなわち、最大遅延量を長く取ろうとすれば、回路内スイッチおよびキャパシタの数が増加する。

20

【 実施例 2 】

【 0 0 5 6 】

実施例 2 では、アナログ信号を遅延させることが可能な遅延回路は差動回路であり、これにパルス波形論理信号の正論理の信号と論理反転した信号を差動信号として入力し、遅延された差動出力を取り出し、差動出力の正出力と負出力を比較することで論理 0 または 1 を判定する例を示す。

【 0 0 5 7 】

図 9 は第 2 の実施例を示すブロック図である。図 5 の実施例 1 と比較して、特徴的な部分を主に説明する。送信時には、波形メモリ T x R A M から得た 2 b i t 幅のパルス波形論理信号 $T x < 1 >$ 、 $T x < 0 >$ の論理反転信号 $T x B < 1 >$ 、 $T x B < 0 >$ を、論理インバータで生成する。

30

【 0 0 5 8 】

アナログマルチプレクサ A M U X は、信号 $T x < 1 >$ と信号 $T x B < 1 >$ を第 1 の遅延回路 D L Y 1 に入力し、信号 $T x < 0 >$ と信号 $T x B < 0 >$ を第 2 の遅延回路 D L Y 0 に入力する。その結果、正論理と負論理の差動信号が差動構成のアナログ遅延回路 D L Y 1 および D L Y 0 により差動信号として遅延され、 $T x D L Y < 1 >$ と $T x D L Y B < 1 >$ 、および $T x D L Y < 0 >$ と $T x D L Y B < 0 >$ を得る。これらの差動信号をそれぞれ比較器 H C , L C で比較することにより、論理 0 または 1 の判定を行う。差動化することにより、半導体プロセス変動や電源電圧変動、温度変動に対してロバストな動作が実現可能となる。

40

【 0 0 5 9 】

受信時には低雑音増幅器 L N A の差動出力信号をアナログマルチプレクサ A M U X で選択し、受信差動信号を D L Y 1 (または D L Y 0) により遅延させて差動出力を得て受信加算器 R x A D D E R に送る。低雑音増幅器 L N A を差動回路とすることで、信号の 2 次歪を低減でき、受信時のダイナミックレンジの改善が可能となる。

【 0 0 6 0 】

図 10 に図 9 と対応するタイミングチャートを示す。図 6 の実施例 1 と比較して、特徴的な部分を主に説明する。遅延された差動信号 $T x D L Y < 1 >$ と $T x D L Y B < 1 >$ 、および $T x D L Y < 0 >$ と $T x D L Y B < 0 >$ は、夫々比較器 H C , L C で比較され、そ

50

れらがクロスするタイミングでパルスの立ち上がり立下りを検出し、論理信号 $T \times C M O < 1 >$ と $T \times C M O < 0 >$ を得る。図 10 の例では、差動信号 $T \times D L Y < 1 : 0 >$ と $T \times D L Y B < 1 : 0 >$ で、正論理の信号が論理反転した信号を上回るタイミングで、論理信号 $T \times C M O < 1 : 0 >$ が High になるようにしている。以降の処理は実施例 1 と同様である。

【 0 0 6 1 】

図 9 に示した差動構成のアナログ遅延回路 $D L Y 1$ または $D L Y 0$ としては、1 対の差動信号のために、図 7 のアナログリングメモリを各 1 対備える構成となる。または後述する図 13 または図 15 の差動入力、シングルエンド出力の遅延回路を備えて $R x A D D E R$ にシングルエンド出力を供給する構成としてもよい。

10

【 実施例 3 】

【 0 0 6 2 】

図 5 の実施例 1 の構成では、送信時の遅延に伴うパルス幅の変化を抑制できるが、送信時に遅延回路を 1 対使用する必要がある。実施例 3 では回路面積をさらに低減可能な例を示す。

【 0 0 6 3 】

図 11 は第 3 の実施例を示すブロック図である。図 5 の実施例 1 と比較して、特徴的な部分を主に説明する。図 11 の例では、送信時には遅延回路 $D L Y 1$ 、 $D L Y 0$ の 2 群のキャパシタを独立に制御して、 $D L Y 1$ および $D L Y 0$ の 2 個の遅延回路として用いることで、2 bit 幅のパルス波形論理信号 $T \times < 1 : 0 >$ を遅延させる。送信時の動作は図 6 に示した実施例 1 と同様であり、遅延回路 $D L Y 1$ および $D L Y 0$ の出力は、実施例 1 と同様に比較器 $H C$ 、 $L C$ で論理判定用閾値 $V T H$ と比較され、論理 0 または 1 に判定される。

20

【 0 0 6 4 】

受信時には図 11 のスイッチ群 $S W X$ をオンさせ、 $D L Y 1$ および $D L Y 0$ の入力、出力を互いにショートする。また、遅延回路 $D L Y 1$ 内と $D L Y 0$ 内の 2 群のキャパシタを互いにショートして並列に用い、遅延回路 $D L Y 1$ と $D L Y 0$ を一つの遅延回路として低雑音増幅器 $L N A$ から入力される受信アナログ信号を遅延させる。遅延回路 $D L Y 1$ と $D L Y 0$ として等価な回路を用いた場合、キャパシタの並列接続により、受信時の遅延回路の容量値は、遅延回路 $D L Y 1$ と $D L Y 0$ を単独で用いた場合の倍になる。

30

【 0 0 6 5 】

受信時には微弱なアナログ受信信号を扱うため、回路の熱雑音が問題となる。キャパシタに電圧を保持するような回路の熱雑音は $k T / C$ (k はボルツマン定数、 T は絶対温度、 C は容量値) で決まるため、雑音低減のためには容量値を大きくすることが有効である。このため、受信で所望の S / N 比を得られるように、受信の要求から遅延回路に必要な容量値が定まる。実施例 1 の構成の場合、受信の要求から容量値を決めた遅延回路を複数個用意する必要があるが、実施例 3 の場合は、受信の要求から遅延回路の容量値を決めておき、送信時にはこれを分割して使用するため、遅延回路の面積を低減することができる。

40

【 実施例 4 】

【 0 0 6 6 】

図 12 は第 4 の実施例を示すブロック図である。図 11 の実施例 3 を差動構成にした例である。差動構成とするため、図 9 の実施例 2 と同様に、送信時には、波形メモリ $T \times R A M$ から得たパルス波形論理信号 $T \times < 1 >$ と $T \times < 0 >$ の論理反転信号 $T \times B < 1 >$ と $T \times B < 0 >$ を、論理インバータで生成する。差動信号は、遅延回路 $D L Y 1$ 、 $D L Y 0$ で遅延され、差動出力が比較器に出力される。差動化することにより、半導体プロセス変動や電源電圧変動、温度変動に対してロバストな動作が実現可能となる。また低雑音増幅器 $L N A$ を差動回路とすることで、信号の 2 次歪を低減でき、受信時のダイナミックレンジの改善が可能となる。

50

【 実施例 5 】

【 0 0 6 7 】

図 1 3 は、差動構成の遅延回路 D L Y 1 , D L Y 0 の一例を示す回路図であり、キャパシタを用いた遅延回路に出力バッファ B U F を付加して後段の負荷の駆動能力を高め、広帯域化を図る例である。図 9 では、遅延回路 D L Y 1 , D L Y 0 は差動入力、差動出力となっているが、図 1 3 の例は、差動入力、シングルエンド出力となっている。実施例が対象とする超音波探触子や超音波診断装置では、超音波探触子から超音波診断装置本体への配線本数を減らすために、差動構成でもいずれかの段階でシングル構成に変換することが望ましい。

【 0 0 6 8 】

図 1 3 の構成は、実施例 2 (図 9) あるいは実施例 4 (図 1 2) の差動構成の遅延回路 D L Y 1 , D L Y 0 を置換することができる。差動信号 V i n P と V i n N は、各キャパシタ C s * の両端子にスイッチを介して接続される。各スイッチを制御する書き込み制御信号 * w と読み出し制御信号 * r の動作は、実施例 2 あるいは実施例 4 と同様であり、キャパシタ C s * には、V i n P と V i n N の差分 (V i n P - V i n N) の電荷がホールドされる。

10

【 0 0 6 9 】

オペアンプで構成される出力バッファ B U F は、差動入力の一方 V i n N とコモン電圧 V C M を入力とし、出力バッファ B U F の出力は差動入力の他方 V i n P と結線される。この結果、電圧出力 V o u t には、V C M を中心電位としてキャパシタに書き込まれた電圧が出力される。出力バッファ B U F は、送信時、受信時ともに出力バッファとして動作させることができる。

20

【 0 0 7 0 】

出力バッファ B U F としてオペアンプを備えることで、負帰還により低出力インピーダンスが得られる。また負帰還によりオペアンプの反転入力 V C M と仮想ショートされるため、オペアンプの入力容量の影響を低減可能である。これらにより、広帯域の遅延回路を実現可能である。

【 0 0 7 1 】

図 1 4 に、図 1 3 の差動遅延回路の動作を説明するタイミングチャートを示す。基準クロック C L K から、図示されるようなクロック周期 $\times (M + 1)$ の周期をもつ M + 1 相の信号を、W r i t e 用、R e a d 用それぞれで生成する。書き込み制御信号 * w をハイレベルにして書き込み側スイッチをオンさせ、キャパシタ C s * に入力アナログ電圧の差分を書き込んで保持する。所定クロックサイクル後に、読み出し制御信号 * r をハイレベルにして読み出し側スイッチをオンさせ、出力を得る。

30

【 0 0 7 2 】

動作タイミングは基本的に差動ではない図 8 (実施例 1) の遅延回路と同様であるが、図 1 3 の差動構成により電圧出力 V o u t は、V C M + V i n P - V i n N のシングルエンド出力となる。実施例 2 (図 9) あるいは実施例 4 (図 1 2) と同様、電圧出力 V o u t を比較器 H C および L C で閾値と比較することで論理信号を復元する。

【 実施例 6 】

【 0 0 7 3 】

図 1 5 は、差動構成の遅延回路 D L Y 1 , D L Y 0 の一例を示す回路図であり、キャパシタを用いた遅延回路に出力バッファ B U F を付加して後段の負荷の駆動能力を高め、広帯域化を図る例である。図 1 5 の例は基本的な構成は図 1 3 の例と同様なので、差異の部分を中心に説明する。すなわち、図 1 5 の例は図 1 3 の出力バッファ B U F としてのオペアンプを、受信時にはバッファとして用い、送信時には比較器として用いることで、実施例 2 (図 9) あるいは実施例 4 (図 1 2) の比較器 H C , L C を省略することができるようにしている。

40

【 0 0 7 4 】

そのための構成として、図 1 3 の構成に加えて、差動入力の一方 V i n P を出力バッファ B U F の一方の端子に入力する配線を追加し、差動入力 V i n P および V i n N と、出

50

カパッサ B U F の出力および入力の間スイッチ S W 1 , S W 2 , S W 3 を配置する。スイッチ S W 1 , S W 2 , S W 3 は、送受信切り替え信号 T x / R x で制御され、受信時にはスイッチ S W 1 および S W 3 がオンとなり、スイッチ S W 2 がオフとなる。すなわち、受信時には図 1 3 の回路と同様に機能し、後段の加算回路を駆動するために低出力インピーダンスが必要な場合に対応できる。

【 0 0 7 5 】

一方、送信時にはスイッチ S W 1 および S W 3 がオフとなり、スイッチ S W 2 がオンとなり、図 1 5 に示すスイッチの状態となる。そうすると、差動信号の T r u e 信号 V i n P がオペアンプの非反転入力に、差動信号の B a r 信号 V i n N がオペアンプの反転入力に入力され、オペアンプを差動入力の比較器として用いることが可能となる。電圧出力 V o u t は両方の差を示す信号が出力される。その結果、図 1 0 に示したものと同様に、差動信号 T x D L Y < 1 : 0 > と T x D L Y B < 1 : 0 > で、正論理の信号が論理反転した信号を上回るタイミングで、論理信号 T x C M O < 1 : 0 > が H i g h になるようにすることができる。

10

【 0 0 7 6 】

本実施例により一つのオペアンプを送信、受信で共用化が可能となり、受信動作時の広帯域化を図りつつ回路面積を低減することが可能となる。本実施例は遅延回路と比較器の部分の構成に関するものであり、差動の遅延回路を用いる実施例 2 (図 9) あるいは実施例 4 (図 1 2) の差動構成の遅延回路 D L Y 1 , D L Y 0 と比較器 H C , L C を置換することができる。

20

【 実施例 7 】

【 0 0 7 7 】

図 1 6 には、上記で説明した実施例の回路が適用される、3次元撮像のための2次元アレイ振動子を持つ超音波探触子と本体装置を含む、超音波診断装置のシステム構成を示している。超音波探触子 P L (いわゆるプローブで、振動子 E L を備え、例えば手に持って測定部位に当てる操作ができるようになっている) 内には各振動子 E L に対応して送受信回路 T / R が配置され、受信信号は加算回路 R x A D D E R を経て、ケーブル等を介して本体装置 M A I N 内のアナログフロントエンド A F E に送られる。本体装置 M A I N は、典型的にはコンピュータのような情報処理装置であり、受信信号は本体装置 M A I N 内で各種処理を施され、例えば画像として表示される。

30

【 0 0 7 8 】

出力が加算される振動子チャンネルのグルーピング単位が、サブアレイ S B を構成する。既に説明した遅延回路 D L Y 1 , D L Y 0 との関係性を補足しつつ、装置構成の一例を説明する。送受信回路 T / R はそれぞれ図 3 (あるいは図 5 , 9 , 1 1 , 1 2 等) に示した回路構成を備えている。

【 0 0 7 9 】

振動子 E L ごとに準備される複数の送受信回路 T / R は、アレイ状の配置を持って集積回路チップ I C 内に配置されている。複数の振動子 E L と送受信回路 T / R の組が、サブアレイ S B を構成し、サブアレイ S B ごとに受信信号は加算回路 R x A D D E R で加算され、本体装置 M A I N へ送られる。

40

【 0 0 8 0 】

本体装置内 M A I N のコントローラ C O N T は、超音波探触子 P L 内の集積回路チップ I C を制御する、I C 制御論理回路 1 6 0 1 に制御信号を送る。I C 制御論理回路 1 6 0 1 はこれに応じてサブアレイ制御論理回路 1 6 0 2 を制御し、送受信の切換や超音波フォーカスのための遅延の制御を行う。送信回路がパルス方式の場合、波形はデジタル値としてパルスに送られるため、I C 制御論理回路 1 6 0 1 は、パルスが送波する波形データを記憶する波形メモリ T x R A M を含む。

【 0 0 8 1 】

図 1 7 には振動子 E L に接続される送受信回路 T / R の全体構成を含む、ひとつのサブアレイ構成例が示されている。1つの振動子 E L に対する送受信回路 T / R は、先に述べ

50

たように、複数がアレイ状に1つの集積回路チップICに内蔵されている。この集積回路チップICは、超音波探触子PLに実装される。1振動子あたりの送受信回路T/Rには、高耐圧MOSで構成され、高圧信号を生成し振動子を駆動するパルサ方式の送信回路Tx、低圧系信号を扱う受信系回路を送信時に高圧信号から分離するための送受分離スイッチT/R-SW、低圧系の受信用低雑音増幅器LNA、送信信号を遅延させビームフォーミングを行い、さらには受信信号を遅延させるアナログ遅延回路DLYが含まれる。アナログ遅延回路DLYは既に詳細に説明したとおり、遅延回路DLY1, DL Y 0を含む。アナログ遅延回路DLYで遅延された受信信号は加算回路Rx ADDERで加算されてIC内のアレイの外、例えば超音波診断装置の本体装置に伝送される。

【0082】

以上の実施例では、3値パルサを例に説明したが、本発明は、4値以上のパルサにも同様に適用することができる。例えば、3値パルサには2bit幅の論理信号が必要だが、5値パルサには3bit幅が必要である。ビット幅の拡張に対応するには、実施例1、2では遅延回路の数を増やせば、4値以上の多値にも適用可能である。あるいは実施例3、4ではキャパシタの分割数を増やせばよい。

【0083】

以上説明した実施例にでは、送受共用の遅延回路において、遅延回路を複数N本用意してNbitバスとして用い、遅延出力を閾値と比較して論理値に戻すことで、マルチレベルパルサに inputsするNbit幅の論理データを遅延させることができる。これにより、低消費電力なパルサを送信回路に用いながら、送信と受信で遅延回路を共用することで、小面積かつ低消費電力な超音波送受信回路を提供することができる。

【0084】

本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の実施例の構成の追加・削除・置換をすることが可能である。

【0085】

本発明は、超音波診断装置に接続される超音波探触子内のICに搭載する回路に利用することができる。

【符号の説明】

【0086】

TxRAM：波形メモリ

DL Y 1：第1の遅延回路

DL Y 0：第2の遅延回路

PU：パルサ

CLK：基準クロック

VTH：論理判定用閾値

POS：正電圧出力信号

NEG：負電圧出力信号

TD：振動子駆動信号

T/R-SW：送受分離スイッチ

LNA：低雑音増幅器

Rx ADDER：アナログ加算器

*w：書き込み制御信号

*r：読み出し制御信号

Cs*：キャパシタ

BUF：出力バッファ

VCM：コモン電圧

EL：振動子

Tx：送信器

10

20

30

40

50

【 図 1 】

【 図 2 】

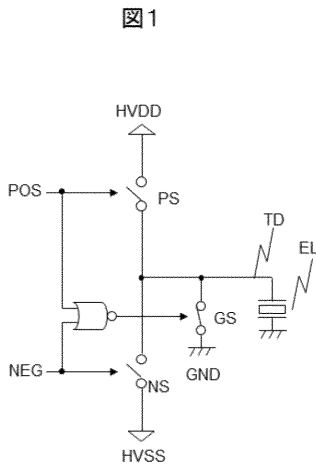


図2

POS	Low	Low	High
NEG	Low	High	Low
ON Switch	GS	NS	PS
TD	GND	HVSS	HVDD

【 図 3 】

【 図 4 】

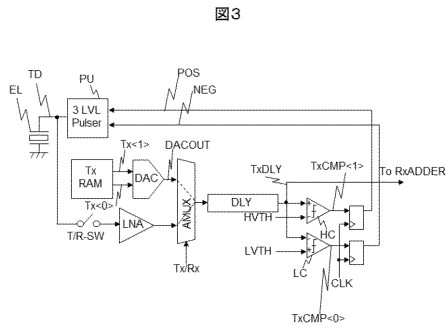
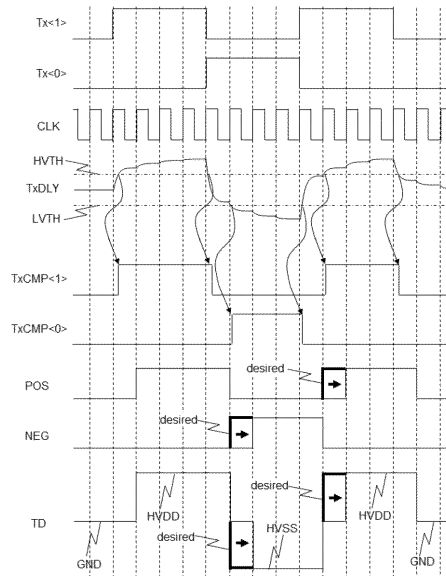
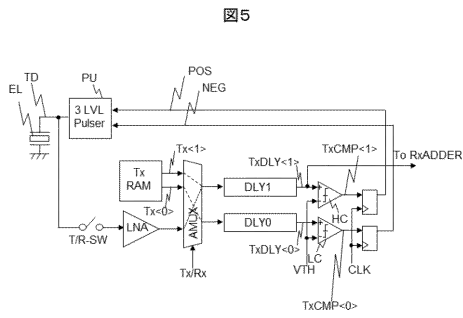


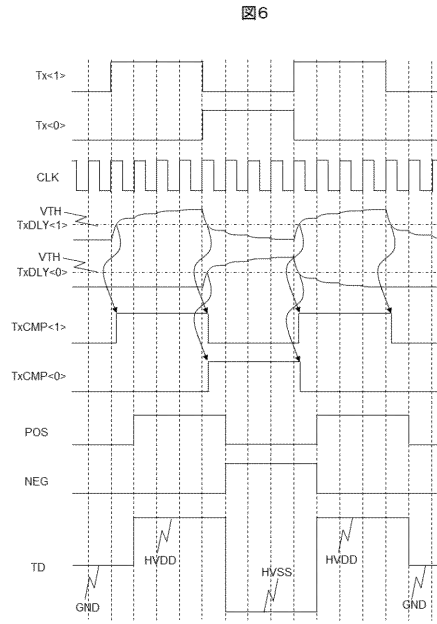
図4



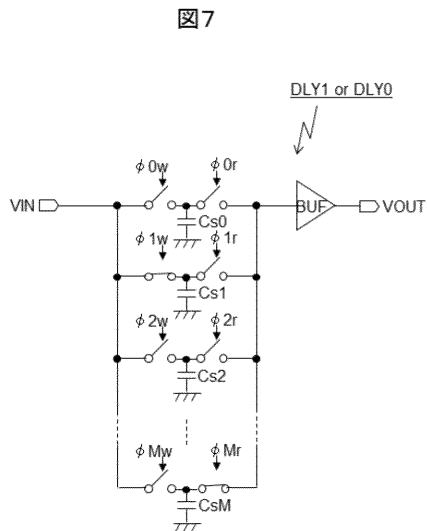
【 図 5 】



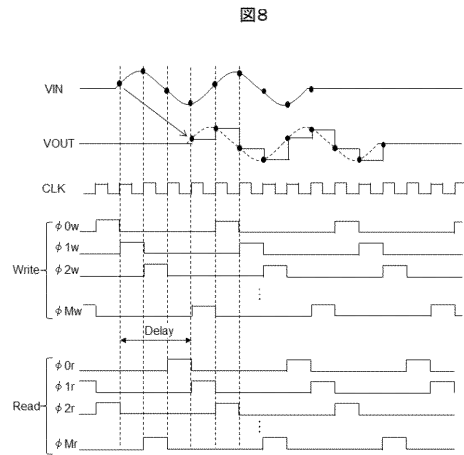
【 図 6 】



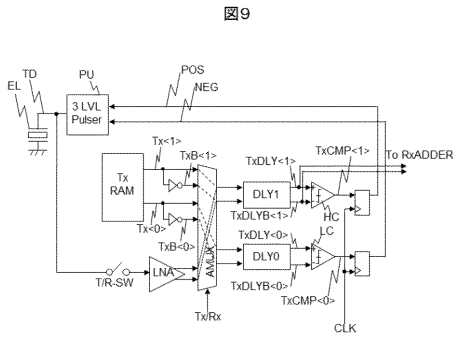
【 図 7 】



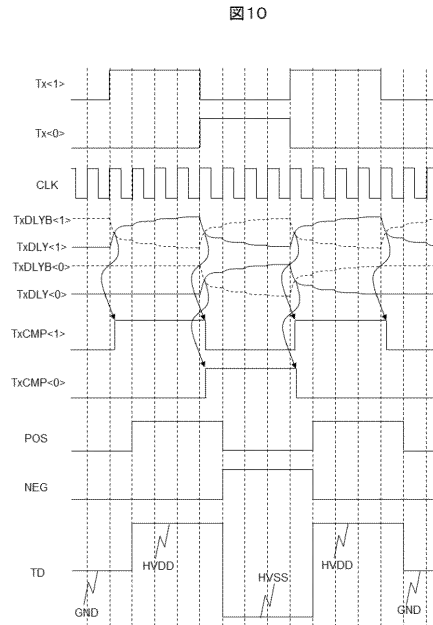
【 図 8 】



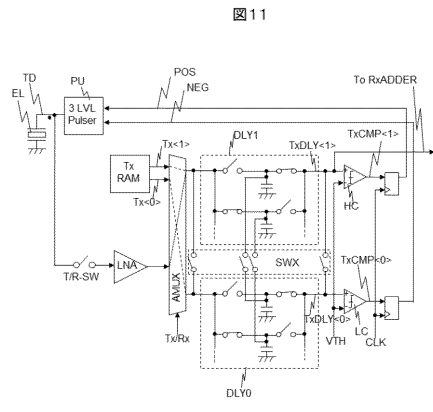
【 図 9 】



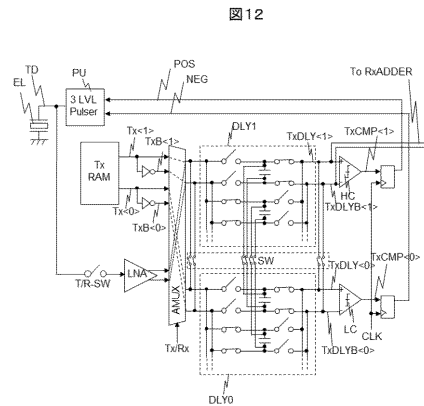
【 図 1 0 】



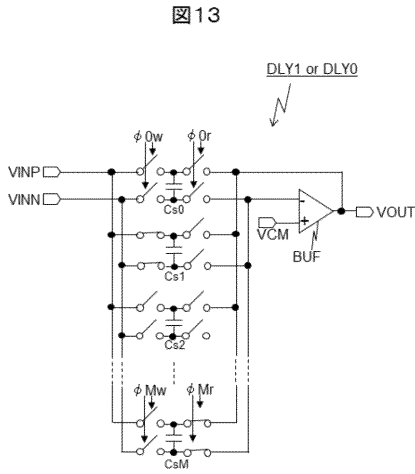
【 図 1 1 】



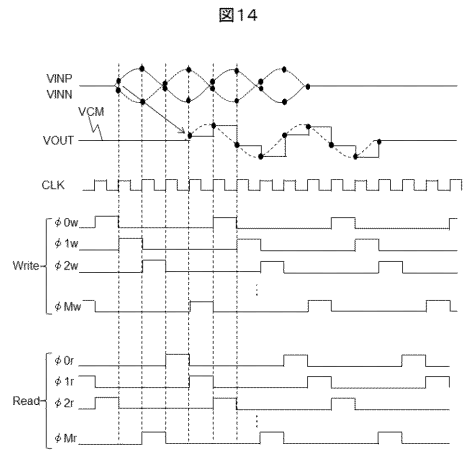
【 図 1 2 】



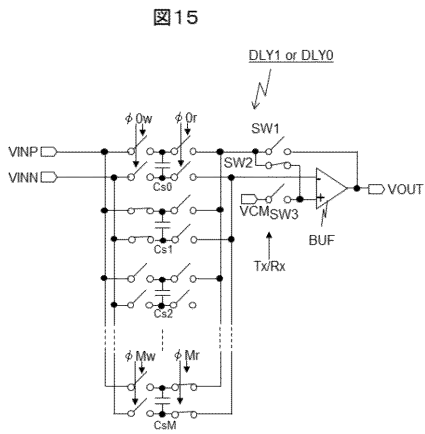
【 図 1 3 】



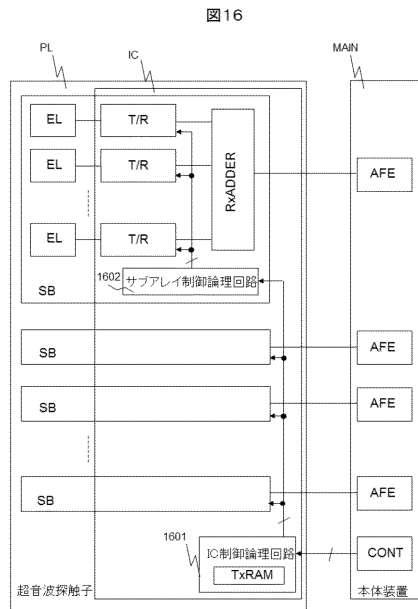
【 図 1 4 】



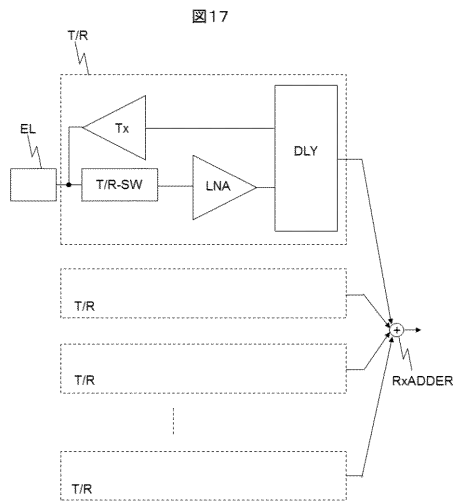
【 図 1 5 】



【 図 1 6 】



【 図 17 】



フロントページの続き

- (72)発明者 中川 樹生
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 勝部 勇作
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 西元 琢真
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- Fターム(参考) 4C601 EE09 GB06 GB18 HH01 JB02 JB09 LL07

