

【特許請求の範囲】**【請求項 1】**

超音波の送受信に関する第 1 の制御パラメータを記憶する第 1 のメモリと、
一回の前記超音波の送受信に必要な前記第 1 の制御パラメータの量に基づいて、当該第 1 の制御パラメータの転送量を設定し、設定した転送量の前記第 1 の制御パラメータをまとめて転送する転送制御部と、
前記転送された前記第 1 の制御パラメータを一時的に記憶する第 2 のメモリと
を備える超音波診断装置。

【請求項 2】

前記転送制御部は、一回の前記超音波の送受信に必要な前記第 1 の制御パラメータの量に応じて、前記転送量を設定する請求項 1 に記載の超音波診断装置。

10

【請求項 3】

前記転送制御部は、一回の前記超音波の送受信に必要な前記第 1 の制御パラメータの量、及び前記第 2 のメモリに記憶されている前記第 1 の制御パラメータの量を比較し、当該比較結果に基づいて前記転送量を設定する請求項 1 に記載の超音波診断装置。

【請求項 4】

前記転送制御部は、前記第 2 のメモリに記憶されている前記第 1 の制御パラメータの量に応じて、前記超音波の送受信に関する第 2 の制御パラメータの転送量を設定する請求項 1 乃至 3 のうちいずれかに記載の超音波診断装置。

【請求項 5】

20

前記第 1 の制御パラメータは、超音波の送信に必要な送信パラメータ、超音波の受信に必要な受信パラメータ、超音波のエコー信号の信号処理に必要な信号処理パラメータを含み、

前記転送制御部は、一回の前記超音波の送受信に必要な前記送信パラメータの量、前記受信パラメータの量、及び前記信号処理パラメータ量に基づいて、前記送信パラメータ、前記受信パラメータ、又は前記信号処理パラメータの転送順を設定する請求項 1 乃至 4 のうちいずれかに記載の超音波診断装置。

【請求項 6】

超音波の送受信に関する第 1 の制御パラメータを記憶する第 1 のメモリ、及び前記第 1 のメモリから転送される前記第 1 の制御パラメータを一時的に記憶する第 2 のメモリを具備するコンピュータに、

30

一回の前記超音波の送受信に必要な前記第 1 の制御パラメータの量に基づいて、当該第 1 の制御パラメータの転送量を設定し、設定した転送量の前記第 1 の制御パラメータをまとめて転送する転送制御機能を実現させる、

制御プログラム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、超音波診断装置、及び制御プログラムに関する。

【背景技術】

40

【0002】

一般に、超音波診断装置における超音波の送受信に関する処理は、診断モード毎に送受信条件に応じて決定されるパルス繰り返し期間（P R I : Pulse Repetition Interval）毎に行われる。例えば、超音波診断装置は、1つの P R I に必要な数、すなわち一回の送受信に必要な数の超音波送受信に関する制御パラメータを R A M（Random Access Memory）等の記憶回路から読み出し、読み出した制御パラメータを例えば超音波送受信に関する処理を行う送信回路、受信回路、及び信号処理回路へ転送する。送信回路、受信回路、及び信号処理回路は、受信した制御パラメータに基づいて、対応する P R I において超音波送受信に関する処理を実行する。

【0003】

50

ここで、超音波診断装置は、例えば送信回路に送信パラメータを転送する送信回路 I F (Interface)、受信回路に受信パラメータを転送する受信回路 I F、及び信号処理回路に信号処理パラメータを転送する信号処理回路 I F を有している。さらに、送信回路 I F、受信回路 I F、及び信号処理回路 I F は、記憶回路から送信回路、受信回路、及び信号処理回路へ転送される制御パラメータを一時的に記憶する内部メモリをそれぞれ有している。このとき、P R I 毎に超音波の送受信に関する処理を遅滞なく実行するには、例えば、P R I のうち送信準備期間の前に、当該 P R I において用いる制御パラメータを、送信回路 I F、受信回路 I F、及び信号処理回路 I F がそれぞれ有する内部メモリへ転送しておく必要がある。

【0004】

10

一方、超音波診断装置では、制御パラメータが転送される内部バスが、転送を要求する複数の転送要求者により共有されている。例えば、内部バスは、記憶回路に記憶された制御パラメータを送信回路 I F、受信回路 I F、及び信号処理回路 I F がそれぞれ有する内部メモリへ転送するメモリ I F、入力インターフェースを介して入力された制御パラメータを送信回路 I F、受信回路 I F、及び信号処理回路 I F がそれぞれ有する内部メモリへ転送するホスト制御回路 I F 等により共有されている。この内部バスの使用権は、例えば一つの調停回路によりラウンドロビン方式で管理されている。このラウンドロビン方式の下では、例えばメモリ I F、及びホスト制御回路 I F は、調停回路に対して制御パラメータの転送のために内部バスの使用権をそれぞれ要求する。そして、調停回路は、メモリ I F、又はホスト制御回路 I F に対して、均等に内部バスの使用権を与える。メモリ I F は、調停回路から内部バスの使用権を与えられると、例えば記憶回路に記憶された送信パラメータを送信回路 I F が有する内部メモリに一度転送する。また、ホスト制御回路 I F は、調停回路から内部バスの使用権を与えられると、例えば入力インターフェースを介して入力された受信パラメータを受信回路 I F に一度転送する。

20

【0005】

しかしながら、このようなラウンドロビン方式に基づく転送では、調停回路から内部バスの使用権を与えられたメモリ I F、及びホスト制御回路 I F が一度に転送できる制御パラメータの転送量は、所定の量、例えば 1 Q W (Quad Word) に固定されていた。このため、一回の送受信に必要な制御パラメータの数に増加に対し、転送完了に必要な転送回数が比例的に増加する。このように転送回数が増加すると、例えば制御パラメータを転送する際に必ず付加されるアドレスデータ等を転送する時間の分だけ転送時間が比例的に増加する。

30

【0006】

また、例えばメモリ I F を介して記憶回路から送信回路 I F が有する内部メモリへ送信パラメータを複数回転送する場合に、ホスト制御回路 I F が内部バスの使用権を要求していない場合でも、メモリ I F は、転送動作間において所定の期間待機する必要があった。このとき、一回の送受信に必要な制御パラメータの数に対して転送回数が比例的に増加すると、転送回数に対応する転送動作間の待機時間の分だけ転送時間が比例的に増加する。したがって、制御パラメータの転送効率が悪くなってしまう。

【先行技術文献】

40

【特許文献】

【0007】

【特許文献 1】特開 2017 - 153683 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

発明が解決しようとする課題は、超音波送受信に関する制御パラメータの転送効率を向上させることにある。

【課題を解決するための手段】

【0009】

50

実施形態によれば、超音波診断装置は、第 1 のメモリ、制御部、及び第 2 のメモリを備える。第 1 のメモリは、超音波の送受信に関する第 1 の制御パラメータを記憶する。制御部は、一回の前記超音波の送受信に必要な前記第 1 の制御パラメータの量に基づいて、当該第 1 の制御パラメータの転送量を設定し、設定した転送量で前記第 1 の制御パラメータを転送する。第 2 のメモリは、前記転送された前記第 1 の制御パラメータを一時的に記憶する。

【図面の簡単な説明】

【0010】

【図 1】図 1 は、実施形態に係る超音波診断装置の構成を示す図である。

【図 2】図 2 は、図 1 に示される送受信制御回路の内部構成を示すブロック図である。

【図 3】図 3 は、実施形態に係る調停回路による R x バスの使用権の管理方法について説明するための図である。

【図 4】図 4 は、実施形態に係るシーケンサがメモリから制御パラメータを転送する期間を説明するための図である。

【図 5】図 5 は、実施形態に係る超音波診断装置が制御パラメータの転送量を制御する際のシーケンサの動作を示すフローチャートである。

【図 6】図 6 は、実施形態に係る制御パラメータ関連情報の内容を示す図である。

【図 7】図 7 は、実施形態に係るシーケンサによる制御パラメータの転送量制御について説明するための図である。

【図 8】図 8 は、変形例に係る超音波診断装置が制御パラメータの転送量を制御する際のシーケンサの動作を示すフローチャートである。

【図 9】図 9 は、変形例に係る制御パラメータ関連情報の内容を示す図である。

【図 10】図 10 は、変形例に係るシーケンサによる制御パラメータの転送量制御について説明するための図である。

【発明を実施するための形態】

【0011】

以下、実施の形態について、図面を参照して説明する。

【0012】

本実施形態に係る超音波診断装置を図 1 のブロック図を参照して説明する。

【0013】

図 1 に示されるように、本実施形態に係る超音波診断装置は、超音波プローブ 1、送信回路 2、受信回路 3、送受信制御回路 4、メモリ 5、信号処理回路 6、画像生成回路 7、記憶回路 8、ディスプレイ 9、入力インターフェース (I F : Interface) 10、及びホスト制御回路 11 を備えている。

【0014】

超音波プローブ 1 は、送信回路 2 から供給される送信信号を超音波信号に変換し、被検体へ送信する。また、超音波プローブ 1 は、被検体より反射してきた超音波エコー信号を受信し、電気信号に変換して受信回路 3 に出力する。

【0015】

送信回路 2 は、送受信制御回路 4 から与えられるパルス繰り返し周波数 (P R F : Pulse Repetition Frequency)、送信位置、送信開口、送信遅延等の送信パラメータに従って、超音波プローブ 1 から所望の超音波信号が送信されるように駆動する。

【0016】

受信回路 3 は、送受信制御回路 4 から与えられる受信素子位置、受信開口、受信遅延、受信座標等の受信パラメータに従って超音波プローブ 1 で取得される超音波エコー信号からビームデータを生成する。

【0017】

送受信制御回路 4 は、超音波の送受信に関する処理を実行する送受信処理回路を制御するプロセッサである。具体的には、送受信制御回路 4 は、ホスト制御回路 11 からの指示に従い、送信回路 2、受信回路 3、信号処理回路 6 等の送受信処理回路を制御する。送受

10

20

30

40

50

信制御回路４は、診断モード毎に送受信条件に応じたPRIを決定し、PRI毎に送信パラメータ転送、受信パラメータ転送、信号処理パラメータ転送、超音波信号の送信、超音波エコー信号の受信を制御する。ここで、診断モードとは、例えば、Bモード、Bモード＋Cモード、Bモード＋PWモード、Bモード＋Mモード、及びCWモード等である。また、送受信条件とは、例えば、走査対象範囲における視野深度の変更、関心領域（ROI：Region of Interest）サイズ変更、カーソル移動、信号強度変更、及びスケール変更等である。

【００１８】

送受信制御回路４は、ホスト制御回路１１から指示された送受信条件等に応じて制御パラメータを送受信処理回路へ転送する。制御パラメータは、例えば、送信パラメータ、受信パラメータ、信号処理パラメータの総称である。送受信制御回路４は、ホスト制御回路１１から指示されたビーム数、フレーム数、フレームレート、走査方向、走査対象範囲における視野深度等に応じて、メモリ５に記憶されたPRF、送信位置、送信開口、送信遅延等の送信パラメータを送信回路２へ転送する。また、送受信制御回路４は、受信素子位置、受信開口、受信遅延、受信座標等の受信パラメータを受信回路３へ転送する。また、送受信制御回路４は、デジタルフィルタ処理条件等の信号処理パラメータを信号処理回路６へ転送する。また、送受信制御回路４は、信号処理回路６において当該ビームデータから生成された処理データをホスト制御回路１１を介して画像生成回路７へ出力する。

【００１９】

なお、送受信制御回路４は、特定用途向け集積回路（ASIC：Application Specific Integrated Circuit）、プログラマブル論理デバイス（例えば、単純プログラマブル論理デバイス（SPLD：Simple Programmable Logic Device）、および複合プログラマブル論理デバイス（CPLD：Complex Programmable Logic Device））の少なくとも一つにより構成されてもよい。

【００２０】

メモリ５は、本実施形態に係る超音波診断装置が備える各種回路を制御するための制御パラメータを記憶するRAM（Random Access Memory）である。メモリ５に記憶される制御パラメータ（第１の制御パラメータ）は、ホスト制御回路１１からの出力により更新可能である。メモリ５は、各種超音波スキャンモード、接続する超音波プローブ１、並列同時受信数等の情報に応じて設定される、送信回路２の送信パラメータと、受信回路３の受信パラメータと、信号処理回路６の信号処理パラメータとを記憶する。

【００２１】

例えば、メモリ５は、送信パラメータとして、送信位置、送信遅延、送信開口を記憶する。また、メモリ５は、受信パラメータとして、受信素子位置、受信開口、受信遅延、受信座標を記憶する。また、メモリ５は、信号処理パラメータとして、デジタルフィルタ係数を記憶する。また、制御パラメータは、実質的なデータとヘッダ情報とを含む。ヘッダ情報は、転送先アドレスを含み、制御パラメータは当該転送先アドレスに対応する送受信処理回路へ転送される。

【００２２】

信号処理回路６は、受信回路３から出力されたビームデータにフィルタリング処理等の信号処理を施した処理データを生成する。信号処理回路６は、生成した処理データを、送受信制御回路４を介してホスト制御回路１１へ出力する。なお、信号処理回路６は、転送可能な配線方式の関係上、送受信制御回路４を経由して、処理データをホスト制御回路１１へ出力しているが、信号処理回路６からホスト制御回路１１への専用の転送経路を設けてもよい。

【００２３】

画像生成回路７は、ホスト制御回路１１から出力された処理データをスキャンコンバートして、被検体に関する二次元または三次元の超音波画像を生成する。

【００２４】

また、記憶回路８は、比較的大容量のデータを記憶可能なHDD（Hard Disk Drive）

10

20

30

40

50

およびSSD (Solid State Drive) 等である。例えば、記憶回路8は、入力インターフェース10を介して入力される記憶操作に従い、画像生成回路7で生成された各種超音波画像データ、及び当該各種超音波画像データに付加された付加情報等を記憶する。なお、記憶回路8は、HDD等の磁気ディスク以外にも、光磁気ディスクやCD (Compact Disc)、DVD (Digital Versatile Disc) 等の光ディスクを利用してもよい。また、記憶回路8の記憶領域は、超音波診断装置内にあってもよいし、ネットワークで接続された外部記憶装置内にあってもよい。

【0025】

ディスプレイ9は、ホスト制御回路11による制御に従い、画像生成回路7において生成された超音波画像、および各種の診断用パラメータ等を表示する。ディスプレイ9としては、例えば、CRTディスプレイ (Cathode Ray Tube Display)、液晶ディスプレイ (LCD: Liquid Crystal Display)、有機ELディスプレイ (OLED: Organic Electro Luminescence Display)、プラズマディスプレイまたは当技術分野で知られている他の任意のディスプレイが適宜利用可能である。

【0026】

入力インターフェース10は、トラックボール、スイッチボタン、マウス、キーボード、操作面へ触れることで入力操作を行うタッチパッド、および表示画面とタッチパッドとが一体化されたタッチパネルディスプレイ等によって実現される。入力インターフェース10は、超音波診断装置に対して各種の診断モードや診断モードに付随する制御パラメータを設定するための入力デバイスである。入力インターフェース10は、操作者から受け取った入力操作を電気信号へ変換しホスト制御回路11へ出力する。なお、本実施形態において、入力インターフェース10は、トラックボール、スイッチボタン、マウス、キーボード等の物理的な操作部品を備えるものだけに限られない。例えば、装置とは別体に設けられた外部の入力機器から入力操作に対応する電気信号を受け取り、この電気信号をホスト制御回路11へ出力する電気信号の処理回路も入力インターフェース10の例に含まれる。

【0027】

ホスト制御回路11は、入力インターフェース10で設定された診断モードや各種パラメータに基づいて、超音波診断装置における各構成の制御を実行する。ホスト制御回路11は、ハードウェア資源として、CPUやMPU (Micro Processing Unit) 等のプロセッサと、ROM (Read Only Memory) やRAM等のメモリとを含む。ホスト制御回路11のメモリは、画像収集プログラムを記憶する。ホスト制御回路11のプロセッサは、入力インターフェース10からの入力信号に基づいて、メモリに記憶された画像収集プログラムを実行することにより、超音波診断装置における各構成の制御を実行する。例えば、ホスト制御回路11は、入力インターフェース10からの入力信号に基づく制御パラメータ (第2の制御パラメータ) を、送受信制御回路4を介して各送受信処理回路へ転送する。例えば、ホスト制御回路11は、当該制御パラメータ (受信パラメータ) として、入力インターフェース10からの入力信号に基づくTGC (Time Gain Control) を変更するためのTGCパラメータ (ゲイン値) を、送受信制御回路4を介して受信回路3へ転送する。

【0028】

(送受信制御回路4の内部構成)

次に、実施形態における送受信制御回路4の内部構成について詳しく説明する。

【0029】

図2は、図1に示される送受信制御回路4の内部構成を示すブロック図である。送受信制御回路4は、ホスト制御回路インターフェース41 (以下、ホスト制御回路IF41と称する)、メモリインターフェース42 (以下、メモリIF42と称する)、シーケンサ43、送信回路インターフェース44 (以下、送信回路IF44と称する)、送信回路IF44専用の内部メモリ45、受信回路インターフェース46 (以下、受信回路IF46と称する)、受信回路IF46専用の内部メモリ47、信号処理回路インターフェース4

10

20

30

40

50

8（以下、信号処理回路 I F 4 8 と称する）、信号処理回路 I F 4 8 専用の内部メモリ 4 9、データ収集インターフェース 5 0（以下、データ収集 I F 5 0 と称する）、調停回路（Arbiter、アービタ回路とも呼ばれる）A 1、及び調停回路 A 2 を備える。実施形態における送受信制御回路 4 は、超音波送受信における機能毎に、送受信処理回路インターフェース（以下、送受信処理回路 I F と称する）、内部メモリ、及び調停回路を設けた機能別回路構成を有する。

【 0 0 3 0 】

ホスト制御回路 I F 4 1、メモリ I F 4 2、シーケンサ 4 3、送信回路 I F 4 4、内部メモリ 4 5、受信回路 I F 4 6、内部メモリ 4 7、信号処理回路 I F 4 8、内部メモリ 4 9、データ収集 I F 5 0 は、共用の内部バスにより接続されている。

10

【 0 0 3 1 】

ホスト制御回路 I F 4 1 は、外部バスを介してホスト制御回路 1 1 に接続される。ホスト I F 4 1 は、超音波診断装置の送受信開始前において、ホスト制御回路 1 1 から転送された制御パラメータをメモリ I F 4 2 を介してメモリ 5 へ予め転送しておく。また、ホスト制御回路 I F 4 1 は、超音波診断装置の送受信開始後において、ホスト制御回路 1 1 から転送された制御パラメータを送信回路 I F 4 4、受信回路 I F 4 6、又は信号処理回路 I F 4 8 に転送する。

【 0 0 3 2 】

メモリ I F 4 2 は、外部バスを介してメモリ 5 に接続される。メモリ I F 4 2 は、メモリ 5 に記憶された制御パラメータを、対応する内部メモリ 4 5、内部メモリ 4 7、及び内部メモリ 4 9 へ転送する。

20

【 0 0 3 3 】

データ収集 I F 5 0 は、外部バスを介して信号処理回路 6 に接続される。データ収集 I F 5 0 は、信号処理回路 6 で生成された処理データをホスト制御回路 1 1 へ転送する。

【 0 0 3 4 】

シーケンサ 4 3 は、制御パラメータの転送を制御するプロセッサである。シーケンサ 4 3 は、例えば、診断モード毎に送受信条件に応じて P R I を決定する。P R I を決定するための P R I 情報は、ホスト制御回路 1 1 からシーケンサ 4 3 に通知される。また、シーケンサ 4 3 は、メモリ I F 4 2 を介し、P R I とは非同期に、メモリ 5 から制御パラメータを読み出して、読み出した制御パラメータを内部メモリ 4 5、内部メモリ 4 7、又は内部メモリ 4 9 に転送する。このとき、シーケンサ 4 3 は、メモリ I F 4 2 から内部メモリ 4 5、内部メモリ 4 7、又は内部メモリ 4 9 へ転送する制御パラメータの転送量を制御する。シーケンサ 4 3 による制御パラメータの転送量制御の詳細については後述する。

30

【 0 0 3 5 】

送信回路 I F 4 4 は、外部バスを介して送信回路 2 に接続される。送信回路 I F 4 4 は、内部メモリ 4 5 に記憶された送信パラメータを送信回路 2 へ転送する。このとき、内部メモリ 4 5 に記憶されている送信パラメータは、F I F O（First In First Out）方式で処理される。また、送信回路 I F 4 4 は、ホスト制御回路 I F 4 1 から転送された送信パラメータを送信回路 2 へ転送する。内部メモリ 4 5 は、例えば格納する送信パラメータの数について所定の上限が設けられた F I F O キューを有している。

40

【 0 0 3 6 】

受信回路 I F 4 6 は、外部バスを介して受信回路 3 に接続される。受信回路 I F 4 6 は、内部メモリ 4 7 に記憶された受信パラメータを受信回路 3 へ転送する。このとき、内部メモリ 4 7 に記憶されている受信パラメータは、F I F O 方式で処理される。また、受信回路 I F 4 6 は、ホスト制御回路 I F 1 1 から転送された受信パラメータを受信回路 3 へ転送する。内部メモリ 4 7 は、例えば格納する受信パラメータの数について所定の上限が設けられた F I F O キューを有している。

【 0 0 3 7 】

信号処理回路 I F 4 8 は、外部バスを介して信号処理回路 6 に接続される。信号処理 I F 4 8 は、内部メモリ 4 9 に記憶された信号処理パラメータを信号処理回路 6 へ転送する

50

。このとき、内部メモリ４９に記憶されている信号処理パラメータは、ＦＩＦＯ方式で処理される。また、信号処理回路ＩＦ４８は、ホスト制御回路ＩＦ４１から転送された信号処理パラメータを信号処理回路６へ転送する。内部メモリ４９は、例えば格納する信号処理パラメータの数について所定の上限が設けられたＦＩＦＯキューを有している。

【００３８】

ホスト制御回路ＩＦ４１から内部メモリ４５の方向への内部バスをＲ×バスと呼称する。例えば、Ｒ×バスは、メモリＩＦ４２から内部メモリ４５、内部メモリ４７、及び内部メモリ４９への制御パラメータの転送、又はホスト制御回路ＩＦ４１から送信回路２、受信回路３、及び信号処理回路６への制御パラメータの転送に使用する。また、内部メモリ４５からホスト制御回路ＩＦ４１の方向への内部バスをＴ×バスと呼称する。例えば、Ｔ×バスは、内部メモリ４５から送信回路ＩＦ４４、内部メモリ４７から受信回路ＩＦ４６、及び内部メモリ４９から信号処理回路ＩＦ４８への制御パラメータの転送に使用する。

【００３９】

調停回路Ａ１は、ホスト制御回路ＩＦ４１、メモリＩＦ４２、及びデータ収集ＩＦ５０からの要求（リクエスト）に応じて、Ｒ×バスの使用権を管理する。調停回路Ａ１は、ホスト制御回路ＩＦ４１と、メモリＩＦ４２と、データ収集ＩＦ５０とに接続される。

【００４０】

調停回路Ａ１は、例えば、ホスト制御回路ＩＦ４１によるＲ×バスを介した各送受信処理回路インターフェースへの制御パラメータの転送要求と、メモリＩＦ４２によるＲ×バスを介した各内部メモリへの制御パラメータの転送要求と、データ収集ＩＦ５０によるＲ×バスを介した各送受信処理回路インターフェースへの制御パラメータの転送要求とに応じて、例えばラウンドロビン方式により、ホスト制御回路ＩＦ４１、メモリＩＦ４２、及びデータ収集ＩＦ５０に対してそれぞれＲ×バスの使用権を与える。

【００４１】

図３は、本実施形態に係る調停回路Ａ１によるＲ×バスの使用権の管理（調停）方法について説明するための図である。図３によれば、ホスト制御回路ＩＦ４１、メモリＩＦ４２、及びデータ収集ＩＦ５０は、Ｒ×バスの使用権を調停回路Ａ１に対して要求する。調停回路Ａ１は、Ｒ×バスの使用権を要求するホスト制御回路ＩＦ４１、メモリＩＦ４２、及びデータ収集ＩＦ５０に対し、ラウンドロビン方式により当該要求を許可する。これにより、ホスト制御回路ＩＦ４１、メモリＩＦ４２、及びデータ収集ＩＦ５０の要求に対して、Ｒ×バスの使用権が均等に許可される。Ｒ×バスの使用権の要求が調停回路Ａ１により許可された場合、ホスト制御回路ＩＦ４１、メモリＩＦ４２、及びデータ収集ＩＦ５０は、Ｒ×バスを使用して各種制御パラメータの転送を行うことができる。

【００４２】

ここで、ラウンドロビン方式において、メモリＩＦ４２は、例えば、ホスト制御回路ＩＦ４１、及び／又はデータ収集ＩＦ５０から調停回路Ａ１に対して転送要求されている場合、制御パラメータを一回転送する毎に、調停回路Ａ１に対する要求を一旦終了してホスト制御回路ＩＦ４１、及び／又はデータ収集ＩＦ５０に対してＲ×バスの使用権を譲渡しなければならない。また、メモリＩＦ４２は、ホスト制御回路ＩＦ４１、及びデータ収集ＩＦ５０から調停回路Ａ１に対して転送要求されていない場合であっても、調停回路Ａ１に対する要求を一旦終了しなければならない。このため、メモリＩＦ４２は、連続して制御パラメータを転送する場合、転送動作間に所定のクロック数分、例えば４クロック分休止期間を設けて転送する必要がある。

【００４３】

調停回路Ａ２は、メモリＩＦ４２、シーケンサ４３、送信回路ＩＦ４４、受信回路ＩＦ４６、信号処理回路ＩＦ４８、及びデータ収集ＩＦ５０からの要求に応じて、Ｔ×バスの使用権を管理する。調停回路Ａ２は、メモリＩＦ４２と、シーケンサ４３と、送信回路ＩＦ４４と、内部メモリ４５と、受信回路ＩＦ４６と、内部メモリ４７と、信号処理回路ＩＦ４８と、内部メモリ４９と、データ収集ＩＦ５０とに接続される。

【００４４】

10

20

30

40

50

調停回路 A 2 は、T x バスの使用権について、例えば、送信回路 I F 4 4 によるホスト制御回路 I F 4 1 への送信パラメータの転送要求と、受信回路 I F 4 6 によるホスト制御回路 I F 4 1 への受信パラメータの転送要求と、信号処理回路 I F 4 8 によるホスト制御回路 I F 4 1 への信号処理パラメータの転送要求と、シーケンサ 4 3 によるメモリ I F 4 2 への制御パラメータの転送要求と、メモリ I F 4 2 によるホスト制御回路 I F 4 1 への制御パラメータの転送要求と、データ収集 I F 5 0 によるホスト制御回路 I F 4 1 への処理データの転送要求とに応じて、例えばラウンドロビン方式により、送信回路 I F 4 4、受信回路 I F 4 6、信号処理回路 I F 4 8、シーケンサ 4 3、メモリ I F 4 2、及びデータ収集 I F 5 0 に対してそれぞれ T x バスの使用権を与える。

【 0 0 4 5 】

次に、本実施形態に係るシーケンサ 4 3 による制御パラメータの転送量制御の詳細について、図を参照して説明する。

【 0 0 4 6 】

まず、本実施形態に係るシーケンサ 4 3 がメモリ 5 から制御パラメータを転送する期間について説明する。図 4 は、本実施形態に係るシーケンサ 4 3 がメモリ 5 から制御パラメータを転送する期間を説明するための図である。図 4 に示すように、シーケンサ 4 3 は、P R I 毎に用いられる超音波送受信に関する制御パラメータの転送を制御する。P R I には、送信準備期間 T p、送信期間 T t、及び受信期間 T r が含まれる。送信準備期間 T p には、メモリ 5 に記憶されていた制御パラメータを送信回路 2、受信回路 3、及び信号処理回路 6 へ転送する転送期間が含まれる。例えば、図 4 に示される n (n は自然数) 回目の送受信における送信準備期間 T p において、n 回目の送受信に必要な送信パラメータが内部メモリ 4 5 から送信回路 2 へ転送される。また、図 4 に示される n 回目の送受信における送信準備期間 T p において、n 回目の送受信に必要な受信パラメータが内部メモリ 4 7 から受信回路 3 へ転送される。また、図 4 に示される n 回目の送受信における送信準備期間 T p において、n 回目の送受信に必要な信号処理パラメータが内部メモリ 4 9 から信号処理回路 6 へ転送される。送信期間 T t は、例えば、超音波信号の送信期間である。受信期間 T r は、例えば、超音波エコー信号の受信期間である。

【 0 0 4 7 】

シーケンサ 4 3 は、例えば、図 4 に示される n 回目の送受信における送信準備期間 T p が開始されるまでに、少なくとも n 回目の送受信に必要な制御パラメータをメモリ I F 4 2 から各内部メモリに転送する。内部メモリ 4 5 に転送された n 回目の送受信に必要な送信パラメータは、n 回目の送受信における送信準備期間 T p において、送信回路 I F 4 4 により内部メモリ 4 5 から送信回路 2 へ転送される。

【 0 0 4 8 】

また、シーケンサ 4 3 は、例えば、図 4 に示される (n + 1) 回目の送受信における送信準備期間 T p が開始されるまでに、少なくとも (n + 1) 回目の送受信に必要な送信パラメータをメモリ I F 4 2 から内部メモリ 4 5 に転送する。内部メモリ 4 5 に転送された送信パラメータは、(n + 1) 回目の送受信における送信準備期間 T p において、送信回路 I F 4 4 により内部メモリ 4 5 から送信回路 2 へ転送される。なお、シーケンサ 4 3 は、受信パラメータ、及び信号処理パラメータについても、送信パラメータと同様に転送する。

【 0 0 4 9 】

次に、本実施形態に係るシーケンサ 4 3 が制御パラメータの転送量を制御する流れについて説明する。図 5 は、本実施形態に係る超音波診断装置が制御パラメータの転送量を制御する際のシーケンサ 4 3 の動作の例を示すフローチャートである。以下の説明では、シーケンサ 4 3 は、超音波スキャンが開始されてから終了されるまでの間、超音波送受信に関する制御パラメータの転送を制御するものとする。また、シーケンサ 4 3、データ収集 I F 5 0、及びホスト制御回路 I F 4 1 のうち、シーケンサ 4 3 のみが調停回路 A 1 に対して転送要求しているものとする。

【 0 0 5 0 】

また、シーケンサ 43 は、当該シーケンサ 43 が備える不図示の内部メモリに、必要な各種制御パラメータの量を表す制御パラメータ関連情報を記憶しているものとする。この制御パラメータ関連情報は、ホスト制御回路 11 からシーケンサ 43 に予め供給されているものとする。制御パラメータ関連情報は、メモリ 5 から各送受信回路に対応する内部メモリに転送することが必要な制御パラメータの数を、例えば、ベクター毎、及び送受信回路毎に表している。1 ベクターは、例えば一回の超音波送受信を表す。一回の超音波送受信に必要な制御パラメータの数は、例えば、チャンネル数、ビームの並列同時受信数、及び新たな超音波診断サービスの開始に伴い必要となるパラメータ等により変動する。

【0051】

図 6 は、本実施形態に係る制御パラメータ関連情報の内容の例を示す図である。図 6 に示される制御パラメータ関連情報は、例えば、先頭（ベクター番号 0）のベクターについて、送信パラメータの数が 7、受信パラメータの数が 5、及び信号処理パラメータの数が 3 であることを表す。また、図 6 に示される制御パラメータ関連情報は、例えば、2 番目（ベクター番号 1）のベクターについて、送信パラメータの数が 10、受信パラメータの数が 8、及び信号処理パラメータの数が 6 であることを表す。なお本実施形態では、例えば、制御パラメータの数 1 は 1 QW を表すものとする。なお、図 6 に示される制御パラメータ関連情報には、少なくとも 2 つのベクターに対応する制御パラメータの数に関する情報が含まれているものとする。

【0052】

また、シーケンサ 43 は、制御パラメータをメモリ 5 から内部メモリ 45、内部メモリ 47、及び内部メモリ 49 のいずれかに 1 度転送すると、その後 4 クロックの間メモリ 5 から制御パラメータの転送を行わないものとする。

【0053】

図 5 において、シーケンサ 43 は、超音波スキャンが開始されると、転送が必要な制御パラメータの量を取得する（ステップ S A 1）。具体的には、シーケンサ 43 は、不図示の内部メモリ（若しくはメモリ 5）に記憶されている制御パラメータ関連情報を参照し、ベクター番号毎の送信パラメータの数、受信パラメータの数、及び信号処理パラメータの数を取得する。

【0054】

シーケンサ 43 は、取得した制御パラメータの量に応じて、当該制御パラメータの転送量を設定する（ステップ S A 2）。具体的には、例えば、シーケンサ 43 は、ベクター番号 0 に対応する制御パラメータについて、制御パラメータの数が多い順に、送信パラメータ、受信パラメータ、及び信号処理パラメータに対して、転送に関する優先度を設定する。具体的には、シーケンサ 43 は、ベクター番号 0 に対応する送信パラメータの数、受信パラメータの数、及び信号処理パラメータの数が 7、5、及び 3 であるため、送信パラメータ、受信パラメータ、及び信号処理パラメータの順に転送されるように、各パラメータに対して転送に関する優先度を設定する。これにより、シーケンサ 43 は、最も優先度の高い制御パラメータを送信パラメータと認識する。また、シーケンサ 43 は、次に優先度の高い制御パラメータを受信パラメータと認識する。また、シーケンサ 43 は、最も優先度の低い制御パラメータを信号処理パラメータと認識する。

【0055】

次に、シーケンサ 43 は、送信パラメータの数が 7 であるため、転送する送信パラメータの転送量を、例えば 7 以下の値のうち 2 の 2 乗である 4 つの送信パラメータに対応する 4 QW に設定する。また、ベクター番号 0 に対応する送信パラメータについて、シーケンサ 43 は、次に送信する送信パラメータの転送量を、例えば残りの 3 以下の値のうち 2 の 1 乗に対応する 2 QW に設定する。また、ベクター番号 0 に対応する送信パラメータについて、シーケンサ 43 は、次に送信する送信パラメータの転送量を、次に送信する送信パラメータの転送量を、例えば残りの 1 以下の値のうち 2 の 0 乗に対応する 1 QW に設定する。なお、転送量は、1 QW 以上であればどのように設定されてもかまわない。

【0056】

また、シーケンサ 4 3 は、ベクター番号 0 に対応する受信パラメータについて、例えば、一回目の送信の転送量を 5 以下の値のうち 2 の 2 乗に対応する 4 Q W、2 回目の送信の転送量を残りの 1 以下の値のうち 2 の 0 乗に対応する 1 Q W に設定する。

【 0 0 5 7 】

また、シーケンサ 4 3 は、ベクター番号 0 に対応する信号処理パラメータについて、例えば、一回目の送信の転送量を 3 以下の値のうち 2 の 1 乗に対応する 2 Q W、2 回目の送信の転送量を残りの 1 以下の値のうち 2 の 0 乗に対応する 1 Q W に設定する。

【 0 0 5 8 】

次に、シーケンサ 4 3 は、ベクター番号 0 に対応する制御パラメータについて、メモリ I F 4 2 を介し、ステップ S A 2 において設定した優先度、及び転送量に基づいて、送信パラメータ、受信パラメータ、及び信号処理パラメータを、メモリ 5 から内部メモリ 4 5、内部メモリ 4 7、及び内部メモリ 4 9 にそれぞれ送信する（ステップ S A 3）。具体的には、まず、シーケンサ 4 3 は、例えば、メモリ I F 4 2 を介し、調停回路 A 1 から 4 Q W 分の送信パラメータを転送可能な R x バスの使用権を要求する。シーケンサ 4 3 は、当該要求した使用権が調停回路 A 1 により与えられると、与えられた使用権に相当する期間において、4 Q W 分の送信パラメータをメモリ 5 から内部メモリ 4 5 に送信する。

【 0 0 5 9 】

そして、シーケンサ 4 3 は、例えばベクター番号 0 に対応する制御パラメータについて、送信パラメータを 4 Q W、2 Q W、及び 1 Q W の転送量で順番に 3 回転送する。次に、シーケンサ 4 3 は、受信パラメータを 3 Q W、及び 2 Q W の転送量で順番に 2 回転送する。最後に、シーケンサ 4 3 は、信号処理パラメータを 2 Q W、及び 1 Q W の転送量で順番に 2 回転送する。

【 0 0 6 0 】

なお、シーケンサ 4 3 は、制御パラメータの転送前に、内部メモリ 4 5、内部メモリ 4 7、及び内部メモリ 4 9 がそれぞれ有する F I F O キューに格納されている制御パラメータの数が予め設定された上限値に達しているか否かを判定するものとする。本実施形態では、内部メモリ 4 5、内部メモリ 4 7、及び内部メモリ 4 9 がそれぞれ有する F I F O キューに格納されている制御パラメータの数は、予め設定された上限値に達しておらず、F I F O キューの空き容量は十分確保されているものとする。

【 0 0 6 1 】

また、シーケンサ 4 3 は、設定した転送に関する優先度に基づいて、同一のベクター番号の制御パラメータについて、例えば、送信パラメータを一回送った後、1 ベクター分の送信パラメータを全て転送していない場合であっても、続いて送信パラメータを転送するのではなく、送信パラメータの転送に続けて受信パラメータ、及び信号処理パラメータの順に転送するようにしてもよい。具体的には、シーケンサ 4 3 は、例えばベクター番号 0 に対応する制御パラメータについて、送信パラメータ 4 Q W、受信パラメータ 3 Q W、及び信号処理パラメータ 2 Q W の順番で転送するようにしてもよい。

【 0 0 6 2 】

図 7 は、本実施形態に係るシーケンサ 4 3 による制御パラメータの転送量制御の例について説明するための図である。図 7 は、ベクター番号 0 に対応する送信パラメータを転送する際のタイミングチャートを表している。図 7 に示される「C L K」が付された波形は、送受信制御回路 4 等のシステムクロックに関する連続パルス波形を表している。図 6 では、1 番目のクロックから 2 2 番目のクロックまでの連続パルス波形が描かれている。

【 0 0 6 3 】

また、図 7 に示される「R E Q」が付された波形は、シーケンサ 4 3 により調停回路 A 1 に対する R x バスの使用権が転送要求された期間を表している。図 7 によれば、図 7 に示されるシステムクロックに関する連続パルス波形のうち、2 クロックから 7 クロックまでの期間、1 1 クロックから 1 4 クロックまでの期間、及び 1 8 クロックから 2 0 クロックまでの期間において、シーケンサ 4 3 は、調停回路 A 1 に対し、メモリ I F 4 2 について R x バスの使用権を要求している。

【 0 0 6 4 】

また、図 7 に示される「 G R A N T 」が付された波形は、上記要求に応じて、メモリ I F 4 2 について R x バスの使用権が許可された期間を表している。図 7 によれば、図 7 に示されるシステムクロックに関する連続パルス波形のうち、3 番目のクロックから 8 番目のクロックに対応する期間、1 2 クロックから 1 5 クロックまでの期間、及び 1 9 クロックから 2 1 クロックまでの期間において、シーケンサ 4 3 は、調停回路 A 1 から、メモリ I F 4 2 について R x バスの使用権を許可されている。

【 0 0 6 5 】

図 7 によれば、シーケンサ 4 3 は、図 5 に示されるステップ S A 2 で決定した制御パラメータの転送量に基づいて、制御パラメータを、例えば、送信回路 I F 4 4 に対応する内部メモリ 4 5 に 3 回連続で転送している。図 7 に示される「 A D 」が付された領域は、例えば転送先アドレスを含むヘッダ情報を送信する期間を表す。図 7 に示される「 D T 」が付された領域は、例えば制御パラメータの値を含む実質的なデータを送信する期間を表す。

10

【 0 0 6 6 】

図 7 において、シーケンサ 4 3 は、4 クロックから 8 クロックまでに対応する期間において 4 Q W 分の制御パラメータを転送している。また、シーケンサ 4 3 は、1 3 クロックから 1 5 クロックまでに対応する期間において、2 Q W 分の制御パラメータを転送している。また、シーケンサ 4 3 は、2 0 クロックから 2 1 クロックまでに対応する期間において、1 Q W 分制御パラメータを転送している。これにより、シーケンサ 4 3 は、ベクター番号 0 に対応する送信パラメータを全て内部メモリ 4 5 に転送できる。従来、一回に転送できる制御パラメータの量は、1 Q W 分と固定されていたため、7 Q W 分の制御パラメータを転送するには、7 回転送する必要があった。このため、本実施形態に係るシーケンサ 4 3 によれば、転送回数を 7 回から 3 回に削減することが可能となる。

20

【 0 0 6 7 】

図 5 に戻って、シーケンサ 4 3 は、次のベクターの制御パラメータが存在するか否か判定する（ステップ S A 4 ）。

【 0 0 6 8 】

シーケンサ 4 3 は、次のベクターであるベクター番号 1 に対応する制御パラメータが存在するため（ステップ S A 4 の Y e s ）、ベクター番号 1 に対応する制御パラメータについて、ベクター番号 0 に対応する制御パラメータと同様に、転送に関する優先度、及び転送量を設定する（ステップ S A 2 ）。

30

【 0 0 6 9 】

次に、シーケンサ 4 3 は、ベクター番号 1 に対応する制御パラメータについて、ベクター番号 0 に対応する制御パラメータと同様に、メモリ I F 4 2 を介し、ステップ S A 2 において設定した優先度、及び転送量に基づいて、送信パラメータ、受信パラメータ、及び信号処理パラメータを、メモリ 5 から内部メモリ 4 5 、内部メモリ 4 7 、及び内部メモリ 4 9 にそれぞれ送信する（ステップ S A 3 ）。

【 0 0 7 0 】

さらに、シーケンサ 4 3 は、ベクター番号 2 以降に対応する制御パラメータについても、ベクター番号 0 、及び 1 に対応する制御パラメータと同様に、転送に関する優先度、及び転送量を設定する（ステップ S A 2 ）。そして、シーケンサ 4 3 は、ベクター番号 2 以降に対応する制御パラメータについても、ベクター番号 0 、及び 1 に対応する制御パラメータと同様に、メモリ I F 4 2 を介し、ステップ S A 2 において設定した優先度、及び転送量に基づいて、送信パラメータ、受信パラメータ、及び信号処理パラメータを、メモリ 5 から内部メモリ 4 5 、内部メモリ 4 7 、及び内部メモリ 4 9 にそれぞれ送信する（ステップ S A 3 ）。

40

【 0 0 7 1 】

シーケンサ 4 3 は、ステップ S A 4 において、次のベクターの制御パラメータが存在しない場合（ステップ S A 4 の N o ）、超音波スキャンが終了したか否か判定する（ステッ

50

ブ S A 5)。

【 0 0 7 2 】

シーケンサ 4 3 は、超音波スキャンが終了していない場合（ステップ S A 5 の N o ）、転送が必要な制御パラメータの量を再び取得する（ステップ S A 1 ）。具体的には、シーケンサ 4 3 は、不図示の内部メモリに記憶されている制御パラメータ関連情報を参照し、例えば、ステップ S A 2 からステップ S A 5 までの処理を実行している間に新たにホスト制御回路 1 1 からシーケンサ 4 3 に供給された制御パラメータ関連情報について、ベクター番号毎の送信パラメータの数、受信パラメータの数、及び信号処理パラメータの数を取得する。

【 0 0 7 3 】

シーケンサ 4 3 は、新たに取得した制御パラメータについて、ステップ S A 2 からステップ S A 5 までの処理を再び実行する。

【 0 0 7 4 】

シーケンサ 4 3 は、ステップ S A 5 において超音波スキャンが終了している場合（ステップ S A 5 の Y e s ）、転送制御処理を終了する。

【 0 0 7 5 】

以上のように、本実施形態に係る超音波診断装置が備えるメモリ 5 は、超音波の送受信に関する制御パラメータを記憶している。また、シーケンサ 4 3 は、一回の前記超音波の送受信に必要な制御パラメータの量に基づいて、当該制御パラメータの転送量を設定し、設定した転送量の制御パラメータをまとめて転送する。また、超音波診断装置が備える内部メモリ 4 5 、 4 7 、及び 4 9 は、転送された制御パラメータを一時的に記憶する。

【 0 0 7 6 】

これにより、例えば、一回の超音波の送受信に必要な制御パラメータの量が多い場合であっても、制御パラメータの転送量を大きくする、すなわち一度に転送する制御パラメータを複数まとめてバースト転送することが可能となる。よって、転送回数を削減することが可能となり、削減された転送回数に対応する転送動作間の待機時間、及び、転送先アドレスを示すアドレスデータの転送時間分だけ所要時間を削減することができる。

【 0 0 7 7 】

したがって、超音波送受信に関する制御パラメータの転送効率を向上させることが可能となる。

【 0 0 7 8 】

（変形例）

上記実施形態では、超音波診断装置が備えるシーケンサ 4 3 が、制御パラメータ関連情報を参照し、一回の超音波の送受信に必要な制御パラメータの量を認識して、認識した制御パラメータの量に応じて、各内部メモリに転送する当該制御パラメータの転送量を設定する場合について説明した。変形例では、超音波診断装置が備えるシーケンサ 4 3 が、各内部メモリに転送された制御パラメータの量に応じて、各内部メモリに転送する当該制御パラメータの転送量を設定する場合について説明する。

【 0 0 7 9 】

変形例に係る超音波診断装置の構成及び機能は、図 1 及び図 2 に示される超音波診断装置の構成及び機能と同様である。

【 0 0 8 0 】

次に、以上のように構成された変形例に係る超音波診断装置による動作を、シーケンサ 4 3 の処理手順に従って説明する。図 8 は、変形例に係る超音波診断装置が制御パラメータの転送量を制御する際のシーケンサ 4 3 の動作を示すフローチャートである。

【 0 0 8 1 】

以下の説明では、上記実施形態と同様に、シーケンサ 4 3 は、超音波スキャンが開始されてから終了されるまでの間、超音波送受信に関する制御パラメータの転送を制御するものとする。また、シーケンサ 4 3 は、当該シーケンサ 4 3 が備える不図示の内部メモリ（若しくはメモリ 5 ）に、必要な各種制御パラメータの量を表す制御パラメータ関連情報を

10

20

30

40

50

記憶しているものとする。この制御パラメータ関連情報は、ホスト制御回路 11 からシーケンサ 43 に予め供給されているものとする。

【0082】

図 9 は、変形例に係る制御パラメータ関連情報の内容の例を示す図である。図 9 に示される制御パラメータ関連情報は、例えば、先頭（ベクター番号 0）のベクターについて、送信パラメータの数が 100、受信パラメータの数が 50、及び信号処理パラメータの数が 20であることを表す。また、図 9 に示される制御パラメータ関連情報は、例えば、2 番目（ベクター番号 1）のベクターについて、送信パラメータの数が 50、受信パラメータの数が 25、及び信号処理パラメータの数が 15であることを表す。なお、図 9 に示される制御パラメータ関連情報には、少なくとも 2 つのベクターに対応する制御パラメータの数に関する情報が含まれているものとする。

10

【0083】

また、シーケンサ 43 は、制御パラメータをメモリ 5 から各送受信回路に対応する内部メモリのいずれかに 1 度転送すると、その後 4 クロックの間メモリ 5 から制御パラメータの転送を行えないものとする。また、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 には、メモリ 5 から内部メモリ 45、内部メモリ 47、及び内部メモリ 49 へそれぞれ転送された制御パラメータの数を示す F I F O 計数が記憶されているものとする。F I F O 計数は、例えば、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に制御パラメータが転送される度に、送信回路 I F 44、受信回路 I F 46、及び信号処理回路 I F 48 により、それぞれ転送された数だけ加算されるものとする。

20

【0084】

図 8 において、シーケンサ 43 は、超音波スキャンが開始されると、転送が必要な制御パラメータの量を取得する（ステップ S B 1）。具体的には、シーケンサ 43 は、不図示の内部メモリに記憶されている制御パラメータ関連情報を参照し、ベクター番号毎の送信パラメータの数、受信パラメータの数、及び信号処理パラメータの数を取得する。

【0085】

シーケンサ 43 は、F I F O 計数を取得する（ステップ S B 2）。具体的には、シーケンサ 43 は、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数をそれぞれ参照する。このとき、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数は、それぞれ 0 であるものとする。

30

【0086】

次に、シーケンサ 43 は、ステップ S A 1 において取得した制御パラメータの量、及び、ステップ S A 2 において取得した F I F O 計数に基づいて、制御パラメータの転送量を設定する（ステップ S B 3）。具体的には、シーケンサ 43 は、取得した制御パラメータの数と、及び取得した F I F O 計数とを比較する。シーケンサ 43 は、F I F O 計数が制御パラメータの数より大きい場合、転送量を最小の転送量（M I N）、例えば 1 Q W に設定する。また、シーケンサ 43 は、F I F O 計数が制御パラメータの数以下である場合、転送量を最大の転送量（M A X）、例えば 4 Q W に設定する。

【0087】

より具体的には、シーケンサ 43 は、ベクター番号 0 に対応する送信パラメータの数と、内部メモリ 45 から取得した F I F O 計数とを比較する。シーケンサ 43 は、F I F O 計数が送信パラメータの数より小さいため、転送量を最大の転送量である 4 Q W に設定する。また、シーケンサ 43 は、ベクター番号 0 に対応する受信パラメータの数と、内部メモリ 47 から取得した F I F O 計数とを比較する。シーケンサ 43 は、F I F O 計数が受信パラメータの数より小さいため、転送量を最大の転送量である 4 Q W に設定する。また、シーケンサ 43 は、ベクター番号 0 に対応する信号処理パラメータの数と、内部メモリ 49 から取得した F I F O 計数とを比較する。シーケンサ 43 は、F I F O 計数が信号処理パラメータの数より小さいため、転送量を最大の転送量である 4 Q W に設定する。

40

【0088】

次に、シーケンサ 43 は、メモリ I F 42 を介し、ステップ S B 3 において設定した転

50

送量に基づいて、まず、メモリ 5 から内部メモリ 4 5 に送信パラメータを 4 Q W 転送する（ステップ S B 4 ）。

【 0 0 8 9 】

シーケンサ 4 3 は、ステップ S B 4 において転送した回数が所定の転送回数に到達したか否か判定する（ステップ S B 5 ）。このとき、所定の転送回数は、内部メモリ 4 9 に記憶される信号処理パラメータの数がベクター番号 0 に対応する信号処理パラメータの数 2 0 に到達するまでに必要な転送回数であるものとする。具体的には、内部メモリ 4 9 に記憶されている信号処理パラメータの数は 0 であり、送信パラメータ、受信パラメータ、及び信号処理パラメータの順で 4 Q W ずつ送信されるため、所定の転送回数は 1 5 である。シーケンサ 4 3 は、転送した回数は一回であるため（ステップ S B 5 の N o ）、次に、メモリ 5 から内部メモリ 4 7 に受信パラメータを 4 Q W 転送する（ステップ S B 4 ）。

10

【 0 0 9 0 】

そして、シーケンサ 4 3 は、転送回数が 1 5 に到達するまで、例えば、送信パラメータ、受信パラメータ、及び信号処理パラメータの順で、ステップ S B 4 の転送処理を実行する。

【 0 0 9 1 】

シーケンサ 4 3 は、1 5 回目の転送処理において、信号処理パラメータを 4 Q W 転送すると（ステップ S B 4 ）、転送した回数が所定の転送回数に到達したと判定し（ステップ S B 5 の Y e s ）し、転送が完了したか否か判定する（ステップ S B 6 ）。

【 0 0 9 2 】

シーケンサ 4 3 は、例えば、制御パラメータ関連情報が示す制御パラメータを全て送信していないため、転送が完了していないと判定し（ステップ S B 6 の N o ）、内部メモリ 4 5、内部メモリ 4 7、及び内部メモリ 4 9 に記憶されている F I F O 計数をそれぞれ取得する（ステップ S B 2 ）。

20

【 0 0 9 3 】

次に、シーケンサ 4 3 は、ステップ S A 1 において取得した制御パラメータの量、及び、ステップ S A 2 において取得した最新の F I F O 計数に基づいて、制御パラメータの転送量を設定する（ステップ S B 3 ）。

【 0 0 9 4 】

具体的には、シーケンサ 4 3 は、ベクター番号 0 に対応する送信パラメータの数と、内部メモリ 4 5 から取得した F I F O 計数とを比較する。シーケンサ 4 3 は、F I F O 計数が送信パラメータの数 1 0 0 より小さいため、転送量を最大の転送量である 4 Q W に設定する。また、シーケンサ 4 3 は、ベクター番号 0 に対応する受信パラメータの数と、内部メモリ 4 7 から取得した F I F O 計数とを比較する。シーケンサ 4 3 は、F I F O 計数が受信パラメータの数 5 0 より小さいため、転送量を最大の転送量である 4 Q W に設定する。また、シーケンサ 4 3 は、ベクター番号 0 に対応する信号処理パラメータの数と、内部メモリ 4 9 から取得した F I F O 計数とを比較する。シーケンサ 4 3 は、F I F O 計数が信号処理パラメータの数 2 0 と等しいため、転送量を最小の転送量である 1 Q W に設定する。これにより、信号処理パラメータの転送量は、4 Q W から 1 Q W に変更される。

30

【 0 0 9 5 】

次に、シーケンサ 4 3 は、転送回数が所定の回数に達するまで、ステップ S B 4 及びステップ S B 5 を繰り返し実行する。このとき、所定の回数は、内部メモリ 4 7 に記憶される受信パラメータの数がベクター番号 0 に対応する受信パラメータの数 5 0 に到達するまでに必要な転送回数であるものとする。具体的には、内部メモリ 4 7 に記憶されている受信パラメータの数は 2 0 であり、送信パラメータ、受信パラメータ、及び信号処理パラメータの順で 4 Q W、4 Q W、1 Q W ずつ送信されるため、所定の転送回数は 3 9 である。

40

【 0 0 9 6 】

そして、シーケンサ 4 3 は、転送回数が 3 9 に到達するまで、送信パラメータ、受信パラメータ、及び信号処理パラメータの順で、ステップ S B 4 の転送処理を実行する。

【 0 0 9 7 】

50

シーケンサ 43 は、39 回目の転送処理において、信号処理パラメータを 1 QW 転送すると (ステップ S B 4)、転送した回数が所定の転送回数に到達したと判定し (ステップ S B 5 の Y e s)、転送が完了したか否か判定する (ステップ S B 6)。

【0098】

シーケンサ 43 は、例えば、制御パラメータ関連情報が示す制御パラメータを全て送信していないため、転送が完了していないと判定し (ステップ S B 6 の N o)、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数をそれぞれ取得する (ステップ S B 2)。

【0099】

以下、シーケンサ 43 は、制御パラメータ関連情報が示す制御パラメータの転送が全て完了するまで、ステップ S B 2 からステップ S B 6 までの処理を繰り返し実行する。

【0100】

シーケンサ 43 は、制御パラメータ関連情報が示す制御パラメータの転送が全て完了すると (ステップ S B 6 の Y e s)、超音波スキャンが終了したか否か判定する (ステップ S B 7)。

【0101】

シーケンサ 43 は、超音波スキャンが終了していない場合 (ステップ S B 7 の N o)、転送が必要な制御パラメータの量を再び取得する (ステップ S B 1)。具体的には、シーケンサ 43 は、不図示の内部メモリに記憶されている制御パラメータ関連情報を参照し、例えば、ステップ S B 2 からステップ S B 7 までの処理を実行している間に新たにホスト制御回路 11 からシーケンサ 43 に供給された制御パラメータ関連情報について、ベクター番号毎の送信パラメータの数、受信パラメータの数、及び信号処理パラメータの数を取得する。

【0102】

シーケンサ 43 は、新たに取得した制御パラメータについて、ステップ S B 2 からステップ S B 7 までの処理を再び実行する。

【0103】

シーケンサ 43 は、超音波スキャンが終了している場合 (ステップ S B 7 の Y e s)、転送制御処理を終了する。

【0104】

図 10 は、変形例に係るシーケンサ 43 による制御パラメータの転送量制御について説明するための図である。

【0105】

シーケンサ 43 は、図 10 に示される時点 $t = t_0$ において、図 8 に示されるステップ S B 2 を実行し、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数をそれぞれ取得する。図 10 に示されるように、時点 $t = t_0$ では、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 の F I F O キューに制御パラメータは滞留していない。このため、シーケンサ 43 は、図 8 に示されるステップ S B 3 において、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に対して転送するデータの転送量をそれぞれ M A X、例えば 4 QW にそれぞれ設定する。そして、シーケンサ 43 は、調停回路 A 1 に R x パスの使用权を要求し、例えば、送信パラメータ、受信パラメータ、及び信号処理パラメータを、送信パラメータ、受信パラメータ、及び信号処理パラメータの順で内部メモリ 45、内部メモリ 47、及び内部メモリ 49 にそれぞれ繰り返し転送する。

【0106】

シーケンサ 43 は、図 10 に示される時点 $t = t_1 (> t_0)$ において、図 8 に示されるステップ S B 5 を実行し、ベクター番号 0 について転送すべき 20 の信号処理パラメータを全て内部メモリ 49 に転送し終えたと認識する (ステップ S B 5 の Y e s)。その後、シーケンサ 43 は、図 8 に示されるステップ S B 2 において、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数をそれぞれ取得する。そし

て、シーケンサ 43 は、図 8 に示されるステップ S B 3 を実行し、内部メモリ 49 に対して転送するデータの転送量を M I N、例えば 1 Q W に変更する。そして、シーケンサ 43 は、例えば、送信パラメータ、受信パラメータ、及び信号処理パラメータを、送信パラメータ、受信パラメータ、及び信号処理パラメータの順で内部メモリ 45、内部メモリ 47、及び内部メモリ 49 にそれぞれ繰り返し転送する。

【 0 1 0 7 】

シーケンサ 43 は、図 10 に示される時点 $t = t_2 (> t_1)$ において、図 8 に示されるステップ S B 5 を実行し、ベクター番号 0 について転送すべき 52 の信号処理パラメータを全て内部メモリ 49 に転送し終えたと認識する (ステップ S B 5 の Y e s)。その後、シーケンサ 43 は、図 8 に示されるステップ S B 2 において、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数をそれぞれ取得する。そして、シーケンサ 43 は、図 8 に示されるステップ S B 3 を実行し、内部メモリ 47 に対して転送するデータの転送量を M I N、例えば 1 Q W に変更する。そして、シーケンサ 43 は、例えば、送信パラメータ、受信パラメータ、及び信号処理パラメータを、送信パラメータ、受信パラメータ、及び信号処理パラメータの順で内部メモリ 45、内部メモリ 47、及び内部メモリ 49 にそれぞれ繰り返し転送する。

【 0 1 0 8 】

このように、シーケンサ 43 は、1 ベクター内の送信パラメータの量、受信パラメータの量、及び信号処理パラメータの量に差がある場合、一回の超音波送受信に必要な量が相対的に多い制御パラメータを優先的にバースト転送することができる。これにより、一回の超音波送受信に必要な量が相対的に多い制御パラメータの転送回数を削減することが可能となり、削減された転送回数に対応する転送動作間の待機時間、及び、転送先アドレスを示すアドレスデータの転送時間分だけ所要時間を削減することができる。

【 0 1 0 9 】

[他の実施形態]

なお、この発明は上記実施形態に限定されるものではない。上記実施形態、及び変形例では、メモリ I F 42 から調停回路 A 1 に対して送信パラメータ、受信パラメータ、信号処理パラメータ等の制御パラメータの転送が要求される場合について説明したがこれに限定されない。シーケンサ 43 は、例えば、メモリ I F 42 から調停回路 A 1 に対する制御パラメータの転送要求と、ホスト制御回路 I F 41 から調停回路 A 1 に対する制御パラメータの転送要求とが競合する場合について、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数の値に応じて、制御パラメータの転送量を設定するようにしてもよい。

【 0 1 1 0 】

具体的には、シーケンサ 43 は、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数の値が、例えば、7、5、3 であった場合、ホスト制御回路 I F 41 から送信回路 I F 44、受信回路 I F 46、及び信号処理回路 I F 48 に転送する制御パラメータの転送量を、4 Q W、4 Q W、及び 1 Q W にそれぞれ設定する。シーケンサ 43 は、設定した転送量に基づいて、ホスト制御回路 I F 41 を介し、ホスト制御回路 11 から送信回路 I F 44、受信回路 I F 46、及び信号処理回路 I F 48 へ制御パラメータをそれぞれ転送する。なお、シーケンサ 43 は、内部メモリ 45、内部メモリ 47、及び内部メモリ 49 に記憶されている F I F O 計数の合計値に基づいて、ホスト制御回路 11 から送信回路 I F 44、受信回路 I F 46、及び信号処理回路 I F 48 へ転送される制御パラメータの転送量を設定するようにしてもよい。

【 0 1 1 1 】

ホスト制御回路 11 から送信回路 I F 44、受信回路 I F 46、及び信号処理回路 I F 48 へ転送される制御パラメータの転送量は 1 Q W である場合が多い。メモリ I F 42 から調停回路 A 1 に対する制御パラメータの転送要求と、ホスト制御回路 I F 41 から調停回路 A 1 に対する制御パラメータの転送要求とが競合する場合、ラウンドロビン方式の下では、調停回路 A 1 は、例えば、メモリ I F 42 及びホスト制御回路 I F 41 に対して要

求に応じて均等に R x バスの使用权を許可しなければならない。このため、ホスト制御回路 I F 4 1 から調停回路 A 1 に対する制御パラメータの転送要求の回数が多い場合には、メモリ I F 4 2 が調停回路 A 1 により R x バスの使用权を許可される回数が相対的に少なくなってしまう場合がある。

【 0 1 1 2 】

他の実施形態に係るシーケンサ 4 3 によれば、F I F O 計数、すなわち内部メモリ 4 5、内部メモリ 4 7、及び内部メモリ 4 9 転送された制御パラメータの量に応じて、ホスト制御回路 I F 4 1 から送信回路 I F 4 4、受信回路 I F 4 6、及び信号処理回路 I F 4 8 へ制御パラメータをバースト転送する。このため、最小の転送量である 1 Q W ずつ転送する場合と比して、制御パラメータの転送回数を削減することができ、ホスト制御回路 I F 4 1 から調停回路 A 1 に対する転送要求の回数を削減することが可能となる。したがって、相対的に、メモリ I F 4 2 から調停回路 A 1 に対する制御パラメータの転送要求が許可される回数を増加させることができ、メモリ I F 4 2 から内部メモリ 4 5、内部メモリ 4 7、及び内部メモリ 4 9 へ転送される制御パラメータの転送速度を向上することができる。

10

【 0 1 1 3 】

また、実施形態に係る各機能は、当該処理を実行するプログラムをワークステーション等のコンピュータにインストールし、これらをメモリ上で展開することによっても実現することができる。このとき、コンピュータに当該手法を実行させることのできるプログラムは、磁気ディスク（ハードディスクなど）、光ディスク（C D - R O M、D V D など）、半導体メモリなどの記憶媒体に格納して頒布することも可能である。

20

【 0 1 1 4 】

上記説明において用いた「プロセッサ」という文言は、例えば、C P U (Central Processing Unit)、G P U (Graphics Processing Unit)、或いは、特定用途向け集積回路 (Application Specific Integrated Circuit : A S I C)、プログラマブル論理デバイス（例えば、単純プログラマブル論理デバイス (Simple Programmable Logic Device : S P L D)、複合プログラマブル論理デバイス (Complex Programmable Logic Device : C P L D)、及びフィールドプログラマブルゲートアレイ (Field Programmable Gate Array : F P G A) 等の回路を意味する。プロセッサは記憶回路に保存されたプログラムを読み出し実行することで機能を実現する。なお、本実施形態の各プロセッサは、プロセッサごとに単一の回路として構成される場合に限らず、複数の独立した回路を組み合わせで 1 つのプロセッサとして構成し、その機能を実現するようにしてもよい。さらに、図 1 における複数の構成要素を 1 つのプロセッサへ統合してその機能を実現するようにしてもよい。

30

【 0 1 1 5 】

以上説明した少なくとも 1 つの実施形態によれば、超音波送受信に関する制御パラメータの転送効率を向上させることができる。

【 0 1 1 6 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

40

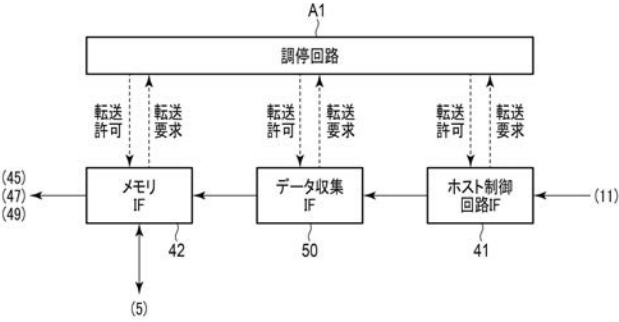
【 符号の説明 】

【 0 1 1 7 】

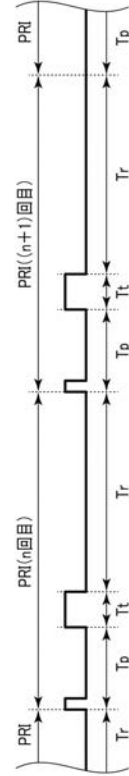
- 1 ... 超音波プローブ
- 2 ... 送信回路
- 3 ... 受信回路
- 4 ... 送受信制御回路

50

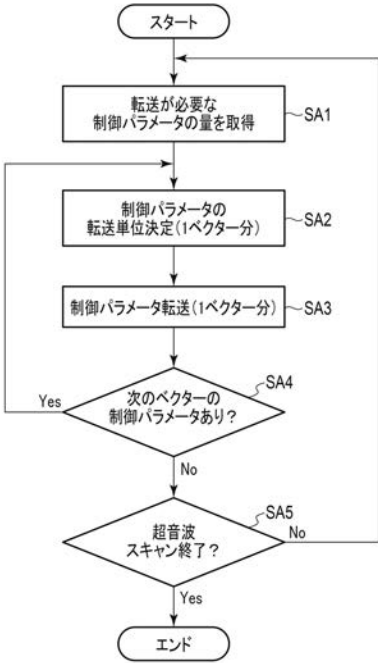
【 図 3 】



【 図 4 】



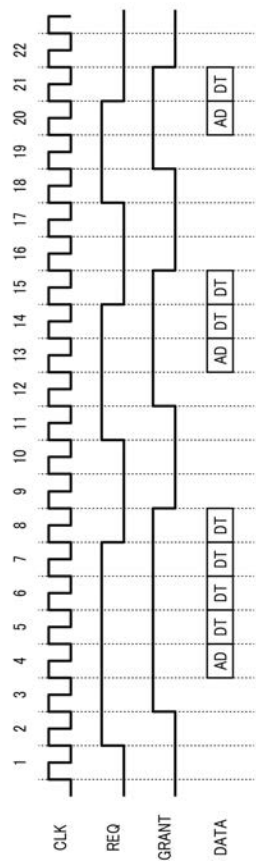
【 図 5 】



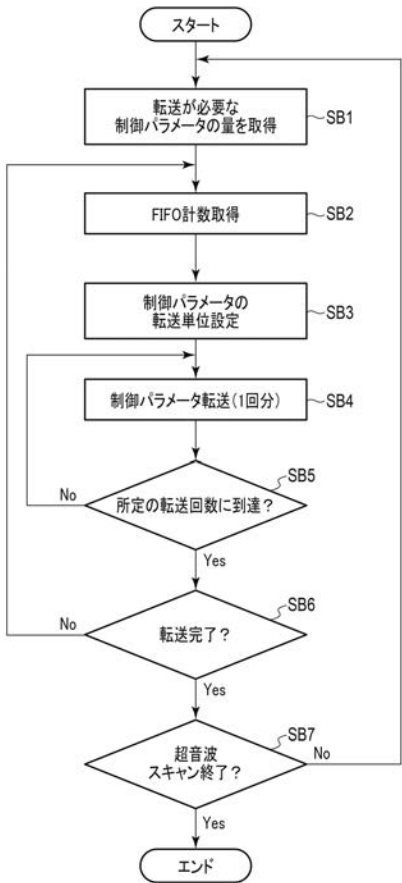
【 図 6 】

ベクター番号	送信パラメータの数	受信パラメータの数	信号処理パラメータの数
0	7	5	3
1	10	8	6
...

【 図 7 】



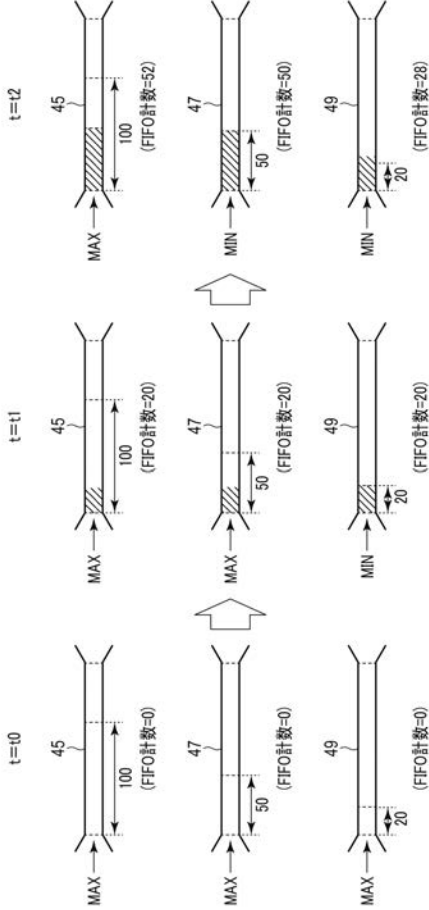
【 図 8 】



【 図 9 】

ベクター番号	送信パラメータの数	受信パラメータの数	信号処理パラメータの数
0	100	50	20
1	50	25	15
...

【 図 10 】



フロントページの続き

(72)発明者 崔 載鎬

栃木県大田原市下石上 1 3 8 5 番地 キヤノンメディカルシステムズ株式会社内

Fターム(参考) 4C601 EE07 HH14 LL01

专利名称(译)	超声诊断设备和控制程序		
公开(公告)号	JP2019141170A	公开(公告)日	2019-08-29
申请号	JP2018026354	申请日	2018-02-16
[标]发明人	崔載鎬		
发明人	崔 載鎬		
IPC分类号	A61B8/14		
FI分类号	A61B8/14		
F-TERM分类号	4C601/EE07 4C601/HH14 4C601/LL01		
代理人(译)	河野直树 井上 正 肯·鹤饲		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高与超声波发送/接收相关的控制参数的传输效率。根据实施例，超声诊断设备包括第一存储器，控制单元和第二存储器。第一存储器存储与超声波的发送/接收有关的第一控制参数。控制单元基于一次发送和接收超声波所需的第一控制参数的量来设置第一控制参数的传送量，并且设置传送量的第一控制传输参数。第二存储器临时存储传送的第一控制参数。 [选择]图2

