

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-465

(P2014-465A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int.Cl.

A 6 1 B 8/00 (2006.01)

F 1

A 6 1 B 8/00

テーマコード (参考)

4 C 6 0 1

審査請求 有 請求項の数 1 O L 外国語出願 (全 94 頁)

(21) 出願番号	特願2013-204411 (P2013-204411)	(71) 出願人	504461529
(22) 出願日	平成25年9月30日 (2013. 9. 30)		ビジュアルソニックス インコーポレイテッド
(62) 分割の表示	特願2008-539044 (P2008-539044) の分割		カナダ国 エム4エヌ 3エヌ1 オンタリオ, トロント, ヤング ストリート 3080, スイート 6100, ボックス 66
原出願日	平成18年11月2日 (2006. 11. 2)	(74) 代理人	100078282
(31) 優先権主張番号	60/733, 089		弁理士 山本 秀策
(32) 優先日	平成17年11月2日 (2005. 11. 2)	(74) 代理人	100113413
(33) 優先権主張国	米国 (US)		弁理士 森下 夏樹
(31) 優先権主張番号	60/733, 091	(72) 発明者	ジェームス メヒ
(32) 優先日	平成17年11月2日 (2005. 11. 2)		カナダ国 エル4ジェイ 7エックス1
(33) 優先権主張国	米国 (US)		オンタリオ, ソーンヒル, ヤング ストリート 7250, ユニット 206
			最終頁に続く

(54) 【発明の名称】 高周波数アレイ超音波システム

(57) 【要約】

【課題】複数の素子を有する超音波振動子から受信超音波信号を取得するように構成された信号処理ユニットから成る超音波信号取得システムおよび方法を提供すること。

【解決手段】超音波信号を取得するためのシステムは、複数の素子を有する超音波振動子から受信超音波信号を取得するように構成された信号処理ユニットを備える。このシステムは、少なくとも毎秒20フレーム数 (fps) のフレームレートで、少なくとも5.0ミリメートル (mm) の視野を有する振動子を使って、少なくとも20メガヘルツ (MHz) の周波数を有する超音波信号を受信するように構成される。この信号処理は、取得超音波信号から超音波画像をさらに製造することが可能である。この振動子は、線形アレイ振動子、位相アレイ振動子、二次元 (2-D) アレイ振動子、または曲線アレイ振動子で良い。

【選択図】なし

【特許請求の範囲】

【請求項 1】

明細書に記載の発明。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の参照)

本願は、2005年11月2日出願の米国仮特許出願第60/733,091号の利益を主張し、2005年11月2日出願の米国仮特許出願第60/733,089号の利益を主張する。上記出願の両方が、本明細書において完全に援用され、本明細書の一部を構成する。

10

【背景技術】

【0002】

アレイド振動子を使用する超音波エコグラフィシステムは、所望の画像分解能がミリメートル台であるヒトの臨床用途に使用されてきた。こうした臨床システム内の動作周波数は、一般に10MHz未満である。しかし、このような低動作周波数の場合、こうしたシステムは、比較的高分解能を必要とするイメージング、たとえば、マウスなどの小動物、またはヒトの小さい組織構造をイメージングするのには適さない。

【0003】

さらに、小動物イメージング用途は、現在利用可能なイメージングシステムによって満たすことができないいくつかの難しい要件を提示する。生体マウスの心拍数は毎分500ビートという高さなので、高いフレームレート能力が必要である。イメージングされる領域の幅、つまり視野も、検査される組織全体を含むのに十分でなければならない。

20

【0004】

15MHzを超える周波数でイメージングするための超音波システムは、単一素子振動子を使用して開発されてきた。しかし、アレイド振動子は、単一素子振動子システムと比べてより良好な画像品質を提供し、より高度の取得フレームレートを達成することができ、その他の利点を提供することができる。本発明による実施態様は、上記を含む現在の技術の多くの問題を克服する。

【発明の概要】

30

【課題を解決するための手段】

【0005】

本明細書では、複数の素子を有する超音波振動子から受信超音波信号を取得するように構成された信号処理ユニットから成る超音波信号取得システムおよび方法を提供する。このシステムは、少なくとも5.0ミリメートル(mm)の視野を有する固定振動子を使って、少なくとも每秒20フレーム(fps)のフレームレートで、少なくとも15メガヘルツ(MHz)の周波数を有する超音波信号を受信するように構成することができる。この信号処理ユニットは、取得超音波信号から超音波画像をさらに生成することができる。振動子は、線形アレイ振動子、位相アレイ振動子、二次元(2-D)アレイ振動子、または曲線アレイ振動子で良いが、これらだけに限らない。このシステムは、こうした振動子を備えるか、またはこうした振動子で動作するように構成することができる。

40

【0006】

また、本明細書では、少なくとも15MHzの送受信で動作する超音波振動子から受信超音波信号を取得するための処理ユニットであって、直交サンプリングを使用して超音波信号を取得する信号サンプラを備える処理ユニットを備える超音波信号取得システムおよび方法も提供する。

【0007】

本発明のその他の利点は、以下の明細書に部分的に記載され、この明細書から部分的に明らかになるか、または本発明の実践により知ることができる。本発明の利点は、添付の請求の範囲で特に指摘される素子および組合せによって実現および達成されるであろう。

50

上記の一般的な説明および以下の詳細な説明は共に、単に例示および説明するためのものであり、請求項に係る本発明を制限するものではない。

例えば、本発明は以下の項目を提供する。

(項目1)

超音波イメージングシステムであって、

送信超音波信号を被検体内に、最大で少なくとも55メガヘルツ(MHz)の送信中心周波数で送信するための複数の素子を有するアレイド超音波振動子と、

前記アレイド超音波振動子と動作可能に接続する信号処理ユニットであって、前記信号処理ユニットがさらに、

1つまたは複数のフィールドプログラマブルゲートアレイ(FPGA)から成るデジタル送信ビーム成形器サブシステムであって、各々がFPGAクロック周波数(FPGA f_c)を有し、前記デジタル送信ビーム成形器サブシステムが、少なくとも $[1 / (2 \times \text{FPGA } f_c)]$ 以上の遅延分解能時間を有するサブシステムと、

受信ビーム成形器サブシステムと、

フロントエンド電子回路モジュールと、

ビーム成形器制御装置モジュールと、

信号処理モジュールと、

コンピュータユニットと

を備える前記信号処理ユニットとから成り、

前記信号処理ユニットが、少なくとも15MHzの周波数を有する受信超音波信号を、複数の素子を有する前記アレイド超音波振動子から取得するように構成される超音波イメージングシステム。

(項目2)

前記デジタル送信ビーム成形器サブシステムが、二重データレート(DDR)出力を有する並列/直列変換器を備え、

前記デジタル送信ビーム成形器サブシステムが、前記送信超音波信号の微細遅延および半周期部分を、前記並列/直列変換器によって直列ビット流に変換されるビットワードに符号化することによって、少なくとも $[1 / (2 \times \text{FPGA } f_c)]$ 以上の遅延分解能時間で最大少なくとも55MHzの送信中心周波数を有する超音波信号を送信するように構成される、項目1に記載の超音波イメージングシステム。

(項目3)

前記デジタル送信ビーム成形器サブシステムが、前記送信超音波信号の微細遅延および半周期部分を、前記並列/直列変換器によって直列ビット流に変換される16ビットワードに符号化することによって、少なくとも $[1 / (2 \times \text{FPGA } f_c)]$ 以上の遅延分解能時間で最大少なくとも55MHzの送信中心周波数を有する超音波信号を送信するように構成される、項目2に記載の超音波イメージングシステム。

(項目4)

前記送信超音波信号が、正のパルス波を有する正の送信パルスと、負のパルス波を有する負の送信パルスとから成り、前記正のパルス波および前記負のパルス波が個々に調節可能である、項目2に記載の超音波イメージングシステム。

(項目5)

前記送信超音波信号が、複数の正の半波サイクル部分から成り、各々の正の半波サイクル部分が、少なくとも1つの前記正の送信パルスから成り、前記送信超音波信号が、さらに複数の負の半波サイクル部分から成り、各々の負の半波サイクル部分が、少なくとも1つの負の送信パルスから成り、各々の正の送信パルスが、各々の正の半波サイクル部分の持続時間で調節可能であり、各々の負の送信パルスが、各々の負の半波サイクル部分の持続時間で調節可能である、項目4に記載の超音波イメージングシステム。

(項目6)

各々の正の半波サイクル内の前記少なくとも1つの前記正の送信パルスの各々の微細遅延が調節可能であり、各々の負の半波サイクル内の前記少なくとも1つの前記複数の送信

10

20

30

40

50

パルスの各々の微細遅延が調節可能である、項目 5 に記載の超音波イメージングシステム。

(項目 7)

前記送信超音波信号が、送信サイクル数から成り、前記送信サイクル数が調節可能である、項目 4 に記載の超音波イメージングシステム。

(項目 8)

前記フロントエンド電子回路モジュールが、交換可能な差込みモジュールとして構成される、項目 1 に記載の超音波イメージングシステム。

(項目 9)

前記信号処理ユニットが、前記受信超音波信号を前記アレイド超音波振動子から取得するように構成され、前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元 (2-D) アレイ振動子、曲線アレイ振動子から成る群から選択される、項目 1 に記載の超音波イメージングシステム。

(項目 10)

前記送信超音波信号が、約 15 MHz ~ 少なくとも 55 MHz の送信中心周波数を有する、項目 1 に記載の超音波イメージングシステム。

(項目 11)

器 c h 取得超音波信号が、約 15 MHz ~ 約 55 MHz の送信中心周波数を有する、項目 1 に記載の超音波イメージングシステム。

(項目 12)

アレイド超音波イメージングシステム用の信号処理ユニットであって、
最大少なくとも 55 MHz の送信中心周波数で動作するように構成されたデジタル送信ビーム成形器サブシステムであって、前記デジタル送信ビーム成形器サブシステムが、さらに 1 つまたは複数のフィールドプログラマブルゲートアレイ (FPGA) から成り、各々が、FPGA クロック周波数 (FPGA f_c) を有し、前記デジタル送信ビーム成形器サブシステムが、少なくとも $[1 / (2 \times \text{FPGA } f_c)]$ 以上の遅延分解能時間を有するデジタル送信ビーム成形器サブシステムと、

デジタル受信ビーム成形器サブシステムと、

フロントエンド電子回路モジュールと、

ビーム成形器制御装置モジュールと、

信号処理モジュールと、

コンピュータユニットとを備え、

前記信号処理ユニットが、複数の素子を有するアレイド超音波振動子から受信超音波信号を取得するように構成される信号処理ユニット。

(項目 13)

前記デジタル送信ビーム成形器サブシステムが、二重データレート (DDR) 出力を有する並列 / 直列変換器をさらに備え、

前記デジタル送信ビーム成形器サブシステムが、前記送信超音波信号の微細遅延および半周期部分を、前記並列 / 直列変換器によって直列ビット流に変換されるビットワードに符号化することによって、少なくとも $[1 / (2 \times \text{FPGA } f_c)]$ 以上の遅延分解能時間で最大少なくとも 55 MHz の送信中心周波数を有する超音波信号を送信するように構成される、項目 12 に記載の信号処理ユニット。

(項目 14)

前記デジタル送信ビーム成形器サブシステムが、前記送信超音波信号の微細遅延および半周期部分を、前記並列 / 直列変換器によって直列ビット流に変換された 16 ビットワードに符号化することによって、少なくとも $[1 / (2 \times \text{FPGA } f_c)]$ 以上の遅延分解能時間で最大少なくとも 55 MHz の送信中心周波数を有する超音波信号を送信するように構成される、項目 13 に記載の信号処理ユニット。

(項目 15)

前記送信超音波信号が、正の送信パルス波、および負の送信パルス波から成り、前記送

10

20

30

40

50

信パルス波および負のパルス波が別個に調節可能である、項目 1 3 に記載の信号処理ユニット。

(項目 1 6)

前記送信超音波信号が、送信サイクル数から成り、前記送信サイクル数が調節可能である、項目 1 5 に記載の信号処理ユニット。

(項目 1 7)

前記フロントエンド電子回路モジュールが、交換可能な差込みモジュールとして構成される、項目 1 2 に記載の信号処理ユニット。

(項目 1 8)

前記信号処理ユニットが、前記受信超音波信号を前記アレイド超音波振動子から取得するように構成され、前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元 (2 - D) アレイ振動子、曲線アレイ振動子から成る群から選択される、項目 1 2 に記載の信号処理ユニット。

(項目 1 9)

前記送信中心周波数が、約 1 5 M H z ~ 少なくとも 5 5 M H z である、項目 1 2 に記載の信号処理ユニット。

(項目 2 0)

前記送信中心周波数が約 1 5 M H z ~ 約 5 5 M H z である、項目 1 2 に記載の信号処理ユニット。

(項目 2 1)

アレイド超音波イメージングシステム用のデジタル送信ビーム成形器であって、各々が F P G A クロック周波数 (F P G A f c) を有する 1 つまたは複数の F P G A と、

二重データレート (D D R) 出力を有する並列 / 直列変換器とを備え、

前記デジタル送信ビーム成形器が、前記送信超音波信号の微細遅延および半周期部分を、前記並列 / 直列変換器によって直列ビット流に変換されるビットワードに符号化することによって、少なくとも $[1 / (2 \times F P G A f c)]$ 以上の遅延分解能時間で最大少なくとも 5 5 M H z の送信中心周波数を有する超音波信号を送信するように構成される送信ビーム成形器。

(項目 2 2)

前記送信超音波信号が、正の送信パルス波および負の送信パルス波から成り、前記送信パルス波および負の送信パルス波が個々に調節可能である、項目 2 1 に記載のデジタル送信ビーム成形器。

(項目 2 3)

前記送信超音波信号が送信サイクル数から成り、前記送信サイクル数が調節可能である、項目 2 2 に記載のデジタル送信ビーム成形器。

(項目 2 4)

前記デジタル送信ビーム成形器が、アレイド超音波振動子と動作可能に接続され、前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元 (2 - D) アレイ振動子、および曲線アレイ振動子から成る群から選択される、項目 2 1 に記載のデジタル送信ビーム成形器。

(項目 2 5)

前記送信中心周波数が約 1 5 M H z ~ 少なくとも 5 5 M H z である、項目 2 1 に記載のデジタル送信ビーム成形器。

(項目 2 6)

前記送信中心周波数が、約 1 5 M H z ~ 約 5 5 M H z である、項目 2 1 に記載のデジタル送信ビーム成形器。

(項目 2 7)

前記デジタル送信ビーム成形器が、前記送信超音波信号の微細遅延および半周期部分を、前記並列 / 直列変換器によって直列ビット流に変換される 1 6 ビットワードに符号化す

10

20

30

40

50

ることによって、少なくとも $\lceil 1 / (2 \times \text{FPGA} \text{ } f_c) \rceil$ 以上の遅延分解能時間で最大少なくとも 55 MHz の送信中心周波数を有する超音波信号を送信するように構成される、項目 28 に記載のデジタル送信ビーム成形器。

(項目 28)

超音波イメージングシステムであって、

最大少なくとも 55 MHz の送信中心周波数で、送信超音波信号を被検体内に送信するための複数の素子を有するアレイド超音波振動子と、

前記アレイド超音波振動子に動作可能に接続された信号処理ユニットとを備え、前記信号処理ユニットがさらに、

デジタル送信ビーム成形器サブシステムと、

受信ビーム成形器サブシステムと、

フロントエンド電子回路モジュールと、

ビーム成形制御モジュールと、

直交サンプリングを使用し、受信サンプリング周波数を有する信号処理モジュールと、

、

コンピュータユニットとから構成され、

前記受信サンプリング周波数が選択的に選択されるように構成される超音波イメージングシステム。

(項目 29)

前記受信サンプリング周波数が、前記送信中心周波数とは異なる周波数で選択される、項目 28 に記載の超音波イメージングシステム。

(項目 30)

前記受信サンプリング周波数が、前記送信中心周波数と同じ周波数で選択される、項目 28 に記載の超音波イメージングシステム。

(項目 31)

前記デジタル送信ビーム成形器サブシステムが、前記受信サンプリング周波数が前記送信焦点深度に依存するように、送信焦点深度をさらに含む、項目 28 に記載の超音波イメージングシステム。

(項目 32)

前記受信サンプリング周波数が、前記送信焦点深度が増加するにつれて減少する、項目 30 に記載の超音波イメージングシステム。

(項目 33)

前記デジタル送信ビーム成形器サブシステムが、二重データレート (DDR) 出力を有する並列 / 直列変換器をさらに備え、

前記デジタル送信ビーム成形器が、前記送信超音波信号の微細遅延および半周期部分を、前記並列 / 直列変換器によって直列ビット流に変換されるビットワードに符号化することによって、少なくとも $\lceil 1 / (2 \times \text{FPGA} \text{ } f_c) \rceil$ 以上の遅延分解能時間で最大少なくとも 55 MHz の送信中心周波数を有する超音波信号を送信するように構成される、項目 28 に記載の超音波イメージングシステム。

(項目 34)

前記デジタル送信ビーム成形器サブシステムが、前記送信超音波信号の微細遅延および半周期部分を、前記並列 / 直列変換器によって直列ビット流に変換される 16 ビットワードに符号化することによって、少なくとも $\lceil 1 / (2 \times \text{FPGA} \text{ } f_c) \rceil$ 以上の遅延分解能時間で最大少なくとも 55 MHz の送信中心周波数を有する超音波信号を送信するように構成される、項目 33 に記載の超音波イメージングシステム。

(項目 35)

前記送信超音波信号が、正の送信パルス波および負の送信パルス波から成り、前記送信パルス波および負の送信パルス波が個々に調節可能である、項目 33 に記載の超音波イメージングシステム。

(項目 36)

10

20

30

40

50

前記送信超音波信号が、送信サイクル数から成り、前記送信サイクル数が調節可能である、項目 3 5 に記載の超音波イメージングシステム。

(項目 3 7)

前記フロントエンド電子回路モジュールが、交換可能な差込みモジュールとして構成される、項目 2 8 に記載の超音波イメージングシステム。

(項目 3 8)

前記信号処理ユニットが、前記受信超音波信号を前記アレイド超音波振動子から取得するように構成され、前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元 (2 - D) アレイ振動子、および曲線アレイ振動子から成る群から選択される、項目 2 8 に記載の超音波イメージングシステム。

10

(項目 3 9)

前記送信超音波信号が、約 1 5 M H z ~ 少なくとも 5 5 M H z の送信中心周波数を有する、項目 2 8 に記載の超音波イメージングシステム。

(項目 4 0)

前記送信超音波信号が、約 1 5 M H z ~ 約 5 5 M H z の送信中心周波数を有する、項目 2 8 に記載の超音波イメージングシステム。

(項目 4 1)

超音波イメージングシステムであって、

最大少なくとも 5 5 メガヘルツ (M H z) の送信中心周波数で、送信超音波信号を被検体内に送信するための複数の素子を有するアレイド超音波振動子であって、前記前記アレイド超音波振動子が、少なくとも 5 . 0 ミリメートル (m m) の視野を有する前記アレイド超音波振動子と、

20

前記アレイド超音波振動子と動作可能に接続される信号処理ユニットであって、

前記処理ユニットが、デジタル送信および受信ビーム成形器サブシステムと、フロントエンド電子回路モジュールと、ビーム成形器制御装置および信号処理モジュールと、コンピュータユニットとをさらに備える信号処理ユニットとを備え、

前記信号処理ユニットが、複数の素子を有する前記アレイド超音波振動子から、少なくとも毎秒 2 0 フレーム (f p s) のフレームレートで受信超音波信号を取得するように構成され、前記受信超音波信号が少なくとも 1 5 M H z の周波数を有する超音波イメージングシステム。

30

(項目 4 2)

前記信号処理ユニットが、前記受信超音波信号から超音波画像をさらに生成する、項目 4 1 に記載のシステム。

(項目 4 3)

前記受信超音波信号が、前記取得レートより低速の表示レートで超音波画像を生成するように、前記信号処理ユニットによって処理される、項目 4 2 に記載のシステム。

(項目 4 4)

前記生成された超音波画像の表示レートが約 1 0 0 f p s 以下である、項目 4 3 に記載のシステム。

(項目 4 5)

40

前記生成された超音波画像の表示レートが約 3 0 f p s 以下である、項目 4 4 に記載のシステム。

(項目 4 6)

前記超音波画像が、Bモード、Mモード、ドップラーモード、RFモード、3 - Dモードから成る群から選択される超音波モードの前記信号処理ユニットによって生成される、項目 4 2 に記載のシステム。

(項目 4 7)

前記信号処理ユニットが、前記受信超音波信号を前記アレイド超音波振動子から取得するように構成され、前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元 (2 - D) アレイ振動子、および曲線アレイ振動子から成る群から選択される、

50

項目 4 1 に記載のシステム。

(項目 4 8)

前記アレイド超音波振動子が、少なくとも 1 5 M H z の中心動作周波数を有し、前記アレイド超音波振動子が、前記アレイド超音波振動子の送信中心周波数における音の波長の 2 . 0 倍以下の素子ピッチを有する、項目 4 1 に記載のシステム。

(項目 4 9)

前記アレイド超音波振動子が、前記アレイド超音波振動子の送信中心周波数における音の波長の 1 . 5 倍以下の素子ピッチを有する、項目 4 1 に記載のシステム。

(項目 5 0)

前記デジタル受信ビーム成形器サブシステムが、少なくとも 1 つのフィールドプログラマブルゲートアレイ (F P G A) デバイスを使用することを含む、項目 4 1 に記載のシステム。

(項目 5 1)

前記デジタル送信ビーム成形器サブシステムが、少なくとも 1 つのフィールドプログラマブルゲートアレイ (F P G A) デバイスを使用することを含む、項目 4 1 に記載のシステム。

(項目 5 2)

フロントエンド電子回路モジュールが、送信回路および受信チャネルをさらに備え、前記送信回路が、2 つの電界効果トランジスタ (F E T) を介して、中心タップ巻線を含む変換器に接続された送信電源電圧を備え、前記受信チャネルに対する入力が、前記変換器の前記二次巻線の第 2 端部に接続され、その結果、前記送信電源電圧が実質的にゼロに設定され、前記 2 つの F E T に電源が投入され、前記受信チャネルが信号を受信し、前記変換器が送信信号を生成し、前記送信回路が信号を送信する時に、前記送信信号を前記アレイド超音波振動子に結合する、項目 4 1 に記載のシステム。

(項目 5 3)

前記フロントエンド電子回路モジュールが、各々の受信チャネルに 2 つ以上の信号サンブラをさらに備える、項目 5 2 に記載のシステム。

(項目 5 4)

前記信号サンブラがアナログデジタル変換器である、項目 5 3 に記載のシステム。

(項目 5 5)

前記信号サンブラが直交サンプリングを使用して、受信信号をサンプリングする、項目 5 3 に記載のシステム。

(項目 5 6)

前記信号サンブラが、9 0 ° 位相が外れたサンプリングクロックを備える、項目 5 5 に記載のシステム。

(項目 5 7)

前記サンプリングクロックが、受信超音波信号の前記中心周波数にほぼ等しい受信クロック期間を有する、項目 5 6 に記載のシステム。

(項目 5 8)

受信クロック期間未満の遅延分解能が、取得信号を処理するために使用される、項目 5 7 に記載のシステム。

(項目 5 9)

前記遅延分解能が、前記受信クロック期間の 1 / 1 6 である、項目 5 8 に記載のシステム。

(項目 6 0)

複数の素子を有する前記アレイド超音波振動子の各々の素子が、受信チャネルに動作可能に接続される、項目 4 1 に記載のシステム。

(項目 6 1)

複数の素子を有する前記アレイド超音波振動子の素子の数が、受信チャネルの数より多い、項目 6 0 に記載のシステム。

10

20

30

40

50

(項目 6 2)

複数の素子を有する前記アレイ超音波振動子が、少なくとも 3 2 個の受信チャンネルに動作可能に接続される少なくとも 6 4 個の素子を備える、項目 6 0 に記載のシステム。

(項目 6 3)

複数の素子を有する前記アレイ超音波振動子が、6 4 個の受信チャンネルに動作可能に接続される 2 5 6 個の素子を備える、項目 6 0 に記載のシステム。

(項目 6 4)

複数の素子を有する前記アレイ超音波振動子が、1 2 8 個の受信チャンネルに動作可能に接続される 2 5 6 個の素子を備える、項目 6 0 に記載のシステム。

(項目 6 5)

複数の素子を有する前記アレイ超音波振動子が、2 5 6 個の受信チャンネルに動作可能に接続される 2 5 6 個の素子を備える、項目 6 0 に記載のシステム。

(項目 6 6)

複数の素子を有する前記アレイ超音波振動子が、2 5 6 個の素子を備える、項目 6 0 に記載のシステム。

(項目 6 7)

5 1 2 本の超音波ラインが生成され、前記被検体内に送信され、前記生成された超音波画像の各々のフレームごとに、前記被検体から受信される、項目 6 6 に記載のシステム。

(項目 6 8)

2 5 6 本の超音波ラインが生成され、前記被検体内に送信され、前記生成された超音波画像の各々のフレームごとに、前記被検体から受信される、項目 6 6 に記載のシステム。

(項目 6 9)

少なくとも 2 本の超音波ラインが生成され、前記被検体内に送信され、前記生成された超音波画像の各々のフレームごとに、前記アレイの各々の素子において前記被検体から受信される、項目 4 1 に記載のシステム。

(項目 7 0)

1 本の超音波ラインが生成され、前記被検体内に送信され、前記生成された超音波画像の各々のフレームごとに、前記アレイの各々の素子において前記被検体から受信される、項目 4 1 に記載のシステム。

(項目 7 1)

前記受信超音波信号が、毎秒少なくとも 2 0 0 フレーム数 (f p s) の取得レートで取得される、項目 7 0 に記載のシステム。

(項目 7 2)

複数の素子を有する前記アレイ超音波振動子が、前記振動子の前記中心送信周波数の波長に等しい距離だけ分離される、項目 4 1 に記載のシステム。

(項目 7 3)

前記中心送信周波数が、1 5 M H z 、 2 0 M H z 、 3 0 M H z 、 4 0 M H z 、 5 0 M H z 、および 5 5 M H z から成る群から選択される、項目 7 2 に記載のシステム。

(項目 7 4)

複数の素子を有する前記アレイ超音波振動子の長さが前記振動子の視野に等しい、項目 4 1 に記載のシステム。

(項目 7 5)

複数の素子を有する前記アレイ超音波振動子が、約 1 5 M H z ~ 約 8 0 M H z の範囲内の中心周波数で、前記被検体内に送信超音波を送信することができる、項目 4 1 に記載のシステム。

(項目 7 6)

前記受信超音波信号が、少なくとも 2 0 0 f p s のフレームレートで取得される、項目 4 1 に記載のシステム。

(項目 7 7)

前記受信超音波信号が、約 1 0 0 f p s ~ 約 2 0 0 f p s のフレームレートで取得され

10

20

30

40

50

る、項目 4 1 に記載のシステム。

(項目 7 8)

前記超音波画像が、約 1 5 0 ミクロン (μm) 以下の方位分解能を有する、項目 4 1 に記載のシステム。

(項目 7 9)

前記超音波画像が、約 7 5 ミクロン (μm) 以下の距離分解能を有する、項目 7 8 に記載のシステム。

(項目 8 0)

前記超音波画像が、約 3 0 ミクロン (μm) 以下の空間分解能を有する、項目 7 9 に記載のシステム。

(項目 8 1)

前記送信超音波信号が、約 1 . 0 mm ~ 約 3 0 . 0 mm の深さで集束することが可能な、項目 4 1 に記載のシステム。

(項目 8 2)

前記送信超音波信号が、約 3 . 0 mm ~ 約 1 0 . 0 mm の深さで集束することが可能な、項目 8 1 に記載のシステム。

(項目 8 3)

前記送信超音波信号が、約 2 . 0 mm ~ 約 1 2 . 0 mm の深さで集束することが可能な、項目 8 1 に記載のシステム。

(項目 8 4)

前記送信超音波信号が、約 1 . 0 mm ~ 約 6 . 0 mm の深さで集束することが可能な、項目 8 1 に記載のシステム。

(項目 8 5)

前記送信超音波信号が、約 3 . 0 mm ~ 約 8 . 0 mm の深さで集束することが可能な、項目 8 1 に記載のシステム。

(項目 8 6)

前記送信超音波信号が、約 5 . 0 mm ~ 約 1 8 . 0 mm の深さで集束することが可能な、項目 8 1 に記載のシステム。

(項目 8 7)

超音波画像を生成するシステムであって、

最大少なくとも 5 5 メガヘルツ (MHz) の中心動作周波数で超音波を生成して被検体内に送信し、超音波信号を前記被検体から受信するための複数の素子を有するアレイド超音波振動子と、

超音波画像フレームを生成するための処理ユニットであって、前記アレイド超音波振動子の各々の素子が、2 本以上の超音波ラインを前記被検体内に送信し、前記生成された超音波画像の各々のフレームについて 2 本以上のエコー超音波ラインを前記被検体から受信する処理ユニットとを備えるシステム。

(項目 8 8)

前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元 (2 - D) アレイ振動子、および曲線アレイ振動子から成る群から選択される、項目 8 7 に記載のシステム。

(項目 8 9)

前記アレイド超音波振動子の中心動作周波数が少なくとも 1 5 MHz であり、前記アレイド超音波振動子が、前記アレイド超音波振動子の送信中心周波数における音の波長の 2 倍以下に等しい素子ピッチを有する、項目 8 7 に記載のシステム。

(項目 9 0)

超音波画像を生成するシステムであって、

最大少なくとも 5 5 メガヘルツ (MHz) の周波数で超音波を生成して被検体内に送信し、超音波信号を前記被検体から受信するための複数の素子を有するであって、各々の素

10

20

30

40

50

子が、受信チャンネルに動作可能に接続されるアレイ超音波振動子と、

前記受信超音波信号を取得し、超音波画像を前記取得信号から生成するための処理ユニットであって、前記処理ユニットが、前記信号を取得するための直交サンプリングを使用する複数の信号サンプラを含む処理ユニットとを備えるシステム。

(項目 9 1)

前記超音波画像が、Bモード、Mモード、ドップラーモード、RFモード、および3-Dモードから成る群から選択される超音波モードで生成される、項目90に記載のシステム。

(項目 9 2)

前記アレイ超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元(2-D)アレイ振動子、および曲線アレイ振動子から成る群から選択される、項目90に記載のシステム。

(項目 9 3)

前記アレイ超音波振動子が、少なくとも20MHzの中心動作周波数を有し、前記アレイ超音波振動子が前記アレイ超音波振動子の送信中心周波数における音の波長の2倍以下に等しい素子ピッチを有する、項目90に記載のシステム。

(項目 9 4)

前記アレイ超音波振動子の各々の素子が、受信チャンネルに動作可能に接続される、項目90に記載のシステム。

(項目 9 5)

前記アレイ超音波振動子の素子の数が受信チャンネルの数より多い、項目94に記載のシステム。

(項目 9 6)

前記処理ユニットが、各々の受信チャンネルの2つ以上の信号サンプラを含む、項目94に記載のシステム。

(項目 9 7)

前記信号サンプラがアナログデジタル変換器である、項目96に記載のシステム。

(項目 9 8)

前記信号サンプラが、90°位相が外れたサンプリングクロックを備える、項目97に記載のシステム。

(項目 9 9)

前記サンプリングクロックが、受信超音波信号の中心周波数にほぼ等しい受信クロック期間を有する、項目98に記載のシステム。

(項目 1 0 0)

受信クロック期間未満の遅延分解能が、前記取得信号を処理するために使用される、項目99に記載のシステム。

(項目 1 0 1)

前記遅延分解能が、前記受信クロック期間の1/16である、項目100に記載のシステム。

(項目 1 0 2)

取得信号が、補間フィルタリング法を使用して処理される、項目90に記載のシステム。

(項目 1 0 3)

前記処理ユニットが受信ビーム成形器を備え、前記受信ビーム成形器が、少なくとも1つのフィールドプログラマブルゲートアレイ(FPGA)デバイスを使用してインプリメントされる、項目90に記載のシステム。

(項目 1 0 4)

前記処理ユニットが送信ビーム成形器を備え、前記送信ビーム成形器が、フィールドプログラマブルゲートアレイ(FPGA)デバイスを使用してインプリメントされる、項目

10

20

30

40

50

90に記載のシステム。

(項目105)

超音波画像を生成するためのシステムであって、

最大少なくとも55メガヘルツ(MHz)の周波数、および少なくとも500ヘルツ(Hz)のパルス繰返し周波数(PRF)における超音波を生成して被検体内に送信するための複数の素子を有するアレイド超音波振動子と、

カラーフロードップラー超音波画像を前記受信超音波から生成するための処理ユニットとを備えるシステム。

(項目106)

前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元(2-D)アレイ振動子、および曲線アレイ振動子から成る群から選択される、項目105に記載のシステム。

(項目107)

前記アレイド超音波振動子が、少なくとも20MHzの中心動作周波数を有し、前記アレイド超音波振動子が、前記アレイド超音波振動子の送信中心周波数における音の波長の2倍以下に等しい素子ピッチを有する、項目105に記載のシステム。

(項目108)

前記PRFが約500Hz~約75KHzである、項目105に記載のシステム。

(項目109)

超音波画像を生成するためのシステムであって、

最大少なくとも55メガヘルツ(MHz)の周波数、および少なくとも500ヘルツ(Hz)のパルス繰返し周波数(PRF)における超音波を生成して被検体内に送信し、超音波を前記被検体から受信するための複数の素子を有するアレイド超音波振動子であって、前記アレイド超音波振動子が、少なくとも5.0ミリメートル(mm)の視野を有するアレイド超音波振動子と、

パルス波ドップラー超音波画像を前記受信超音波から生成するための処理ユニットとを備えるシステム。

(項目104)

前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元(2-D)アレイ振動子、曲線アレイ振動子から成る群から選択される、項目109に記載のシステム。

(項目105)

前記アレイド超音波振動子が、少なくとも15MHzの中心動作周波数を有し、前記アレイド超音波振動子が、前記アレイド超音波振動子の送信中心周波数における音の波長の少なくとも2倍以下に等しい素子ピッチを有する、項目109に記載のシステム。

(項目106)

前記PRFが約500Hz~約150KHzである、項目109に記載のシステム。

(項目113)

超音波画像を生成するシステムであって、

最大少なくとも15メガヘルツ(MHz)の周波数における超音波を生成して被検体内に送信し、超音波信号を前記被検体から受信するための複数の素子を有するアレイド超音波振動子であって、前記アレイド超音波振動子が少なくとも2.0ミリメートル(mm)の視野を有するアレイド超音波振動子と、

毎秒少なくとも300フレーム数(fps)の取得レートで前記受信超音波信号を取得し、超音波画像を前記取得信号から生成するための処理ユニットとを備えるシステム。

(項目114)

前記アレイド超音波振動子が、線形アレイ振動子、位相アレイ振動子、二次元(2-D)アレイ振動子、および曲線アレイ振動子から成る群から選択される、項目113に記載

10

20

30

40

50

のシステム。

(項目 1 1 5)

前記アレイド超音波振動子が、少なくとも 20 MHz の中心動作周波数を有し、前記アレイド超音波振動子が、前記アレイド超音波振動子の送信中心周波数における音の波長の 2 倍以下に等しい素子ピッチを有する、項目 1 1 3 に記載のシステム。

(項目 1 1 6)

FPGA f_c が、前記 1 つまたは複数の FPGA の動作可能な最高周波数である、項目 1 に記載の超音波イメージングシステム。

(項目 1 1 7)

FPGA f_c が、前記 1 つまたは複数の FPGA の動作可能な最高周波数である、項目 1 2 に記載の信号処理ユニット。

(項目 1 1 8)

FPGA f_c が、前記 1 つまたは複数の FPGA の動作可能な最高周波数である、項目 2 1 に記載のデジタル送信ビーム成形器。

【図面の簡単な説明】

【0008】

【図 1】図 1 は、計算動作環境のブロック図形式の表現である。

【図 2】図 2 A ~ 2 C は、本発明の例示的な略図による PZT スタックの例示的な上面図、下面図および断面図であり、上面図は、PZT スタックの上部および下部において、上にあるレンズから外側に延在する接地電気層の部分を示し、下面図は、長手方向に延在する縁部において、個々の信号電極素子間の誘電体層の露出部分を示す（理解されるとおり、個別化信号電極素子 - PZT スタックの素子 1 つ当たり 1 つの信号電極を示す線は、PZT スタックの中心部分に示されていない）。

【図 3】図 3 A は、図 2 A ~ 2 C の PZT スタックと共に使用されるインターポーザの上面平面図であり、振動子の中心開口部の隣接部分から外側に延在する電気トレースと、インターポーザの上部および下部部分に位置する電気トレースとを示し、インターポーザの表面の一部分に配置される誘電体層であって、インターポーザの長手方向軸に平行な軸に沿って位置する千鳥状のウェルのアレイを画定し、各々のウェルが、インターポーザの電気トレースと連通する誘電体層を示し、PZT スタックが誘電体層上に実装され、熱が加えられるとはんだが融解し、個々の素子信号電極と、インターポーザ上の個々のトランスとの間に所望の電氣的に導通を形成するように、誘電体層内の各々のウェル内に実装されるはんだペーストボールパンブをさらに示す。図 3 B は、図 3 A の下にあるインターポーザの誘電体層の千鳥状ウェル、および電気トレースの部分拡大図であり、ウェルは、はんだペーストボールパンブを収納するサイズになっている。

【図 4】図 4 A は、誘電体層上に実装された図 2 A の PZT スタック、および図 3 A のインターポーザの上面平面図である。図 4 B は、誘電体層上に実装された図 2 A の PZT スタック、および図 3 A のインターポーザの上面平面図であり、PZT スタックと、下にあるインターポーザと、これらの間に実装され、インターポーザ上の個々の素子信号電極と電気トレースとの間に電気接続を形成するはんだペーストボールパンブとの間の実装関係を示すために透明な層として PZT スタックが示されている。

【図 5 A】図 5 A は、本発明の振動子が実装される例示的な回路基板であって、複数の基板電気トレースが回路基板上に形成され、各々の基板電気トレースが、振動子の電気トレースに結合するように構成された近位端と、コネクタ、たとえばそれを通して信号を伝達するためのケーブルに結合するように構成された遠位端とを有する回路基板の略上面平面図である。

【図 5 B】図 5 B は、75 ミクロンピッチを有する例示的な 256 素子アレイを実装するための例示的な回路基板の上面平面図である。

【図 5 C】図 5 C は、回路基板の下にある接地層と連通する図 5 B の回路基板のバイアの上面平面図である。

【図 6】図 6 は、例示的な回路基板の一部分の上面平面図であり、領域 A には、インター

10

20

30

40

50

ポーザ上の電気トレースにワイヤボンダされ、その結果、回路基板の接地パッドにワイヤボンダされる振動子の接地電極層を示し、さらに、領域 B には、回路基板の個々の基板電気トレースにワイヤボンダされる振動子の個々の電気トレースを示す。

【図 7】図 7 A は、図 6 の領域 A の部分拡大断面図であり、はんだペーストボールパンプの周囲、および P Z T スタックとインターポーザとの間に配置された誘電体層を示す。図 7 B は、図 6 の領域 B の部分拡大断面図であり、P Z T スタックとインターポーザとの間の誘電体層を示す。

【図 8】図 8 A および 8 B は、回路基板の一部分に実装された例示的な振動子の部分断面図を示す。

【図 9】図 9 は、回路基板の一部分に実装された例示的な振動子の領域 B の拡大部分図を示す。

【図 10】図 10 は、インターポーザを備えない振動子の部分拡大断面図であり、下にある回路基板上に実装されたはんだペーストボールパンプであって、各々のボールパンプが、回路基板の 1 つの基板電気トレース上に実装されているはんだペーストボールパンプを示し、P Z T スタックの個々の素子信号電極が、個々のボールパンプを介して、回路基板の個々の基板電気トレースに電氣的に導通するように、個々の基板電気トレース上に実装された P Z T スタックを示す。

【図 11】図 11 A は、回路基板の接地パッドにワイヤボンダされたインターポーザを備えない振動子の接地電極層を示す図 10 の部分拡大断面図である。図 11 B は、回路基板の電気トレースと、P Z T スタックの素子信号電極との間に配置され、これらの電気トレースおよび素子信号電極と電氣的に連通するボールパンプを示す図 10 の部分拡大断面図である。

【図 12 A】図 12 A は、フレックス回路基板、およびこの回路基板に実装された 1 対の Samtec BTH - 090 コネクタを示す略図である。

【図 12 B - 1】図 12 B は、図 5 B および 12 A に示すコネクタの例示的なピン配列テーブルである。

【図 12 B - 2】図 12 B は、図 5 B および 12 A に示すコネクタの例示的なピン配列テーブルである。

【図 12 B - 3】図 12 B は、図 5 B および 12 A に示すコネクタの例示的なピン配列テーブルである。

【図 13】図 13 は、1 対の BSH - 090 コネクタを介して、フレックス回路基板上の Samtec BTH - 090 コネクタの対に動作可能に結合された個々の同軸ケーブルの側面図を示す略図である。

【図 14】図 14 は、BSH - 090 コネクタの 1 つに接続されたケーブル内の同軸リードの半分の例示的な平面図を示す略図である。

【図 15 A】図 15 A は、折り畳まれたフレックス回路基板に接続された医療用ケーブル組立体の遠位端の例示的な平面図を示し、ケーブルの近位端（図示しない）はマルチピン ZIF コネクタを備え、このコネクタは、超音波システムとインターフェースし、本発明の 1 つまたは複数の態様を実施するために使用される。

【図 15 B】図 15 B は、例示的な ZIF コネクタ、たとえば ITT Cannon DLM6 コネクタを有するマルチピン ZIF コネクタに対する医療用ケーブル組立体の個々の同軸ケーブルの例示的な終端ピン配列を示す。

【図 16】図 16 は、例示的な超音波イメージングシステムを示すブロック図である。

【図 17 - A】図 17 は、図 16 に示されている例示的な超音波イメージングシステムをさらに示すブロック図である。

【図 17 - B】図 17 は、図 16 に示されている例示的な超音波イメージングシステムをさらに示すブロック図である。

【図 17 - C】図 17 は、図 16 に示されている例示的な超音波イメージングシステムをさらに示すブロック図である。

【図 17 - D】図 17 は、図 16 に示されている例示的な超音波イメージングシステムを

10

20

30

40

50

さらに示すブロック図である。

【図 1 8 a】図 1 8 a は、例示的な受信ビーム成形器、送信ビーム成形器、フロントエンド電子回路、および関連する構成要素を示す略図である。

【図 1 8 b】図 1 8 b は、図 1 8 a に示されているフロントエンド電子回路のさらに詳細を示す例示的な実施態様である。

【図 1 8 c】図 1 8 c は、本発明による一実施態様の受信コントローラの例示的な実施態様である。

【図 1 8 d】図 1 8 d は、本発明による一実施態様の例示的な送信コントローラ (TX コントローラ) の図である。

【図 1 9】図 1 9 は、例示的なビーム成形器制御盤を示すシステム信号処理ブロック図である。

【図 2 0】図 2 0 は、TX/RX スイッチおよびパルサー、並びに関連回路構成の略図である。

【図 2 1】図 2 1 は、TX/RX スイッチおよびパルサー、並びに関連回路構成を示す別の実施態様の略図である。

【図 2 2】図 2 2 は、例示的な送信ビーム成形器制御のブロック図である。

【図 2 2 A】図 2 2 A ~ 2 2 C は、例示的な波形を使用して、「A」および「B」信号の微細遅延、パルス幅、および不感時間を変更する方法を示す。

【図 2 2 B】図 2 2 A ~ 2 2 C は、例示的な波形を使用して、「A」および「B」信号の微細遅延、パルス幅、および不感時間を変更する方法を示す。

【図 2 2 C】図 2 2 A ~ 2 2 C は、例示的な波形を使用して、「A」および「B」信号の微細遅延、パルス幅、および不感時間を変更する方法を示す。

【図 2 3】記載無し

【図 2 4】図 2 4 は、例示的な超音波イメージングシステムのシステム電子回路の概要を示す。

【図 2 5】図 2 5 は、直交サンプリングの例示的な単一チャネル遅延スキームを示す。

【図 2 5 B - 1】図 2 5 B は、本発明の一実施態様による補間フィルタ、位相回転、および動的アポダイゼーションを実施する別の方法である。

【図 2 5 B - 2】図 2 5 B は、本発明の一実施態様による補間フィルタ、位相回転、および動的アポダイゼーションを実施する別の方法である。

【図 2 6】図 2 6 は、受信制御信号を記憶するための例示的な制御 RAM を示す。

【図 2 6 A】図 2 6 A は、アレイド振動子の中心および外側素子の例示的なビーム成形器遅延制御信号を示す。

【図 2 7】図 2 7 は、例示的な送信/受信同期スキームのブロック図である。

【図 2 7 A】図 2 7 A は、別の例示的な送信/受信同期スキームのブロック図である。

【図 2 8】図 2 8 は、ビーム成形器出力記憶装置の例示的な RF メモリバッファを示す。

【図 2 9】図 2 9 は、例示的な超音波イメージングシステムの例示的なシステムソフトウェアの概要を示す。

【図 3 0】図 3 0 は、例示的な超音波イメージングシステムのメインシステムソフトウェアのアプリケーションの概要である。

【図 3 1】図 3 1 は、例示的な超音波イメージングシステムの例示的なモジュラーシステムを示す。

【図 3 2】図 3 2 は、例示的な送信周波数、半周期時間、およびパルス持続時間を示す。

【図 3 3】図 3 3 は、30 MHz 信号スペクトルの例示的な帯域幅サンプリングを示す。

【図 3 4】図 3 4 は、サンプル周波数の 0.9 倍で直交サンプリングされた例示的な正弦波を示す。

【図 3 4 A】図 3 4 A は、Q および I サンプリング点に対する図 3 4 の 16 のサンプル点の例示的な図である。

【図 3 4 B】図 3 4 B は、Q および I サンプルの間に点 0 ~ 3 を補間する 8 つのサンプルのウィンドウの例示的な図である。

10

20

30

40

50

【図 3 4 C】図 3 4 C は、点 4 ~ 1 5 を補間するために、1 つのサンプルだけ前方の移動する図 3 4 の例示的なウィドウである。

【図 3 5】図 3 5 は、I および Q 波形の例示的な補間点を示す。

【図 3 6】図 3 6 は、線形アレイから単一光線ラインを取得するための例示的な直交サンプルを示す。

【図 3 7】図 3 7 A および 3 7 B は、同じ範囲点だが、半波長に応じて異なる光路長を有する範囲点から返される 2 つの例示的なチャネル信号を示す。

【図 3 8】図 3 8 は、例示的な曲線アレイ振動子による 3 ~ 1 マルチライン走査を示す。

【図 3 9】図 3 9 は、補間遅延法の概念的な実施を示す。

【図 4 0】図 4 0 は、補間遅延法の例示的な 3 - 1 マルチライン動作を示す。

10

【図 4 1】図 4 1 は、相補型 (Complementary) ヒルベルト変換フィルタの概略設計図を示す。本明細書に含まれ、本明細書を構成する添付の図面は、本発明によるいくつかの実施態様およびその説明を示し、本発明の原理を説明する上で役に立つ。

【発明を実施するための形態】

【0009】

本発明は、本発明の以下の詳細な説明、この説明に含まれる実施例、図面、並びに上記および以下の説明を参照することにより、より容易に理解されるであろう。

【0010】

本発明の化合物、組織生物、物品、デバイス、および / または方法を開示および説明する前に、本発明は、特定の方法、特定の構成要素、または特定のコンピュータアーキテクチャに限られるのではなく、これらは、当然変化することを理解するべきである。また、本明細書で使用される専門用語は、特定の実施態様のみを説明するためのものであり、制限することを意図するのではないと考えるべきである。本明細書および添付の請求の範囲に使用されるとおり、単数形の不定冠詞および定冠詞は、文脈上明らかにそうではない場合を除いて、複数の指示対象を含む。したがって、たとえば、「1 つの処理ユニット」または「1 つの受信チャネル」と言及する場合、2 つ以上のこうした処理ユニットまたは受信チャネルなどを含む。

20

【0011】

範囲は、本明細書では、「ほぼ」特定のある値から、および / または「ほぼ」特定の別の値まで表現される。このような範囲を表現する場合、別の実施態様は、ある特定の値から、および / または他の特定の値までを含む。同様に、値が、先行詞の「約」を使用して近似値として表現される場合、特定の値が別の実施態様を構成すると考えられる。さらに、各々の範囲の端点は、他の端点に関連する場合、および他の端点に関係ない場合の両方で重要である。「任意の」または「任意に」とは、以下で説明する事象または状況が生じるか、または生じないこと、およびこの記述は、前記の事象または状況が生じる事例、およびこうした事象または状況が生じない事例を含むことを意味する。

30

【0012】

本明細書に開示される例示的なシステムの態様は、汎用計算デバイス、たとえば図 1 に示すコンピュータ 101 の形式のデバイスを介して実施することができる。コンピュータ 101 の構成要素としては、1 つまたは複数のプロセッサまたは処理ユニット 103 と、システムメモリ 112 と、ロセッサ 103 を含む様々なシステム構成要素をシステムメモリ 112 に結合するシステムバス 113 とが挙げられるが、これらだけに限らない。

40

【0013】

システムバス 113 は、1 つまたは複数のいくつかの可能なタイプのバス構造、たとえばメモリバスまたはメモリコントローラ、周辺機器用バス、アクセラレイティッドグラフィックスポート、およびプロセッサ、または多様なバスアーキテクチャの何れかを使用するローカルバスを表す。一例として、このようなアーキテクチャとしては、業界標準アーキテクチャ (ISA) バス、マイクロチャネルアーキテクチャ (MCA) バス、強化 ISA (EISA) バス、ビデオ周辺機器関連標準化団体 (VESA) ローカルバス、およびメザニンバスとしても知られるペリフェラルコンポーネントインターコネクト (PCI)

50

バスを挙げることができる。このバス、および本明細書に記載されているすべてのバスは、有線または無線ネットワーク接続で実施することもできる。バス 113、および本明細書に記載されているすべてのバスは、有線または無線ネットワーク接続で実施することもでき、プロセッサ 103、大容量記憶装置 104、オペレーティングシステム 105、アプリケーションソフトウェア 106、データ 107、ネットワークアダプタ 108、システムメモリ 112、入力/出力インターフェース 110、ディスプレイアダプタ 109、ディスプレイデバイス 111、およびヒューマンマシンインターフェース 102を含むサブシステムの各々は、1つまたは複数のリモートコンピューティングデバイス 114a、b、c 内の、この形式のバスを介して接続された物理的に別個の位置に含み、實際上、完全分散システムを実施することができる。

10

【0014】

コンピュータ 101 は、一般に、様々なコンピュータ可読媒体を含む。このような媒体は、コンピュータ 101 がアクセス可能な何らかの利用可能な媒体で良く、揮発性および不揮発性媒体、取り外し可能および取り外し不能媒体の両方を含む。システムメモリ 112 は、ランダムアクセスメモリ (RAM) などの揮発性メモリ、および/または読み出し専用メモリ (ROM) などの不揮発性メモリの形式のコンピュータ可読媒体を含む。システムメモリ 112 は、一般に、データ 107 などのデータ、および/または処理ユニット 103 に直接アクセス可能であるか、および/または処理ユニット 103 上で現在動作しているアプリケーションソフトウェア 106 を含む。

20

【0015】

コンピュータ 101 は、その他の取り外し可能/取り外し不能、揮発性/不揮発性コンピュータ記憶媒体も含む。一例として、図 1 は、コンピュータコード、コンピュータ可読命令、データ構造、プログラムモジュール、およびコンピュータ 101 のその他のデータの揮発性記憶装置を提供可能な大容量記憶装置 104 を示す。たとえば、大容量記憶装置 104 は、ハードディスク、取り外し可能なハードディスク、磁気カセットもしくはその他の磁気記憶デバイス、フラッシュメモリカード、CD-ROM、デジタルバーサタイルディスク (DVD) もしくはその他の光学式記憶装置、ランダムアクセスメモリ (RAM)、読み出し専用メモリ (ROM)、電氣的消去可能プログラム可能読み出し専用メモリ (EEPROM) などである。

30

【0016】

任意の数のプログラムモジュールは、一例としてオペレーティングシステム 105 およびアプリケーションソフトウェア 106 を含む大容量記憶装置 104 上に記憶することができる。オペレーティングシステム 105 およびアプリケーションソフトウェア 106 の各々 (または、これらの組合せ) は、プログラミングの要素、およびアプリケーションソフトウェア 106 を含む。データ 107 も、大容量記憶装置 104 上に記憶することができる。データ 104 は、当該技術分野で周知されている 1つまたは複数のデータベースの何れかに記憶することができる。こうしたデータベースの例としては、DB2 (登録商標)、Microsoft (登録商標)、Access、Microsoft (登録商標)、SQL Server、Oracle (登録商標)、mySQL、PostgreSQL などが挙げられる。データベースは集中させるか、または複数のシステム全体に分散させることができる。

40

【0017】

ユーザは、入力デバイス (図示しない) を介してコンピュータ 101 内にコマンドおよび情報を入力することができる。こうした入力デバイスの例としては、キーボード、ポインティングデバイス (たとえば、「マウス」)、マイクロフォン、ジョイスティック、シリアルポート、スキャナなど挙げられるが、これらだけに限らない。上記およびその他の入力デバイスは、システムバス 113 に結合されるヒューマンマシンインターフェース 102 を介して処理ユニット 103 に接続することができるが、その他のインターフェースおよびバス構造、たとえばパラレルポート、ゲームポート、またはユニバーサルシリアルバス (USB) などによって接続される。本発明による位置実施態様の例示的なシステム

50

では、ユーザは、1つまたは複数の上記の入力デバイスから選択することができる。任意に、ユーザは、トグルスイッチ、スライダー、可変抵抗器、およびその他のユーザインターフェースデバイスなど、様々な制御デバイスも含むことができる。ユーザインターフェースは、処理ユニット103に接続することができる。ユーザインターフェースは、本明細書に記載されている処理ユニット103の接続部に接続するか、または接続しない状態で、本明細書に記載されている例示的なシステムのその他の機能ブロックに接続することも可能である。

【0018】

ディスプレイデバイス111は、ディスプレイアダプタ109などのインターフェースを介して、システムバス113に接続することもできる。たとえば、ディスプレイデバイスは、モニターまたはLCD（液晶ディスプレイ）で良い。ディスプレイデバイス111のほかに、出力周辺デバイスは、入力/出力インターフェース110を介してコンピュータ101に接続可能なスピーカ（図示しない）およびプリンタ（図示しない）などの構成要素を含むことができる。

10

【0019】

コンピュータ101は、1つまたは複数のリモートコンピューティングデバイス114a、b、cに対する論理接続を使用して、ネットワーク環境で動作することができる。一例として、リモートコンピューティングデバイスは、パーソナルコンピュータ、ポータブルコンピュータ、サーバー、ルーター、ネットワークコンピュータ、ピアデバイス、またはその他の共通ネットワークノードなどで良い。コンピュータ101とリモートコンピューティングデバイス114a、b、c間の論理接続は、ローカルエリアネットワーク（LAN）および汎用広域ネットワーク（WAN）を介して行うことができる。こうしたネットワーク接続は、ネットワークアダプタ108を介して行うことができる。ネットワークアダプタ108は、有線または無線環境の両方にインプリメントすることができる。こうしたネットワーク環境は、オフィス、企業内コンピュータネットワーク、イントラネット、インターネット115では一般的である。リモートコンピュータ114a、b、cは、サーバー、ルーター、ピアデバイス、またはその他の共通ネットワークノードで良く、一般に、コンピュータ101に関して上記で述べたすべての、または何れかの要素を含む。ネットワーク環境では、プログラムモジュールおよびデータは、リモートコンピュータ114a、b、c上に記憶される。論理接続は、LANおよびWANを含む。その他の接続方法を使用することもでき、ネットワークは、「ワールドワイドウェブ」またはインターネットなどを含む。

20

30

【0020】

実例を挙げるため、アプリケーションプログラム、およびオペレーティングシステム105などのその他の実行可能プログラムは、本明細書では別個のブロックとして示されているが、こうしたプログラムおよび構成要素は、コンピュータ101の様々な記憶構成要素内に様々な時点で存在し、コンピュータのデータプロセッサによって実行される。アプリケーションソフトウェア106のインプリメンテーションは、ある形式のコンピュータ可読媒体上に記憶されるか、またはこうしたコンピュータ可読媒体を通して送信される。コンピュータ可読媒体は、コンピュータがアクセス可能な何らかの利用可能な媒体で良い。制限するのではなく一例として、コンピュータ可読媒体は、「コンピュータ記憶媒体」および「通信媒体」を含み、「コンピュータ記憶媒体」は、コンピュータ可読命令、データ構造、プログラムモジュール、またはその他のデータなどの情報を記憶するための何らかの方法または技術でインプリメントされる揮発性および不揮発性、取外し可能および取外し不能媒体を含む。コンピュータ記憶媒体としては、RAM、ROM、EEPROM、フラッシュメモリもしくはその他のメモリ技術、CD-ROM、デジタルバーサタイルディスク（DVD）、またはその他の光学式記憶装置、磁気カセット、磁気テープ、磁気ディスク記憶装置もしくはその他の磁気記憶デバイス、または所望の情報を記憶するために使用することができ、コンピュータがアクセス可能なその他の何らかの媒体が挙げられるが、これらだけに限らない。開示された方法のインプリメンテーションは、ある形式のコ

40

50

ンピュータ可読媒体上に記憶されるか、またはこうしたコンピュータ可読媒体を通して送信される。

【0021】

開示された方法の処理は、ソフトウェア構成要素によって実施することができる。開示された方法は、1つまたは複数のコンピュータまたはその他のデバイスによって実行されるコンピュータ実行可能命令、たとえばプログラムモジュールに一般的に関連して説明する。一般に、プログラムモジュールは、特定のタスクを実行するか、または特定の抽象データタイプをインプリメントするコンピュータコード、ルーチン、プログラム、オブジェクト、コンピュータデータ構造などを含む。開示された方法は、グリッドベースおよび分散計算環境で実施しても良い。分散計算環境では、プログラムモジュールは、メモリ記憶デバイスを含むローカルおよびリモートコンピュータ記憶媒体の両方に配置される。

10

【0022】

図示され、本明細書に記載されている例示的なシステムの態様は、ハードウェア、ソフトウェア、およびこれらの組合せの様々な形式でインプリメントすることが可能である。ハードウェアのインプリメンテーションは、当該技術分野で周知されている以下の技術の何れか、またはこれらの組合せを含むことができる：分散電子回路構成要素、データ信号上で論理関数をインプリメントするための論理ゲートを有する分散論理回路、適切な論理ゲートを有する、アプリケーション特有の集積回路、プログラム可能なゲートアレイ(PGA)、フィールドプログラマブルゲートアレイ(FPGA)など。ソフトウェアは、論理関数をインプリメントするために実行可能な命令の順序付きリストを含み、命令実行システム、装置またはデバイス、たとえばコンピュータベースのシステム、プロセッサを含むシステム、または命令実行システム、装置、またはデバイスから命令をフェッチするか、または命令を実行することが可能なその他のシステムによって使用されるか、またはこれらに関連して使用される何らかのコンピュータ可読媒体内に埋め込むことができる。

20

【0023】

例示的なシステムの態様は、コンピュータ化システムにインプリメントすることができる。たとえば計算ユニット101を含む例示的なシステムの態様は、多数のその他の一般的な用途または特殊な用途の計算システム環境または構成で動作可能である。このシステムおよび方法と共に使用するのに適する周知の計算システム、環境、および/または構成の例としては、パーソナルコンピュータ、サーバーコンピュータ、ラップトップデバイス、およびマルチプロセッサシステムが挙げられるが、これらだけに限らない。追加の実施例としては、セットトップボックス、プログラム可能な家庭用電化製品、ネットワークPC、ミニコンピュータ、メインフレームコンピュータ、上記システムまたはデバイスなどの何れかを含む分散計算環境が挙げられる。

30

【0024】

例示的なシステムの態様は、コンピュータによって実行されるプログラムモジュールなど、コンピュータ命令に一般的に関連して説明することができる。一般に、プログラムモジュールは、特定のタスクを実行するか、または特定の抽象データタイプをインプリメントするルーチン、プログラム、オブジェクト構成要素、データ構造などを含む。システムおよび方法は、タスクが、通信ネットワークを通してリンクされるリモート処理デバイスによって実行される分散計算環境でも実施される。分散計算環境では、プログラムモジュールは、メモリ記憶デバイスを含むローカルおよびリモートコンピュータ記憶媒体の両方に配置される。

40

【0025】

多くの可能なアプリケーションの中では、上記の実施態様は、小動物の長手方向イメージング調査における解剖学的構造、および血流力学的機能のインビボでの可視化、評価、および測定を可能にする。このシステムは、非常に高度の分解能、画像の均一性、被写界深度、調節可能な送信焦点深度、複数の用途のための複数の送信焦点領域を有する画像を提供することができる。たとえば、超音波画像は、被検体またはその解剖学的部分、たとえば心臓または心臓弁の画像で良い。画像は血液でも良く、腫瘍の血管新生の評価を含む

50

用途に使用することができる。このシステムは、針注射を案内するために使用可能である。

【0026】

上記の実施態様は、ヒトの臨床、医療、製造（たとえば、超音波検査など）、または15 MHz以上の送信周波数で画像を生成することが望ましいその他の用途にも使用可能である。

【0027】

上記のシステムによる実施態様は、本明細書で詳細に説明されている以下の1つまたは複数を備えることができる：1つまたは複数の信号および画像処理機能から成る処理システムに動作可能に接続することができるアレイ振動子；デジタル送信および受信ビーム成形器サブシステム；アナログフロントエンド電子回路；デジタルビーム成形器コントローラサブシステム；高電圧サブシステム；コンピュータモジュール；電源モジュール；ユーザインターフェース；ビーム成形器を作動させるためのソフトウェア；走査変換器、および本明細書に記載するその他のシステム特徴。

10

【0028】

システムに使用されるアレイ振動子は、走査ヘッド内に組み込むことができ、走査ヘッドは、一実施態様ではイメージング時に固定具に取付けられ、その結果、操作者が、通常「フリーハンド」イメージングから生じる振動および動揺がない状態で画像を取得することを可能にする。小動物の被検体は、麻酔設備、および走査ヘッドを被検体に対して自在に配置する手段にアクセスする加熱プラットフォーム上に配置しても良い。走査ヘッドは、イメージング時に固定具に取り付けることができる。固定具は、様々な特徴、たとえば3次元における運動の自由、回転の自由、迅速な解放機構などを有することができる。固定具は、「レールシステム」装置の一部で良く、加熱マウスプラットフォームと一体化することができる。

20

【0029】

システムは、小動物のイメージングに使用されるプラットフォームおよび装置であって、操作が容易なプローブ保持装置を有する「レールガイド」タイプのプラットフォームを含むプラットフォームおよび装置に使用することができる。たとえば、上記のシステムは、マルチレールイメージングシステム、米国特許出願第10/683,168号「Integrated Multi-Rail Imaging System」、米国特許出願第10/053,748号「Integrated Multi-Rail Imaging System」、米国特許出願第10/683,870号で、2005年2月8日に発行された現在の米国特許第6,851,392号「Small Animal Mount Assembly」、および米国特許出願第11/053,653号「Small Animal Mount Assembly」に記載されている小動物実装組立体と共に使用することができ、これらは各々、引用することにより全体として本明細書に援用する。

30

【0030】

小動物はイメージング時に麻酔されて、心拍数および体温などの重要な生理学的パラメータを監視することができる。したがって、システムの実施態様は、処理および表示用のECGおよび温度信号を取得するための手段を備える。システムの一実施態様は、ECG、呼吸作用、または血圧波形などの生理学的波形を表示することもできる。

40

【0031】

概要

本明細書では、複数の素子を有する超音波振動子から受信超音波信号を取得するように構成された信号処理ユニットを含む超音波信号取得システムの実施態様を提供する。システムは、少なくとも每秒20フレーム(fps)のフレームレートで、少なくとも5.0ミリメートル(mm)の視野を有する振動子を使って、少なくとも15メガヘルツ(MHz)の周波数を有する超音波信号を受信するように構成される。その他の実施態様では、超音波信号は、50、100、または200(fps)の取得レートで取得することがで

50

きる。任意に、超音波信号は、毎秒200フレーム数(fps)以上の取得レートで取得することができる。その他の実施例では、受信超音波信号は、約100fps~200fpsの範囲内のフレームレートで取得することができる。いくつかの例示的な態様では、振動子の長さは視野に等しい。視野は、心臓学用の小動物の心臓および周囲組織、並びに腹部イメージング用の実物大の胎児など、関連する臓器を含むのに十分な広さにすることができる。一実施態様では、振動子の双方向帯域幅は、約50%~100%で良い。任意に、振動子の双方向帯域幅は、約60%~70%で良い。双方向帯域幅は、振動子が超音波の送信機、および受信器の両方として使用される時に生じる振動子の帯域幅を意味し、つまり双方向帯域幅は、二乗単方向スペクトルの帯域幅である。

【0032】

処理ユニットは、取得超音波信号から超音波画像を生成する。取得した信号は、取得レートより遅い表示レートで超音波画像を生成するように処理される。任意に、生成超音波画像は、100fps以下の表示レートを有することが可能である。たとえば、生成超音波画像は、30fps以下の表示レートを有する。視野は、約2.0mm~約30.0mmの範囲を有することができる。比較的小さい視野を使用する場合、処理ユニットは、少なくとも毎秒300フレーム数(fps)の取得レートで受信超音波信号を得ることができる。その他の実施例では、取得レートは、毎秒50、100、200またはそれ以上のフレーム数(fps)で良い。

【0033】

30MHzの中心周波数の振動子が使用される一実施態様では、開示されたシステムを使用して生成された画像は、約150ミクロン(μm)以下の方位分解能、および約75ミクロン(μm)以下の距離分解能を有する。たとえば、画像は、約30ミクロン(μm)の距離分解能を有することができる。さらに、本発明による実施態様は、約1.0mm~約30.0mmの深さで集束する超音波を送信する。たとえば、送信された超音波は、約3.0mm~約10.0mmの深さで集束することが可能である。他の実施例では、送信された超音波は、約2.0mm~約12.0mm、約1.0mm~約6.0mm、約3.0mm~約8.0mm、または約5.0mm~約30.0mmの深さで集束することが可能である。

【0034】

振動子

様々な実施態様では、振動子としては、線形アレイ振動子、位相アレイ振動子、二次元(2-D)アレイ振動子、または曲線アレイ振動子が挙げられるが、これらだけに限らない。線形アレイは、一般に平坦であり、つまりすべての素子は、同じ(平坦な)平面に存在する。曲線線形アレイは、一般に、素子が曲線状平面内に存在するように構成される。本明細書に記載されている振動子は、「固定」振動子である。「固定」という用語は、振動子アレイが、所望の動作パラメータを達成するか、または超音波データのフレームを取得するために、超音波の送信または受信時に、方位角方向の運動を利用しないことを意味する。さらに、振動子を走査ヘッドまたはその他のイメージングプローブ内に配置する場合、「固定」という用語は、振動子が、動作時に走査ヘッド、プローブ、またはこれらの部分に対して、方位角方向または左右方向に移動しないことも意味する。上記のように固定されている上記の振動子は、全体的に、「アレイ」、「振動子」、「超音波振動子」、「超音波アレイ」、「アレイ振動子」、「アレイド振動子」、「超音波振動子」、もしくはこれらの組合せとして記載されるか、または当業者が超音波振動子を意味すると認識すると思われるその他の用語で記載される。本明細書に記載される振動子は、超音波フレーム間で移動することが可能性であり、たとえば、超音波データのフレームを取得した後の走査平面間で移動することが可能だが、このような移動は、振動子の動作に必須ではない。しかし、当業者が理解するとおり、本発明のシステムの振動子は、イメージングされたオブジェクトに対して移動することが可能だが、動作パラメータに関しては固定された状態を維持する。たとえば、振動子は、動作時に被検体に対して移動し、走査平面の位置を変更するか、または被検体もしくはその下にある生体構造の異なる視界を取得することが

10

20

30

40

50

可能である。

【0035】

アレイド振動子は、多数の素子から構成される。一実施態様では、本発明の1つまたは複数の態様を実施するために使用される振動子は、少なくとも64個の素子を含む。一態様では、振動子は256個の素子を含む。振動子は、256個より少ないか、または多い素子を含むことも可能である。振動子の素子は、振動子の中心送信周波数の波長の約2分の1の波長から約2倍の波長に相当する距離だけ離すことができる（本明細書では、「素子ピッチ」と呼ぶ）。一態様では、振動子の素子は、振動子の中心送信周波数の波長にほぼ等しい距離だけ離される。任意に、使用される振動子の中心送信周波数は、15MHzに等しいか、または15MHzより大きい。たとえば、中心送信周波数は、約15MHz、20MHz、30MHz、40MHz、50MHz、55MHzまたはそれ以上で良い。例示的な態様によつては、超音波振動子は、約15MHz～約80MHzの範囲内の中心周波数で、超音波を被検体内に送信する。本発明による一実施態様では、振動子は、少なくとも15MHzの中心動作周波数を有し、振動子は、振動子の送信中心周波数における音の波長の2.0倍以下に等しい素子ピッチを有する。振動子は、振動子の送信中心周波数における音の波長の1.5倍以下に等しい素子ピッチを有することも可能である。

10

【0036】

非制限的な実施例では、上記のシステムと共に使用される1つの振動子としては、特に、2005年4月20日に提出された米国特許出願第11/109,986号「Arrayed Ultrasonic Transducer」で、2005年12月8日に米国特許出願公報2005/0272183 A1として公告された振動子が挙げられ、この特許出願は、引用することにより全体として本明細書に援用され、本明細書の一部を構成する。この振動子は、可変パルス幅および遅延機構を使用して電子的にステアリング可能な圧電素子のアレイも含む。本発明の様々な実施態様による処理システムは、1つまたは複数の振動子または走査ヘッドのインターフェースとして、複数の振動子ポートを含む。上記のとおり、走査ヘッドは、手で持つか、またはレールシステムに取り付けることができ、走査ヘッドのケーブルは可撓性で良い。

20

【0037】

システムが振動子を含むか、または別に取得した振動子と共に使用するように構成されるかどうかに関わらず、振動子の各々の素子は、処理ユニットの受信チャンネルに動作可能に接続することができる。任意に、振動子の素子の数は、受信チャンネルの数より多い。たとえば、振動子は、少なくとも32の受信チャンネルに動作可能に接続される少なくとも64の素子を含む。一態様では、256の素子は、64の受信チャンネルに動作可能に接続される。別の態様では、256の素子は、128の受信チャンネルに動作可能に接続される。さらに別の態様では、256の素子は、256の受信チャンネルに動作可能に接続される。各々の素子も、送信チャンネルに動作可能に接続することができる。

30

【0038】

サンプリング

このシステムは、各々の受信チャンネルに1つまたは複数の信号サンブラをさらに含むことができる。信号サンブラは、アナログデジタル変換器(ADC)で良い。信号サンブラは、受信信号を直接サンプリングするための直接サンプリング技術を使用することができる。任意に、信号サンブラは、帯域幅サンプリングを使用して、受信信号をサンプリングすることができる。別の態様では、信号サンブラは、直交サンプリングを使用して、受信信号をサンプリングすることができる。任意に、直交サンプリングでは、信号サンブラは、位相が90°変位したサンプリングクロックを含む。また、直交サンプリングでは、サンプリングクロックは受信期間も有し、受信クロック周波数は、受信超音波信号の中心周波数にほぼ等しくて良いが、送信周波数とは異なる。たとえば、多くの状況では、受信信号の中心周波数は、イメージングされる組織内の周波数依存減衰により、送信信号の中心周波数より低く変位した。こうした状況では、受信サンプルクロック周波数は、送信周波数より低くて良い。

40

50

【0039】

取得信号は、補間フィルタリング法を使用して処理することができる。補間フィルタリング法を使用すると、遅延分解能を使用することができ、遅延分解能は受信クロック期間より低い可能性である。例示的な態様では、遅延分解能は、たとえば、受信クロック期間の $1/16$ が可能である。

【0040】

処理ユニットは、受信ビーム成形器を備えることができる。受信ビーム成形器は、少なくとも1つのフィールドプログラマブルゲートアレイ(FPGA)デバイスを使用してインプリメントすることができる。処理ユニットは、送信ビーム成形器を備えることもできる。送信ビーム成形器は、少なくとも1つのFPGAデバイスを使用してインプリメントすることも可能である。

10

【0041】

一態様では、512本の超音波ラインが生成され、被検体内に送信され、生成された超音波画像の各々のフレームごとに、被検体から受信される。さらに他の態様では、256本の超音波ラインを生成することも可能であり、被検体内に送信され、生成された超音波画像の各々のフレームごとに、被検体から受信される。別の態様では、少なくとも2本の超音波ラインを生成することが可能であり、被検体内に送信され、生成された超音波画像の各々のフレームごとに、アレイの各々の素子において被検体から受信される。任意に1本の超音波ラインが生成され、被検体内に送信され、生成された超音波画像の各々のフレームごとに、アレイの各々の素子において被検体から受信される。

20

【0042】

本明細書に記載の超音波システムは、複数のイメージングモードで 사용할 ことができる。たとえば、システムは、Bモード、Mモード、パルス波(PW)ドップラーモード、パワードップラーモード、カラーフロードップラーモード、RF-モード、および3-Dモードで画像を生成するために使用することができる。システムは、方向速度カラーフロー、パワードップラーイメージング、組織ドップラーイメージングを含むカラーフローイメージングモードで使用する ことができる。システムは、高パルス繰返し周波数(PRF)を有するステアリングされたPWドップラーを使用することも可能である。システムは、心臓学、またはこうした技術が望ましいその他の用途のために、同時Bモードと共にMモードで使用する ことも可能である。システムは、任意に二重および三重モードに使用することができ、この場合、Mモード、およびPWドップラー、および/またはカラーフローモードが、リアルタイムでBモードと同時に実行される。Bモードまたはカラーフローモード情報が三次元領域上で取得され、3-D表面レンダリングディスプレイに表示される3-Dモードも、使用することが可能である。ラインベースの画像構成または「KEV」モードは、心臓学か、または画像情報がいくつかの心周期で取得されて結合され、非常に高度のフレームレートディスプレイを提供するその他の用途に使用することができる。ラインベースの画像再現法は、米国特許出願第10/736,232号で、2006年5月30日に発行された現在の米国特許第7,052,460号「System for Producing an Ultrasound Image Using Line Based Image Reconstruction」に記載されており、この特許は、引用することにより全体として本明細書に包含し、本明細書の一部を構成する。こうしたラインベースのイメージング法は、高フレーム取得レートが望ましい場合、たとえば急速に鼓動するマウスの心臓をイメージングする場合に画像を形成するために組み込むことができる。RF取得モードでは、生RFデータを取得して表示し、オフライン分析に使用することができる。

30

40

【0043】

一実施態様では、振動子は、少なくとも500ヘルツ(Hz)のパルス繰返し周波数(PRF)で送信することができる。システムは、カラーフロードップラー超音波画像を受信超音波から生成する処理ユニットをさらに備えることができる。任意に、PRFは約100Hz~約150KHzである。MモードまたはRFモードでは、PRFは、約100

50

H z ~ 約 1 0 K H z である。ドップラーモードの場合、P R F は、約 5 0 0 H z ~ 約 1 5 0 K H z で良い。M モードおよび R F モードの場合、P R F は、約 5 0 H z ~ 約 1 0 K H z で良い。

【 0 0 4 4 】

例示的なアレイド振動子

次に、図 2 A ~ 1 5 B を参照すると、本発明の一実施態様による回路基板は、例示的な振動子を収納するように構成され、少なくとも 1 つの従来のコネクタに接続するようにさらに構成される。本明細書に記載するとおり、要求された信号の送信および / または供給用のケーブルと相補的に接続するように構成することができる。図を参照すると、回路基板の微細な詳細により、別様に指示されていない限り、図面は、相補的な回路基板および関連するマルチ素子アレイを単に表している。図 5 A ~ 5 C は、7 5 ミクロンピッチを有する 2 5 6 個の素子アレイ用の例示的な回路基板の様々な図を示す。

10

【 0 0 4 5 】

次に、特に図 2 A ~ 4 B を参照すると、例示的な回路基板と共に使用される例示的な振動子が示されている。図 2 A ~ 4 B では、例示的な P Z T スタックの略図の例示的な上部、下部、および断面図が示されている。図 2 A は、P Z T スタックの上面図を示し、P Z T スタックの上部および下部部分から延在する接地電気層の部分を表す。一態様では、接地電気層は、P Z T スタックの全幅に延在する。図 2 B は、P Z T スタックの下面図を示す。この態様では、P Z T スタックの長手方向に延在する縁部に沿って、P Z T スタックは、個々の信号電極素子間の誘電体層の露出部分を形成する。別の態様では、信号素子は、P Z T スタックの全幅に延在する。図面で分かるとおり、P Z T スタックの下にある「中心部分」には、個別化信号電極素子を示すラインが示されていない。図面でさらに分かるとおり、P Z T スタックの素子ごとに 1 つの信号電極があり、たとえば 2 5 6 個の素子アレイには、2 5 6 個の信号電極がある。

20

【 0 0 4 6 】

図 3 A は、図 2 A ~ C の P Z T スタックと共に使用されるインターポーザの上面平面図であり、インターポーザの中心開口部に隣接して外側に延在する電気トレースを含む。インターポーザは、このインターポーザの上部および下部部分に位置する接地電気トレースをさらに含む。

【 0 0 4 7 】

インターポーザは、このインターポーザの中心開口部の周囲のインターポーザ上面の一部に配置された誘電体層をさらに含む。この態様では、さらに図 3 B を参照すると、誘電体層は、千鳥状のウェルの 2 つのアレイを画定し、1 つのアレイは、中心開口部の各々の側にあり、インターポーザの長手方向軸に平行な軸に沿って延在する。各々のウェルは、インターポーザの電気トレースと連通する。はんだペーストは、誘電体層内の各々のウェルを充填するために使用することができ、P Z T スタックが誘電体層上に実装されて、熱が加えられた時に、はんだが融解して、インターポーザ上の個々の素子信号電極と個々のトランス間に所望の電氣的に導通を形成する。

30

【 0 0 4 8 】

図 4 A は、図 3 A のインターポーザの誘電体層上に実装された図 2 A の P Z T スタックの上面平面図である。本発明を分かりやすくするために、図 4 B は、誘電体層上に実装された図 2 A の P Z T スタック、および図 3 A のインターポーザの上面平面図を示し、P Z T スタックは、透明画として示されている。これは、P Z T スタックと、下にある誘電体層 / インターポーザとの実装関係を示し、これらの間に実装されたはんだペーストは、インターポーザ上の個々の素子信号電極と電気トレースとの間に電気接続を形成する。

40

【 0 0 4 9 】

次に、図 5 A を参照すると、本発明の振動子が実装される例示的な回路基板の略上面平面図が示されている。一態様では、回路基板の少なくとも一部分は可撓性で良い。一実施態様では、回路基板は、下部銅接地層の上面に実装された下部銅接地層および K a p t o n (商 標) 層を含む。一態様では、回路基板は、下にある複数の実質的に剛性の支持構造

50

を含むこともできる。この態様では、回路基板の中心開口部を囲む中心部分は、下部銅接地層の下面に実装された剛性の支持構造を有することができる。さらに他の態様では、コネクタを取り付けることが可能な回路基板の部分も、下部銅接地層の下面に実装された剛性支持構造を有することができる。

【0050】

回路基板は、Kapton（商標）層の上面に形成された複数の基板電気トレースをさらに含み、各々の基板電気トレースは、振動子の電気トレース、およびコネクタ、たとえば信号通信が行われるケーブルに結合するように構成された遠位端に結合するように構成される。一態様では、各々の電気トレースを形成する回路の長さは、実質的に一定のインピーダンスを有する。

10

【0051】

回路基板は、複数のパイアも含み、これらのパイアは、Kapton（商標）層を貫通し、下にある接地層と連通して、信号リターンパス、または信号接地パスを形成することができる。さらに、回路基板は、複数の接地ピンも含む。各々の接地ピンは、回路基板の接地層に結合される近位端と（Kapton層内のパイアの1つを貫通する）、コネクタに結合するように構成された遠位端とを有する。

【0052】

図5Bは、75ミクロンピッチを有する例示的な256素子アレイを実装するための例示的な回路基板の上面平面図であり、図5Cは、回路基板の下にある接地層と連通する図5Bの回路基板のパイアの上面平面図である。図5Bは、コネクタのピンを収納するサイズおよび形状のボアを回路基板に画定し、コネクタが回路基板の部分に実装されると、個々の電気トレースおよび接地ピンとコネクタとの正確な位置合わせが行われる。

20

【0053】

図6は、例示的な回路基板の一部分の部分拡大上面平面図を示し、領域Aには、インターポーザ上の電気トレースにワイヤボンダされ、その結果、回路基板の接地パッドにワイヤボンダされる振動子の接地電極層が示されている。回路基板の接地パッドは、Kapton（商標）層内のパイアを通して、下にある下部銅接地層と連通する。図示のとおり、領域Bでは、振動子の個々の電気トレースが、回路基板の個々の基板電気トレースにワイヤボンダされている。次に、図8Aを参照すると、一態様では、回路基板の中心開口部は、振動子の裏材料の下にある。図7Aは、回路基板の一部分に実装された例示的な振動子の領域Bの拡大部分図である。

30

【0054】

次に、図11A～11Bを参照すると、回路基板の実質的に剛性の中心部分に対する、インターポーザを含まない振動子の実装が示されている。この実施態様では、殆どのワイヤボンダをなくすることが可能である。この態様では、PZTスタックは、たとえば、一連の金ボールバンブにより回路基板に直接表面実装される。金ボールバンブ手段は、従来の表面実装技術であり、上記の表面実装技術と一致する別のタイプの表面実装技術を示す。この実施例では、回路基板の剛化された中心部分は、インターポーザと同じ機能性を提供することができる。PZTスタックの接地電極から回路基板の接地までのワイヤボンダ、またはその他の電気接続部は、組み立てられたデバイスの信号リターンに匹敵させる必要がある。図11Aは、回路基板の接地パッドにワイヤボンダされた振動子（インターポーザを含まない）の接地電極層を示す。

40

【0055】

一態様では、器ボールバンブは、回路基板上に直接適用される。各々のボールバンブは、回路基板の1つの電気トレースと連通させて配置される。PZTスタックが適用されると、PZTスタックは回路基板の電気トレースと整列し、ボールバンブを介して電氣的な導通が行われる。PZTスタックは、たとえば、a) UV硬化性の欠肉を使用する；b) ACFテープを使用する；c) 純粋なインジウムはんだをPZTまたは回路基板の電極上に電気めっきし、インジウムをリフローさせて、PZT上の信号電極と、回路基板上の気ボールバンブとの間などにはんだ接合部を形成することにより回路基板に固定されるが、

50

これらに制限する意図はない。

【0056】

アレイド振動子は、図2A～11に示す可撓性回路を使用して、システムの処理ユニットに動作可能に接続することができる。次に、図12～15を参照すると、フレックス回路は、BTHコネクタと動作可能に接続することができる。BTHコネクタは共通であり、様々なサイズのコネクタがある。BTHコネクタは、BSHコネクタと嵌合する多数のピンを備える。ピンの数は、フレックスの対応するトレースのアレイ素子の数より少なくとも1つ多くすることができる。たとえば、ピンの数は、フレックスの対応するトレースのアレイ素子の数の2倍に等しくて良い。したがって、一実施例では、 $2 \times 180 = 360$ のピンを、256個素子アレイの可撓性回路上の256個のトレースに使用することができる。別の実施例では、256個のピンは、例示的な256素子アレイに使用することができる。BSHコネクタは、BTH内に接続可能に着座させることができる。BSHコネクタは、複数の同軸ケーブルで終端するプリント回路基板などのインターフェースと動作可能に接続される。複数の同軸ケーブルから形成される比較的大きい共通ケーブルは、ZIF端部で終端させて、ZIFレセプタクルまたはインターフェース部位において、超音波システムの処理ユニットとインターフェースさせることができる。使用可能な例示的なZIFコネクタは、ニューヨーク州、ホワイトプレインズのITT Corporationから市販されている360ピンDLM6 ITT Cannon ZIF（商標）コネクタである。しかし、当業者には明らかとなり、別のZIF（商標）コネクタを処理ユニットとインターフェースするために使用することができ、こうしたコネクタは、おおよそ360個のピンを有することが可能である。

10

20

【0057】

接続は、ケーブル、またはケーブルの束から構成することができる。ケーブルは、アレイの各々の素子を1対1の関係で処理ユニットに接続することができ、つまり、各々の素子は、それ自体の信号および接地リードを使って、処理ユニット内の指定の接続点に電気的に接続することができ、その結果、複数の個々の素子接続部が一緒に束ねられて、全体のケーブルを形成する。任意に、各々の個々の電気接続部は束から取り外すことができ、物理的に1つのケーブルまたはケーブル組立体を形成するわけではない。

【0058】

適切なケーブルは、同軸ケーブル、捩られた対、および銅合金配線で良い。その他の接続手段は、非物理的な接続方法、たとえばRFリンク、赤外線リンク、および適切な送信および受信構成要素が含まれる類似の技術を介して行われる。

30

【0059】

個々の素子の接続は、処理ユニットに対する接続アレイ素子に一般に使用される他言うの同軸ケーブルを含むことができる。これらの同軸ケーブルは、低損失タイプで良い。同軸ケーブルは、中心導体、および中心導体から絶縁され、外側絶縁層内に入れられたあるタイプの外側シールドリングを一般に含む。これらの同軸ケーブルは、アレイに使用するのに適する公称インピーダンスを有することができる。一例の公称インピーダンスは、50Ω以上、たとえば50Ω、52Ω、73Ω、75Ω、または80Ωで良い。

【0060】

本明細書に記載されている1つまたは複数の超音波イメージングシステムと共に使用される例示的な医療用ケーブルは、40AWGの少なくとも256本の同軸ケーブルで、公称インピーダンスが約75Ω、同軸ケーブルの長さが約2.0mの同軸ケーブルを含む。長さは、2.0m未満か、または2.0mを超えて良い。医療用ケーブルのジャケットの長さは、ケーブルの長さに適合し、電気シールドリング用の追加の金属シースを含むことができ、PVCまたはその他の可撓性材料から製造することができる。

40

【0061】

本明細書に記載されているものを含むアレイ振動子を処理ユニットに接続するケーブルおよび接続部は、Precision Interconnect - TYCO Electronics（デラウェア州、ウィルミントンのTyco Electronics

50

Corporation)などの会社が製造することができる。

【0062】

例示的なケーブルは、近位端に、フレックス/歪緩和、同軸ケーブルとZIF(商標)ピンとをインターフェースする12PCB、360ピンITT CannonZIF(商標)コネクタ、および作動ハンドル(DLM6-360タイプ)、並びにコネクタ周囲の遮蔽ケーシングをさらに含む。例示的なケーブルは、遠位端に、2つのPCBで終端し、同軸ケーブルとフレックス回路基板とをインターフェースするフレックス/歪緩和ケーブルであって、各々のPCBが、1BSH-090-01-L-D-ASamtecコネクタ(インディアナ州、ニューオールバニーのSamtec, Inc.)を有し、各々のPCBが、75Ωの独特なインピーダンストレースを有し、ケーブルが千鳥状配置のPCBの両側から終端するケーブルを含むことができる。

10

【0063】

ケーブルは、大きいケーブルを含む複数の同軸ケーブルを固定および接続する「フレックス回路」法を使用することができる。例示的な実施態様では、アレイは、256個の素子を有する。アレイは、フレックス回路の中心領域に実装される。フレックス回路は、奇数の番号が付いた素子1、3、5、7...255が、J1というラベルが付いたBTH-090コネクタを有するフレックスの左端部上で終端し、偶数番号が付いた素子2、4、6、8...256が、J3というラベルが付いたBTH-090コネクタを有するフレックスの右端部で終端する両端を有する。両端では、これらの素子は、GND(信号リターン)ピンが、コネクタ全体に繰り返しパターンで均一に分散している個々のコネクタの上および下の列に沿って順に終端する。

20

【0064】

この繰り返しパターンは、以下のとおり、フレックスの外側縁部からフレックスの中心領域に向かって画定される：

2つの信号ピン、GND

3つの信号ピン、GND

2つの信号ピン、GND

3つの信号ピン、...

...、GND

3つの信号ピン、GND

2つの信号ピン、GND

2つの信号ピン、GND。

30

【0065】

折り畳まれたフレックス回路であって、アレイが、フレックスの中心アレイに実装されているフレックス回路の側面図を示す略図は、図12Aに示され、フレックス回路上のコネクタの関連するピン配列テーブルは、図12Bに示されている。

【0066】

フレックス回路は、上記の例示的なケーブルに接続することができる。フレックス回路は、Precision Interconnect-Tyco Electronicsの医療用ケーブル組立体に接続することができる。フレックスからZIF(商標)コネクタまでの、たとえば電気接続は、2つの走査ヘッドPCBと、これに続く同軸ケーブルの束、および各々が、ZIF(商標)ピン内に挿入された2×15コネクタを有する12本の短いPCBによって行うことができる。

40

【0067】

各々の走査ヘッドPCB(合計2個)は、1つのBSH-090コネクタ、128のトレース(すべてのトレースは、たとえば30Hzで75Ωの制御されたインピーダンスを有する)を含むことができ、128(40AWG75Ω)の同軸ケーブルで終端することができる。PCBは、0.525"×2.344"の外側寸法を有することができる。

【0068】

図13は、2つの走査ヘッドPCBの構造を示す。図14は、PCBをどのようにフレ

50

ックス回路に接続することができることを示し、同軸ケーブルのリボンをPCBにはんだ付けすることを可能にする千鳥状態を示す。2つの走査ヘッドPCBがある。左の基板は、フレックス上のJ1コネクタに接続することができ、右の基板は、J3コネクタに接続することができる。各々の走査ヘッドPCBは、1つのBSH-090コネクタを有することができる。各々の走査ヘッドのトレースのピン配列は、J1およびJ3コネクタのピン配列に一致適合させることができる。

【0069】

ZIFコネクタ

例示的な医療用ケーブルは、図15Aに部分的に示すように、処理ユニットに接続するケーブルの端部である近位端にZIFコネクタを備える。当業者は、ケーブル組立体のいくつかの構造が可能であることを理解するであろう。図15Bは、例示的なZIFコネクタに使用可能なピン配列を示す。Gというラベルを付けられたピンは、信号リターンピンである。N/Cというラベルを付けられたピンは同軸ケーブルで終端せず、これらのピンは、シャーシ接地を保護するか、または特定されていないその他の機能として使用するために留保される。N/Cピンは、単にZIF筐体を取り外し、ZIFに接続される12個のPCBの何れかの未使用のトレースのはんだを除去することによって接近することができる。

10

【0070】

ZIFコネクタに接続するために使用される12個の個々のPCBは、基板の一方または両方の側に接続される同軸ケーブルを有する。PCBの一方の縁部は、ZIFコネクタ(Saintec SSWまたは等価なもの)内に挿入するのに適するコネクタを有することができ、各々のPCBは、正しい同軸ケーブルを正しいZIFピンに接続するために必要な適切なトレースおよびパイアを有するべきである。

20

【0071】

各々のPCBは、Saintec SSWまたは等価なもの、2列の15個のピンを有するコネクタを有することができるが、同軸ケーブルの数は、図15Bに示すように12個のPCBによって異なる。2×15コネクタ上のピンの一般的な配置は普遍的であり、表1に示されている。

【0072】

12個のPCBの1つは、図15Bに示すとおり、EEPROMを含むトレースのレイアウトに備えを必要とする。12個のPCBの2つは、アレイ組立体内部に含まれる特定のアレイ構造を特定するPROBE ID番号を提供するために、必要に応じてピンのいくつかを終端させることが必要である。

30

【0073】

様々な接続方法を使用することができ、様々なスタイルのコネクタが挙げられる。これらの様々な接続方法では、インピーダンスは、30MHzの中心周波数において75Ωで良い。

【0074】

【表 1】

表1
ITコネクタに差し込まれるZIF PCBのコネクタ端部における接続部のレイアウト

一般的なパターン

信号	信号
信号	GND
信号	信号
GND	信号
信号	信号
信号	信号
信号	GND
信号	信号
GND	信号
信号	信号
信号	信号
信号	GND
GND	信号
信号	信号

10

超音波システム

本発明による超音波システム1600の例示的な実施態様を図16に示す。図16は、例示的な超音波イメージングシステム1600を示すブロック図である。様々な図面に示されているブロックは、システム1600の一実施態様内で行われるプロセスの機能表現で良い。しかし、實際上、機能は、システム1600内のいくつかの位置またはモジュール全体で行われる。

20

【0075】

例示的なシステム1600は、アレイ振動子1601、ケーブル1619、および処理ユニット1620を備える。ケーブル1619は、処理ユニット1620およびアレイ振動子1601を接続する。処理ユニットは、ソフトウェアおよびハードウェア構成要素を含む。処理ユニットは、マルチプレクサ(MUX)/フロントエンド電子回路1602、受信ビーム成形器1603、ビーム成形器制御装置1604、送信ビーム成形器1605、システム制御装置1606、ユーザインターフェース1607、走査変換器1608、映像処理ディスプレイユニット1609、および1つまたは複数のMモード処理モジュール(図示しない)を含む処理モジュール、PWドブbler処理モジュール1611、Bモード処理モジュール1612、カラーフロー処理モジュール1613、3-Dモード処理モジュール1615を含むことができる。例示的なシステムの中心周波数範囲は、約15~55MHz以上で良い。帯域幅の外側縁部から測定した場合、例示的なシステムの周波数範囲は、約10~80MHz以上で良い。

30

【0076】

アレイ振動子1601は、MUX/フロントエンド電子回路(MUX/FEE)1602において、処理ユニット1620とインターフェースする。MUX/FEE1602のMUX部分は、複数の電気バスをより少数の電気バスに電子的に切り換えるか、または接続することが可能なマルチプレクサである。アレイ振動子1601は、電気エネルギーを超音波エネルギーに、およびこの逆に変換し、MUX/FEE1602に電氣的に接続される。

40

【0077】

MUX/FEE1602は、アレイの素子の一定のサブセット、つまりアクティブアパーチャの素子に接続される送信波形を生成する電子回路を含む。素子のサブセットは、アレイ振動子1601のアクティブアパーチャと呼ばれる。MUX/FEE1602の電子回路は、アレイのアクティブアパーチャを受信チャネルの電子回路にも接続する。作動時、アクティブアパーチャは、アレイ振動子1601の周囲で、本明細書に記載された構成要素によって決定される方法で移動する。

【0078】

MUX/FEE1602は、アクティブアパーチャの素子を例示的なシステムの送信お

50

よび受信チャンネルに切換え可能に接続する。本発明の256素子アレイ振動子の例示的な実施態様では、最大64個のアクティブアパーチャに切換え可能に接続可能な64個の送信チャンネルおよび64個の受信チャンネルがある。最大64個のアクティブアパーチャは連続している。本発明の特定の実施態様では、別個の送信MUXおよび別個の受信MUXがある。本発明のその他の実施態様は、送信チャンネルおよび受信チャンネルの両方でMUXを共有する。

【0079】

例示的な超音波システム1600の送信サイクル時、MUX/FEE1602のフロントエンド電子回路部分は、アレイ振動子1601のアクティブアパーチャの素子に高電圧信号を供給する。一態様では、受信チャンネルおよび送信チャンネルは、アレイ振動子1601の素子に共通の接続点を有するため、フロントエンド電子回路は、受信チャンネルの保護回路も提供し、受信チャンネルを高電圧送信信号から保護することができる。保護は、受信チャンネル内に漏れるか、または通過する可能性がある送信信号の量を、受信電子回路に損傷を生じない安全レベルに制限する絶縁回路構成の形式で良い。MUX/FEE1602の特徴としては、送信側における迅速な立上がり時間、および送信および受信チャンネル上における高帯域幅が挙げられる。

10

【0080】

MUX/FEE1602は、信号を送信ビーム成形器1605からアレイ振動子1601に通過させる。例示的な実施態様では、送信ビーム成形器1605は、別個の波形を生成し、アクティブアパーチャの各々の素子に供給する。例示的な実施態様では、アクティブアパーチャの各々の素子の波形は同じである。別の態様では、アクティブアパーチャの各々の素子の波形は、すべて同じというわけではなく、実施態様によっては、異なる中心周波数を有する。

20

【0081】

例示的な一実施態様では、各々の別個の送信波形は、それぞれに関連する遅延を有する。各々の素子の波形の遅延の分布は、遅延プロファイルと呼ばれる。遅延プロファイルは、送信音響ビームを所望の焦点に所望どおりに集束させるように計算される。特定の実施態様では、送信音響ビーム軸は、アレイ1601の平面に垂直であり、ビーム軸は、アレイ振動子1601のアクティブアパーチャの中心でアレイ1601と交差する。遅延プロファイルも、ビームがアレイ1601の平面に垂直ではないように、ビームをステアリングすることができる。本発明の例示的な態様では、1/16の遅延分解能を使用することができる。あるいは、言い換えれば、送信中心周波数の中心周波数の期間の1/16は、別の遅延分解能だが、本発明の範囲内で考えられる。たとえば、50MHzの中心周波数では、期間は20ナノ秒であるから、期間の1/16は1.25ナノ秒であり、これは、音響ビームを集束させるために使用される例示的な遅延分解能である。遅延分解能は、期間の1/16番目とは異なる場合があり、たとえば、1/16番目より小さい遅延分解能（たとえば、1/24、1/32など）、および1/16より大きい遅延分解能（たとえば、1/12、1/8など）は、本発明の範囲内であると考えられることが分かるであろう。

30

【0082】

受信ビーム成形器1603は、MUX/FEE1602を介して、アレイ振動子1601のアクティブアパーチャの素子に接続することもできる。送信時、音響信号は、被検体内に浸透し、被検体の組織から反射信号を生成する。反射信号は、アレイ振動子1601のアクティブアパーチャの素子によって受信され、アクティブアパーチャの各々の素子から放射されるアナログ電気信号に変換される。電気信号がサンプリングされ、信号は、受信ビーム成形器1603内でアナログからデジタル信号に変換される。本発明の実施態様は、直交サンプリングを使用して、受信信号のデジタル化を行う。システム1600の受信サイクルでは、アレイ振動子1601は、システム1600の受信サイクルでは、アレイ振動子1601は、ビーム成形器制御装置1604によって決定される受信アパーチャも有し、ビーム成形器制御装置1604は、受信ビーム成形器1603に対して、アレイの

40

50

どの素子をアクティブアパーチャ内に含み、どの遅延プロファイルを使用するかを知らせる。例示的な実施態様の受信ビーム成形器 1603 は、デジタルビーム成形器である。

【0083】

受信ビーム成形器 1603 は、遅延をアクティブアパーチャの各々の素子の受信信号内に遅延を導入する。この遅延は、遅延プロファイルと総称される。受信遅延プロファイルは、経過時間、つまりイメージングされる組織内に超音波が送信される時に、経過した時間に基づいて動的に調節することができる。経過時間は、受信ビーム成形器を組織内の焦点の 1 点に集束させるために使用される。つまり、受信ビームは、送信ビームの経過時間に関する情報を含む遅延プロファイルを使用して調節される。

【0084】

アクティブアパーチャの各々の素子からの受信信号は合計され、合計は、遅延プロファイルを含む。合計受信信号は、ユーザインターフェース 1607、およびユーザの入力に基づいて動作するシステム制御装置 1606 によって選択されるように、受信チャンネルに沿って、受信ビーム成形器 1603 から、図 16 に示さないものも含み) 1 つまたは複数の処理モジュール 1611、1612、1613、および / または 1615 流れる。

【0085】

ビーム成形器制御装置 1604 は、送信ビーム成形器 1605 および受信ビーム成形器 1603 を介して MUX / FEE 1602 に接続される。ビーム成形器制御装置 1604 は、システム制御装置 1606 にも接続される。ビーム成形器制御装置 1604 は、MUX / FEE 1602 に情報を提供し、その結果、アレイ振動子 1601 の所望の素子は、アクティブアパーチャを形成するように接続される。また、ビーム成形器制御装置 1604 は、特定のビームの受信に使用される遅延プロファイルを生成し、受信ビーム成形器 1603 に送信する。本発明の実施態様では、受信遅延プロファイルは、経過時間に基づいて、繰返し更新することができる。ビーム成形器制御装置 1604 は、送信遅延プロファイルも生成し、送信ビーム成形器 1605 に送信する。

【0086】

システム制御装置 1606 は、当業者が周知している方法で動作する。システム 1600 は、ユーザインターフェース 1607 から入力を取得し、制御情報をシステム 1600 の様々な構成要素に提供し、選択された動作モードになるようにシステム 1600 を構成する。走査変換器 1608 は、当該技術分野で周知の方法で動作し、1 つまたは複数の処理モジュールから生成された生画像データを取得して、この生画像データを、映像処理 / ディスプレー 1609 によって表示可能な画像に変換する。動作の処理モードでは、画像は、画像の映像特性が、ディスプレイの映像特性と同じであれば、走査変換器 1608 を使用しないで表示することができる。

【0087】

処理モジュールは、本明細書に特記しない限り、当業者が周知している方法で機能する。PW ドップラーモジュール 1611、およびカラーフロー処理モジュール 1613 では、パルス繰返し周波数 (PRF) は、本発明の実施態様の高い中心周波数により高い可能性がある。測定される最大非エイリアス速度は、PRF に比例し、送信中心周波数に反比例する。特定の送信中心周波数が、当業者が周知している方法で計算されると仮定すると、PRF は、非エイリアス測定を可能にするために必要である。使用される送信中心周波数が、15 ~ 55 MHz 以上であり、血流速度が、1 m / 秒という速さ、および場合によっては 1 m / 秒を超えると仮定すると、こうした速度から生じるドップラー信号の非エイリアス測定は、PW ドップラーを 150 KHz 以下にするために、PRF を必要とする。本発明の実施態様は、150 KHz 以下の PRF を支持する PW ドップラーモードを有し、このモードは、中心周波数が 30 MHz の場合、移動する目標の速度ベクトルと超音波ビーム軸との間の角度が 0 度の状態で、1.9 m / 秒以下の血流速度の非エイリアス測定を可能にする。

【0088】

特定の実施態様では、RF モジュール 1615 は補間を使用する。使用されるサンプリ

10

20

30

40

50

ング方法が直交サンプリングである場合、RF信号は、当業者が周知のゼロパディングおよびフィルタリングによって、直交ベースバンドサンプルから再現することができる。Nyquistサンプリングを使用する場合、RF信号が直接サンプリングされるため、再現は不要である。特定の実施態様では、RFモジュール1615は、受信ビーム成形器出力の直交サンプルからRF信号を生構成する。サンプリングは、受信信号の中心周波数で行われるが、直交の場合、信号のベースバンド直交表現が与えられる。RF信号は、直交サンプリングされたデータ流を最初にゼロパディングすることによって生成され、ゼロの数は、所望の補間信号サンプルレートによって決定される。次に、複合帯域フィルタは、ゼロパディングされたデータ流に適用され、 f_s がサンプル周波数である $f_s/2 \sim 3f_s/2$ の周波数帯域外にあるゼロパディングされた信号の周波数成分を拒絶する。フィルタリング後の結果は、元のRF信号の複素表現である。次に、RF信号は、メインコンピュータユニットに送られ、デジタルフィルタリング、並びに包絡線検波および表示など、その他の処理が行われる。RF信号の実数部または複素表現が表示される。たとえば、特定の走査ラインに関して取得されたRFデータが処理され、表示される。あるいは、多数のパルスエコーリターンを平均した特定の走査ラインからのRFデータを表示することができるか、または多数の異なる走査ラインから取得したRFデータを平均し、表示することができる。RFデータの取得に使用される走査ラインは、Bモード画像上に重なったカーソルラインを配置することによって、ユーザが、Bモードの評価に基づいて指定することができる。RFデータの高周波フーリエ変換(FFT)を計算して、表示することもできる。RFデータの取得およびBモードデータの取得は、リアルタイムで同時に、両方のモードからの情報を表示することができるように、インターリーブすることができる。ECG信号などの生理学的信号の取得も、RFデータの取得と同時に行うことができる。ECG波形は、RFデータが取得されている間に表示することができる。RFデータの取得のタイミングは、ECG波形内のユーザが画定した点と同期させて、それによって、心周期時に特定回数だけRFデータを参照することが可能になる。RFデータを記録して、その後のある時点で処理および評価することができる。

【0089】

図17は、本発明の一実施態様の構成要素をさらに示すシステム1600のブロック図を示す。アレイ振動子1601は、ケーブル1619を介してフロントエンド変換器1702に接続される。ケーブル1619は、アレイ振動子1601の素子からフロントエンド変換器1702までの信号経路を含む。ケーブルの例示的な実施態様は、本明細書で説明されており、個々のマイクロ同軸ケーブルを含む。さらに、コネクタは、ケーブル1619の一方の端部または両方の端部に使用することができる。本発明の一態様では、素子の数の2倍に相当するピンを有するコネクタを使用することができ、例示的なコネクタは、本明細書で説明されている。アレイ振動子1601の各々の素子では、信号および接地パスを使用することができる。本発明のその他の実施態様では、接地接続は、素子群ごとに共用される。あるいは、MUX/フロントエンド電子回路1702、1703、1704、1708は、線形振動子アレイ1601用の筐体内に配置することができる。

【0090】

図17は、フロントエンド変換器1702および送信出力ステージ1703が各々の素子に存在する比較的大きいシステム1600の例として、アレイ振動子1601の4つの素子のための回路構成の代表的な詳細を示す。256素子のアレイ振動子1601を有する一実施態様の場合、256個のフロントエンド変換器1702および送信出力ステージ1703について、以下でさらに完全に説明する。受信時、アレイ振動子1601の素子からの電気信号は、フロントエンド変換器1702を通過して、受信マルチプレクサ1704内に入る。受信マルチプレクサ1704は、どの素子およびフロントエンド変換器を受信チャンネル1705に接続するかを選択する。受信チャンネル1705は、低雑音増幅器およびタイムゲインコントロールを備え、両者について、以下でさらに完全に説明する。信号は、次に、受信チャンネル1705からアナログデジタル変換1706内に至り、そこでデジタル化される。デジタル受信信号は、次に、デジタルビーム成形器である受信ビー

10

20

30

40

50

ム成形器 1707 内に入る。ブロック 1707 では、ビーム成形器制御装置内で生成された遅延プロファイルは、受信信号に適用される。受信ビーム成形器 1707 からの信号は、合成アパーチャメモリ 1710 内に移動する。合成アパーチャメモリは、2つの連続する超音波ラインからの受信データを追加する。超音波ラインは、超音波パルスが組織内に送信された後に受信される超音波エコーを返すことによって生じるデータであると考えられる。合成アパーチャイメージングは、当業者が理解するように実施される。部分的には、合成アパーチャイメージングは、送信または受信アパーチャの有効サイズを増加する方法を意味する。たとえば、ビーム成形器内に 64 個のチャンネルがある場合、1本の超音波ラインデータの受信時に、64 個の送信チャンネル、および 64 個の受信チャンネルを使用することができる。合成アパーチャイメージングは、合計 2 本の超音波データラインを使用する。第 1 超音波ラインは、素子 33 から 96 にわたる受信アパーチャを使って取得することができる。第 2 超音波ラインは、素子 1 ~ 32 および 97 ~ 128 に位置する 2 つのブロックに区分されたアパーチャを使って受信される。両方の超音波ラインは、同じ送信アパーチャを使用する。2 本の超音波ラインを加算する場合、受信アパーチャが、素子 1 から 128 に位置する 128 個のチャンネルから成るとして、結果として得られる超音波ラインは、受信された超音波ラインと本質的に同じだが、2 本の超音波データラインを取得するために必要な期間に、イメージングされる組織に感知可能な動きはないことが条件である。この場合、フレームレートは 2 分の 1 に低下するため、1 本ではなく 2 本の超音波ラインが必要である。2 つの受信アパーチャは、一緒に 128 個の素子のアパーチャを形成する限り、異なる方法で配置することができる。あるいは、送信アパーチャのサイズは、受信アパーチャを同じに維持しながら、増加させることができる。2 本を超える超音波ラインは、アパーチャを 2 倍に増加するために使用することができる。合成アパーチャメモリ 1710 からの信号は、次に、RF シネバッファ 1713 内に記憶され、この RF シネバッファ 1713 は、同期処理制御モジュール 1714 によって制御されるように、多くの受信 RF ラインを記憶する大型メモリである。バッファされた受信信号は、次に、適切な速度で信号処理ユニット 1715 内に読み込まれる。信号処理ユニット 1715 は、ビーム成形器制御盤上において、専用 CPU で実施される。受信信号は、信号処理ユニット 1715 からコンピュータユニット 1717 に送られ、ユーザが選択したモードに従ってさらに処理される。コンピュータユニット 1717 による受信信号の処理は、一般に、本明細書に特記する場合を除いて、当業者が周知するタイプである。

【0091】

一実施態様では、コンピュータユニット 1717 は、図 17 に示すとおり、コンピュータユニット 1717 は、システムの動作モードに従って信号を処理するように構成されたシステムソフトウェアを含む。たとえば、メインコンピュータユニット 1717 のシステムソフトウェアは、B モードプロセッサを実行するように構成され、たとえば、前処理、パーシスタンス処理、シネループ画像バッファ、走査変換、イメージパン、ズーム、および後処理を含む。メインコンピュータユニット 1717 のシステムソフトウェアは、カラーフローイメージング (CFI) のための処理を実行するように構成することもでき、たとえば、閾値決定マトリックス、推定値フィルタリング、パーシスタンスおよびフレーム平均化、シネループ CFI 画像バッファ、走査変換、カラーマップ、および優先度を含む。メインコンピュータユニット 1717 のシステムソフトウェアは、PW ドップラーのための処理を実行するように構成することもでき、たとえば、スペクトル推定 (FFT)、推定値フィルタリング、シネループスペクトルデータバッファ、スペクトル表示の生成、後処理、ダイナミックレンジ、および音響処理を含む。

【0092】

図 17 のシステムの実施態様は、ユーザインターフェースパネル 1720 も備える。この実施態様では、ユーザインターフェースパネル 1720 は、殆どの臨床超音波システムに見られる標準ユーザインターフェースに類似している。たとえば、B モードユーザインターフェースは、画像の奥行き、画像のサイズ、二重画像作動、二重画像左 / 右選択、フリップ画像上 / 下、およびズームを含む画像フォーマット制御装置を有する。送信制御装

10

20

30

40

50

置は、送信電力（送信振幅）、送信焦点領域の位置、送信域の数の選択、送信周波数、およびサイクル数を含む。画像最適化制御装置は、Bモードゲイン、TGCスライダー、前処理、パーシスタンス、ダイナミックレンジ、フレームレート/分解能制御、および後処理曲線を含む。

【0093】

モード依存インターフェース制御装置のもう1つの例として、カラーフローイメージングユーザインターフェースは、カラーフローモード選択（たとえば、カラーフロー速度、パワードロッパー、組織ロッパー）、トラックボール、ステアリング角度、カラーボックスの位置/サイズを選択（選択後、トラックボールを使用して、位置またはサイズを調節する）、プリセトリコール、プリセットメニュー、およびカラーマップ反転を含む画像フォーマット制御装置を有する。送信制御は、送信電力（送信振幅）、送信焦点領域の位置、および送信周波数を含む。画像最適化制御は、カラーフローゲイン、ゲートサイズ、PRF（速度スケールの変更）、クラッタフィルタの選択、クラッタフィルタの選択、フレームレート/分解能の制御、前処理の選択、パーシスタンス、ダイナミックレンジ（パワードロッパーの場合のみ）、およびカラーマップの選択を含む。

10

【0094】

ユーザインターフェースのさらに別の実施例は、PWドブラーモードの選択、トラックボール、PWカーソルの作動（トラックボールは、サンプルボリューム位置を調節するために使用される）、サンプルボリュームサイズ、ドブラーステアリング角度、掃引速度、更新（同時または間隔更新イメージングを選択）、音響ボリューム制御、および流れベクトルの角度を含むPWドブラーフォーマット制御装置を有するPWドブラーユーザインターフェースである。送信制御は、送信電力（送信振幅）および送信周波数を含む。スペクトル表示最適化制御は、ドブラーゲイン、スペクトル表示のサイズ、PRF（速度スケールの変更）、クラッタフィルタの選択、前処理およびダイナミックレンジを含む。

20

【0095】

例示的なMモードのユーザインターフェースは、Mモードカーソル作動、トラックボール（カーソルの位置決めで使用）、ストリップサイズ、および掃引速度を含む画像フォーマット制御を有する。送信制御は、送信電力（送信振幅）、送信焦点領域の位置、送信周波数、およびサイクル数を含む。画像最適化制御は、Mモードゲイン、前処理、ダイナミックレンジ、および後処理を含む。

30

【0096】

例示的なRFモードユーザインターフェースは、たとえば、RFライン位置、RFゲート、取得したRFラインの数、RF領域の動作、RF領域の位置、RF領域のサイズ、領域内のRFラインの数、平均化、およびBモードインターリーブディスエーブルを含むRFライン取得制御を有する。送信制御は、送信電力（送信振幅）、送信焦点領域の位置、送信f番号、送信周波数、サイクル数、取得PRFおよびステアリング角度を含む。受信処理制御は、RFモードゲイン、フィルタタイプと順序、ウィンドウのタイプ、および平均化されたライン数を含む。

40

【0097】

受信信号のデジタルサンプルは、データが取得されるレートと一般に異なるレートで処理される。こうした処理は、本明細書では、「非同期信号処理」と記載する。処理レートは、データが表示されるレートであり、一般に毎秒約30フレーム数（fps）である。しかし、理解されるように、データは、最高で取得レートのレートで表示されるか、または約30fps未満で表示することができる。データは、本発明の特定の実施態様では、はるかに迅速なフレームレート、毎秒約300フレーム、または望ましい診断情報を取得するのに必要な速度で取得することができる。たとえば、迅速に移動する解剖学的構造、たとえば心臓弁の画像データは、比較的速いフレームレートを使用して取得され、次に比較的遅いフレームレートで表示することができる。データ取得レートは、30fps未満、30fps、または30fpsを超えて良い。たとえば、取得レートは、50、100

50

、 200、300、またはそれ以上の f p s で良い。

【0098】

表示レートは、ヒトの眼が処理可能なレートを超えないように設定することができる。取得可能なフレームによっては、表示の際にスキップすることができるが、受信ビーム成形器の出力からのすべてのデータは、RFシネバッファ1713などのRFデータバッファに記憶される。データは、RFデータと呼ばれることもあり、あるいはデータを取得するために使用されるサンプリング方法と呼ばれることもある（たとえば、直交サンプリングの場合、データは、ベースバンド直交データと呼ぶこともできる）。直交またはRFデータは、表示前に処理される。処理は計算集約的であり、使用する処理量を減少すると有利であり、これは、取得レートではなく、表示レートで表示されるフレームのみを処理することによって達成される。表示の際にスキップされたフレームは、ライブイメージングが停止するか、またはシステムが「凍結」されると閲覧することができる。RFバッファ1713内のフレームは、比較的低いレートで検索、処理、および再生することができ、たとえば、取得レートが毎秒300フレームである場合、毎秒30フレームにおけるフレームごとの再生は、通常の10分の1の遅さになるが、操作者は、画像の迅速な変化を見ることが可能になる。再生機能は、一般に、当業者によって「シネループ」機能と呼ばれている。画像は、様々なレートで再生するか、フレームごとに、後方、および前方に再生することができる。

10

【0099】

図17に示すシステム1600は、当業者が、システムの機能として望ましいと認識すると思われる様々な項目を含むことができ、たとえば、クロック1712、メモリ、音声カードおよびスピーカ、映像カードおよびディスプレイなど、並びに図17に示すその他の機能ブロックがある。

20

【0100】

図18aおよび18bは、MUX/フロントエンド電子回路1702、1703、1704、1708の一実施態様、並びに本発明の一実施態様による受信ビーム成形器1707および送信ビーム成形器1709の機能の追加の詳細を示す。図18aに示す実施態様では、チャンネル、たとえば受信チャンネルはノードに接続することができ、このノードは、図18aに示すように、切換え回路または多重化回路を通して、たとえば、アレイ振動子1601の4つの素子に接続される。たとえば、チャンネル11801は、図18aの参照符号1、65、129、および193の素子に切換え可能に接続され、これらの4つの素子の1つのみが、任意の特定の時にチャンネル11801に接続される。これは、本質的に、システム1600の受信サイクルにおけるMUX/フロントエンド電子回路1702、1703、1704、1708の多重化機能の実行である。あるチャンネルに切換え可能に接続される4つの素子の割当ては、素子の特定のサブセットの連続素子が、アクティブアパーチャを含むように行われる。たとえば、アレイ振動子が、256個の素子から成る場合、64個以下の素子が、アクティブアパーチャを含むサブセットを形成することができる。

30

【0101】

受信サイクルのアレイ振動子1601の素子の多重化は、フロントエンド1802の例示的な図（図18b）に示されているRXスイッチ1817によって行うことができる。ビーム成形器制御装置1711からの制御信号1818は、どのRXスイッチ1817を作動させ、それによって、モジュール1802の4つの利用可能な素子の選択された素子を受信チャンネルに接続するかを決定する。当業者が理解するとおり、図18aおよび18bに示す多重化スキームは、異なる数の素子（256個の素子以外）、および異なる最大アクティブアパーチャサイズ（最大64個の素子以外）の振動子に適用することができる。

40

【0102】

図18bに示す例示的なフロントエンド1816は、以下で招請に説明するとおり、変換器1819およびパルサー1820も備える。一態様では、フロントエンド1816は

50

、上記のとおり、受信チャネルを送信波形から絶縁する。

【0103】

選択されたアレイ振動子素子からの受信信号は、低雑音増幅器 (LNA) 1804 に送られる。増幅された信号は、LNA 1804 から、タイムゲインコントロール (TGC) 1805 に送られる。経過時間は、受信反射信号の深さに比例するため、深さ依存ゲイン制御とも呼ばれる。超音波システムでは、超音波の送信から時間が経過すると、選択された信号もこうした減衰を生じる。TGC 1805 は、時間依存性関数に応じて受信信号を増幅し、この減衰を補償する。時間依存 TGC ゲインを決定するために使用可能な要素は、経過時間、調査される被検体または被検組織の組織の特性、および用途 (たとえば、画像診断法) である。ユーザは、ユーザインターフェースパネル 1607 における TGC 制御を調節することによって、ゲインを深さの関数として指定することもできる。各実施態様は、たとえば、Analog Devices (マサチューセッツ州、ノーウッド) の AD8332 または類似のデバイスを使用して、LNA 1804 および TGC 1805 の機能を実行することができる。受信信号は、TGC 1805 から、受信ビーム成形器 1803 に入り、サンプラーによって、この実施態様ではアナログデジタル変換器 1807 および 1808 によってサンプリングされる。本発明によるその他の実施態様では、サンプリングが、Nyquist レートを超えるレート、たとえば Nyquist レートの 2 倍または 3 倍で行われる場合、1 つのアナログデジタル変換器のみが使用され、Nyquist レートでは、信号の最高周波数の少なくとも 2 倍のレートで、個々の素子から超音波信号がサンプリングされる。

10

20

【0104】

本発明のその他の実施態様では、直交サンプリングが使用され、2 つのアナログデジタル変換器、つまり「I」および「Q」サンプラーが使用される。受信ビーム成形器 1803 の例示的な実施態様では、受信信号は、ブロック 1807 および 1808 で、直交サンプリングアナログデジタル変換器 (ADC) を使用してデジタル化され、サンプリングクロックが、90° 位相が外れいてる 2 つの ADC がチャネルごとに必要である。使用されるサンプルレートは、受信信号の中心周波数で良い。比較すると、直接サンプリングは、理論上、受信信号の最高周波数成分の少なくとも 2 倍のサンプリングレートを使用するが、事実上、少なくとも 3 倍のサンプリングレートが好ましい。直接サンプリングは、チャネルごとに 1 つの ADC を使用する。

30

【0105】

サンプリング後、現在のデジタル化受信信号は、フィールドプログラマブルゲートアレイ (FPGA) 内に送られ、受信ビームの形成に関連する様々な機能がインプリメントされる。FPGA 内では、デジタル化受信信号には、ADC の DC オフセットの補正が行われる。各々の ADC は、異なる DC オフセット補正值を有する。DC オフセットは、ADC の出力部で得られる多数のデジタルサンプルを平均化することによって決定され、たとえば、システム始動時の校正期間中、受信チャネル入力部に信号は存在しない。デジタル化信号は、次に、FIFO バッファ 1822 内に送られ、各々のサンプルは、適切な期間にわたって記憶され、その結果、適切な遅延プロファイルをインプリメントすることができる。粗遅延は、信号を 1 つまたは複数のサンプル点だけシフトさせて、所望の遅延を取得することによってインプリメントすることができる。たとえば、所望の遅延が 1 サンプル期間である場合、1 サンプルだけ適切な方向にシフトすることによって、適切な遅延を有する信号が得られる。しかし、サンプル期間に等しくない値の遅延が望ましい場合、補間フィルタ 1809 を使用して、微細遅延をインプリメントすることができる。

40

【0106】

デジタル化受信信号は、FIFO バッファ 1822 から補間フィルタ内に送られ、微細遅延の計算が行われる。補間フィルタ 1809 は、サンプル期間が、適切な微細遅延分解能を超えるシステムに使用される。たとえば、サンプルレートは、超音波信号の中心周波数であり、50 MHz である場合、サンプルレートは 20 ナノ秒ごとに 1 サンプルである。しかし、1.25 ナノ秒の遅延分解能 (20 ナノ秒の 1/16) は、所望の画像品質を

50

提供するために特定の実施態様に使用されるが、その他の遅延分解能は、本発明の範囲内
ので考えられる。補間フィルタ 1809 は、適時に、サンプリングされた点以外の点にお
ける信号の値を計算するために使用される。補間フィルタ 1809 は、サンプリングされ
た信号の同相および直交部分に適用される。補間フィルタ 1809 の実施態様は、有限イ
ンパルス応答 (FIR) フィルタを備える。各々のフィルタの係数は、経過時間に基づい
てサンプルごとに、ビーム成形器制御装置によって動的に更新することができる。補間フ
ィルタによる処理の後、位相回転は、同相および直交成分に適切な係数を乗算する乗算器
1811 によって適用することができる。位相回転は、ADC サンプル周波数に対する正
しい位相を補間サンプルに組み入れるために使用される。RX コントローラ 1810 は、
FIFO モジュールおよび補間フィルタを制御する。受信遅延は動的に更新されるため、
各々のチャンネルにおける補間フィルタ係数は、一定の間隔で変更する必要がある。FIFO
によってインプリメントされる遅延も、一定の間隔で変更する必要がある。また、受信
アパーチャのサイズは動的に調節されるため、各々のチャンネルは、超音波信号の受信時の
特定の時間にアクティブになり、チャンネルは、「乗算」モジュール 1811 において 0 で
はなく 1 を乗算することによって作動される。また、乗算モジュール 1811 は、0 と 1
との間の値である「重量」を受信アパーチャ内の各々のチャンネルに個々に適用すること
ができる。アポダイゼーションとして周知されているこのプロセスは、当業者が周知してい
る。補間サンプルに乗算される値は、超音波信号の受信時に動的に拡大するアポダイズ
受信アパーチャをインプリメントするように、時間に応じて異なる。

10

20

30

40

50

【0107】

図 18c は、本発明による実施態様の受信コントローラ (RX コントローラ) の例示的
な実施態様である。受信コントローラ 1810 は、正しい遅延プロファイル、アパーチャ
サイズ、および受信アポダイゼーションデータを、補間および位相回転アポダイゼー
ションをインプリメントする処理ブロック 1809 内にプログラムするために使用される。図
18c の受信コントローラ 1810 は、初期パラメータ (初期粗遅延、初期位相) を開始
(SOL) トリガごとに 1 回設定し、動的パラメータ (動的集束、動的アポダイゼー
ション) を受信クロック (RX CLK) 期間ごとに 1 回設定する。初期受信遅延プロファイル
は、RX 初期アパーチャメモリ 1822 内に記憶される。動的受信遅延プロファイルは、
RX 動的アパーチャメモリ 1824 内に記憶される。遅延プロファイルは、SOL トリガ
の前に、64 : 16 交差スイッチ 1828 を介して、RX BF バッファ 1826 内にロード
される。交差スイッチ 1828 は、64 のアパーチャチャンネル構成のうちの 16 を選択
する。これらは、単一チャンネル基板上に存在する 16 の受信チャンネルをプログラムする
ために使用される。

【0108】

各々の受信ラインの構成は、ラインメモリ 1830 内に記憶される。ラインメモリ 18
30 内の各々のライン構成は、アパーチャ選択インデックス、モード選択、およびアパー
チャイネーブルを含む。アパーチャ選択インデックスは、チャンネルマッピングアパーチャ
を決定するために使用される。モード選択は、複数の遅延プロファイルにアクセスする
ために使用される。アパーチャイネーブルインデックスは、最初のアパーチャサイズを制御
する。アパーチャ選択ルックアップテーブル (AP__SEL__LUT) 1832 は、可能
な構成の数を減少させ、その結果、ラインメモリ内に記憶する必要があるビット数を減少
させる方法である。AP__SEL__LUT 1832 は、再プログラム可能である。

【0109】

メモリ制御装置 1834 は、ライン構成を復号する状態マシンである。状態マシンは、
制御および状態メモリ 1836 によって構成される。状態マシンは、異なるモード (たと
えば、B モード、カラーフローモード、PWD ユーザーモードなど) の場合は別様に構成
される。メモリ制御装置 1834 は、RX BF バッファ 1826 内へのアパーチャメモリの
ロードを制御し、SOL__delayed および FIFO__WEN 信号を生成する。パ
ルス SOL__delayed は、RX CLK 期間で、初期遅延パラメータを RX 位相回転
および RX アポダイゼーションブロック 1809 内に転送するために使用される。動的受

信パラメータは、次に、各々の後続の R X C L K 期間で転送される。F I F O _ W E N 信号は、R X 補間フィルタ用の F I F O への受信 A D C データ取得を開始する。

【 0 1 1 0 】

制御および状態メモリ 1 8 3 6 は、受信長さなどの共通パラメータも含む。受信長さパラメータは、各々のラインのために、どの位の受信サンプルを収集するかを決定する。

【 0 1 1 1 】

受信チャネルの数を増加すると、比較的大きい受信アパーチャが可能になり、その結果、方位分解能および浸透を改善することによって、深いイメージングに有利になる可能性があることが分かるであろう。合成アパーチャモードは、6 4 を超えるアパーチャを使用することを可能にするが、フレームレートの減少という犠牲を伴う。受信チャネルの数が増加すると、これは、フレームレートに不利益がない状態で行うことができる。

10

【 0 1 1 2 】

本発明による位置実施態様では、受信ビーム成形器 1 8 0 3 は、マルチラインビーム成形を可能にする。マルチラインビーム成形は、複数の受信ラインを同時に処理することによって、比較的高いフレームレートが可能になる。フレームレートが、平行受信ラインの数に等しい係数だけ増加する。ビーム成形は、複数の受信アパーチャについて同時に行われるため、補間フィルタ 1 8 0 9 による比較的高度のデータ処理レートが使用される。受信ビーム成形器からホスト C P U に転送されるデータ量は、平行受信ラインの数に等しい係数だけ増加するであろう。送信ビームは広がり、複数の受信ラインと重なる。

20

【 0 1 1 3 】

各々の受信ビーム成形器 1 8 0 3 からの信号は、次に、加算器 1 8 1 5 によって加算される。加算された信号は、一定の深さから反射される、一定時期における受信信号を表す。加算された受信信号は、次に、以前に説明し、図 1 7 に示すモジュールを通して、ユーザが選択した動作モードに適する処理モジュールに至る。

【 0 1 1 4 】

システム 1 6 0 0 の送信動作サイクル時に、選択された送信出力ステージは、送信チャネルに接続され、アクティブアパーチャを形成する。この態様では、多重化は、送信出力ステージ以前に行われる。たとえば、以前に説明したとおり、送信チャネル 1 1 8 0 1 は、図 1 8 a および図 1 8 b の参照符号 1、6 5、1 2 9、および 1 9 3 の素子に応じて、送信出力ステージに切換え可能に接続され、その結果、これらの 4 つの送信出力ステージの 1 つだけが、ある一定の時に送信チャネル 1 1 8 0 1 に接続される。図 1 8 a および 1 8 b では、送信チャネル 2 は、素子 2、6 6、1 3 0 および 1 9 4 などに応じて、送信出力ステージに切換え可能に接続することができることも分かる。これは、システムの送信サイクル時における M U X / フロントエンド電子回路 1 7 0 2、1 7 0 3、1 7 0 4、1 7 0 8 の多重化機能の動作である。

30

【 0 1 1 5 】

図 2 0 を参照すると、多重化された送信信号は、T X A 2 0 0 2 および T X B 2 0 0 4 によって支持される信号の対であり、図 2 0 に示すように、送信バルサー M O S F E T Q T D N 2 0 0 6 および Q T D P 2 0 0 8 のゲートを駆動する。これらの信号 2 0 0 2、2 0 0 4 は、十分に低レベルの単極信号であるから、M O S F E T タイプのスイッチによる多重化を使用することができる。送信チャネルに切換え可能に接続された 4 つの送信出力ステージの割当ては、素子の任意の特定のサブセットの連続素子が、アクティブな送信アパーチャを含むことができるように行われる。たとえば、2 5 6 個の素子から成るアレイ振動子の場合、6 4 個以下の素子が、アクティブな送信アパーチャを含むサブセットを形成することができる。

40

【 0 1 1 6 】

任意に、送信多重化は、比較的高電圧の双極信号を収容可能な多重化回路構成を使用して、送信出力ステージ後に行うことができる。

【 0 1 1 7 】

再び 1 8 a ~ 1 3 d を参照すると、送信ビーム成形器 1 8 1 2 は、特定の遅延が波形に

50

存在する送信波形を生成し、この場合、波形は、遅延プロファイルごとに適切な時間まで送信されない。送信波形は、デジタル信号を含む低電圧信号で良い。任意に、送信波形は、電気エネルギーを超音波エネルギーに変換するために、アレイ振動子によって使用される高電圧信号で良い。変換器 1819 およびパルサー 1820 の動作については、以下でさらに詳細に説明する。

【0118】

送信ビーム成形の処理時に、アクティブ送信アパーチャ内の 1 つまたは複数の各送信チャネルは、基準制御信号と比べて遅延させることが可能な送信波形を生成することができる。送信チャネルの数は、最大送信アパーチャサイズを決定する。送信チャネルの数を増加する利点は、深いイメージングの方位分解能および浸透の改善である。様々な実施態様では、アレイ振動子は 64 個の送信チャネルを有するか、または 96 もしくは 128 個の送信チャネルを有して良い。この遅延は、チャネルごとに異なる可能性があり、総称的に、遅延は、送信遅延プロファイルと呼ばれる。送信ビーム成形は、送信波形に重み関数を加えることも含み、これは、当業者には「アポダイゼーション」として周知されているプロセスである。送信アポダイゼーションは、各々のチャネルで送信された波形の振幅の個々の制御を使用する。画像品質に対する利点は、受信ビームプロファイルにおけるスプリアスローブの減少によるコントラスト分解能の改善であり、スプリアスローブは、側面ローブまたは格子ローブの可能性がある。各々の送信器の出力ステージは、個々に制御された電源、および制御ハードウェアを有する。

【0119】

送信波形整形は、送信信号としての任意波形の生成、つまり送信波形の振幅および位相の生成を含む。この利点は、送信信号のスペクトルの整形による距離分解能の改善である。コード化励起などの技術は、距離分解能を損失せずに浸透を改善するために使用される。

【0120】

本明細書に記載されている送信ビーム成形器 1812 は、FPGA デバイスを有する一実施態様にインプリメントされる。たとえば、送信クロック周期の $1/16$ の遅延分解能を提供する送信ビーム成形器 1812 の代表的なインプリメンテーションは、送信クロック周波数の 16 倍のクロックを必要とする。本明細書に記載されているシステムの周波数範囲では、これは、50 MHz の 16 倍の最大クロック周波数、つまり 800 MHz を意味し、代表的な FPGA デバイスは、このレートのクロック周波数をサポートする。しかし、以下に記載する送信ビーム成形器 1812 のイメージングは、送信クロック周波数の 8 倍のみの FPGA の範囲内のクロック周波数を使用する。

【0121】

送信ビーム成形器の各々のチャネルは、TX コントローラ 1814 および TX パルス発生器 1813 から成る。TX コントローラ 1814 は、たとえば、超音波ライン番号と呼ばれるパラメータ（光線番号としても周知されている）を使用して、送信マルチプレクサの適切な構成を介してアクティブ送信アパーチャを選択する。光線番号値は、物理アレイに対する超音波走査ラインの始点を特定する。光線番号に基づいて、遅延値は、アクティブ送信アパーチャ内の各々の送信チャネルに割り当てられる。TX パルス発生器 1813 は、本明細書に記載する波形パラメータおよび制御信号を使用して、各々の送信チャネルの送信波形を生成する。

【0122】

図 18d は、本発明による実施態様における例示的な送信コントローラ（TX コントローラ）の図である。送信コントローラ 1814 は、正しい遅延プロファイル（各々のチャネルの粗遅延および微細遅延）、並びに各々のラインの送信波形を使って、TX パルス発生器 1813 をプログラムするために使用される。送信コントローラ 1814 は、各々のラインの前に、TX パルス発生器 1813 を再プログラムする。各々のラインは、送信アパーチャを形成するために使用されるアレイ素子の特定のサブセットを必要とする。アパーチャ内の各々のアレイ素子は、TX パルス発生器 1813 内のチャネルに接続する必要

があり、送信チャネルは、所望の送信遅延プロファイルによる遅延を有する所望の送信波形を生成するように構成しなければならない。

【0123】

アパーチャ全体の遅延プロファイルおよび送信波形は、TXアパーチャメモリ1838内に記憶される。複数の遅延プロファイルは、TXアパーチャメモリ1838内に記憶することができる。複数の焦点域が使用されるBモードイメージング、ドップラーモードの焦点深さおよび送信波形が、Bモードに使用されるものとは異なるPWドップラーおよびカラーフローイメージングモードの場合、複数の遅延プロファイルが必要である。この例示的な実施態様では、TXアパーチャメモリ1838は遅延プロファイルを含み、64チャンネルアパーチャパルス波形データを送信する。各々のチャンネル基板には、16個の送信チャネルがあり、各々の送信チャネルは、送信出力ステージを介して、4つの異なるアレイ素子の1つに接続することができる。64:16交差スイッチ1840は、正しい送信波形データセットを16チャンネルの各々に経路指定するために使用される。他の48チャンネルの制御は、他のチャンネル基板上にインプリメントされる。TXBFバッファ1842は、開始(SOL)トリガ以前に、TXパルス発生器のデータを一時的に記憶する。TX__TRGトリガは、データをTXBFバッファ1842からTXパルス発生器1813に、1つのTXCLK期間で移動させる。

10

【0124】

各々の送信ラインの構成は、ラインメモリ1844内に記憶される。ラインメモリ1844内の各々のライン構成は、以下の情報を含む：アパーチャ選択インデックス、モード選択、アパーチャイネーブルインデックス、および素子選択インデックス。アパーチャ選択インデックスは、チャンネルマッピングアパーチャを決定するために使用される。モード選択は、複数の遅延プロファイルにアクセスするために使用される。アパーチャイネーブルインデックスは、アパーチャのサイズを制御する。素子選択インデックスは、送信チャネルまたは受信チャネルより多いアレイ素子が存在する場合、どの素子がアクティブかを制御する。アパーチャ選択、アパーチャイネーブル、および素子選択ルックアップテーブル(AP__SEL LUT1846、AP__EN LUT1848、ES LUT1850)のインデックス付けは、可能な構成の数、ひいてはラインメモリ1844内に記憶する必要があるビット数を減少させる方法である。ルックアップテーブルはすべて、再プログラム可能である。

20

30

【0125】

制御および状態メモリ1852は、SOLの数(TXサイクル)、フレーム内のライン数などの共通のパラメータを含み、さらに、メモリ制御ブロック1854内のメモリ制御ブロック1854内の状態マシンを構成する。メモリ制御装置1854は、アパーチャ選択、アパーチャイネーブル、および素子選択ライン情報を復号する状態マシンである。

【0126】

図20を参照すると、送信波形は、実際上「A」および「B」信号と呼ばれる2つの信号であり、一方の信号は、パルサードライブMOSFET QTDN62006のゲートに適用され、他方の信号は、パルサードライブMOSFET QTDP2008に適用されることが分かる。「B」信号は、送信クロックの期間の1/2だけ遅延する以外、「A」信号と同じで良い。各々の送信波形に適用される遅延は、「粗遅延」および「微細遅延」の2つの成分に分割される。粗遅延は、送信周波数期間の1/2の単位で良く、微細遅延は、送信周波数期間の1/16の単位で良いが、微細遅延の他の単位は本発明の範囲内であると考えられる。調節可能な送信波形のその他の態様は、送信される中心周波数、パルス波、サイクル数、および「不感時間」である。「不感時間」は、2つの出力ステージMOSFET、QTDN2006およびQTDP2008のどちらも電源が入っていない出力パルスの最初の半周期後の時間間隔である。送信中心周波数、パルス波、および不感時間の変更は、振動子素子に対する最終的な送信信号の周波数成分を変更するために使用される。

40

【0127】

50

次に、図 22 ~ 22 C を参照すると、本発明による一実施態様では、1 つの送信パルス生成回路 2200 が、各々の送信ビーム成形器チャネルのために使用される。16 ビット A 波形ワード 2202 は、A 信号の微細遅延、パルス波、および不感時間を符号化するために使用される。26 ビット B 波形ワード 2203 は、B 信号の微細遅延、パルス波、および不感時間を符号化するために使用される。波形ワード 2202、2203 は、たとえば FPG A 内のメモリ内に記憶することができる。送信出力信号の周波数は、送信クロックの周波数によって決定される。制御入力は、FPG A 内にインプリメントされる送信コントローラ 1814 から由来する。これらは、以下で説明し、図 22 ~ 22 C に示すパルス計数 2204、TXTRG 2206、および様々なクロックで良い。

【0128】

送信パルスの生成は、TXTRG パルス 2206 が、チャネル制御盤 1814 から受信されると開始する。TXTRG 信号 2206 は、送信ビーム成形器チャネルに送信され、送信ビーム成形器の遅延が参照される信号である。TXTRG パルス 2206 は、TXCLK 2246 で示される送信周波数クロックサイクルの 1 / 2 間隔の計算を開始する。現在のハードウェアインプリメンテーションは、送信クロックの 2 倍のクロックを使用する。粗遅延 2210 は、クロック TXCLK 2246 によって計時される粗遅延計数器 2248 によってインプリメントされる。信号 TXTRG 2206 は、計算を開始させる。

【0129】

COARSE DONE 信号 2208 は、TXCLK 2246 のクロックサイクル数が、粗遅延入力変数値 2210 に達した時に生成される。COARSE DONE 信号 2208 は、マルチプレクサ 2250 および 2252 から成るバイト選択回路、マルチプレクサ 2254 および 2256 から成るパルス反転選択回路、並びに 8 : 1 並列 / 直列回路 2212 および 2213 を可能にする。16 ビット波形ワード 2202 および 2203 は、16 ビットレジスタ 2216 および 2217 内に転送される。A 波形レジスタ 2216 の出力は、部分波形 : Partial__Waveshape__A (7 : 0) 2260 および Partial__Waveshape__A (15 : 8) 2261 から成る。Partial__Waveshape__A (7 : 0) 2260 は、マルチプレクサ 2254 および 2256 から成るパルス反転回路を介して、8 : 1 並列 / 直列回路 2212 または 8 : 1 並列 / 直列回路 2213 に転送される。Partial__Waveshape__A (7 : 0) 2260 の転送後、Partial__Waveshape__A (15 : 8) 2261 は、マルチプレクサ 2254 および 2256 から成るパルス反転回路を介して、8 : 1 並列 / 直列回路 2212 または 8 : 1 並列 / 直列回路 2213 に転送される。バイト選択信号 2214 は、Partial__Waveshape__A (7 : 0) 2260 または Partial__Waveshape__A (15 : 8) 2261 のどちらを多重化して、パルス反転回路に送るかを制御する。こうして、Waveshape__A 2202 は、8 : 1 並列 / 直列回路に転送され、1 ビットデータ流に直列化される。

【0130】

図 22 から分かるとおり、Waveshape__B 2203 の転送は、同様に行われる。

【0131】

8 : 1 並列 / 直列回路 2212 および 2213 は、二重データレート (DDR) 出力を有する。COARSE DONE 2208 は、出力パルスの数の計算を開始する。パルス数計数器が、パルス数の計算を終了する場合、イネーブル信号 224 は低くなり、レジスタ 2216 および 2217 は部分波形の出力を停止する。「A」位相 2202 の 16 ビット波形は、2 つの TXCLK 2246 サイクルで 1 つの直列ビットに転換される。「B」位相 2203 の 16 ビット波形も、2 つの TXCLK 2246 サイクルで 1 つの直列ビットに転換される。パルス反転は、信号が並列 / 直列回路に送信される前に、「A」および「B」位相をスワッピングすることによって達成される。信号スワップは、パルス反転信号 2258 が、パルス反転 MUX 回路 2254 および 2256 で可能になる場合

10

20

30

40

50

に行われる。

【0132】

二重データレート（DDR）出力を有する8：1並列／直列回路は、送信クロックの8倍の周波数のTXCLK8 2266を使って計時される。DDR出力では、波形は、送信クロック周波数の16倍のレートでシフトアウトされる。8：1並列／直列回路2212または8：1並列／直列回路2213からの信号は、LVDS規格を使用してFPGAから転送された後、クロックTXCLK16 2236によって再同期化される。

【0133】

「A」位相信号は、低ジッター正エミッター結合論理（PECL）フリップフロップ2234、および低ジッタークロック、TXCLK16 2236によって、送信周波数の16倍で再同期化される。これは、FPGA内部の回路によって加わるジッターを排除することができる。「B」位相信号も、フリップフロップ2235によって再同期化される。

10

【0134】

「A」および「B」信号は共に、個々のドライバ回路2238、2240に行き、それぞれのカレントドライブの機能を増加させる。ドライバの出力は、信号TXB 2004およびTXA 2002になり、フロントエンド回路2000内の送信マルチプレクサに接続する。

【0135】

波形データ2202および2203の再送信は、パルス計数器2242が、パルス計数入力変数2204によって指定される数に達し、イネーブル信号2244が状態を変えるまでで続く。

20

【0136】

波形A2202を構成する16ビットワードは、ある送信サイクルから次の送信サイクルに変化する。同じことは、Waveshape__B2203にも適用される。これは、あるサイクルから次のサイクルまで、任意に指定されるパルス波を有する送信波形の生成を可能にする。Waveshape__A2201およびWaveshape__B2203は、個々に指定される。たとえば、奇数または偶数の送信波形が生成される。

【0137】

図22A～22Cは、「A」および「B」信号の微細遅延、パルス波、および不感時間を変更するために、波形データをどのように使用するかを示す。この実施例では、「B」出力は、送信周波数期間の1/2だけ遅延することを出して、「A」出力と同じである。図22Cは、「A」および「B」位相で任意の波形を生成できることを示す。Ny Waveshape__Aは、その前の波形とは異なり、任意のWaveshape__Bはその前の波形とは異なる。図22Cの実施例では、Waveshape__A1（15：0）およびWaveshape__A3（15：0）に使用される16ビット波形は、別の波形と異なる。この実施例では、Waveshape__B（15：0）は2回繰り返されるが、Waveshape__Bが前のWaveshape__Bと異なるように指定することが可能である。AおよびB波形は独立しており、コード化励起法、たとえば造影剤イメージングおよび非線形イメージングを伴う用途に私用される送信波形をインプリメントするため

30

40

【0138】

TXPower信号（図18bに「TX高電圧」として示す）は、送信パルサーの出力の振幅を制御することができる。このインプリメンテーションに示されるとおり、TXPowerはすべての送信チャネルに共通である。任意に、各々の送信チャネルの出力パルスの振幅は、個々に制御することができる。

【0139】

図19は、例示的なビーム成形器制御盤1900を示すシステム信号処理ブロック図である。ビーム成形器制御盤1900は、ビーム成形器制御装置、および信号処理ブロック1716の例示的な実施態様である。ビーム成形器制御盤1900の構造および動作は、

50

当業者に一般的に周知されている。例示的なシステムの実施態様は、たとえば、ECG、呼吸作用、被検体の体温、または血圧の1つまたは複数の生理学的信号源1901を取得、処理、および表示する機能を有することが可能である。生理学的信号取得ブロック1902は、こうしたタイプの生理学的信号を取得できる信号取得モジュールを含むことができる。

【0140】

コンピュータユニット1903へのデータ転送は、データをビーム成形器制御盤1900からコンピュータユニット1905に転送する。各実施態様は、この転送のために、当該技術分野で周知されているPCI Expressバス1904、または類似のバスを使用することができる。

10

【0141】

図20は、フロントエンド回路変換器1702、送信出力ステージ1703、並びに受信MUX1704および送信MUX1708の例示的な略図2000である。その他の例示的なフロントエンド回路も、上記のシステムと共に使用することができる。たとえば、米国特許第6,083,164号「Ultrasound Front-End Circuit Combining the Transmitter and Automatic Transmit/Receive Switch」に記載されているフロントエンド回路を使用することができ、この特許は、引用することにより全体的に本明細書に援用し、本明細書の一部を構成する。図20に示す例示的な回路2000は、素子がアクティブアパーチャの一部である場合に、素子を受信チャンネルに接続する多重化機能を提供する。また、フロントエンド回路は、本明細書に記載するとおり、受信チャンネルを送信チャンネルから絶縁する。送信出力ステージは、送信パルス発生器1813からの送信波形を受信し、その結果、送信パルス情報を送信高電圧と結合し、アクティブ送信アパーチャの一部である素子において高電圧波形を生成する。

20

【0142】

図20に示す例示的な略図では、送信パルスングは、D1 2010、D2 2012、QTDP 2008、QTDN 2006、QTXMUXP 2014、QTXMUXN 2016およびT1 2018によって行われる。送信時、アクティブ送信アパーチャ内に含まれる送信出力ステージは、QTXMUXP 2014およびQTXMUXN 2016の電源を投入することによって接続され、ゲート駆動信号TXA 2002およびTXB 2004がQTDN 2006およびQTDP 2008に到達することを可能にする。送信パルスングの際、QTDN 2006またはQTDP 2008は、意図する送信波形を生成するのに必要なタイミングで個々に電源が投入される。パルサー出力は、二次変換器LTXS 2038の左端に出現し、右端は、D1 2010およびD2 2012によって0V付近にクランプされ、D1 2010およびD2 2012は、たとえば通常の高速シリコンスイッチングダイオードで良い。アクティブパルスングの際、受信多重化スイッチSW1 2020も電源が切られ、付加的な隔離が提供される。送信パルサーの出力の振幅は、T1 2018~R1 2022の一次の中心タップに印加される送信電源電圧によって決定される。2つの電圧源V1 2024およびV2 2026が利用可能であり、V1 2024はV2 2026より大きい。これらの電圧源は、FETスイッチQLSH 2028、QLSL 2030およびダイオードD3 2032に示すように、R1 2022で共通ノードに接続される。電源電圧の一方または他方は、制御信号V1 NE 2034およびV2 NE 2036を使用して、QLSH 2028またはQLSL 2030の電源を入れることによって選択される。ダイオードD3 2032は、V1 2024がR1 2022に接続されると、電流がV1 2024からV2 2026に流れるのを防止するのに役立つ。この構成は、電圧記憶キャパシタC4およびC5に保持される電源電圧を充電または放電する必要をなくするため、送信電源電圧を2つのレベル間で迅速に切り換えることを可能にする。

30

40

【0143】

受信切換えは、QTDP 2008、QTDN 2006、QLSH 2028、QL

50

SL 2030およびSW1 2020によって行われる。SW1 2020は、GaAs PHEMT（ガリウムヒ素擬似格子整合高電子移動トランジスタ）などのタイプの単極単投（SPST）または単極双投（SPDT）スイッチで良い。あるいは、受信多重化スイッチは、その他のタイプの電界効果トランジスタまたは双極トランジスタと共にインプリメントされる。SW1 2020は、SPDTスイッチである場合、図20に示すように構成され、一方の端子は終端抵抗器に接続され、他方の端子は受信チャネル入力に接続される。SW1 2020がSPSTスイッチである場合、終端抵抗器に接続される端子、および終端抵抗器は取り除かれる。

【0144】

受信間隔では、受信多重化スイッチは、アレイ素子および受信チャネル間が接続するように構成される。パルサードライブMOSFET QTDN 2006およびQTDP 2008は共に、受信時に電源が投入され、QLSH 2028、QLSL 2030、QTXMUXN 2016およびQTXMUXP 2014は電源が切られる。その結果、LTXS 2038は、その漏れインダクタンスを受信信号と直列のインピーダンスとして主に提示する。受信信号が、順方向バイアスD1 2010またはD2 2012には小さすぎる場合、これらのダイオードは、接合キャパシタンスに支配される高いシャントインピーダンスを提示する。L1 2040および漏れインダクタンスLTXS 2038は、受信モードの入力インピーダンスを平均にして、D1 2010、D2 2012の接合キャパシタンス、および受信マルチプレクサを形成する連結スイッチのキャパシタンスを補償する。フロントエンド回路の別のインプリメンテーションでは、図21に示すように、信号RXCLMPは排除され、その機能はTXAおよびTXBによって実行される。この回路の送信機能は、図20の回路と同じであり、QTXMUXNおよびQTXMUXPは、信号TXDriveNおよびTXDrivePをゲート制御する。受信モードでは、QTXMUXNおよびQTXMUXPは電源が切れ、その結果、信号TXAおよびTXBを遮断する。レジスタR8およびR9はQTXMUXNおよびQTXMUXPをシャントし、その結果、TXAおよびTXBは、受信モードの持続時間だけ高く駆動され、QTDNおよびQTDPのゲート上の電圧は徐々に増加し、これらのMOSFETスイッチが滑らかに作動する。受信モードの場合のQTDNおよびQTDPの滑らかな作動は、図20の回路の信号RXCLMPによって制御される。図21では、レジスタR5およびR6は、QTDNおよびQTDPのゲート上で電圧を取り、送信動作後に、送信多重化スイッチの電源が切れると接地する。

【0145】

パルサーは、スイッチ選択可能なレベルの電源と共に中心タップ変換器およびNMOSFETを使用し、名目上方形波を生成する。供給スペクトルを制御するには、制御インピーダンス同軸ケーブルを介して振動子素子に接続する時に、直列およびシャント抵抗を使用する。これらは、パルサーの動作時にソースインピーダンスの時間変化を減少させ、送信パルスの直後の間隔で、振動子の終了を送り返す役割を果たす。最終ステージのMOSFETの駆動回路は、この略図には示されていない。この回路（以下のとおり、マルチプレクサの遠端にある）は、個々に切り換えられるMOSFETパルス増幅器、または必要な駆動を提供するのに十分なCMOSバッファの集合である。

【0146】

パルサーに必要な変換器は、PCB上プリントされた巻線として構築され、PCBの両側に固締された小型フェライトスラブによって、巻線の周囲が補強される。この技術は、フェライトスラブを適切にパッケージすることができれば、自動化組立てに適する。

【実施例】

【0147】

以下の実施例は、本明細書の請求項に係る物品、デバイス、および/または方法の製造および評価方法の完全な開示および説明を当業者に提供するものであり、本発明を単に例示的に示すことを意図しており、発明者が考える発明の範囲を制限することを意図するものではない。数（たとえば、数量、温度など）には正確を期すように注意を払ったが、多

10

20

30

40

50

少の誤差および偏差はあると思われる。

【 0 1 4 8 】

実施例 1

図 2 3 は、本発明の一実施態様による例示的なシステムを示すブロック図である。例示的なシステム 2 3 0 0 は、たとえば最大 2 5 6 の素子を有する線形アレイと結合される。マイクロ同軸ケーブル 2 3 0 4 の束は、アレイ 2 3 0 2 と処理ユニット 2 3 0 6 との間の信号の送信を提供する。例示的なシステムは、処理ユニットをさらに備える。

【 0 1 4 9 】

処理ユニット 2 3 0 6 は、2つの主なサブシステムに仕切られる。第 1 のサブシステムは、フロントエンド 2 3 0 8 であり、ビーム成形器、フロントエンド電子回路、ビーム成形器コントローラ、および信号処理モジュールを備える。第 2 のサブシステムは、コンピュータユニット 2 3 1 0、またはバックエンドである。フロントエンドサブシステム 2 3 0 8 は、送信信号の生成、受信信号の取得、および信号処理に関連する。バックエンド 2 3 1 0 は、既製の P C マザーボードで良く、これは、システム制御、信号および画像処理、画像表示、データ管理、並びにユーザインターフェースに関連する。データは、たとえば、当業者が当該技術分野で周知するとおり、P C I E x p r e s s バスによって、フロントおよびバックエンドサブシステム間で転送される。

【 0 1 5 0 】

受信信号を処理するモジュールは、本明細書で以前に記載したとおり、受信ビーム成形器である。送信信号を生成するサブシステムは、やはり本明細書で以前に記載したとおり、送信ビーム成形器である。送信および受信ビーム成形器の各々のチャンネルは、アレイ 2 3 0 2 内の別個の素子に接続される。各々の素子における個々の送信または受信信号の遅延および振幅を変えることによって、ビーム成形器は、深さの関数としての焦点深度、アパーチャサイズ、およびアパーチャウィンドウを調節することができる。図 2 3 の例示的なシステムは、当業者が当該技術分野で周知している 1 つまたは複数の様々な超音波動作モードをサポートする。これらのモードを以下の表 2 に記載する。

【 0 1 5 1 】

【表 2】

表2
サポートされるモード

Bモード
Mモード
PWドップラー
カラーフロー(速度)ドップラー
パワードップラー
組織ドップラー
第2高調波
トリプレックス
EKV
ECGトリガイメージンガ
3-Dイメージング
3-Dリアルタイム(4Hz)
RFモード
解剖学的Mモード

システム仕様

図 2 3 に示すシステムの例示的な仕様は、たとえば以下の表 3 に記載する仕様を含む。

【 0 1 5 2 】

【表 3】

表3
システム仕様

サポートされる振動子数	最大 256
送信チャンネル(アクティブアパーチャ)	64
受信チャンネル	64
サポートされる振動子	線形、曲線線形
送信周波数範囲	15 ~ 55 MHz
データ取得方法	直交サンプリング
BFサンプリング周波数範囲	15 ~ 62 MHz
受信BF微細遅延インプリメンテーション	補間フィルタ
受信遅延分解能	T/16
ADCビット数	10
送信遅延分解能	T/16
TGC	はい
合成アパーチャ	はい
最大送信電圧	80 Vpp
送信電力制御	はい
多重送信焦点領域	はい
送信サイクル調節	1-32
最大Bモードフレームレート	200
CFIの最大フレームレート	160
PWDップラーの最大PRF	150 KHz
CFIの最大PRF	75 KHz
ドップラービームステアリング	はい
シネパツファサイズ	300フレーム
生理学的信号取得	はい
振動子コネクタ	1つ以上

10

20

30

システムカート

システム、またはその一部は、たとえばカートなどの移動可能な構成内に收容され、ビーム成形器の電子回路2316、コンピュータユニット2310、および電源ユニット2312を含む。ユーザインターフェースは、カスタムコントロールを含む一体型キーボード2318、トラックボール、モニター、スピーカ、およびDVDドライブを備える。カートのフロントパネル2320は、アレイベースの振動子2302、並びにECG、血圧、および温度など、マウスの生理学的情報を接続するコネクタ2322を有する。カートの後部周辺パネル2314は、リモートモニター、フットスイッチ、およびネットワーク2324などの様々な周辺デバイスの接続を可能にする。カートは、様々な電子回路の熱を制御するための冷却ファン2326、エアガイド、および換気口のシステムを有する。

40

【0153】

一実施態様では、コンピュータユニット2310は、たとえばMicrosoft Windows(登録商標)XPなどのオペレーティングシステムを実行する既製のIntelアーキテクチャプロセッサで良い。コンピュータユニット2310は、たとえば、Intel 3GHz CPU(Xeonデュアルプロセッサ、またはハイパースレッディングによるP4)、2GB DDRメモリ、ケーブルコネクタを含むPCI Express x4、100Mbps Ethernet(登録商標)、USB 2.0、1024x768x32bpp@100Hzが可能なグラフィックスコントローラ、音声出力

50

(ステレオ)、 $2 \times 120\text{GB}$ 7200RPM ハードディスクドライブ(Ｏ／Ｓ＋ソフトウェアに１つ、ユーザデータに１つ)、および力率補正を含む 300W ATX 電源から構成される。

【0154】

一実施態様では、電源ユニット2312は、以下から構成される：汎用ＡＣライン入力(100、120、220～240VAC、50または60Hz)、ただし、ＡＣ入力は、システムＡＣ入力端子ブロックに接続し、ＩＥＣ端子ブロックを使用するＡＣ配電を有する取外し可能なケーブルによって提供される。一実施態様では、突入電流は、電源投入から最初の100msの間、6A以下に制限される。図23のシステムカート、および本発明のその他の実施態様は、さらにシステムケーブリング2328から構成される。システムケーブリング2328は、メインＡＣラインコード、ラインフィルタ用索類、回路ブレーカ、電源ユニット、電源ユニット2312内部のＡＣ索類、コンピュータユニット2310の電源コード、モニターの電源コード、DVDドライブの電源コード、ファントレー2326の電源コード、および本発明による実施態様に使用されるその他の電源索類を含む。システムケーブリング2328は、器具電子回路のサブラック電源ケーブル、PCI Expressケーブル、振動子コネクタケーブル、マウス情報システム(MIS)ケーブル、3Dステージケーブル、スタンドバイスイッチケーブルなどを含む器具電子回路のケーブルをさらに含む。システムケーブリング2328は、ビデオ延長ケーブル(VGA、DVI、SVideなど)、キーボード/マウス延長ケーブル、キーボードスプリッタ、マウススプリッタ、リモートマウスケーブル、リモートビデオケーブル、USB延長ケーブル、プリンタ延長ケーブル、スピーカ延長ケーブルなどのコンピュータケーブルをさらに含む。

10

20

【0155】

冷却

濾過された周囲空気は、ファン2326の使用により、たとえば、ビーム成形器電子回路(つまり、ビーム成形器カードケージ2316、およびコンピュータユニット2310)を含むシステムカートの電子回路に供給される。冷却システムは、たとえば、一実施態様では、+10～+35の周囲動作温度範囲をサポートし、排気温度は、周囲温度より上の20未満に維持されるが、その他の周囲動作温度範囲は本発明の範囲内で考えられる。

30

【0156】

電磁波干渉(EMI)シールドイング

一実施態様では、例示的なシステムには、外部の電磁エネルギーが、システムの動作を干渉するのを防止し、システムが生成する電磁エネルギーがシステムから放射されるのを防止するため、接触EMIシールドが備えられる。

【0157】

システムシールドイングは、振動子ケーブル2304、アレイ2302、および振動子コネクタ2322に延在する。コンピュータ2310および電源ユニット2312は、システム内の個々にシールドされたエンクロージャ内に収容される。すべてのシールドは、シールド間のインピーダンスが低い状態で、ほぼ接地電位に維持される。システムのシャーシ接地と接地との間には、実質的に直接接続される。また、一実施態様では、ＡＣ電源は、電源ユニット2312の一部である絶縁変換器によって、システム電源から絶縁される。

40

【0158】

電子回路の概略

本発明による例示的なシステムの電子回路のの一実施態様の概略を図24に示す。この図では、例示的なシステムは、電源ユニット2402、器具電子回路サブラック、およびコンピュータユニットから成る。電源ユニット2402は、ＡＣおよびＤＣ電力をカートに分配する。たとえば、48VのＤＣ電圧は、器具電子回路サブラックに供給されるが、その他の電圧は本発明の範囲内で考えられる。器具電子回路サブラックは、ビーム成形器

50

制御盤 2404、4つの同じチャンネル基板 2406、およびバックプレーン 2408を収容する。基板 2406は、たとえばブラインド嵌合コネクタを介してバックプレーン 2408と嵌合する。器具電子回路は、たとえば P C I エクスプレス接続 2410を介してコンピュータユニットと通信する。

【0159】

チャンネル基板

例示的なチャンネル基板は、図 18 a ~ 18 d に示し、これらの図に関連して以前に説明した。チャンネル基板 2406は、送信ビーム成形に適するタイミングで送信信号を生成し、受信信号を取得、デジタル化、およびビーム成形する。図 24 の例示的な実施態様では、4つのチャンネル基板 2406があり、各々の基板は 16 の送信チャンネルおよび 16 の受信チャンネルを備える。各々のチャンネル基板 2406は、送信出力ステージ、電源回路構成、送信ビーム成形器用の F P G A、受信ビーム成形器の部分和を提供するための F P G A、ビーム成形器バス、およびバックプレーンとの接続を含む 64 のフロントエンド回路も備える。

10

【0160】

図 18 a で分かるとおり、4つのフロントエンド回路は、各々の送信および受信チャンネルに多重化される。アレイには、各々の素子に 1 つのフロントエンド回路があり、各々のフロントエンド回路は、図 18 a ~ 18 d に関して以前に説明したとおり、送信出力ステージ、送信および受信マルチプレクサスイッチ、ダイオードリミッタ、並びに受信フィルタリング用の構成要素を備える。

20

【0161】

送信チャンネルおよび送信出力ステージは、約 15 ~ 約 55 M H z の範囲の指定の周波数、並びにサイクルカウントおよび振幅で双極パルスを生成する。各々のチャンネルによって生成される送信波形は、送信周波数の期間の約 1 / 16 に相当する分解能を有するその他のチャンネルに対して特定の遅延を有する。アクティブ送信アパーチャ全体の遅延プロファイルは、送信ビーム成形器コントローラによって制御される。低ジッターのマスタークロックは、送信バースト信号を生成するために使用される。送信出力ステージは、アボダイズド送信アパーチャを形成するために、チャンネルごとにピークピーク電圧を調節する手段を備える。

30

【0162】

受信チャンネルは、可変ゲイン調節を提供し、受信信号をフィルタリングおよびデジタル化し、並びに受信ビームを形成する。ゲインは、前置増幅器としても動作する可変ゲイン増幅器でインプリメントされる。ゲインは、T G C 曲線として周知の予め決められたゲインプロファイルにより、超音波ラインの取得中に変化する。アンチエイリアシングフィルタは、エイリアシングを防止し、ノイズの帯域幅を制限するために、A D C (アナログデジタル変換器) の前に配置される。

40

【0163】

図 18 a に示すとおり、信号は直交信号として取得されるので、デュアル A D C 1807、1808 は各々のチャンネルに使用される。A D C クロックは、互いに 90 ° 位相する。サンプリング周波数は、使用するアレイの中心周波数に従って設定される。A D C の 10 ビット出力は、デュアルポート R A M に送信される。受信ビーム成形器は、直交サンプルを読み取り、受信ビーム成形器コントローラによって制御される動的受信集束スキームに従って補間フィルタリングを行う。補間フィルタリング後、各々の受信チャンネルからの出力は加算され、高速データ転送バスを介して C P U に送信される。

【0164】

受信ビーム成形器は、R X 制御バスを介してセットアップされる。送信ビーム成形器は、T X 制御バスを介してセットアップされる。制御パラメータは、各々の超音波ラインの開始以前に更新される。制御パラメータは、T X アパーチャ、T X 遅延プロファイル (粗遅延および微細遅延)、R X アパーチャ、R X 遅延プロファイル (初期、粗遅延、および微細遅延)、R X 位相、並びに R X アボダイゼーションである。すべての制御パラメータ

50

が設定され、システムの用意ができると、開始 (S O L) 信号が送信され、送信 / 受信サイクルを開始する。

【 0 1 6 5 】

送信出力ステージ

送信チャンネルの多重化は、送信出力ステージの前に行われる。送信ビーム成形器は、最大 2 5 6 個の素子を有するアレイで動作することができるので、1つの素子に1つ、2 5 6 個の送信出力ステージが存在する。図 2 0 および 2 1 に示し、これらの図に関して説明するとおり、各々の出力ステージは、中心タップ変換器を駆動する2つの M O S F E T から成り、中心タップにおける電源電圧はパルス振幅を制御する。出力波形は、可変サイクル数を有するほぼ方形波である。変換器の二次の一方の端部はアレイ素子に至り、他方の端部は受信保護回路に至る。受信インピーダンス素子は、インピーダンス整合およびフィルタリングを提供する。各々の M O S F E T と直列の F E T スイッチは、多重化を提供する。変換器および誘導子は、たとえば、プリント回路基板上のトレースとしてインプリメントされる。変換器には、基板の開口部内に挿入されるフェライト磁針がある。

10

【 0 1 6 6 】

送信チャンネル

各々の送信チャンネルは、図 1 8 で分かるとおり、4つの出力ステージに多重化される。チャンネルごとに2つの送信信号があり、プッシュプル出力ステージの各々の位相を駆動する。図 2 0 および 2 1 で分かるとおり、送信チャンネルのアナログセクションは、適切な増減時期に、出力ステージの M O S F E T のゲートキャパシタンスを駆動することが可能なプッシュプルタイプのドライバ回路から成る。これらは、アナログスイッチにより、出力ステージに多重化される。

20

【 0 1 6 7 】

送信ビーム成形器

図 2 2 で分かるとおり、送信ビーム成形器は、D D R メモリを使用して、最大約 8 0 0 H z で計時される送信波形を生成する。各々のチャンネルは、D D R メモリ出力を使用する。出力クロックレートは、中心周波数 (c f) の約 1 6 倍であり、それによって適切な遅延分解能の機能を提供する。ジッターは、P E C L で D D R 出力を再計時することによって減少する。図 2 2 A で分かるとおり、約 1 6 倍のクロックレートでは、送信波形整形は、正または負の半周期の幅を調節することによって行うことができる。この機能は、正および負の半周期間に「不感時間」を導入し、出力パルスの波形を改善することができる。

30

【 0 1 6 8 】

フロントエンド回路

2 5 6 個の素子から成る振動子アレイの場合、1つのセクションが各々のアレイ素子に専用の 2 5 6 個のフロントエンド回路セクションがある。図 1 7 で分かるとおり、各々のフロントエンド回路は、フロントエンド変換器 1 7 0 2、送信出力ステージ 1 7 0 3、送信 M U X 1 7 0 8、受信 M U X 1 7 0 4、ダイオードリミッタ、および受信フィルタリング用の構成要素を備える。

【 0 1 6 9 】

受信チャンネル

図 1 7 で分かるとおり、各々の受信チャンネルは、受信信号の取得に関連する回路素子を含む。受信マルチプレクサ 1 7 0 4 は、6 4 個の受信チャンネルをアクティブアパーチャ内の素子に接続し、これらの素子は、2 5 6 素子アレイ内の最大 6 4 個の素子のサブセットである。

40

【 0 1 7 0 】

受信ビーム成形器

図 1 7 に示す類の受信ビーム成形器は、受信アパーチャの各々のチャンネルが取得したデジタルデータを個々に処理および加算するモジュールである。その機能としては、たとえば、受信アパーチャサイズの動的制御、つまり、各々の受信サンプルの取得時に使用されるチャンネル数、受信アポダイゼーションの動的制御、つまり、受信アパーチャに適用され

50

るウィンドウ、動的受信集束、つまり受信信号のアップサンプリング、および各々のサンプルの取得時に、補間フィルタの使用により、各々の受信チャンネルに適用される遅延の調節、並びにアレイ内のアパーチャ位置の変化が挙げられる。

【0171】

チャンネル基板構成

図24の例示的に示すように、4つのチャンネル基板2406があり、各々のチャンネルは、26の送信チャンネルおよび16の受信チャンネルを含み、これらのチャンネルはすべて、バックプレーン内に差し込まれる。各々のチャンネル基板には、バックプレーン内の位置に基づいてアドレスが割り当てられ、各々の基板を個々に制御することができる。

【0172】

ビーム成形器制御盤

図24の例示的なシステムのビーム成形器制御盤2404は、ホストCPU（バックエンド）に対するデータのアップリンク、並びにハードウェア電子回路の集中タイミングおよび制御を提供する。ホストCPUに対するリンクは、PCI Expressバス2410を介して行われ、レーンごとに各方向に約250MB/秒のデータビットレートを可能にする。×8レーン幅PCI Expressリンクは、約4GB/秒のピークフルデュプレックス帯域幅を提供する。

【0173】

TX/RXコントローラ2412は、送信ビーム成形器および受信ビーム成形器に対するフレーム開始およびライン同期開始信号を使用して、マスタータイミングを提供する。これは、カスタムローカルバスを介して、メモリ内のビーム成形器パラメータを設定する。ビーム成形のためのすべての低ジッタークロック周波数は、ビーム成形器制御盤2404上で生成される。

【0174】

各々のチャンネル基板2406からのRF部分とデータは、同期アパーチャデータ2416と共に加算される2414。次に、光線ラインデータは、先入れ先出し（FIFO）メモリ2418内に入り、RFシネバッファ2420にコピーされる前に、そこに一時的に配置される。RFシネバッファ2420は、RFシネバッファ2420は、RFデータのフルフレームを記憶し、ランダムにアクセス可能である。データは、RFシネバッファ2420から読み取られ、PCI Express 2410を介してホストCPUにコピーされる。あるいは、データは、信号プロセッサモジュール2422によって処理されてから、メインコンピュータユニットに送信することができる。

【0175】

制御パラメータのデータトラフィック制御および読取り/書込みは、内蔵CPU2424によって促進される。内蔵CPU2424自体は、PCI Express link 2410を介して、ホストCPUがアクセス可能である。ビーム成形器制御盤2404によって提供されるその他の機能は、生理学的取得システムおよび電源の監視である。本明細書で以前に参照した図19は、ビーム成形器制御盤1900の一実施態様のブロック図である。

【0176】

TX/RXコントローラ

送信ビーム成形器制御装置：

送信（TX）ビーム成形器制御装置は、各送信ラインの送信ビーム成形器パラメータを更新する。パラメータは、送信中心周波数（ f_c ）における粗遅延数、微細遅延サイクル数（ $16 \times f_c$ における）、送信波形（ $16 \times f_c$ における）、送信サイクル数、送信選択、および送信電圧を含む。送信ビーム成形器の制御は、二重モード、三重モード、または複数の焦点域のパラメータの更新も予定する。

【0177】

受信ビーム成形器の制御装置：

受信ビーム成形器制御装置は、各々のチャンネルの受信遅延プロファイル、アパーチャサ

10

20

30

40

50

イズ、およびアポダイゼーションを制御する。遅延制御は、粗遅延および微細遅延から成り、これらは、それぞれデュアルポートRAM読取りポインタ、および補間フィルタ係数セクタビットによって制御される。

【0178】

アパーチャ制御信号は、各々のチャンネルがアクティブになる時期を指定することによって、アパーチャサイズを動的に制御する。これは、補間フィルタの最終出力のクリア信号を制御することによって行われる。動的受信アポダイゼーションは、各々のチャンネルの信号が乗算される5ビットのアポダイゼーションデータによって制御される。受信制御信号は、図26に示す入力サンプルクロックレートで制御RAMから読み取られる。

【0179】

送信/受信同期化：

送信/受信同期化のブロック図を図27に示す。BモードおよびMモードイメージングの場合、異なる送信および受信周波数を使用することができる。しかし、クロックは非同期なので、送信サイクルと受信サイクルとの間のライン間タイミング差ジッターが導入される。図27の実施態様に示すように、送信および受信クロックを同期化する方法は、プログラム可能なドライバ(TX__除算器)2714を使用して、送信クロック(TXCLK×16)から受信クロック(RXCLK__B)を生成することである。受信周波数は、一定の比率の送信周波数である。比率は、送信クロック周波数×16をNで除算した値であり、Nは整数である。たとえば、30MHzの送信クロック周波数、および26.7MHzの受信クロック(RXCLK__B)周波数を生成するには、TX__除算器2714は、18で除算するように設定される。除算器の性質により、RXCLK__Bは、TXCLK×16と良好な位相整列状態にあり、2つのクロックは常に、最小位相差を有する。RXCLK__Bは、ライントリガ(SOL)2702の開始を同期化するために使用される。ライントリガの同期化の開始(SOL__S)2704は、TX__TRGを生成する。TX__TRGは、TX__TRG SYNC2716によってTXCLK×8に同期化される。SOL__SおよびTX__TRG間の遅延は、必要に応じて加算することができる。TX__TRGは、送信サイクルを開始するように送信ビーム成形器に信号を送信する。RXGATEはRXCLK__Bに同期化され、データの取得を開始するように受信ビーム成形器に信号を送信する。乗算器(RX__PLL)2718は、I/Qクロック発生器2720がIおよびQクロックを生成するために必要とするRXCLK×4クロック周波数を提供する。

【0180】

図27Aは、ライントリガ(SOL)2702の開始を、送信クロックと受信クロックとの間の位相差が既知の状態になる時まで遅延させることによって、送信サイクルと受信サイクルとの間の一貫した同期化を維持する別の方法を示す。SOLトリガ2702は、TX__RX__SYNCパルスによって同期化される。TX__RX__SYNCパルスは、TX__Syncタイマー2722によって生成される。次に、ライントリガ(SOL__S)2704の同期化された開始は、送信ビーム成形器2706および受信ビーム成形器データの取得のための制御タイミング信号を開始させることができる。TX__TRGは、送信サイクルを開始させるように送信ビーム成形器に信号を送信する遅延バージョンのSOL__Sである。TX__TRGは、TXCLKに同期化される。送信ビーム成形器2706は、フロントエンドモジュールに対するTXGATEマルチプレクサ制御信号およびTXA/TXB送信パルスを生成する。RXGATEは、データ取得を開始するように、受信ビーム成形器に信号を送信する。RXGATEは、RXCLK2710に同期化される。

【0181】

送信2708および受信クロック2710間の位相差は、TX__Sync__Period2712が正確に計算される限り一定である。TX__Sync__Period2712は、同期化を達成するために必要な最小数の送信クロックサイクルである。たとえば、送信クロック周波数が30MHzであり、受信クロック周波数が25MHzである場合、TX__Sync__Period2712は、6サイクルの送信クロックである。

10

20

30

40

50

【0182】

クロック発生器

クロック発生器2428は、送信および受信ビーム成形に適するクロック周波数を提供する。クロック発生器2428は、低ジッターマスタークロック、プログラム可能除算器、クロックバッファ、および再同期化回路を備える。周波数は、送信周波数(f_c) - 25 ~ 50 MHz、受信周波数 - 同相および直交の20 ~ 50 MHz、デジタルクロック - $f_c \times 2$ 、 $\times 4$ 、 $\times 8$ 、 $\times 16$ である。この例示的な実施態様に使用される最高速のクロックは、800 MHz ($50 \text{ MHz} \times 16$)で良い。

【0183】

PCI Expressブリッジ

PCI Expressブリッジ2426は、PCIバス2410を介してホストCPUおよび内臓CPU2424を接続する。これは、RFシネバッファ2420からホストプロセッサメモリへ、およびこの逆のDMA転送を可能にする。PCI Expressは、PCIおよびPCI-Xバスの通信モードに基づく。PCI Expressは、シングルまたはバースト読み/書きコマンドで、PCIおよびPCI-Xと同じメモリマッピングアドレス空間を使用する。しかし、PCI Expressは、スイッチを使用して異なるデバイスを接続するポイント間シリアルインターコネクトであるが、PCIおよびPCI-Xはパラレルマルチドロップバスである。PCI Expressは、カードエッジコネクタを介するか、またはケーブル上で、チップ間または基板間通信リンクとして使用することができる。

【0184】

PCI Expressリンクの帯域幅は、たとえば、RFデータ、MISデータ、および診断の場合、アップリンク - 210 MB / 秒バーストおよび140 MB / 秒持続レート、書き込み制御パラメータの場合、ダウンリンク - 20 MB / 秒バーストおよび< 1 MB / 秒持続レートで良い。

【0185】

合成アパーチャFPGA

チャンネル基板2416からの部分ビーム成形器のRFデータは、合成アパーチャFPGA内で最初に処理される。この処理は、ビーム成形器の最終加算、合成アパーチャ、およびFIFOへの書き込みを含む。

【0186】

RFシネバッファ

機能上、RFシネバッファ2420は、たとえば、1 GバイトのデュアルポートRAMである。RFシネバッファ2420は、ラインおよびフレームに構成されたRFデータを記憶するランダムアクセスメモリブロックである。データは、非同期信号処理をサポートする様々なレートの入力および出力で良い。データ流は、インターリーブされたIおよびQビーム成形データから構成される。FIFOバッファは、ビーム成形器データの記憶装置を提供し、メモリは、次の表示期間でCPUによって読み取られる。

【0187】

一実施態様では、バッファの仕様は、たとえば、記憶装置 - 300 フルサイズフレーム (512 光線ライン $\times$ 1024 サンプル/ライン $\times$ 32 ビットのI & Qデータ)、バッファサイズ - > 629 Mバイト、入力レート - 140 Mバイト/秒、出力レート - 140 Mバイト/秒 (RFデータレート) 32 Mバイト/秒 (ビデオレート)。

【0188】

非同期信号処理

上記の例示的な超音波システムの一実施態様によると、ある動作モードでは、1秒当たり数百フレームの範囲の非常に高い取得フレームレートが可能である。表示レートは、取得レートに等しい必要はない。ヒトの眼は限られた反応時間を有し、急激な運動の変化では、ローパスフィルタとして作用する。30 fpsを超えるフレームレートは、感知される運動情報を増加する上で殆ど利点はない。このため、表示された超音波画像情報は、取

10

20

30

40

50

得レートが非常に高い場合、30fps以下の処理データレートで良い。取得を信号処理から分離するには、大型のRFバッファメモリを使用して、ビーム成形器出力データを記憶する。ビーム成形器の出力データ(data)をバッファするための例示的な構造を図28に示す。図28に示すように、メモリバッファ2800は、RFデータの多くのフレームを保持することができる。512波長の深さの場合、16ビットの直交サンプリングされたフルラインRFのは、4Kバイト(1024、I、Qサンプル*32ビット/対)を使用する。フレーム当たり512の光線の場合、1Gバイトのメモリバッファは512の2Dフレームを保持することができる。バッファに書き込まれるフレームのトラックを維持するには、書込みコントローラは、「最初のフレーム」および「最後のフレーム」ポインタを維持し、これらのポインタは、信号処理タスクによって読み取ることができ、読取りに使用可能なバッファ内の最初のフレーム、および読取りに使用可能な最後のフレームをそれぞれ指示する。

10

【0189】

アクティブな取得の際、ビーム成形器の加算出力は、書込みコントローラ2802によって次の使用可能なフレーム記憶域に書き込まれ、このフレーム記憶域は、一般に、「最後のフレーム」ポインタによって指示された直後の記憶である。各々のフレーム内のデータが取得されると、「最初のフレーム」および「最後のフレーム」ポインタが更新され、データは、バッファ内の正しいアドレスに書き込まれる。取得が停止(凍結)すると、バッファは次に、最後のNフレームを含み、「最初のフレーム」ポインタは、バッファ内の最も古いフレームを指示する。

20

【0190】

信号処理モジュール2422は、RFメモリバッファ2420にアクセスする。このモジュールは、表示フレームにおいて一度に1つの取得フレームにアクセスし、表示された概算データを生成する。システムが走査している間、タイマーは、信号処理モジュールに、表示フレームが必要であるという信号を送信する。この時、信号処理モジュール2422は、新しい取得RFフレームが使用可能であることを確認し、使用可能である場合、データを読み取って処理する。取得レートが、表示レートより速い場合、取得フレームは、処理および表示以前にデシメートされる。システムが凍結された後、メモリバッファ内に記憶されたRFフレームは、最初の取得レートまでの所望の任意のレートで処理することができる。

30

【0191】

信号処理モジュール

ビーム成形器制御盤2404は、ホストCPU上のデータロードおよび/または通信ロードを減少させるため、データバス内に信号プロセッサ2422を備える。プロセッサ2422は、たとえば、十分な数の乗算器およびメモリを含むFPGA、または、たとえば970PPCもしくは汎用DSPなどのCPUで良い。実行される信号処理機能は、ビーム成形器制御盤2404上の信号処理モジュール2422、およびコンピュータユニット(つまり、ホストコンピュータ)間で分割される。これらの機能は、ポストビーム成形制御、Bモード振幅の検出およびログの圧縮、PWドップラースペクトル概算、カラーフロークラッタフィルタ、および周波数/電力概算、非同期信号処理、またはフレーム平均を含む。どこで処理を行うかを決定する際に考慮される要素は、必要な処理速度、処理の複雑さ、および必要なデータ転送レートである。

40

【0192】

Bモード信号処理

Bモードイメージングの場合、信号処理モジュール2422は、ライン補間、検出、および非各を含むプロセスを実行する。

【0193】

カラーフローイメージング(CFI)信号処理

本発明による一実施態様では、ドップラーカラーフローイメージングは、Bモードイメージングと結合し、その結果、Bモード信号バスおよびドップラーカラーフロー信号バス

50

の共通ブロックは、時間多重化され、両方のタイプの処理を提供する。一般に、Bモードラインは、当業者が周知しているとおり、BモードおよびCFIの相対光線ライン密度に応じて、各々の集合の1つまたは2つのラインのRFデータの取得でCFI集合間で取得される（一般的なCFI画像は、Bモードの光線ライン密度の半分を使用する）。

【0194】

CFIの場合、信号処理モジュール2422は、集合バッファリング、クラッタフィルタ、速度概算の計算、電力概算の計算、および分散概算の計算を含むプロセスを実行する。

【0195】

受信ビーム成形器の加算出力からのIおよびQ波形が、クラッタフィルタを通過した後、ビーム成形器制御盤上のホストコンピュータまたはCPU2424内のドップラー周波数および電力評価器によって、ドップラー信号の様々なパラメータが評価される。集合内の各々のサンプルの深さについて概算されたパラメータは、ドップラー周波数、ドップラー電力、および周波数分散の概算を含む。これらのパラメータは、周波数概算が、ノイズまたはクラッタ信号の概算ではなく、ドップラースペクトルの真の概算である可能性を判断するため、決定マトリックスで使用される。カラーフロー速度の概算は、ドップラー周波数概算から導かれる。すべての概算は、当業者が周知している2-D自己相関法を使用して導かれる。

10

【0196】

PWドップラー信号処理

20

パルス状ドップラー取得は、単独で、二重モード、または三重モードである。二重モードの場合、PWドップラー送信パルスは、Bモード送信パルスとインターリーブされ、その結果、Bモード画像はリアルタイムで更新され、PWドップラーしのが取得される。インターリーブの方法は、選択されるドップラーPRFに基づく。Bモードイメージングとパルス状ドップラー処理間との間で共用される構成要素は時間多重化され、両方のタイプの処理が行われる。

【0197】

三重モードの場合、パルスドップラーは、Bモードおよびカラーフローイメージングと結合される。三重モードの最も単純なインプリメンテーションは、最終的にBモードおよびCFI画像ラインのフルフレームを生じる一定シーケンスにおける、BモードラインまたはCFIラインの時間インターリーブである。このインプリメンテーションでは、両方のパルス状ドップラーおよびCFIのPRFは、通常の単一モード動作と比較して半分減少する。

30

【0198】

各々の光線ラインのIおよびQサンプルは、ドップラーサンプル量の当該領域を選択するために、レンジゲートされる（IまたはQ信号の選択されたレンジは、使用可能なフルレンジから分離および平均され、単一のI、Q対を生成する）。レンジゲートの長さは、必要に応じて、ユーザが、ある範囲の深さをカバーするように変更することができる。結果として平均されるI、Q対は、空間プロセッサ、および音声プロセッサに送信され、I、Qドップラー周波数データは2つの音声出力流に変換され、一方の出力流は、振動子方向（前方）の流れ）、他方の出力流は振動子から離れる（逆方向）流れである。

40

【0199】

PWドップラーイメージングの場合、信号処理モジュール2422は、レンジゲート（デジタル積分）を含む処理を実行する。

【0200】

Mモード信号処理

Mモードイメージングでは、信号処理モジュール2422は、検出および比較を含む処理を実行する。

【0201】

EKV信号処理

50

E K V は、タイミングイベントとして使用される E C G (心電計) 信号を使用する後処理動作として、極めて高いフレームレート画像が生成される取得方法である (1 秒当たり 1 0 0 0 フレーム以上)。E K V イメージングは、単一素子の機械的走査振動子、または振動子アレイを使用してインプリメントされる。E K V イメージングは、2 - D 画像の各々のライン位置において、1 0 0 0 H z 以上の P R F で、ある期間にわたって超音波ラインを得する。各々のライン位置で超音波ラインが得される期間は、E K V 期間と呼ばれ、たとえば 1 秒であり、これは、マウスまたは他の小動物の数回の心周期を捕捉するのに十分な長さである。各々の超音波ラインの取得は、単一送信パルスの点火、その後の返される超音波データの取得を含む。たとえば、2 - D 画像内に 2 5 0 のラインが存在する場合、E K V データ集合で合計 2 5 0 , 0 0 0 の超音波ラインが取得される。E K V 画像の各々のフレームは、心周期の同じ時間に取得される超音波ラインを集合させることによって再現される。

【0202】

一実施態様では、E K V データ集合の取得シーケンスは、超音波ライン位置が静止状態を保ち、超音波ラインが当該期間で取得されるシーケンスである。たとえば、この期間が 1 秒であり、P R F が 1 K H z である場合、1 0 0 0 の超音波ラインが、最初の超音波ライン位置で取得される。次に、このライン位置は増分し、プロセスが繰り返される。こうして、2 - D 画像内の 2 5 0 本のラインのすべての E K V データが取得される。このシーケンス付けの方法の欠点は、完全な E K V データ集合を完成するのに必要な時間の長さが比較的長くなる可能性があることである。この実施例では、時間は $250 \times 1 \text{ 秒} = 250$ 秒である。

【0203】

アレイを使用する好ましい実施態様では、インターリーブの方法は、E K V データ集合を完成するのに必要な時間の長さを減少させることができる。たとえば、P R F が 1 K H z である場合、他のラインを取得できるパルス間の期間は 1 m s である。取得される超音波ラインの数は、信号が検出される組織内の最大深さに対する超音波の双方向送信時間によって決定される。たとえば、双方向送信時間が $20 \mu \text{ 秒}$ である場合、様々なライン位置における 5 0 の超音波ラインが、P R F 間隔でインターリーブされる。ライン位置に L 1、L 2 . . . L 5 0 のラベルを付ける場合、1 つの例示的なインターリーブ方法は、以下のようにインプリメントされる：

【0204】

【表 4 - 1】

時間	取得される超音波ラインの位置
0 $\mu \text{ 秒}$	L1
20 $\mu \text{ 秒}$	L2
40 $\mu \text{ 秒}$	L3
...	...
980 $\mu \text{ 秒}$	L50
1000 $\mu \text{ 秒}$	L1
1020 $\mu \text{ 秒}$	L2
1040 $\mu \text{ 秒}$	L3
...	...
1980 $\mu \text{ 秒}$	L50
2000 $\mu \text{ 秒}$	L1
...	...

上記の表のシーケンスは、E K V 期間が経過するまで繰り返され、E K V 期間が経過した時点では、ライン 1 からライン 5 0 までの 5 0 の異なるライン位置で取得された 1 0 0

0の超音波ラインから成るデータブロックが存在する。データブロックの取得は、この方法で2-D画像の次の50ラインについて、ライン51からライン100まで繰り返され、次に、ライン101から150までという具合に、完全な250のラインデータ集合が完了するまで取得される。

【0205】

250ライン上の完全なデータ集合に必要な合計時間は、インターリーブされるライン数に等しい係数だけ減少し、この実施例では50である。したがって、必要な時間の合計長さは5秒である。

【0206】

内蔵CPU

ビーム成形器制御盤2404上の内蔵CPU2422は、一実施態様では、PCIインターフェース2426およびDDRメモリアンターフェースを有する32ビット内蔵マイクロプロセッサである。内蔵CPU2424の主な機能は、データとラフィック制御である。これは、受信ビーム成形器FIFO2418からRFシネバッファ2420、RFシネバッファ2420から信号処理モジュール2422、および信号処理モジュール2422からホストPCまでのデータの流れを制御する。

【0207】

ビーム成形器制御装置および診断情報は、レジスタなどのターゲットPCIデバイス上にメモリマッピングされる。内蔵CPU2424は、レジスタの位置を復号し、情報を適切なローカルバス上に中継する。ローカルバスは、たとえばPCI、カスタムパラレル(GPIOを使用する)、12Cシリアル、またはUARTシリアルで良く、それぞれ当該技術分野で周知されている。

【0208】

生理学的取得システム

生理学的取得システム2430(または「マウス取得システム」)はマウス情報システムの入力部2438からのアナログ信号をフィルタリングして変換する。これらの信号は、被検体のECG、温度、呼吸作用、および血圧を含む。データの変換後、データは、ローカルバスを介して内蔵CPU2424のメモリに転送され、次にホストCPUに転送され、PCI Expressリンク2410を介して表示される。

【0209】

電源の監視

ビーム成形器制御盤2404は、ラック電源2432を監視し、各々の基板上に生成される電圧を低下させる。たとえば、ラック電源2432は、+48VDCをバックプレーン2408に提供する。一実施態様では、各々のチャンネル基板2406上の2つの高電圧調整装置が、フロントエンド回路の送信部分を供給する。ビーム成形器制御盤2404は、これらの調整装置の過電流または過電圧状態を監視する。

【0210】

バックプレーン

バックプレーン2408は、器具電子回路カードケージに実装される。一実施態様では、バックプレーン2408は、各々の基板を差し込むことを可能にするブラインド嵌合縁部コネクタを有するが、その他の接続スキームは本発明の範囲内で考えられる。バックプレーン2408は、基板と、カードケージ外部の信号の入力/出力コネクタとの間の相互接続を提供する。一実施態様では、バックプレーンのサイズは、高さ8U×幅84HPであり、8U×19"のラックマウントのVME式カードケージ内に適合する。カードケージの深さは、一実施態様では280mmである。

【0211】

システムソフトウェア

システムソフトウェア2330の一実施態様の概略は、図29に示す。一般に、システムソフトウェア2330は、Windows(登録商標)XPオペレーティングシステムを実行するIntelプロセッサプラットフォームなどのプロセッサプラットフォーム

10

20

30

40

50

上で動作する。システムの一実施態様のプロセッサプラットフォームは、本明細書で以前に説明したコンピュータユニット 2 3 1 0 によって提供される。あるいは、システムソフトウェア 2 3 3 0 は、調査研究用の独立ワークステーションにロードされる。ワークステーションは、ビーム成形器ハードウェアを含まず、新しいデータを取得するための振動子も持たない。ワークステーションは、以前に取得された研究データを調査し、処理機能の限られた集合を実行する。たとえば、ユーザは、測定、異なるフレームレートでの再生、またはカラーマップの変更を追加することができる。

【 0 2 1 2 】

図 3 0 は、本発明の 1 つまたは複数の態様を実施するために使用されるメインソフトウェアアプリケーションの一実施態様である。システムソフトウェア 3 0 0 0 は、図 3 0 に示すように、システムが始動し、システムの操作者にインターフェースを提供できる時にロードされる。

10

【 0 2 1 3 】

構成要素全体の構造を決定するフレームワーク 3 0 1 8 は、コンピュータユニット 2 3 1 0 の処理プラットフォームのオペレーティングシステムによって実行可能なアプリケーションを生成し、オペレーティングシステムとインターフェースするために使用することができる。たとえば、フレームワーク 3 0 1 8 は、Windows (登録商標) アプリケーション、および Windows (登録商標) オペレーティングシステムを生成する。

【 0 2 1 4 】

アプリケーションコントローラ 3 0 2 0 のソフトウェア構成要素は、システムソフトウェア 3 0 0 0 の状態マシンで良い。これは、操作者、システムソフトウェア 3 0 0 0、フロントエンド 2 3 0 8 間の相互作用を制御する。

20

【 0 2 1 5 】

アプリケーションビュー 3 0 2 2 のソフトウェア構成要素は、本明細書で以前に説明したとおり、アプリケーションコントローラ 3 0 2 0 のソフトウェア構成要素内の状態マシンに基づいて、システムソフトウェア 3 0 0 0 のプレゼンテーションをサポートする基礎を提供することができる。

【 0 2 1 6 】

調査構成要素 3 0 0 2 は、操作者が、調査を実行し、研究データを調査し、内容を編集し、研究データをインポートまたはエクスポートすることを可能にする。本明細書で以前に説明したように、データを取得するために、システムがサポートする様々な動作モードの可能性があり、システムソフトウェア 3 0 0 0 のモード 3 0 0 4 ソフトウェア構成要素によって管理することが可能である。サポートされるモードとしては、たとえば、B モード、3 D モード、M モード、PW ドブラー、カラーフロッドブラーなどが挙げられる。各々のモードは、調節可能なパラメータ、シネループ取得、およびメイン画像ディスプレイ領域を有し、これらは、モード 3 0 0 4 ソフトウェア構成要素によって管理される。モードによっては、たとえば PW ドブラーおよび B モードなど、同時に動作する。

30

【 0 2 1 7 】

ビーム成形器制御装置 3 0 2 4 のソフトウェア構成要素は、システムソフトウェア 3 0 0 0 内の設定に基づいて、フロントエンドのイメージングパラメータを生成することができる。

40

【 0 2 1 8 】

ユーザデータマネージャ 3 0 0 6 ソフトウェア構成要素は、システムをどのように構成するかに関するユーザの好みを維持する。

【 0 2 1 9 】

測定 3 0 2 6 ソフトウェア構成要素は、操作者がモードデータに関する測定および注釈を行うことを可能にする。

【 0 2 2 0 】

計算 3 0 2 8 ソフトウェア構成要素は、操作者が測定結果に関して計算を行うことを可能にする。

50

【0221】

ユーティリティ層3008ソフトウェア構成要素は、アプリケーションおよび第三者のライブラリ全体で使用される。

【0222】

ハードウェア層3012ソフトウェア構成要素は、本明細書で以前に説明したように、P C I e x p r e s s バスを介してビーム成形器と通信するために使用される。

【0223】

生理学的3030ソフトウェア構成要素は、本明細書で以前に説明したように、ハードウェア層3012を通して、生理学的データ収集を制御するために使用することができる。

10

【0224】

データ層3010は、動作に必要なすべてのパラメータの様々な集合のデータベースを含む。パラメータは、現在のユーザ構成および動作モードに基づいて設定される。

【0225】

メッセージログ3014およびエンジニアリング構成3016は、診断の報告およびトラブルシューティングに使用される。

【0226】

振動子選択基板

再び図24を参照すると、本発明によるこの実施態様では、システムは、カートの前部に1つの振動子コネクタ2438を有することが可能であり、振動子を切り換える場合、ユーザは最初の振動子を物理的に外し、次に別の振動子を差し込むことが可能であることが分かる。一実施態様では、これは、360ピン振動子コネクタ2438で良い。別の実施態様では、フロントパネルに2つの振動子コネクタを有する振動子選択基板を使用すると、物理的に振動子に触れずに、振動子間で切り換えることができる。

20

【0227】

実施例2

超音波イメージングシステムのもう1つの例示的な実施態様は、以下で説明し、図31に示すように、モジュール式のソフトウェアベースのアーキテクチャを含む。

【0228】

図31の実施態様は、処理ユニットの一部である4つのモジュールを備え、これらは、例示的なシステムの場合、ビーム成形器モジュール3102、R Fバッファメモリ3104、信号処理モジュール3106、およびシステムC P U 3108である。ビーム成形器モジュール3102は、パルスを振動子から送信および受信するための回路構成、並びにビーム成形に使用される遅延処理を含む。その出力は、加算R Fデータであるか、または直交サンプリング技術からダウンコンバートされたIおよびQデータで良い。ビーム成形器モジュール3102の出力は、本明細書に記載するとおり、大型R Fバッファメモリ3104に書き込まれる。

30

【0229】

C P U / 信号処理モジュール3106は、画像の形成、またはドップラー感知用のビーム成形器からのR Fデータを処理する。信号処理モジュール3106は、処理タスクが汎用計算環境で実行されるソフトウェアにインプリメントされるC P Uモジュールを備えることができる。あるいは、信号処理モジュール3106は、いくつかの信号処理機能と共にハードウェアにインプリメントされるか、または専用プロセッサ上で実行されるソフトウェアにインプリメントされ、この場合、追加の信号処理モジュールは、システムC P U 3108にプラグインカードとしてインプリメントすることができる。

40

【0230】

専用ハードウェアソリューションが信号処理モジュール3106に選択される場合、高性能C P Uと共にインプリメントすることができる。任意に、これは、デジタル信号処理チップ(D P)と共にインプリメントすることができる。使用されるあるタイプのD S Pは、当該技術分野で周知されているとおり、浮動小数点の種類であり、ホストC P Uによ

50

って制御され、「データ駆動」される。システムCPU3108は、ユーザインターフェース/制御システム、および信号/画像処理サブシステムの両方として動作することが可能である。システム制御情報は、メモリマッピングされたI/Oを使用して分散されることができ、モジュールは、CPUモジュールの周辺機器用バスとインターフェースする。任意に、システムCPU3108は、ビーム成形器モジュール3102から物理的に分離され、PCI Expressケーブル(または同等品)3110を介して接続することができる。例示的なPCI Expressケーブル3110は、最大1GB/秒の転送をサポートし、3mの長さのケーブルである。様々なモジュール上に存在するいくつか、または全部のメモリは、CPUの3108メモリ空間にマッピングすることができ、パラメータおよびデータにアクセスすることを可能にする。

10

【0231】

例示的なアーキテクチャのシステムCPU3108は、信号処理、走査変換、および表示処理を含む多数のリアルタイム処理タスクを実行することができる。これらのタスクは、処理ルーチンのスケジューリングに予想されるシステム待ち時間を考慮して、「ハード」リアルタイムオペレーティングシステムを必要としない方法で管理することができる。さらに、システムCPU3108は、システムに対するユーザインターフェースを管理し、ユーザの動作に応じて、設定および制御機能を他のモジュールに提供することができる。CPUマザーボードおよびオペレーティングシステムは、複数のCPUをサポートすることができ、高速システムバスに迅速にアクセスし、ほぼリアルタイムのタスク管理が行われる。

20

【0232】

送信ビーム成形器

この例示的なシステムのビーム成形器モジュール3102は、送信ビーム成形器を備える。送信ビーム成形器は、たとえば、アレイ素子のサブセットの選択によるアパーチャ制御、送信パルスの開始までの遅延タイミング、送信波形の生成、および送信アポダイゼーション制御を含む機能を提供することができる。例示的な実施態様の場合、振動子アレイ3112が使用される。一実施態様では、この振動子アレイ3112は、最大256個の素子を含む。送信器パルスドライバを振動子素子に切り換える高電圧の必要性をなくするため、ビーム成形器モジュール3102の送信ビーム成形器構成要素は、振動子アレイ素子の数に相当する多数の送信器から構成される。たとえば、256個の素子を有する例示的なアレイ振動子の場合、送信ビーム成形器は256個の送信器を備える。任意に、送信ビーム成形器は、256個未満の送信器、および個々の送信器を特定の素子に接続するための高電圧切換え方法を含むことができる。高電圧マルチプレクサは、256素子アレイからの線形サブセットを選択するために使用される。

30

【0233】

任意に、ビーム成形器モジュール3102の送信ビーム成形器構成要素は、例示的なアレイのすべての256個の素子の高電圧パルスドライバ、および送信波形発生器のサブセットを適切なドライバ/アレイ素子に接続する切換え機構を備える。この任意の実施態様は、低レベルの多重化により受信器を保護するための256個のTX/RXスイッチを使用し、受信アパーチャのアレイ素子のサブセットを選択する。低レベル多重化は、TX/RXスイッチと任意に結合可能であり、場合によっては、高電圧MUXスキームと比較して受信信号の減衰が少なく、より迅速に切り換えられる。

40

【0234】

1/16波長の送信遅延を使用することができ、これは、送信ビームの適切な集束および側面ローブの減少を提供する。所望のステアリングおよび集束制御では、波長で測定した場合の最大遅延時間は、最大送信アパーチャの少なくとも0.7倍で良い。たとえば、128個の送信器、および1.5波長のアレイ間隔の場合、最大送信アパーチャは192波長である。20MHzの中心周波数では、最大送信遅延時間は少なくとも6.72μ秒で良い。

【0235】

50

1 / 16 波長の正確度の場合、対象となる最大中心周波数は遅延分解能を指定する。50 MHz では、これは 1.25 ナノ秒の遅延正確度を与え、800 MHz のクロックおよび 13 ビットの計数器の同等品を使用して、6.72 μ s の最大遅延時間を達成する。任意に、高周波数のクロックの代わりに、200 MHz の 4 つの位相クロックを使用することができる。これは、200 MHz クロックの 4 つの位相の 1 つを、11 ビット計数器に対する入力として選択することによって、特定の送信遅延を選択することを可能にし、計数器には、遅延時間における 200 MHz クロックの数がプレロードされる。

【0236】

ビーム成形器モジュール 3102 の送信ビーム成形器の構成要素は、双極送信パルサーをさらに含む。このタイプのパルサードライブは、一般に、3 つのパラメータで指定される：送信周波数である T1（半周期の持続時間）、時間通りの半周期である T2（正または負の半周期パルスの持続時間）、およびパルス持続時間である T3（送信全体の半周期パルスの数）。これらの持続時間は、図 32 に示す。

【0237】

半周期パルス持続時間、T2 の制御は、振動子の出力を改善して、正弦波駆動の比較的近い概算を可能にする。これは、送信パルス電力の多少生のアボダイゼーションを得るために使用することも可能だが、持続時間の十分に微細な制御が提供される必要がある。

【0238】

送信アボダイゼーションは、送信ビームにおけるスプリアスローブを減少させるために使用することができ、スプリアスローブは、側面ローブまたは格子ローブで良い。送信アパーチャのアボダイゼーションによって、出力は減少し、方位分解能は悪化するため、常に好ましいわけではない。多くの場合、少量のアボダイゼーション能力、たとえば少ないレベルの出力のみを提供する能力は、スプリアスローブの減少と方位分解能との良好な妥協を達成するのに十分である。送信波形の生成に関して上記で述べたパルス幅変調スキームは、限られた送信アボダイゼーションを提供するために可能な 1 つの手段である。第 2 の方法は、パルサードライブに対する高電圧の 1 つのレベルではなく、おそらく 4 つ以上のレベルを提供することであり、そのため、各々のパルサーにこれらのレベルの 1 つを選択する手段を使用する。

【0239】

受信ビーム成形器

ビーム成形器モジュール 3102 は、受信ビーム成形器構成要素も備える。例示的なシステムに使用できるインプリメンテーションを形成するいくつかの様々な受信ビームがある。以下に記載するデジタルな方法は、受信アパーチャ内の各々の素子のための最小の A/D 変換器を有する。この例示的な実施態様では、A/D 変換器のビット深度は 10 ビットであり、これは、-50 dB の信号レベルで所望のビーム成形正確度を与える。A/D ダイナミックレンジは、スプリアスローブを減少させ、所望のコントラスト分解能を提供するように選択される。8 ビット A/D 変換器は、適切な場合は使用することができる。例示的なシステムの実施態様は 64 個の受信チャネルを使用し、合成アパーチャを使用して、最大フレームレートが不要なアプリケーションに 128 チャネルの受信アパーチャをインプリメントする。デジタル受信ビーム形成インプリメンテーションの 1 つの任意の方法は、信号の最高周波数より少なくとも 2 倍高いレートで（多くの場合、Nyquist レートと呼ばれる）、個々の素子から超音波信号をサンプリングする。たとえば、50 MHz、100% 帯域幅の振動子の Nyquist サンプリングレートは、150 MHz 以上である。

【0240】

帯域幅サンプリング

ビーム成形器モジュール 3102 の受信ビーム成形器の構成要素の別の任意のサンプリング方法は、帯域幅サンプリングである。当業者が周知しているサンプリング理論は、連続関数は、帯域幅、B ヘルツ内の周波数のみを含む場合、 $1/(2 * B)$ 秒未満だけ離れている一連の点における値によって完全に決定されると規定している。帯域幅制限信号の

サンプリングによって、サンプリングスペクトルとの一定の関係で現われる信号スペクトルの複数のコピーが得られる。これらの複製スペクトルが重複していないことを条件として、アンダーサンプルされたデータから最初の信号を再現することが可能である。たとえば、30 MHz に中心を有する 20 MHz の最大帯域幅を有し、40 MHz のレートでサンプリングされた信号を考える。この状況では、スペクトルは、図 3 2 に示すように複製される。最初のスペクトルは、40 MHz のサンプルレートが信号のすべての情報を保存するのに適する場合、周波数スペクトルの 0 ~ 20 MHz 部分で複製される（また、スペクトルは $f_s / 2$ 周波数付近で反射するが、これは、後続の信号処理で考慮に入れることができる）。

【0241】

図 3 3 は、30 MHz 信号スペクトルの帯域幅サンプリングを示し、これは、ビーム成形器モジュール 3 1 0 2 の受信ビーム成形器の一実施態様に使用される。通常の Nyquist サンプリングを使用して、図 3 3 の信号スペクトルをサンプリングするには、80 MHz 以上のサンプルレートを必要とする。上記のとおり、波長の 3 / 4 で帯域幅サンプリングを使用すると、最大 60 MHz の振動子中心周波数は、1 秒当たり 80 メガサンプル (MSPS) の 10 ビット A / D 変換器を使って管理することができ、この A / D 変換器は、当該技術分野で周知され、数社のベンダーから入手可能である。上記の実施例では、この信号スペクトルは、中心周波数の 20 MHz 帯域幅領域 (66.7%) 外の周波数成分を含まない。實際上、振動子スペクトルは、多くの場合、66.7% の帯域幅領域を越えて延在することが可能なスカートを有し、重複するスペクトル、および不正確な信号再現を生じる。これらのスカートは、A / D 変換器の前の帯域通過アンチエイリアシングフィルタを使用して処理することができ、A / D 変換器は、帯域幅限界を越えて所望のレベル、たとえば 5 ~ 10 % まで延在するスペクトルスカートに電力を保持する。

【0242】

直交サンプリング

直交サンプリングとして周知されている帯域幅サンプリングのもう 1 つの形式は、ビーム成形器モジュール 3 1 0 2 の受信ビーム成形器の構成要素の実施態様に任意に使用することができる。このサンプリング方法では、2 つのサンプルは、中心周波数に対して 90 ° 位相で取得される。これらのサンプルは、信号の帯域幅に等しい間隔で再現することができる。たとえば、直交サンプルが、中心周波数のすべての期間で取得される場合、サンプルレートは 100 % の帯域幅信号をサポートする。直交サンプリングから得られるサンプルの対は、サンプルが、異なる時間に取得されるため、真の相補 (complementary) 対ではないが、分析波形の真のサンプルであり、共点直交サンプルは、2 つの I および Q サンプリングされた波形のサンプルを適時に同じ点に補間することによって観察することができる。直交サンプリングは、中心周波数の 4 倍でサンプリングする 1 つの高いサンプルレート変換器、または各々が中心周波数で動作するが、クロックは、中心周波数に対して 90 ° だけ位相が異なる 2 つの比較的低い周波数変換器と共にインプリメントされる。

【0243】

Nyquist サンプリング

任意に、さらに別の形式のサンプリングを受信ビーム成形器に使用することができる。この形式のサンプリングは、帯域幅サンプリングと結合する Nyquist サンプリングである。通常の Nyquist サンプリングは、比較的低い振動子中心周波数に使用され、帯域幅サンプリングは、比較的高い周波数に使用される。105 MSPS の最大サンプルレートを有する商業的に使用可能な 10 ビット A / D が使用可能である。このサンプルレート能力では、100 % 帯域幅を有する 30 MHz 中心周波数振動子は、Nyquist レートで適切にサンプリングすることができる。40 MHz では、Nyquist サンプリングは、最大約 60 % の帯域幅を有する振動子に使用することができ、その結果、この中心周波数またはそれ以上の周波数では、帯域幅サンプリングを使用することができる。これらの比較的高いサンプルレートが使用される場合、ビーム成形器の処理回路構成は

、比較的高いクロックレート、およびさらに高い記憶装置要件にも適応する。

【0244】

直交サンプリングの変形は、帯域幅が比較的高いビーム成形能力を、その利益が得られるアプリケーション（たとえば、高調波イメージング）に提供するために使用することができる。この方法では、2つの直交サンプルの対は、中心周波数のすべてのサイクルで取得される。たとえば、30 MHzの中心周波数、および100%の帯域幅を越える著しいスペクトル成分を有し、その結果、スペクトルが15 MHz未満および/または45 MHzを超える周波数を超える信号のサンプリングを考える。チャンネルごとに2つのA/D変換器を使用して、当該チャンネルでRF信号が取得され、各々のサンプリングは、中心周波数の60 MHzの2倍で周期的に行われる。第2 A/D変換器のサンプルクロックは、第1 A/D変換器のサンプリングクロックに対して、30 MHzの期間の1/4だけ遅延する。次に、A/D変換器によって取得されるすべての第2サンプルは、-1が乗算される。第1 A/D変換器から開始するサンプル流は、ダウンコンバートされた直交（Q）サンプル流であり、第2 A/D変換器から開始するサンプル流は、ダウンコンバートされた同相（D）サンプル流である。受信ビーム形成に必要な微細遅延は、直交サンプルの補間によってインプリメントされる。この方法は、中心周波数の200%帯域幅におけるRF信号の正確なサンプリングを可能にする。

10

【0245】

比較的高い帯域幅帯域幅ビーム成形能力を提供する別の方法は、受信チャンネルごとに1つのA/D変換器を必要とするが、この方法では、ビーム成形器のRF出力は、合成アパーチャ法に類似する2つの取得パルスを使用して形成することができる。たとえば、100%の帯域幅を有し、-6 dBスペクトルが15~45 MHz延長する30 MHz信号スペクトルを考える。この場合、信号は、60 MHzサンプルレートでサンプリングすることができる他のすべてのサンプルの記号はフリップされ、直交ダウンコンバージョンスキームのQチャンネルとして得可能なダウンコンバートされたサンプル流を提供する。次の取得では、サンプリングクロックは、30 MHzの期間の1/4だけ遅延し、（別のサンプルの記号をフリップした後）I直交波形を提供する。次に、これらの2つの直交波形は、ビーム成形ごとに時間移動して結合され、30 MHz中心周波数の200%帯域幅には正確なRF信号を再現する。これは、100%帯域幅を有する超音波振動子からすべての情報を捕捉するのに適する。フレームレートは、単一パルス光線ラインの取得と比較して半分減少する。比較的高いフレームレートは、画像ラインの数を減少させることによって、対象領域上で達成することができる。

20

30

【0246】

図31の例示的な実施態様では、受信ビーム成形器の遅延インプリメンテーションは、補間法を使用して実行される。ビーム成形のこの方法の場合、A/D変換器はすべて、一定のサンプルレートで（帯域幅または直交サンプリングを使用して）同時にサンプリングする。ステアリングおよび動的集束の遅延は、2つステップでインプリメントされる：1）サンプルクロックサイクルの整数である遅延をインプリメントする粗遅延ステージ、および2）粗サンプル間の波長時間位置の1/16に補間する補間フィルタ。粗遅延ステージは、プログラム可能なシフトレジスタの関数を実行し、その最大長は、サンプル期間に望ましい最大遅延時間に相当する。これらの2つのステージの順序は、必要な場合、インプリメンテーションの問題に応じて逆にすることができる。

40

【0247】

帯域幅サンプリングの補間について、以下の実施例を使用して説明する。帯域幅サンプリングを使用する例示的な30 MHzアレイの場合、すべてのA/D変換器のサンプルレートは、40 MHzに設定することができ、66.7%の帯域幅を提供する。128の受信チャンネルでは、最大遅延には約10 μ秒が望ましいので、インプリメンテーションは、約400ステージのプログラム可能なシフトレジスタを使用する。40 MHzでは、プログラム可能な補間器は、隣接する40 MHzサンプル間に等間隔に配置された11の中間サンプル値の1つ（1/16波長の正確度）のみを計算すれば良い。補間器は、正確な信

50

号の再現を提供するように、帯域幅サンプリングのために特に設計することができる。サンプルは、すべてのチャンネルの補間器の出力から取得して加算し、所望のビーム成形方向についてサンプリングされたRF波形を生成することができる。

【0248】

帯域幅サンプリングデータ点の間に補完する信号再現プロセスは、上記の例の30MHzアレイに関して単純化される。この場合、すべての奇数サンプルは、信号（別の記号を有する）のベースバンド表現のQ成分のサンプルとして取得することができ、偶数サンプルは、I成分のサンプルであると考えることができる。単純な帯域制限補間器は、適切な中間時間点でIおよびQ信号値を発見するために使用することができ、次に、信号値は、RF値を再現するように結合される。必要な場合、すべての帯域幅サンプリングデータ点
10は、補間フィルタによってダウンコンバートされ、ベースバンド直交サンプリングされたビーム成形器出力を生じ、その結果、下流の信号処理を単純化することができる。

【0249】

直交サンプリング補間について、以下の実施例を使用して説明する。この実施例では、各々のチャンネルの入力信号は、振動子中心周波数のサイクル当たり1つの直交対において直交サンプリングされ、ほぼ中心周波数の100%の入力帯域幅を提供すると想定される。この対の2つのサンプルは、中心周波数に対して90°異なる位相で取得され、これは、QおよびIベースバンド信号の実際のサンプルを提供するが、波形は、異なる位置で適時にサンプリングされる。QおよびIデータを結合する以前に、補間フィルタを使用してサンプリング偏差を補正する。サンプル偏差を補正するのに必要な補間は、ビーム成形に
20使用される補間フィルタ内に任意に組み入れられる。

【0250】

提案される直交サンプリング法は、ベースバンドIおよびQ信号を生成するため、補間フィルタは、RF波形ではなく、これらの信号上で動作する。すべてのチャンネルのサンプルは同時に取得され、その結果、IおよびQ波形は、すべてのチャンネルに共通のRF波形に対して同相を有する。これは、すべてのチャンネルで混合器を使用して、IまたはQ信号を導くに等しく、混合器の搬送周波数はすべて同相を有する。しかし、異なるチャンネルからのIおよびQサンプルの正しい和は、時間遅延エコー波形の位相に一致するように、各チャンネル上の搬送位相を調節することによって得ることができる。これは、RF中心周波数期間の0°位相に対し、補間点に従って補間されたI、Qサンプルの位相回転を意味する。この回転は、FIR補間フィルタの係数内に補間して、コヒーレントに加算できる各々のチャンネルからの補正IおよびQ出力を生成することも可能である。

【0251】

直交サンプリング補間ビーム成形方法を説明する方法として、まず、実際のインプリメンテーションではなく、比較的単純な概念モデルを考える。このモデルでは、補間は、中心周波数の期間全体の16の別個の点にインプリメントされ、ビーム成形に関する1/16波形の正確度を提供する。この正確度レベルは、ビームプロファイルを著しく悪化させないために十分であることが実証されている。図34に示す直交サンプリングされた波形を考えると、信号は、周波数がサンプリング周波数の0.9倍（たとえば、この場合は1Hz）の正弦波である。Qサンプルは、「o」3402として示し、Iサンプルは、「x」
403404として示す。図から分かるとおり、QおよびIサンプルは、非常に遅く変化する波形のサンプルであり、ベースバンドQおよびI波形を表す。補間フィルタは、これらの波形上で動作し、サンプリング周波数の期間ごとに16の補間点を計算する。

【0252】

図34を参照すると、これは、サンプル周波数の0.9倍で直交サンプリングされた正弦波を示す。補間点は、実際のサンプル値が補間点に当たらないように選択される。その結果、補間フィルタに固有のフィルタ関数がすべての点に適用される。QおよびIサンプル点に対する16の補間点の位置を図34Aに示す。

【0253】

一般に、4点FIRフィルタは、正確な補間に十分である。点0~3をQおよびIサン

10

20

30

40

50

ブル間に補間するには、図 3 4 B に示すように、8 個のサンプルのウィンドウを使用することができる。

【0 2 5 4】

点 4 ~ 1 5 を補間するため、ウィンドウは、図 3 4 C に示すように、1 つのサンプル分だけ前方に移動させる。

【0 2 5 5】

これらのウィンドウを使用すると、各々の補間位置の 8 つの係数の集合を計算することができ、ウィンドウ内のサンプル値を乗算すると、補間された I および Q 値が得られる。最初のウィンドウの場合、補間された I 値は、偶数の積 (0、2、4、6) の和であり、Q 値は、奇数の積 (1、3、5、7) の和である。

10

【0 2 5 6】

図 3 5 は、図 3 4 の正弦波上で図 3 4 に示す例の正弦波に対する補間値のプロットである。この図では、補間点は点線として示され、ウィンドウを適用することができる最初の位置である (この場合、ウィンドウ # 2) 第 4 のサンプル点の後で開始する。

【0 2 5 7】

図 3 6 は、深さの範囲の各々の振動子から直交サンプリングされた信号から成る線形アレイからエコー情報の単一光線ラインを取得するためのデータ集合の図である。データ集合は、一方の軸に沿った深さ 3 6 0 2、および他方の軸に沿ったチャンネル番号 3 6 0 4 のアレイとして考えることができる。上記のデータ集合から光線ラインに沿った単一範囲点を再現するには、8 つのサンプルウィンドウを各々のチャンネルのデータ列内の深さに対応する適切なサンプル番号に配置し、要求される正確な遅延を提供する 1 6 の補間点の 1 つを選択する。図 3 6 に示すように、様々なチャンネルウィンドウは、範囲点を再現するのに必要な集束の曲率に対応する放物線アーチ 3 6 0 6 に沿って配置される。範囲点のビーム成形パラメータは、アパーチャに含まれる各々のチャンネルの開始サンプル番号および補間番号を提供することによって画定される。

20

【0 2 5 8】

上記の各々のチャンネルデータに適切な補間フィルタを適用した後、範囲点の適切な遅延に対応する各々のチャンネルごとに、I および Q サンプルを取得する。本明細書で以前に説明したように、各チャンネルからの I、Q サンプルの位相は異なるため、これらの I および Q サンプルの対を単純に加算して、ビーム成形された I、Q の対を導くことはできない。各々のチャンネルからの I、Q の対を加算する前に、インプリメントされた遅延時間に対して同じ位相を対応するために、各々のチャンネルの I、Q の対を位相回転させる。たとえば、2 つのチャンネルがエコーリターンを受信し、範囲点との光路長の差が、エコー周波数の正確に 1 / 2 波長に相当し、これらのエコーリターンが、本発明の直交サンプリングスキームによって同じ時間にサンプリングされる場合、サンプルは、RF 信号上の様々な点に位置し、結果として得られる I、Q 波形は、1 8 0 ° 位相が外れる。この状況は、図 3 7 A および 3 7 B に示され、2 つのチャンネルの波形上の再現点は、垂直線によって指示される。2 つのチャンネルの波形からの再現点における I および Q 値は、ビーム成形器内で加算される場合、建設的に加算されるが、値はまったく異なり、建設的に加算されないことは明らかである。2 つの I および Q 値を加算するには、まず、ベクトル回転を実行しなければならない。回転量は、サンプル期間の開始からの再現点の距離を決定することによって計算され、實際上、補間点数 $\times 1 / 16$ 波長である (正確には、期間の $1 / 32$ を加算)。この距離は、期間全体の一部を取得し、 $2 * \pi$ を乗算することによって、角度に変換することができる。次に、回転方程式は、以下で与えられる：

30

$$(1) \quad Q_r = I * \sin(\text{角度}) + Q * \cos(\text{角度})$$

$$(2) \quad I_r = I * \cos(\text{角度}) - Q * \sin(\text{角度})$$

40

補間された I および Q サンプルにこれらの回転方程式を使用すると、回転した I および Q をコヒーレントに加算することが可能である。I および Q サンプルの回転は、補間に使用される 8 つの係数に組み入れることができる。たとえば、偶数サンプルが I サンプルである最初の補間ウィンドウを使用する場合、上記の方程式 (1) の $\sin(\text{角度})$ は、各

50

々の I 係数を乗算することができ、 $\cos$ (角度の項は、各々の Q 係数を乗算することができる。次に、すべての積項を一緒に加算すると、結果として得られる F I R フィルタは、回転した Q 値を提供する。同様に、係数の別の集合は、回転した I 値を計算するために使用することができる。このスキームでは、F I R フィルタは、サンプル期間ごとに 2 回動作し、異なる係数を使用して、回転した Q および I 値の出力流を生成する。この流れは、他のチャンネルの回転 Q および I 値の流れと加算して、ビーム成形器の出力を生成することができ、この出力は、この場合、ダイナミックにリブされた I、Q データであり、ウンコンバートされた加算 R F を表す。あるいは、Q および I 値の補間は、各々 4 つの係数を有する別個の F I R フィルタと共にインプリメントされる。このスキームでは、位相回転は、補間後のステージでインプリメントされる。

10

【 0 2 5 9 】

2 つの直交対が中心周波数の各々の期間で取得されるサンプリングスキームも、直交サンプルの補間後の位相回転を必要とする。このスキームでは、チャンネルごとに 2 つの A / D 変換器を使用して、当該チャンネルで R F 信号を取得し、各々のサンプリングは、中心周波数の 2 倍で行われる。第 2 A / D 変換器のサンプリングクロックは、第 1 A / D 変換器のサンプリングクロックに対して、しつはの期間の 1 / 4 だけ遅延される。A / D 変換器によって取得されるすべての第 2 サンプルは、- 1 を乗算される。補間値は、中心周波数の期間全体の 1 6 の個々の点について計算されるか、またはサンプリングクロックの機関全体の 8 つの点について計算することができる。ある範囲の 2 つのサンプリングクロック周期について計算される補間点は、0 から 1 5 の番号が付けられる。必要な位相回転の量は、 $2 * \pi$ / 1 6 を乗算した補間点数である。たとえば、補間点が、奇数番号が付けられたサンプリングクロックサイクルの開始後、サンプリングクロック周期の 1 / 8 に位置する場合、位相回転量は $2 * \pi$ / 1 6 である。補間点が、偶数番号が付けられたサンプリングクロックサイクルの開始後、サンプリングクロック周期の 1 / 8 に位置する場合、位相回転量は $2 * \pi * (9 / 1 6)$ である。補間点は、中心周波数の 1 / 3 2 だけ変位し、その結果、実際のサンプル値は、補間フィルタに固有のフィルタ関数が確実にすべての点に適用される順序で補間点上に位置する。位相回転後、値が加算されて、ビーム成形器出力を提供する。ビーム成形器からの受信信号出力の包絡線の振幅は、I および Q サンプルの二乗の和の平方根を計算することによって決定される。次に、圧縮曲線が、包絡線振幅値に適用される。ドブラー処理は、加算された I および Q サンプル流を直接使用して、ドブラー周波数の概算を導くか、および / または F F T スペクトルデータを計算することができる。

20

30

【 0 2 6 0 】

直交サンプル上で動作する補間フィルタの可能なインプリメンテーションについて、以下で説明する。一実施態様では、補間フィルタ、および制御論理は、F P G A デバイスと共にインプリメントすることができる。図 3 1 に関連して上記で述べたとおり、受信ビーム成形器の遅延インプリメンテーションは、補間法を使用して実行される。遅延インプリメンテーションの高レベルダイアグラムを図 2 5 に示す。このダイアグラムは、単一ビーム成形器チャンネルの A / D 変換後の関数を示す。2 つの A / D 変換器の出力は、中心周波数の 2 倍の一定レートで、単一サンプル流に多重化される。1 0 ビット A / D 変換器の場合、本明細書では、A / D 変換器から来る一連の 1 0 ビットサンプルがあり、最初のサンプルは Q サンプルとして指示され、次に、直交対の I サンプルとして指示される。この流れは、図 2 5 に示されるデュアルポート r a m 2 5 0 2 に対する入力である。

40

【 0 2 6 1 】

取得ラインの開始時、デュアルポート r a m 内の書込みポインタ 2 5 0 4、および読み取りポインタ 2 5 0 6 は、r a m 2 5 0 2 の上部にリセットされる。新しいサンプルが来ると、そのサンプルは、r a m 2 5 0 2 の書込みポインタ 2 5 0 4 のアドレス書き込まれ、次の順次位置に前進する。書込みポインタ 2 5 0 4 は、r a m 2 5 0 2 の端部に達すると、r a m 2 5 0 4 の始めに送られ、次の書込み動作が行われる。デュアルポート r a m 2 5 0 2 は、取得ラインに必要なステアリングおよび集束が必要とする最大遅延のサンプルを記憶するのに十分な大きさである。

50

【0262】

新しい各々のサンプルが書き込まれ、その後書込みポイント2504が増分するデュアルポートram2502の入力側は、すべてのチャンネルは、それぞれの入力データを正確に同時に、同じアドレスに書き込むことができるため、チャンネル特有の制御機構を必要としない。デュアルポートram2502の出力側は、独立するチャンネル制御を使用する。図26は、単一チャンネルに必要な制御信号をインプリメントする1つの機構を示す。図26の実施態様では、制御ram2602のアドレスは、入力サンプルクロックレート（中心周波数、 F_c の2倍）で増分する。次に、ram2602は、各々のビットが個々の制御信号を提供するレジスタ出力2604を提供する。

【0263】

図25を参照すると、受信遅延を本発明による一実施態様にインプリメントする方法が示され、説明されている。受信アパーチャの中心線に沿って位置する1点から返るエコーの場合、エコーは、最初に当該素子、またはアパーチャの中心に最も近い素子からの信号に出現し、その後、アパーチャの外側部分付近の素子に出現する。これは、アパーチャの中心および外側縁部からの信号のエコーを整列させるため、外側縁部からの信号と加算する前に、中心信号をある期間遅延できることを意味する。デュアルポートram2502の実施例では、比較的長い遅延は、読取り点2506のラグを書込み点2504のさらに後方にすることによって達成される。したがって、アパーチャの中心チャンネルは、読取り点2506と書込み点2504との間に比較的大きい差を有し、外側チャンネルは最小の差を有する。

【0264】

動的集束の場合、焦点は、受信ラインに沿って音速の半分で外側に移動し、その結果、焦点は、常に、受信されるエコーの位置に存在する。一定のアパーチャの場合、焦点が範囲内から移動すると、アパーチャの内側チャンネルと外側チャンネルとの間の遅延は減少する。動的アパーチャ、または一定の f （つまり、アパーチャサイズで除算された焦点長）番号動作では、内側チャンネルと外側チャンネルとの間の遅延は、最大アパーチャに達するまで増加し、次に減少する。

【0265】

動的アパーチャおよび動的焦点をデュアルポートram遅延スキームに使用すると、デュアルポートramポイント2504、2506の以下の動作が行われる：中心チャンネルは、遅延が達成されるまで、書込みポイント2504を読取りポイント2506の前方に移動させることによって、最大遅延量（完全なアパーチャの量）だけ遅延される。この点では、読取りポイント2506は、書込みポイント2504と同じレートで前方に移動される。外側チャンネルの最初の遅延は、書込みポイント2504を読取りポイント2506の前方に、適切な量だけ移動させることによって設定される。この最初の遅延偏差は、中心チャンネルの読取りポイント2505および書込みポイント2504の偏差より小さくて良い。この点では、読取りポイント2506は、チャンネルがアパーチャ内でアクティブになるまで、書込みポイント2504と同じレートで前方に移動する。

【0266】

チャンネルがアパーチャ内でアクティブになった後、その遅延は、時間の経過につれて徐々に増加し、中心チャンネルの遅延に近づく。これは、場合により、書込みポイント2504が移動する時に、読取りポイント2506を前方に移動させないことによって達成される。その結果、読取りポイント2506と書込みポイント2504との間の偏差は、時間の経過と共に徐々に増加する。

【0267】

上記の動作は、図26Aに示すように、2つの2進状態制御信号のみで指示される。最初の信号は、読取りポイント前進イネーブル（PRE）2600であり、この信号は、読取りポイント2506が書込みポイント2504と共に前進することを可能にする。この信号が、 $F_c * 2$ サンプルクロックの時間において真である場合、書込みポイントは、データがデュアルポートram2502に書き込まれた後に前進し、読取りポイント250

10

20

30

40

50

6 は同時に前進する。信号が偽である場合、書込みポインタ 2 5 0 4 は、書込み動作後に前進するが、読取りポインタ 2 5 0 2 は同じ状態を維持する。P R E 制御信号 2 6 0 6、2 6 0 6 a は、チャンネルの最初の遅延を設定するためにのみ使用されるのではなく、動的集束粗遅延をインプリメントするためにも使用される。

【 0 2 6 8 】

第 2 制御信号 (C E) 2 6 0 8、2 6 0 8 a は、チャンネルの出力がアクティブになる時を単に指定し、その結果、すべてのアクティブチャンネルの加算に関与する。これは、補間器の最終出力レジスタの「クリア」入力を制御する C E 信号 2 6 0 8、2 6 0 8 a によって達成することができる。チャンネルは、その素子感度パターンによって、ある減衰閾値量未満を有するリターンエコーを受信することが可能になる時に応じてアパーチャ内でアクティブになる。この時間は、最初の制御信号によってインプリメントされる最初の遅延時間と一致しなければならない。C E 信号 2 6 0 8 は、取得ラインの開始からの直交サンプルの数に関して、チャンネルがアクティブになる時を指定することに注意しなければならない。これは、チャンネルは、最初にチャンネルの加算に関与する時に、直交対に寄与しなければならないためである。F c * 2 サンプルクロックの場合、すべての直交サンプル対に 2 つのクロックがある。

10

【 0 2 6 9 】

図 2 6 は、中心素子 (2 6 0 6 および 2 6 0 8) に出現する制御信号、および完全アパーチャの外側縁部 (2 6 0 6 a および 2 6 0 8 a) における素子を示す。しかし、偶数のチャンネル / 素子の場合、アパーチャの中心は 2 つの素子間に位置するため、実際の中心素子は存在しない。

20

【 0 2 7 0 】

中心チャンネルの場合、R P E 2 6 0 6 は、必要な最大遅延時間だけ低く維持される。その結果、書込み点 2 5 0 4 は前方に移動し、読取り点 2 5 0 6 は移動しない。遅延時間に達した後、R P E 2 6 0 6 は高く設定され (真)、読取りポインタ 2 5 0 6 は、書込みポインタ 2 5 0 4 と同じレートで前進することが可能になる。中心チャンネルに必要な動的集束はないため、R P E 2 6 0 6 は、取得ラインの残りで高く維持される。中心チャンネルの C E 信号 2 6 0 8 は、遅延時間に達した直後にチャンネルをアクティブにする。偏差は、シフトレジスタ、補間フィルタに使用されるレジスタが充填されることを可能にする。C E 信号 2 6 0 8 は、次に、出力レジスタ上のクリアを除去し、その結果、チャンネルのデータは加算バスに入る。

30

【 0 2 7 1 】

外側チャンネルでは、最初の遅延が、中心チャンネルよりはるかに短いため、R P E 2 6 0 6 a は短時間だけ低く維持される。次に、R P E 2 6 0 6 a は高く設定され、チャンネルがアクティブになるまで、この遅延を維持することを可能にする。その時点では、R P E 信号 2 6 0 6 a は、単一クロックサイクルで低く設定され、時には、動的集束パターンをインプリメントする。チャンネルが加算に関与することができる場合、C E 信号 2 6 0 8 は出力レジスタ上のクリアを除去する。

【 0 2 7 2 】

再び図 2 5 を参照すると、補間フィルタは、ビーム成形に対して微細遅延分解能を提供する。中心周波数の波長ごとに 1 6 の補間点があり、1 / 1 6 ラムダ遅延分解能を提供する。各々の補間点では、2 つの 8 点 F I R フィルタが適用され、一方は分析信号 I サンプルを生成し、他方は Q サンプルを生成する。これは、補間フィルタは、中心周波数の期間ごとに 2 回、またはサンプル C l k (F c * 2) レートで動作することを意味する。I および Q サンプルは、出力レジスタに連続して出力され、イネーブルになると、サンプルを加算バスに供給する。

40

【 0 2 7 3 】

補間フィルタ用の入力、デュアルポート r a m 2 5 0 2 の読取りアドレスから来て、一般に、各々のサンプル C l k (F c * 2) に 1 つのサンプル (I または Q) だけ前進する。デュアルポート r a m 2 5 0 2 で読取りが実行されると、サンプルは、8 つのサンプ

50

ルシフトレジスタ 2508 に入力され、このレジスタは、読み取った最後の 8 つのサンプルを保持する。デュアルポート ram 2502 の読取り動作がイネーブルではない場合 (RPE が低い)、データはシフトレジスタ 2508 に入らず、読取りポインタ 2506 は前進しない。シフトレジスタ 2508 は、最後の 8 つのサンプルをまだ保持しており、読取りポインタ 2506 が前進しない場合、サンプルは失われない。読取りポインタ 2506 は、単に書込みポインタのさらに後方に位置する。

【0274】

2 つのサンプルクロックサイクルごとに、シフトレジスタ 2508 内のサンプルは、補間フィルタの乗算器 2510 の入力と平行に転送される。これらのサンプルは、I および Q 出力を生成する 2 つの乗算 / 累算動作を維持する。動的集束が行われない場合、乗算器の入力部に移動したサンプルは、各々の中心周波数期間に 2 つのサンプル分だけ、適時に前方に変位する。次に、フィルタは、中心周波数の各々の期間に I および Q サンプルを出力する。動的集束では、場合により、デュアルポート ram の読取りサイクルはディスエーブルされ、乗算器の入力部に移動したサンプルは、1 つのサンプル分だけ前方に変位する。その結果、補間点は、中心周波数の全体の期間未満の適時に前方に移動する。外側チャンネル上の動的集束では、補間点は、適時に徐々に、中心チャンネルと同時に逆に移動する。

10

【0275】

補間フィルタによって使用される係数は、小型 ram 内に記憶され、システム CPU によってロードすることができる。ram 2512 は、係数の 32 の集合、つまり I 補間点に 16、Q 補間点に 16 を保持することができる。係数は、5 つのアドレスライン別を選択され、そのうちの 4 つは、制御 ram 2602 に由来する制御ラインである。これらの 4 つのラインは、その他のサンプルクロック ($F_c \times 2$) ごとに新しいアドレスを提供しなければならない。その他のラインは、選択される補間点の I または Q 係数の集合を選択し、フィルタの動作でトグルすることができ、中心周波数の期間ごとに I および Q サンプルを生成する。最後に、補間フィルタ用の出力レジスタ 2514 は、サンプルが加算バスに入る前に、出力サンプルを保持する。このレジスタのクリア入力は、CE 制御ラインによって制御される。その結果、チャンネルは、補間出力が有効になるまで、加算バスに寄することをディスエーブルされる。

20

【0276】

補間フィルタ、位相回転、および動的アボダイゼーションをインプリメントするもう 1 つの方法を図 25B に示す。この図では、クロックを必要とする上のボックス 2520 内のすべてのデジタル回路素子は、受信周波数クロックで計時される。クロックを必要とする下のボックス 2522 内のすべてのデジタル回路素子は、受信周波数クロックの 2 倍で計時される。アナログ / デジタル変換器 (ADC) 2524、2526 からの入力 I / Q データは、個々の FIFO 2528、2530 に書き込まれる。ADC 2524、2526 からのサンプル出力は、偏差補正が行われ、予め決められた一定の値が加算される。ADC の偏差補正ステージの 2524、2526 出力からのサンプルは、FIFO 2528、2530 内に同時に記憶されるため、FIFO 内への新しいサンプルの書込みは別個のタイミング論理を必要としない。すべてのチャンネルは、同じ書込みイネーブル信号を共用する。各々の I および Q チャンネル 2528、2530 の FIFO の読取り側は、ビーム成形器コントローラによって生成される受信遅延信号によって制御される単独のイネーブル信号 2532、2534 を使用する。

30

40

【0277】

各々の FIFO の読取りイネーブル信号 2532、2534 は、各々のチャンネルに必要な初期粗遅延値 2536 に等しい多数の受信クロックサイクルだけ遅延する。読取りイネーブル信号 2532、2534 が低く維持され、データが FIFO 2528、2530 内に書き込まれる場合、FIFO の読取りは停止し、粗遅延 2536 が増加する。読取りイネーブル信号 2532、2534 が高くなると、加わる粗遅延 2536 は一定の状態を保つ。中心からの信号のエコーおよびアパーチャの外側縁部を整列させるため、中心信号は

50

、外側縁部からの信号と加算される前に、ある期間遅延される。アパーチャの中心でサンプリングされたデータの遅延値は、外側縁部の遅延値より大きい。

【0278】

動的受信集束は、補間フィルタインデックス2540を充電する必要がある場合に高くなる制御信号DF2538を必要とする。補間フィルタインデックス2540は、0から15の16の数のmoduloである。補間フィルタインデックス2540は、補間点が1/16波長だけ変位すると減少する。補間フィルタインデックス2540が0から15に減少すると、FIFO読取りイネーブル信号2532、2534は、1クロックサイクルで低くなり、粗遅延2536を1だけ増加させる。

【0279】

微細遅延は、補間によってインプリメントされる。この実施例では、補間フィルタは、収縮FIRフィルタとして、4つのタップ2542、2544、2546、2548と共にインプリメントされる。16の補間点には、係数の16集合がある。各々の補間点は、4つの係数2550、2552、2554、2556を有する。IおよびQサンプルをインターリーブし、フィルタを受信クロック周波数の2倍で動作させることによって、同じ補間フィルタをIおよびQサンプルの両方に使用することができる。ADCにより取得されたIおよびQサンプルは、異なる点で適時にサンプリングされるが、同じ点に適時に補間されるため、係数の異なる集合はIおよびQの補間に使用される。サンプリング偏差を補正するため、Qサンプルの補間フィルタインデックスは、Iサンプルのインデックスから4だけ偏位する。補間フィルタに使用される係数は、係数を記憶するRAM2558アドレスを切り換えることによってI係数およびQ係数との間で交替する。補間フィルタインデックスは、係数のアドレス計数器2560によって表される。IおよびQ係数のアドレス計数器2560は、DF信号2538が、1クロックサイクルで高くなった時に減少する。補間フィルタ2560の出力は、I/Qインターリーブされる。

【0280】

補間信号は、図25Bに示す位相回転ステージ2564、2566に供給される。位相回転回路には、2つの乗算器/累算素子がある。一方は、 $Q_r = I * \sin(\text{角度}) + Q * \cos(\text{角度})$ 2568を生成するために使用され、他方は、 $I_r = I * \cos(\text{角度}) - Q * \sin(\text{角度})$ 2570を生成するために使用される。正弦および余弦係数は、RAM内にルックアップテーブル2572、2574として記憶される。正弦および余弦値の16の集合がある。余弦および正弦ルックアップテーブル(LUT)2572、2574のアドレスは、補間フィルタの係数2550、2552、2554、2556と同じ時に更新される。位相回転回路2564、2566も、中心周波数の2倍で動作する。第2の動作サイクルごとに、有効なI_rおよびQ_rデータの対が生成される。

【0281】

動的アポダイゼーションでは、位相回転2568、2570の出力は、受信時に動的に変国される係数を乗算される。チャネルの増倍係数がゼロに設定される場合、チャネルはアパーチャに寄与しない。こうして、動的アパーチャの更新が行われる。IおよびQサンプルは、マルチプレクサ(MUX)2572を介して共通の乗算器にインターリーブされ、必要な乗算器の資源を減少させる。

【0282】

補間フィルタによるマルチラインビーム成形

ビーム成形に補間フィルタを使用すると、マルチライン走査が可能になる。マルチライン走査では、いくつかの受信ラインが、図38に示すように、同じ送信ビームで再現される。送信ビームは、一般に、受信ラインが取得される領域をカバーする大きい被写界深度と共に広げられる。

【0283】

マルチライン内の隣接する受信走査ラインは、各々のチャネルの個々の遅延がごくわずかに変化することが可能なので、補間フィルタの遅延インプリメンテーションは、すべてのラインを同時に処理することを可能にする。この方法は、帯域幅サンプリングで行われ

10

20

30

40

50

、補間フィルタは、図 39 の個々のチャネルの補間フィルタの例示的な概念上のインプリメンテーションに示すサンプルレートより高いレートで動作する。

【0284】

図 39 では、個々の受信チャネルの A/D 変換器からのデジタルサンプルは、可変長シフトレジスタ 3902 を介して送信され、サンプルの整数の粗遅延をインプリメントする。可変長シフトレジスタ 3902 の出力は、次に、第 2 シフトレジスタ 3904 に送信され、個々のシフトステージにアクセスすることができる。この第 2 シフトレジスタ 3904 に充填されると、補間フィルタはサンプルのサブセット上で動作し、サンプルは、たとえば 8 つのサンプルである。補間フィルタは、 $1/16$ 波長以上の分解能の微細遅延を提供する。上記の実施例では、補間フィルタは、フィルタシフトレジスタのセル 4 および 5 間の補間サンプルを提供する。

10

【0285】

図 40 に示す 3 - 1 マルチライン走査では、補間フィルタは、サンプルシフトごとに 3 回動作する。図 40 の実施例では、フィルタウィンドウは、第 1 受信ラインでは通常位置から 1 サンプルだけ後方に偏位し、第 3 受信ラインでは 1 サンプルだけ前方に偏位する。實際上、隣接するラインには遅延値にサンプル差はないため、すべてのラインは同じフィルタウィンドウを使用する必要がある。各々のラインのフィルタウィンドウの位置は、プログラム可能である。遅延差が 1 サンプルより大きい状況では、フィルタシフトレジスタを拡張して、ウィンドウ間の分離をより大きくすることができる。波長当たり 1 つまたは 2 つのサンプルのみがある帯域幅サンプリングの場合、フィルタウィンドウは、多くの場合、1 サンプル期間より多く分離する必要はない。

20

【0286】

図 40 に示すフィルタ動作の出力は、単一出力流に時間多重化される。この流れは、他のチャネルからの寄与に加算され、ビーム成形器の出力を生成する。3 - 1 マルチラインの場合、加算回路構成は、サンプルレートの 3 倍で動作することが可能であることに注意する。次に、ビーム成形器の加算出力は多重分離され、下流処理用の 3 つのマルチライン受信ラインを生成する。下流処理は、単一光線ラインの取得時間に 3 つのラインを処理することができる。

【0287】

上記の例示的な受信ビーム形成方法では、出力は、再現ラインに沿ってサンプリングされた RF データを表すサンプルのデジタルデータ流である。この流れは、受信アクティブアパーチャに関与するすべての受信チャネルからのデータサンプルを加算することによって導かれる。RF データ流は、全体の光線ラインを保持するのに十分な記憶域を有するバッファ内に補足することができる。この同じバッファは、合成アパーチャの取得に使用され、受信アパーチャの第 2 の半分からの RF データが加算回路構成から出て行く時に、この RF データと加算される。

30

【0288】

ダウンコンバージョンを含まない Nyquist または帯域幅サンプリングスキームでは、加算された RF データ流は、生 RF 流としてビーム成形器を出て行く。このデータ流は、多くの場合ヒルベルト変換フィルタと呼ばれる 1 対の相補 (complementary) 90° 位相差フィルタを使用して、異なる形式に変換することができる。これらのフィルタは、RF 信号を効果的に帯域通過させ、同時にベースバンド直交データ流にダウンコンバートする。次に、これらのベースバンド I および Q データ流は結合され、2D イメージングのためのエコー振幅データを提供するか、またはドップラー血流検出のためにさらに処理することができる。ヒルベルト変換フィルタは、高調波イメージング、または周波数複合に必要な場合、受信信号スペクトルの一部分を選択的にフィルタリングして処理することができる。周波数複合の場合、フィルタは、スペクトルの異なる周波数帯域からインターリーブ出力サンプルを生成するために、時間多重化される。

40

【0289】

再び図 31 を参照すると、ビーム成形器モジュール 3102 は、ビーム成形器制御装置

50

も備えることができる。各事象を統合して、完全な画像フレームを形成するため、ビーム成形器は、ある種のコントローラを使用する。コントローラは、一連音ビーム成形器の事象を指定する単純な状態マシンとしてインプリメントすることができる。各々のビーム成形器の事象は、送信動作、受信動作、および/または信号処理動作を指定することができる。送信動作は、アレイからの送信パルスに関連するすべてのパラメータを指定する。これらのパラメータとしては、アレイ内の所望の素子に対するパルサーの接続持続時間、各々のパルサーの遅延時間、送信波形の特性、および送信アパーチャのアポダイゼーション関数が挙げられる。これらのパラメータは、受信チャンネルに接続される素子の詳細、各チャンネルに使用される T G C 波形、A / D 変換器のサンプルレート、動的アパーチャ、再現プロセスに使用されるステアリングおよび/または動的集束パターンを含む。最後に、信号処理動作は、たとえば加算出力を合成アパーチャにバッファするか、またはヒルベルト変換フィルタに送信することなど、加算出力に何を行うことを指定する。ヒルベルト変換フィルタは、ビーム成形器事象に必要なことを実行するために指定される。

10

20

30

40

50

【0290】

上記の説明から明らかなとおり、ビーム成形プロセスの制御は複雑である可能性があり、この複雑さに対処する方法は、ハードウェアを制御するために使用されるメモリブロック内のリアルタイム走査以前に、すべての情報を符号化することである。次に、ビーム成形器コントローラのタスクは、ビーム成形器の事象に必要な情報を検索するのに適するメモリブロックの部分を「ポインティング」するように縮小される。次に、特定の動作モードのビーム成形器の設定は、すべてのメモリブロックにパラメータ情報をロードし、個々のポインタを含むビーム成形器の様々な事象をコントローラの状態マシンにプログラミングすることによって行われる。走査モードを実行するため、次に、取得データの全体的なフレームの事象を実行してステップスルーするように告げる。フレームの終わりに、コントローラは停止信号を探し、見つからない場合、全体のシーケンスを再び繰り返す。

【0291】

例示的な超音波システムの実施態様は、1秒当たり数百フレーム以上の範囲のある動作モードで、非常に光度の取得フレームレートが可能である。本発明による他の実施態様と同様、例示的な実施態様は、図28に関連して上記で述べた非同期処理を使用することにより、取得レートが非常に高速である場合でも、表示された超音波画像情報を 30 f p s 以下で処理する。しかし、N y q u i s t サンプルデータの場合、データ記憶装置は 50 ~ 100 % 増加することを評価するべきである。

【0292】

やはり上記で説明したとおり、信号処理ハードウェア/ソフトウェアは、R F メモリバッファにランダムアクセスし、単一取得フレームから R F データにアクセスして、表示された概算データを生成する。この例示的な実施態様では、信号処理および表示の最大フレームレートは 30 f p s であり、これは、一般にタイマーによって設定され、1 / 30 秒ごとに信号処理タスクを信号で知らせる。新しい表示フレームの処理が完了すると、信号処理/表示タスクは、次の 1 / 30 秒の時間目盛を待つ。この時点では、信号処理タスクは、書込みコントローラから「最後のフレーム」ポインタを読み取り、新しいフレームが使用可能かどうかを確認する。「最後のフレーム」ポインタが以前に処理されたフレームから前進しなかった場合、信号処理は何も行わず、次の 1 / 30 秒の目盛を待つ。「最後のフレーム」ポインタが変更された場合、信号処理は、ポインタが支持するフレーム上で開始する。この方法では、信号処理は、常に 1 / 30 秒目盛で開始し、常に、取得された一番最近のフレーム上で動作する。取得が、30 f p s よりはるかに早く動作している場合、「最後のフレーム」ポインタは、各々の信号処理動作で数フレーム前進する。

【0293】

システムが凍結された後、メモリバッファ内に記憶された R F フレームは、最初の取得レートまでの任意の所望のレートで処理することができる。1 / 30 秒でどの位多くの R F フレームが前進するかは単純に計算され、これは、浮動小数点値として計算され、1未満の分数から、リアルタイムの取得時の 1 / 30 秒で生じる多くのフレームまで異なる可

能性がある。各々の1/30秒では、信号処理は、整数の境界に交差するまでフレームの前進値を累算する。その時点で、信号処理は、処理される最後のフレームの先のフレームの整数の境界数であるフレームを処理する。

【0294】

合成アパーチャビーム成形は、このメモリバッファスキームによってもサポートされる。この場合、合成アパーチャを構成する様々なラインは、順次メモリバッファ内に取得され、RF記憶フレームのサイズが増加する。これは、単に書込みコントローラの異なるパラメータであり、書込みコントローラは、取得フレームごとにどの程度多くのラインが書き込まれるかを記録する。読出しの場合、信号処理は、次に、合成アパーチャ内の複数のRFラインを結合して、最終結果を生成する。

10

【0295】

シネループ再生用のRFデータは、異なる方法によるデータの再処理を提供し、新しい情報をもたらす。たとえば、カラーフローイメージング用のウォールフィルタは、再生時に変更され、特定の流れの状態に応じて最適化を可能にする。第2に、RFデータを扱うことを望む研究者の場合、バッファメモリは、外部記憶デバイスにダンプされ、RFデータの複数のフレームを分析に提供する。最後に、診断ツールとして、バッファメモリは、CPUからテストRFデータをロードされ、信号処理方法のデバッグ、分析、および検証を可能にする。

【0296】

Nyquistサンプリングされるビーム成形方法の場合、ダウンコンバートされる直交サンプリングデータはRFデータから導かれ、振幅の検出およびドップラー処理が行われる。こうしたデータは、通過帯域の周波数上で90°位相差を有するように設計された相補(complementary)位相FIRフィルタを使って取得することができる。これらのフィルタも、サンプル流をより低いサンプルレートにダウンコンバートすることができるが、出力サンプルレートは、信号の周波数範囲をサンプリングするのに十分でなければならない。ダウンコンバートされた出力サンプルを提供するため、フィルタは、スペクトルの中心周波数のサイクルの整数だけ変位されるRFデータ上で動作する。あるいは、異なるフィルタは、比較的小さいデシメーション比を得るように、非整数のサイクル変位用に設計することができる。例示的なHilbertフィルタの概略の設計は、当業者によって当該技術分野で周知されており、図41に示す。

20

30

【0297】

このフィルタは、ウィンドウイング法を使用して、ローパスフィルタを最初に計算することによって設計される。フィルタの長さは、広範な周波数で良好な応答を確保するには、約40タップ必要であり、RFデータの中心周波数の期間内のサンプル数の倍数でなければならない。たとえば、サンプルレートが120MHz、中心周波数が30MHzであり、中心周波数の期間内に4つのサンプルがある場合、適切なフィルタの長さは40タップ(10期間)になる。次に、ローパス係数は、周波数が中心周波数に適合する正弦および余弦関数を乗算される。30MHzの実施例では、正弦および余弦関数の各々の期間は4つのサンプルである。

【0298】

40

ダウンコンバートされたサンプルを得るには、フィルタは、中心周波数のサイクルの整数だけ変位するサンプルに適用される。30MHzの中心周波数の場合(120MHzでサンプリングされる)、RFサンプルは、一度に4つのサンプルだけ変位され、デシメーション比は4対1になる。このデシメーション比では、入力信号は100%の帯域幅に制限されるか、あるいは出力サンプルのエイリアシングが生じる。

【0299】

比較的小さいデシメーション比を得るため、フィルタは、位相情報を保存するために、別の係数の集合を使用することができる。30MHzの実施例の場合、4対2のデシメーション比を達成するには、1つは0°位相、もう1つは180°位相の係数の2つの集合を使用する。

50

【0300】

こうした別の係数の集合は、ローパスフィルタ係数を乗算する前に、適切な位相増分で+正弦および余弦をサンプリングすることによって得られる。出力サンプラー間の変位が中心周波数の期間の $1/2$ である場合、デシメーション比を得る単純な方法は、係数を同じに保ち、 $1/2$ 期間の増分のフィルタ出力の記号を逆にすることである。

【0301】

フィルタの通過帯域特性は、様々なウィンドウイング機能を使用して変更することができる。これは、高調波イメージングまたはトラッキングフィルタに望ましい。周波数コンパウンドは、高いデシメーション比の場合、追加のフィルタがなくても達成することができるが、フィルタは、入りサンプルレートで動作可能でなければならない。30MHzの実施例の場合、2つのフィルタは、2つのサンプル変位増分において、RFデータ上で動作する異なる中心周波数に使用することができる。フィルタブロックは、2つのサンプルごとに異なるフィルタ結果を出力する。次に、異なるフィルタからインターリーブされた2つのI、Qサンプルが検出され、一緒に加算されて、4対1のデシメートされた検出出力を生成する。

10

【0302】

実施例3

最大256個の素子を有するアレイに対する例示的なシステムインターフェースは、超音波画像を取得するために使用される。表4は、画像を取得するための例示的な深度範囲、視野、Bモードのフレームレート、およびカラーフローイメージングのフレームレートを示す。これらの動作パラメータは、左端の列に記載されている特定の小動物イメージングアプリケーションに使用することができる。しかし、当業者には明らかとなり、動作パラメータのその他組合せは、小動物およびヒトの被検体の解剖学的構造またはその一部をイメージングするために使用することができる。

20

【0303】

小動物の被検体を使用し、動物に麻酔して、加熱した小動物プラットフォーム上に配置する。ECG電極を動物上に配置し、ECG波形を記録する。温度プローブを動物に配置して、温度を記録する。それによって、イメージング時に、動物の重要な生理学的パラメータを監視する。使用する麻酔剤は、たとえばイソフラボンガス、または別の適切な麻酔剤で良い。イメージングする領域は、剃髪して毛皮を除去する。イメージング以前に、超音波伝導ゲルを、イメージングする領域に配置する。超音波アレイは、アレイの走査平面が対象領域に整列して、ゲルに接触するように配置する。イメージングは、「フリーハンド」で行うか、またはアレイを固定具上に実装し、アレイを安定させて行う。

30

【0304】

Bモードフレームレートは、表4に記載する様々な視野について概算する。比較的高いフレームレートは、減少した視野で得られる。カラーフローイメージング(CFI)フレームレートは、ライン密度がBモードの密度の $1/2$ の指示されたカラーボックスの幅について概算され、Bモード画像を同時に取得する。

【0305】

【表 4 - 2】

表4

画像を取得するためのBモードにおける例示的な深度範囲、視野、フレームレート、およびカラーフローイメージング(CFI)におけるフレームレート

	深度範囲	Bモード視野	カラーボックス幅	Bモードフレームレート	CFIフレームレート
マウスの心臓 30 MHz中心周波数	3-10 mm	12 mm	8	少なくとも 180 fps	少なくとも 60 fps
マウスの腹部 30 MHz	2-12 mm	19.2 mm	12.8	少なくとも 100 fps	少なくとも 30 fps
マウスの表層領域、 抹消血管 40-50 MHz	1-6 mm	12.8 mm	8	少なくとも 190 fps	少なくとも 80 fps
ラットの心臓 20 MHz 中心周波数	5-20 mm	24 mm	20	少なくとも 70 fps	少なくとも 25 fps

10

様々な中心周波数および角度に関して、150 KHzのPRFで測定可能な非エイリアス速度をパルス波(PW)ドップラーについて表5に記載する。

【0306】

【表5】

表5

様々な中心周波数および角度に関する、150KHzのPRFで測定可能な非エイリアス速度

20

中心周波数	最大非エイリアス速度、角度0°	最大非エイリアス速度、角度30°	最大非エイリアス速度、角度60°
20 MHz	2.89 m/s	3.34 m/s	5.77 m/s
30 MHz	1.93 m/s	2.22 m/s	3.85 m/s
40 MHz	1.44 m/s	1.66 m/s	2.89 m/s
50 MHz	1.16 m/s	1.33 m/s	2.31 m/s

マウスの心拍数は高く、500拍/分または8拍/秒である。心周期ごとに取得されるフレーム数が増加すると、心周期全体の心臓運動は、より正確に評価することができる。フレームレートは、心周期ごとに少なくとも10フレーム、より良好な時間分解能の点で好ましくは20である。したがって、一実施態様では、少なくとも1秒当たり160フレームのレートで、マウスの心臓および周囲組織(10~12mm)の長軸像を含むのに十分な大きさの視野で取得される。たとえば、30MHzの線形アレイを使用すると、12mmの視野のフレームレートは、1秒当たり約180フレームである。視野がより小さい場合、使用されるフレームレートは高くなる(たとえば、2mmの視野、30MHzの線形アレイの場合、1秒当たり900を超えるフレームレートを使用すると、心臓弁などの迅速に移動する構造を観察することができる)。

30

【0307】

マウスの循環系(大動脈)に存在する最大速度は高く、通常の成体マウスでは1m/秒だが、病体の場合は4~5m/秒という高さに達する可能性がある。マウスの大動脈からの非エイリアスPWドップラー信号を取得して表示するには、PWドップラー用のパルス繰返し周波数(PRF)が比較的高くなければならない。例示的なシステムでは、150KHzという高いPWドップラーモードのPRFが使用され、中心周波数が30MHz、およびドップラー角度が60°の場合、血流速度の非エイリアス測定は3.8m/秒になる。

40

【0308】

Bモードイメージングのフレームレートは、信号が検出される組織の最大深度に対する超音波の双方向送信、フレーム当たりのライン数、送信焦点領域の数、各々の送信パルスで処理されるライン数、ラインとフレームとの間のオーバーヘッド処理時間によって決定さ

50

れる。異なる送信焦点領域位置で取得された画像は、一緒に「縫合」して、フレームレートを犠牲した画像全体の分解能を改善することができ、この分解能は、区域の数に相当する係数だけ減少する。浸透を増加または解像度を増加させるため、ユーザが選択可能であるか、または自動的に送信焦点領域の位置にリンクされる比較的低いかまたは高い送信中心周波数の選択。超音波ラインの並列処理を伴うマルチライン処理は、フレームレートを増加させるために使用することができる。

【0309】

PWドップラーの特徴としては、約500Hz～約150KHzのPRF範囲、交互の送信周波数選択、レンジゲートサイズおよび位置の選択、ハイパスフィルタのカットオフがあり、リアルタイムBモード画像がPWドップラーモードと同時に表示される二重モード動作は、Bモードに使用される送信周波数と同じであるか、または異なって良い。PWドップラービームをステアリングする能力は、使用する周波数およびアレイのピッチ、アレイ内の素子の指向性によって決まり、これは、当業者であれば理解すると思われる。75ミクロンのピッチを有し、PWドップラーにおいて24MHzの送信周波数で動作するアレイの場合、ビームは最大約20°ステアリングされる。このアレイの場合、比較的大きいステアリング角度は、不適切に大きい格子ローブが生じ、人為的信号の検出の一因になる可能性がある。

10

【0310】

カラーフローイメージング(CFI)は、組織のある領域内の平均流速の概算を提供するために使用することができる。CFIデータが処理される領域は、「カラーボックス」と呼ばれる。Bモードデータは、通常、Bモードラインをカラーフローラインとインターリーブすることによって、カラーフローデータとほぼ同時に取得される。カラーフローデータは、カラーフローデータは、2つのデータ集合が空間的に整列するように、Bモードフレーム上でオーバーレイとして表示することができる。CFIは、アレイのタイプに応じて、約500Hzから約25～75KHzまでのPRFレンジを含む。40MHzの中心周波数、および超音波ビーム軸と速度ベクトル間の角度が0°の場合、最大非エイリアス速度は約0.72m/秒である。ビームステアリングは、アレイの特性(特に、素子の間隔)、送信周波数、およびビーム成形器の能力によって決まる可能性があり、たとえば、ステアリングは、主な中心周波数で利用可能ではなく、別の(比較的低い)周波数で利用可能である。75μmのピッチを有し、CFIにおいて24MHzの送信周波数で動作するアレイの場合、ビームは、最大約20°ステアリングすることができる。比較的大きい角度は、不適切な格子ローブレベルを生じる可能性がある。カラーフローイメージングの特徴としては、カラーボックスのサイズおよび位置の選択、送信焦点深度の選択、別の周波数の選択、レンジゲートのサイズの選択、およびハイパスフィルタのカットオフの選択が挙げられる。パワードップラーは、カラーボックス内の組織から生じるドップラー信号の電力の概算を提供するために使用することができる。組織ドップラーモードは、移動する組織からの平均速度概算が提供されるCFIの変形である。マルチライン処理は、CFIモードに適用される方法であり、複数の受信データが、送信される各々の送信パルスに関して処理される。

20

30

【0311】

ビーム成形器は、2-Dイメージングおよびドップラーモードが、Bモードラインをドップラーラインとインターリーブすることによって、ほぼ同時にアクティブになるモードをサポートすることができる。3-Dイメージングは、当業者が周知しているように、上昇方向に機械的な走査を使用する。

40

【0312】

このアプリケーション全体で、様々な出版物を引用している。これらの出版物の開示内容は全体として、本発明が関連する技術の現状を完全に説明するために、引用することにより本出願に援用する。

【0313】

特記しない限り、本明細書に記載する何らかの方法は、いかなる点でも、そのステップ

50

が特定の順序で実行されることを必要とすることを意図するものではない。したがって、方法クレームが、各ステップが行われる順序を実際に列挙せず、各ステップが、特定の順序に限られることをクレームまたは明細書内で特に指定されていない場合、決して、何らかの点で順序が推測されることは意図していない。これは、ステップの配置または動作の流れに関する論理の問題、文法上の構成または句読法から生じる明白な意味、明細書に記載されている実施態様の数またはタイプを含む解釈に考えられる何らかの非明示的な根拠に適用される。

【0314】

当業者には、本発明の範囲または精神を逸脱せずに、本発明に様々な変更および変形を加えることが可能であることは明らかである。本発明のその他の実施態様は、明細書を考

10

【図1】

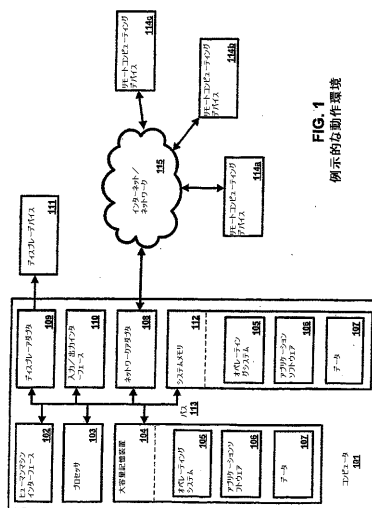


FIG. 1
例示的な動作環境

【図2】

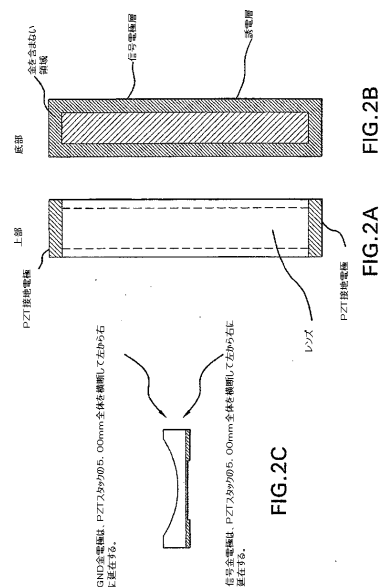
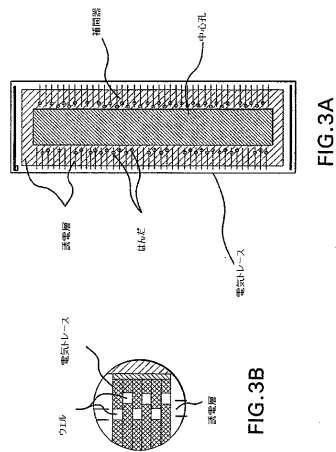


FIG. 2B

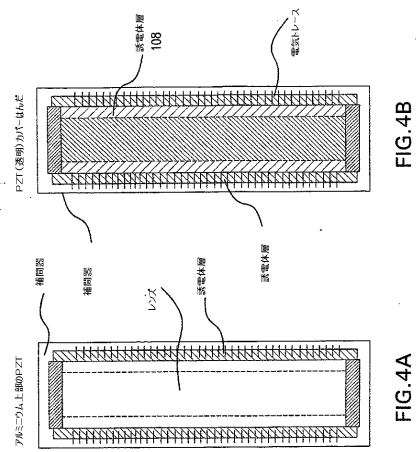
FIG. 2A

FIG. 2C

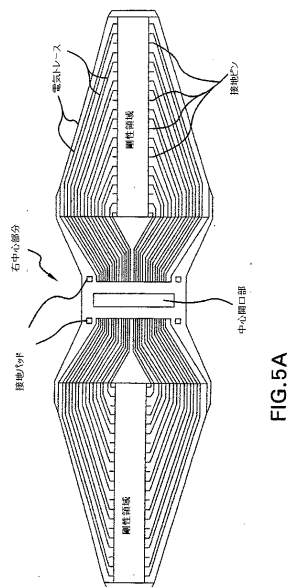
【図 3】



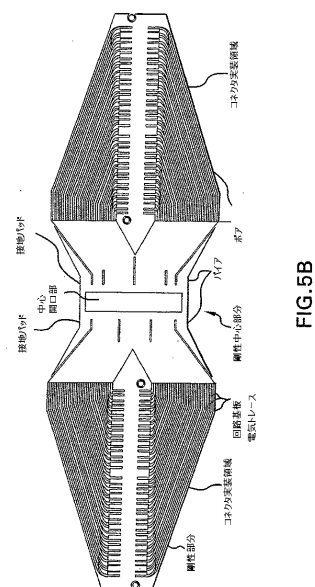
【図 4】



【図 5 A】



【図 5 B】



【図 5 C】

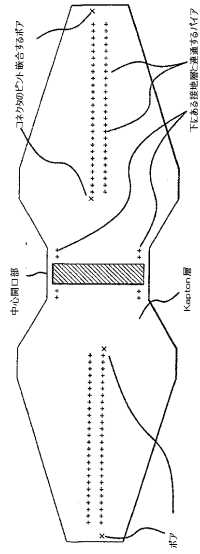


FIG. 5C

【図 7】

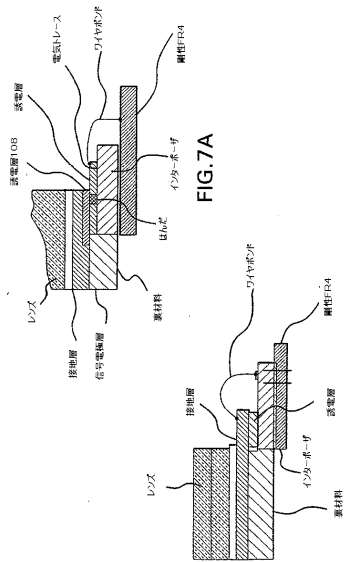


FIG. 7A

FIG. 7B

【図 6】

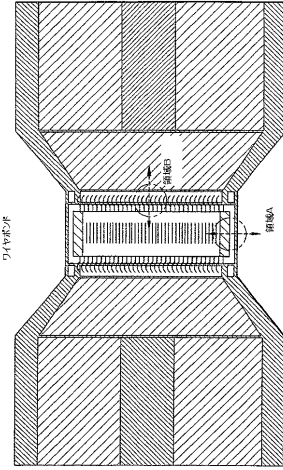


FIG. 6

【図 8】

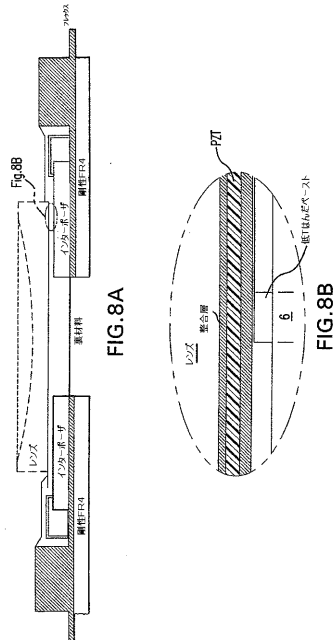


FIG. 8A

FIG. 8B

【図 1 2 B - 1】

フレックスの左側 フレックス上のJ1 BTHコネクタ			フレックスの右側 フレックス上のJ3 BTHコネクタ		
BTHピン別に 分類される表			BTHピン別に 分類される表		
BTH ピン	アレイ チャネル	フレックス トレース	BTH ピン	アレイ チャネル	フレックス トレース
1	G	G	1	G	G
2	G	G	2	G	G
3	129	65L	3	128	64R
4	127	64L	4	130	65R
5	131	66L	5	126	63R
6	125	63L	6	132	66R
7	G	G	7	G	G
8	G	G	8	G	G
9	133	67L	9	124	62R
10	123	62L	10	134	67R
11	135	68L	11	122	61R
12	121	61L	12	136	68R
13	G	G	13	G	G
14	G	G	14	G	G
15	137	69L	15	120	60R
16	119	60L	16	138	69R
17	139	70L	17	118	59R
18	117	59L	18	140	70R
19	141	71L	19	116	58R
20	115	58L	20	142	71R
21	G	G	21	G	G
22	G	G	22	G	G
23	143	72L	23	114	57R
24	113	57L	24	144	72R
25	145	73L	25	112	56R
26	111	56L	26	146	73R
27	G	G	27	G	G
28	G	G	28	G	G
29	147	74L	29	110	55R
30	109	55L	30	148	74R
31	149	75L	31	108	54R
32	107	54L	32	150	75R

図12B2E続く

FIG.12B

【図 1 2 B - 2】

図12B1から続く			図12B3E続く		
33	151	76L	85	173	87L
34	105	53L	87	175	88L
35	G	G	89	G	G
36	G	G	91	177	89L
37	153	77L	93	179	90L
38	103	52L	95	181	91L
39	155	78L	97	G	G
40	101	51L	99	183	92L
41	G	G	101	185	93L
42	G	G	103	G	G
43	157	77L	105	187	94L
44	99	52L	107	189	95L
45	159	78L	109	191	96L
46	97	51L	111	G	G
47	161	G	113	193	97L
48	95	G	115	195	98L
49	G	G	117	G	G
50	G	G	119	197	99L
51	163	80L	121	199	100L
52	93	49L	123	201	101L
53	165	81L	125	G	G
54	91	48L	127	203	102L
55	G	G	129	205	103L
56	G	G	131	G	G
57	167	84L	133	207	104L
58	89	45L	135	209	105L
59	169	85L	137	211	106L
60	87	44L	139	G	G
61	171	86L	141	213	107L
62	85	43L	143	215	108L
63	G	G	145	G	G
64	G	G	147	217	109L

図12B3E続く

FIG.12B-2

【図 1 2 B - 3】

図12B2から続く

フレックスの左側 フレックス上のJ1 BTHコネクタ			フレックスの右側 フレックス上のJ3 BTHコネクタ		
65	173	87L	129	219	110L
66	83	42L	131	221	111L
67	175	88L	133	G	G
68	81	41L	135	223	112L
69	G	G	137	225	113L
70	G	G	139	G	G
71	177	89L	141	227	114L
72	79	40L	143	229	115L
73	179	90L	145	231	116L
74	77	39L	147	G	G
75	181	91L	149	233	117L
76	75	38L	151	235	118L
77	G	G	153	G	G
78	G	G	155	237	119L
79	183	92L	157	239	120L
80	73	37L	159	241	121L
81	185	93L	161	G	G
82	71	36L	163	243	122L
83	G	G	165	245	123L
84	G	G	167	G	G
85	187	94L	169	247	124L
86	69	35L	171	249	125L
87	189	95L	173	251	126L
88	67	34L	175	G	G
89	191	96L	177	253	127L
90	65	33L	179	255	128L

フレックス回路上のJ1およびJ3 BTHコネクタのピン配列定義

FIG.12B-3

【図 1 3】

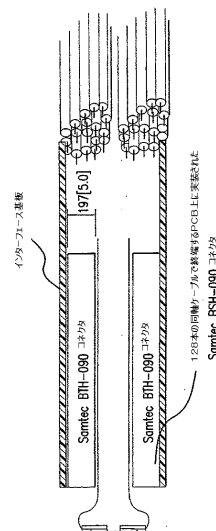


FIG.13

【図 14】

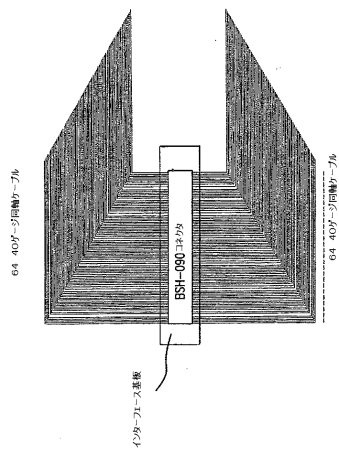


FIG. 14

【図 15 A】

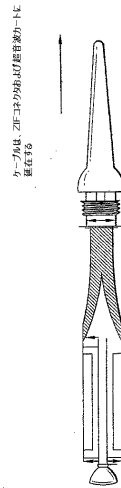


FIG. 15A

【図 15 B】

ITT Cannonコネクタ プレイヤネールの配置

G = 信号リターン接地
Open = 接続カード上のトレースはITTコネクタに接続され、トレースPCB上に開放回路を残す。

	1	2	3	4	5	6	7	8	9	10	11	12
A	209	17	213	21	68	28	154	218	22	214	88	150
B	148	0	149	0	177	0	35	0	195	0	0	0
C	183	81	207	05	3	183	198	28	200	89	1000	194
D	0	132	0	143	0	76	3	80	0	138	0	1000
E	0	97	15	19	203	190	0	152	0	72	1000	1000
F	107	130	193	19	13	7	198	10	1000	1000	121	20
G	0	0	0	0	208	0	0	0	1000	0	158	25
H	0	0	0	0	0	0	7	0	144	0	20	0
I	0	218	0	1000	0	7	0	144	0	20	0	24
J	0	2	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
K	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
L	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
M	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
N	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
O	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000

	1	2	3	4	5	6	7	8	9	10	11	12
A	241	49	245	0	121	0	188	250	54	245	58	182
B	177	0	181	0	240	0	122	0	182	0	0	0
C	227	113	229	117	24	185	228	58	232	118	1000	228
D	0	183	0	175	0	107	0	109	0	109	0	1000
E	35	39	47	111	218	171	36	184	40	104	1000	1000
F	229	188	225	0	48	188	229	102	1000	1000	224	0
G	37	0	33	0	237	0	28	0	1000	0	189	0
H	153	101	206	0	150	173	240	181	114	1000	248	158
I	0	247	0	1000	0	39	0	179	0	12	0	1000
J	118	0	186	1000	0	107	12	48	244	181	184	128
K	1000	1000	128	61	150	41	234	42	110	48	242	69
L	1000	0	189	0	180	0	138	0	238	0	174	0
M	51	1000	83	283	89	233	64	179	64	174	69	178
N	9	245	0	181	0	187	0	228	0	238	0	255
O	118	178	187	285	123	281	108	172	128	182	124	185

ITT Cannon ZIFコネクタ用の例示的ピン配列

Fig. 15B

【図 16】

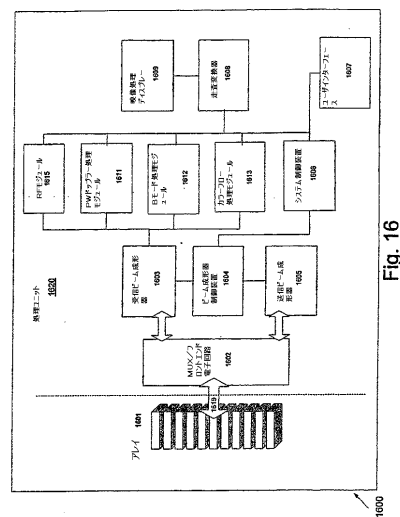


Fig. 16

【図 18 a】

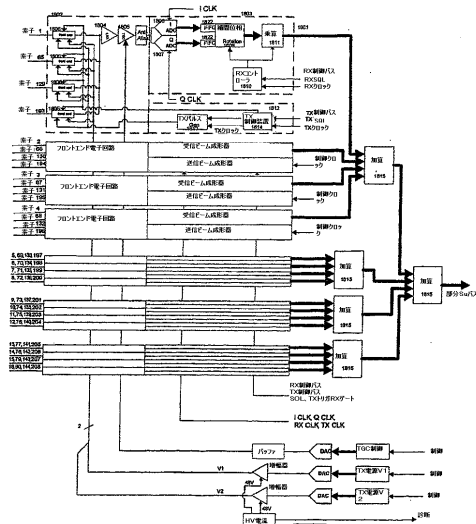


Fig. 18a

【図 18 b】

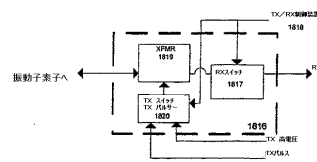


Fig. 18b

【図 18 c】

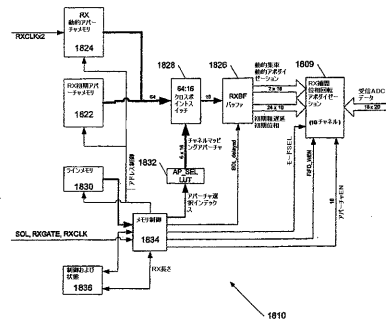


Fig. 18c

【図 18 d】

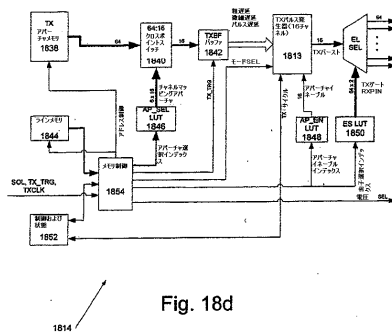
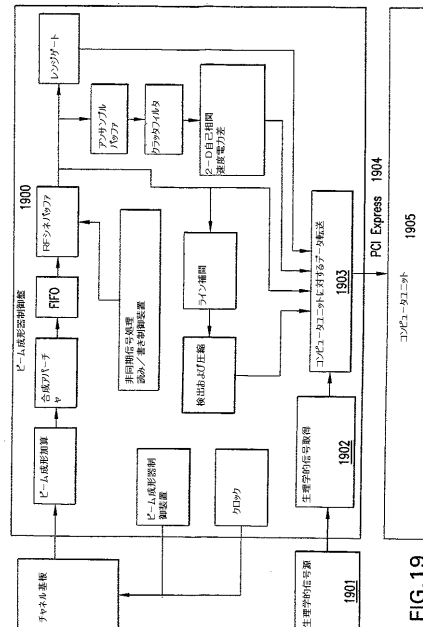


Fig. 18d

【図 19】



【 図 2 0 】

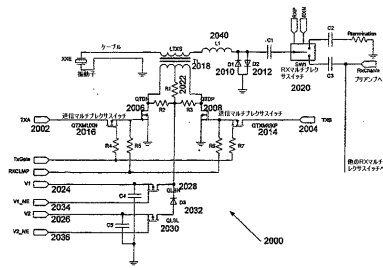


Fig. 20

【 図 2 1 】

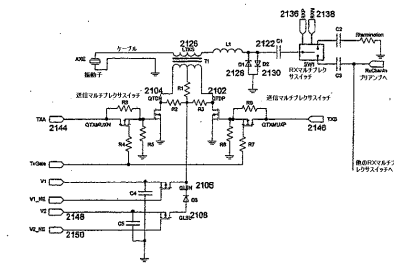
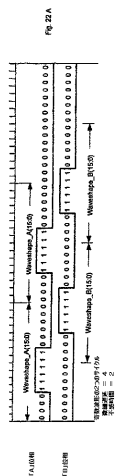


Fig. 21

【 ㊦ 2 2 A 】



【 図 2 2 】

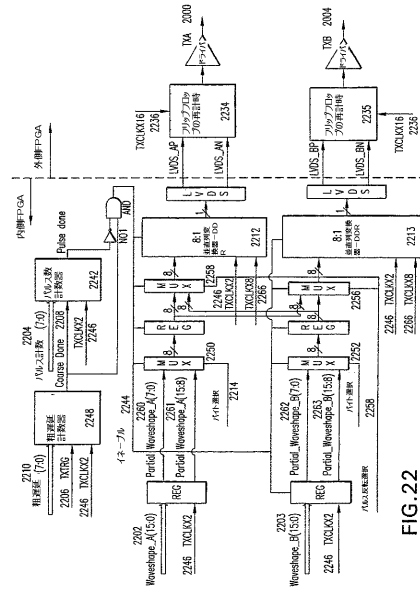
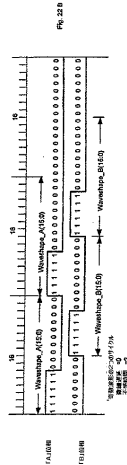
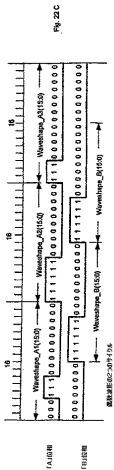


FIG. 22

【 ㊦ 2 2 B 】



【 図 2 2 C 】



【 図 2 3 】

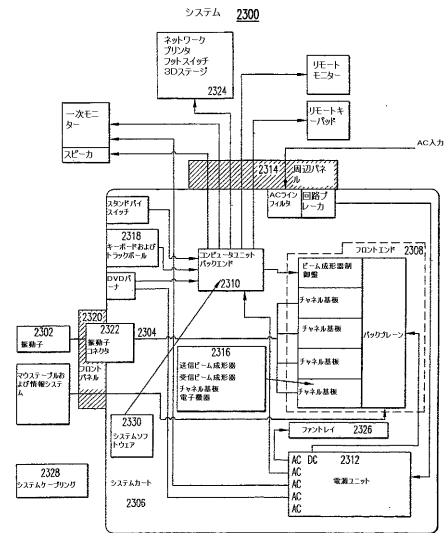


FIG.23

【 図 2 4 】

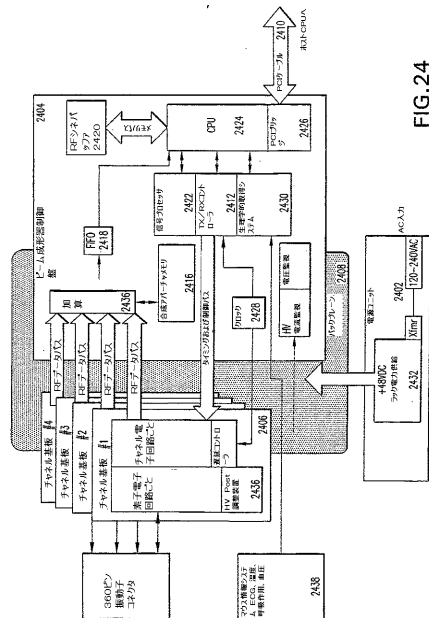


FIG. 24

【 ㊦ 2 5 】

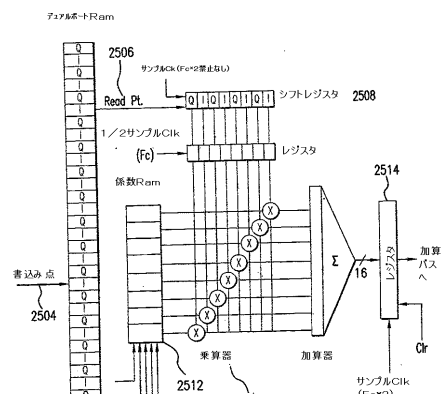
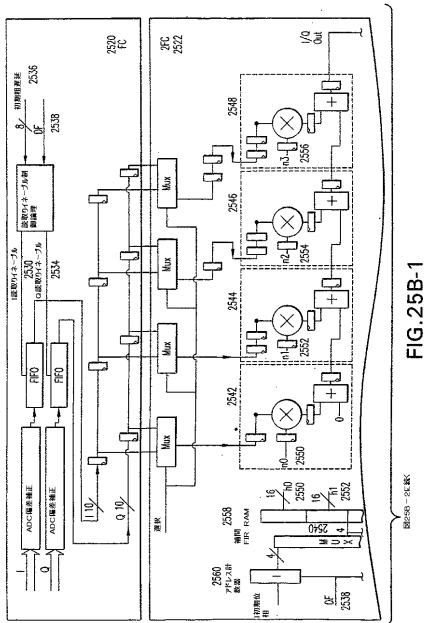
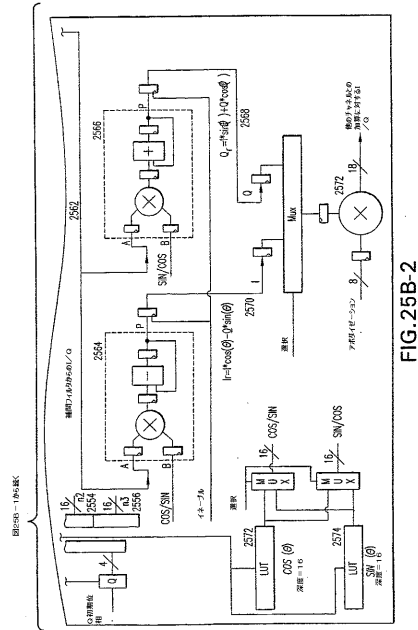


FIG.25

【 図 2 5 B - 1 】



【 図 2 5 B - 2 】



【 図 2 6 】

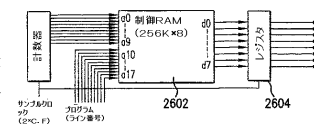


FIG.26

【 図 2 6 A 】

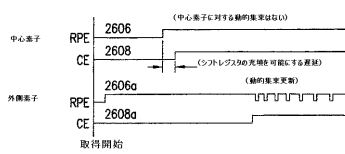


FIG.26A

【 図 2 7 A 】

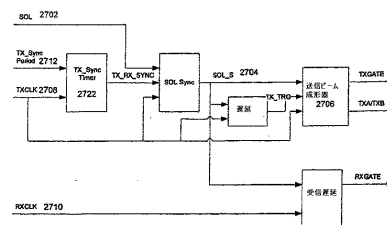


Fig. 27A

【 図 2 7 】

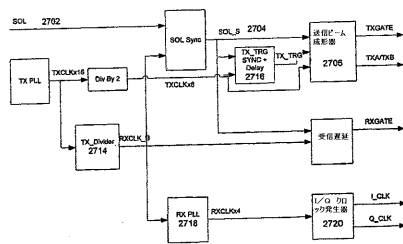


Fig. 27

【 図 2 8 】

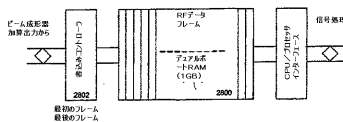


Fig. 28

【図 29】

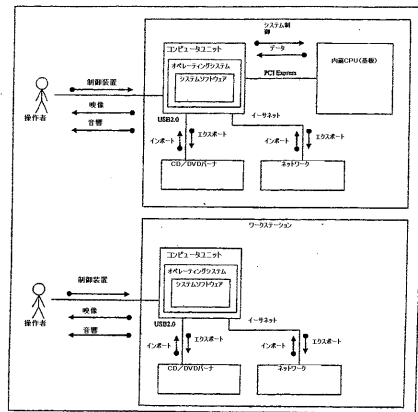


Fig. 29

【図 30】

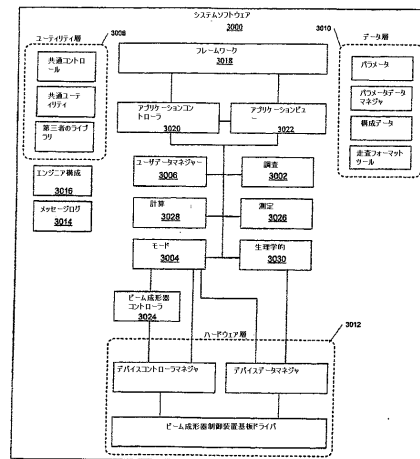


Fig. 30

【図 31】

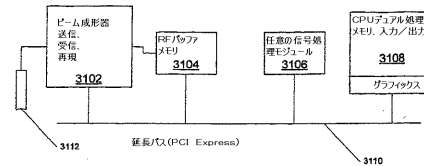


Fig. 31

【図 36】

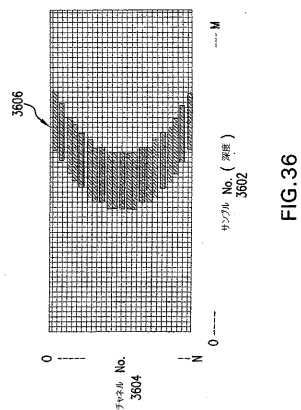


FIG.36

【図 39】

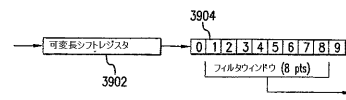


FIG.39

【図 40】

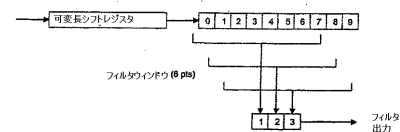


Fig. 40

【図 38】

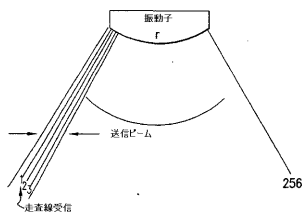


FIG.38

【 図 4 1 】

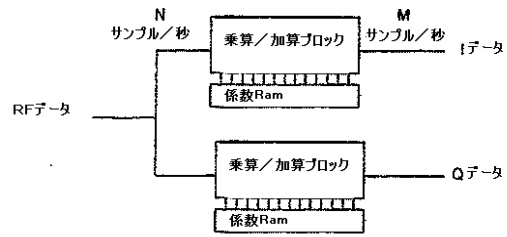


Fig. 41

【 図 3 2 】

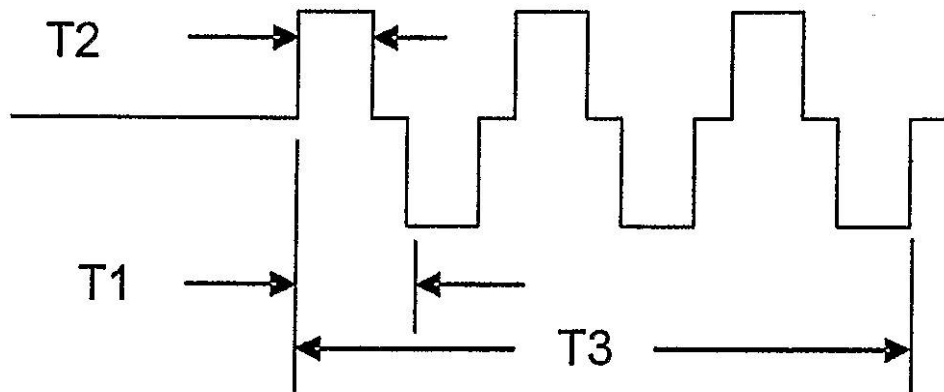


Fig. 32

【図 33】

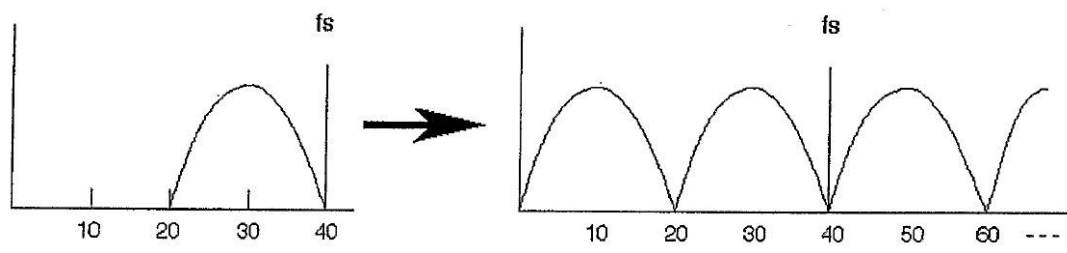


Fig. 33

【図 3 4】

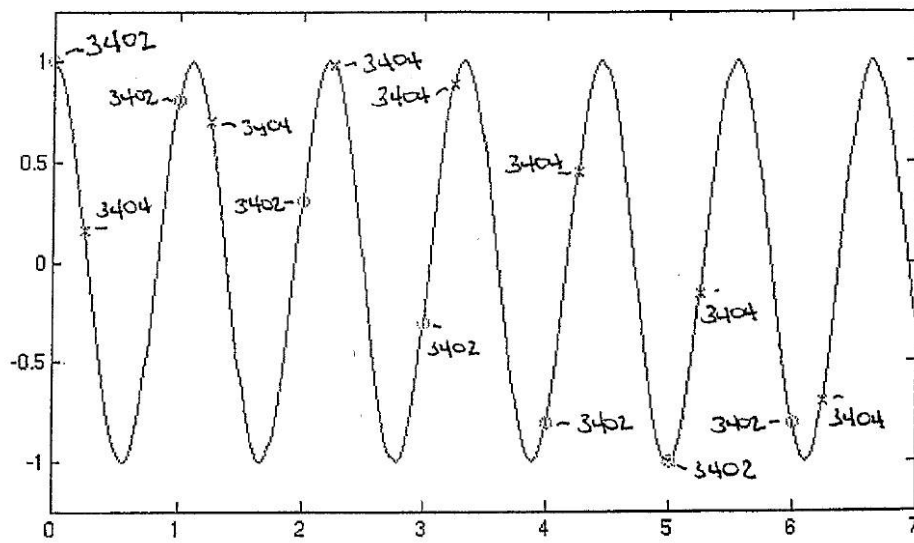


Fig. 34

【図 3 4 A】

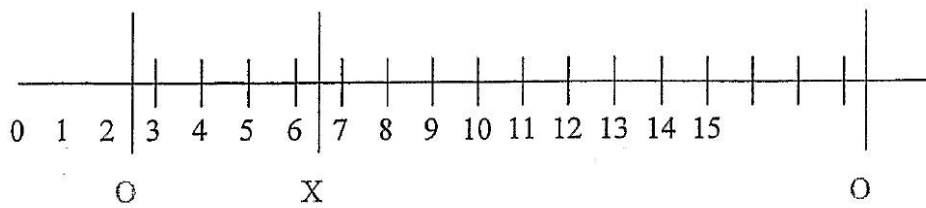


Fig. 34A

【図 3 4 B】

i.....q.....i.....q.....i.....q.....i.....q.....q

|0-3|

Fig. 34B

【図 3 4 C】

q...i.....q...i.....q...i.....q...i

|<- 4-15 ->|

Fig. 34C

【図 3 5】

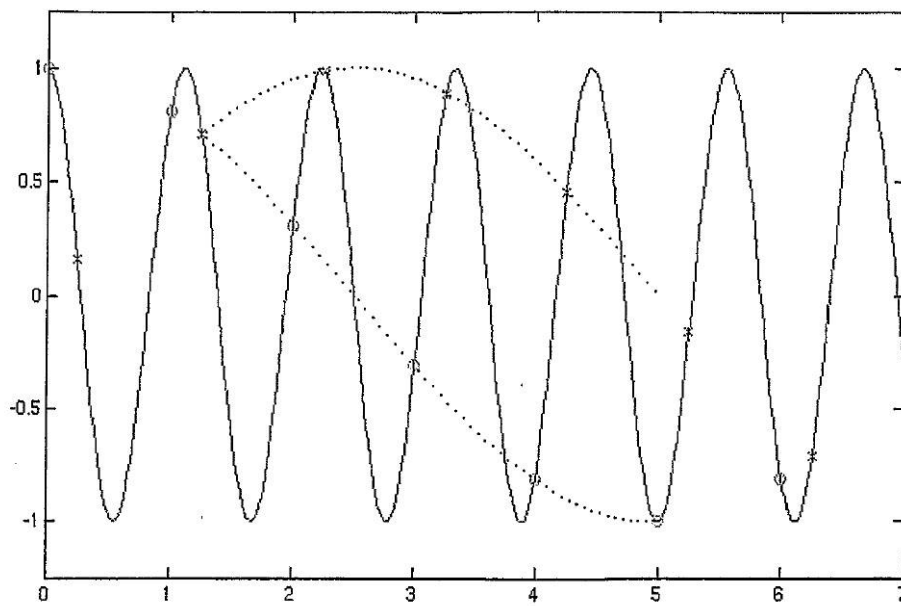


Fig. 35

【図 37】

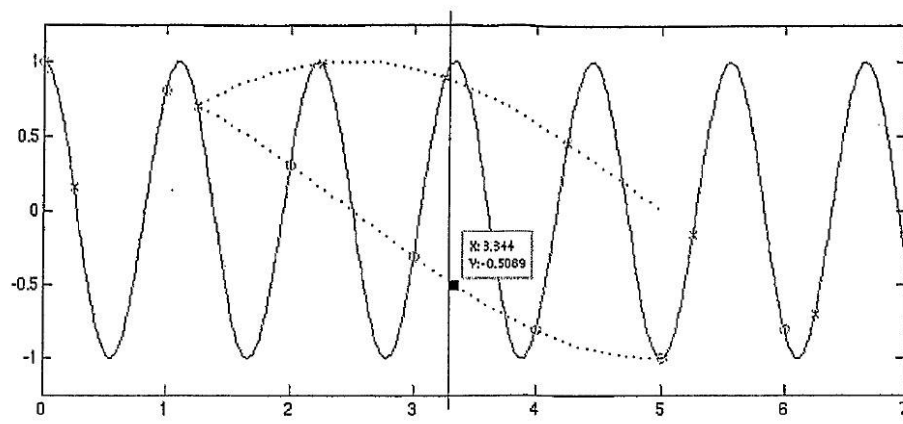


Fig. 37A

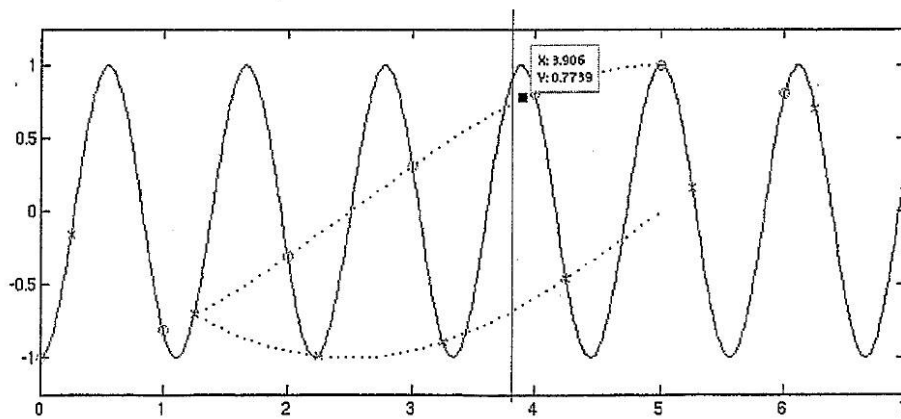


Fig. 37B

フロントページの続き

- (72)発明者 ロナルド イー． デイグル
アメリカ合衆国 ワシントン 98053, レッドモンド, エヌイー 62エヌディー プレ
イス 22126
- (72)発明者 ローレンス シー． ブラスフィールド
アメリカ合衆国 ワシントン 98040, マーサー アイランド, 79ティーエイチ アベ
ニュー エスイー 3441
- (72)発明者 ブライアン スターコスキー
カナダ国 エム4ジェイ 3シー8 オンタリオ, トロント, チルトン ロード 70
- (72)発明者 ジェロルド ウェン
ダ国 エム2エイチ 3ジェイ5 オンタリオ, トロント, ペブル バイウェイ 15, ユ
ニット 53
- (72)発明者 カイ ウェン リュー
カナダ国 エム2エヌ 6ゼット9 オンタリオ, ノース ヨーク, ビークロフト ロード
233, スイート 923
- (72)発明者 ローレン エス． フルガス
アメリカ合衆国 ワシントン 98117, シアトル, 10ティーエイチ アベニュー エヌ
ダブリュー 7720
- (72)発明者 スチュアート エフ． フォスター
カナダ国 エム4イー 1ワイ5 オンタリオ, トロント, グレン オーク ドライブ 24
- (72)発明者 デスモンド イルソン
カナダ国 エル4ジェイ 7ティー4 オンタリオ, ソーンヒル, ベントウーラ アベニュー
73

F ターム(参考) 4C601 BB06 DD30 EE01 EE08 EE22 GB06 HH06 JB03

【外国語明細書】
2014000465000001.pdf

专利名称(译)	高频阵列超声系统		
公开(公告)号	JP2014000465A	公开(公告)日	2014-01-09
申请号	JP2013204411	申请日	2013-09-30
[标]申请(专利权)人(译)	视声公司		
申请(专利权)人(译)	视觉苏nix苹果公司		
[标]发明人	ジェームスメヒ ロナルドイーデイグル ローレンスシーブラスフィールド ブライアンスターコスキー ジェロルドウェン カイウェンリユー ローレンエスフルガス スチュアートエフフォスター デスモンドイルソン		
发明人	ジェームス メヒ ロナルド イー. デイグル ローレンス シー. ブラスフィールド ブライアン スターコスキー ジェロルド ウェン カイ ウェン リユー ローレン エス. フルガス スチュアート エフ. フォスター デスモンド イルソン		
IPC分类号	A61B8/00		
CPC分类号	G01S7/52095 A61B8/56 A61B8/565 G01S7/52017 G01S7/5202 G01S7/52034 G01S7/52088 G01S7/524 G01S7/526 G01S15/8915 G01S15/8927 G01S15/8956 G01S15/8959 G01S15/8997 G10K11/341 G10K11/346		
FI分类号	A61B8/00		
F-TERM分类号	4C601/BB06 4C601/DD30 4C601/EE01 4C601/EE08 4C601/EE22 4C601/GB06 4C601/HH06 4C601/JB03		
代理人(译)	夏木森下		
优先权	60/733089 2005-11-02 US 60/733091 2005-11-02 US		
其他公开文献	JP5690900B2		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：提供一种超声信号采集系统和方法，包括信号处理单元，该信号处理单元被配置为从具有多个元件的超声换能器获取接收的超声信号。解决方案：用于采集超声信号的系统包括信号处理单元，该信号处理单元被配置为从具有多个元件的超声换能器获取接收的超声信号。该系统被配置为使用具有至少5.0毫米（mm）的视场的换能器以至少20帧/秒（fps）的帧速率接收具有至少20兆赫兹（MHz）的频率的超声信号。。信号处理可以进一步从所获取的超声信号产生超声图像。换能器可以是线性阵列换能器，相控阵换能器，二维（2-D）阵列换能器或弯曲阵列换能器。

信号	信号
信号	GND
信	信号
GND	信号
信号	信号
信号	信号
信号	GND
信	信号
GND	信号
信号	信号
信号	信号
信号	GND
信号	信号
GND	信号
信号	信号