



(12) 发明专利申请

(10) 申请公布号 CN 105025802 A

(43) 申请公布日 2015. 11. 04

(21) 申请号 201480010856. 5

代理人 赵蓉民 徐东升

(22) 申请日 2014. 02. 27

(51) Int. Cl.

(30) 优先权数据

13/779, 376 2013. 02. 27 US

A61B 8/00(2006. 01)

H01L 29/84(2006. 01)

H01L 21/02(2006. 01)

(85) PCT国际申请进入国家阶段日

2015. 08. 27

(86) PCT国际申请的申请数据

PCT/US2014/019011 2014. 02. 27

(87) PCT国际申请的公布数据

W02014/134301 EN 2014. 09. 04

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 P·B·约翰逊 I·O·伍感特

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

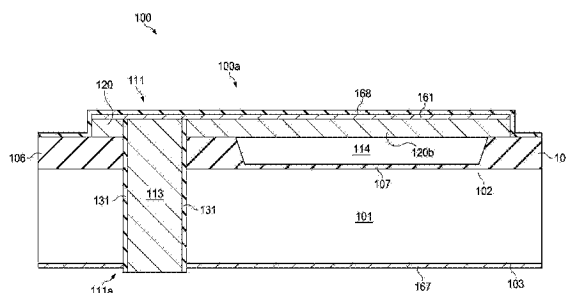
权利要求书3页 说明书7页 附图11页

(54) 发明名称

具有穿透基板通孔 (TSV) 的电容式微加工超声换能器 (CMUT) 器件

(57) 摘要

一种电容式微加工超声换能器 (CMUT) 器件 100, 该器件包括至少一个 CMUT 单元 101a, 其包括具有顶部的第一衬底 101, 该顶部上包括图案化介电层, 该图案化介电层包括厚介电区 106 和薄介电区 107。隔膜层 120b 接合在该厚介电区上并且在薄介电区上方以在微机电系统 (MEMS) 腔 114 上方提供可移动隔膜。穿透衬底通孔 (TSV) 111 包括介电衬垫, 其从第一衬底的底部延伸到所述隔膜层的顶部表面。顶部金属层 161 包括 TSV 上方、可移动隔膜上方的第一部分, 并且将 TSV 耦合到可移动隔膜。图案化的金属层 167 在第一衬底的底部表面上, 包括与对 TSV 侧向的第一衬底的底部接触的第一图案化的层部分。



1. 一种电容式微加工超声换能器即 CMUT 器件, 所述 CMUT 器件包括具有至少一个 CMUT 单元的至少一个 CMUT 元件, 所述 CMUT 单元包括:

第一衬底, 所述第一基板包括顶部, 所述顶侧包括在其上的图案化介电层, 所述图案化介电层包括厚介电区和薄介电区;

隔膜层, 所述隔膜层被接合在所述厚介电区上并且在所述薄介电区上方, 从而在微机电系统即 MEMS 腔上方提供可移动隔膜;

包括导电 TSV 填充材料的穿透衬底通孔即 TSV, 所述 TSV 从所述第一衬底的底部延伸到其中包括介电衬垫的所述隔膜层的顶部表面;

顶部金属层, 所述顶部金属层包括在所述可移动隔膜上方、所述 TSV 上方的第一部分, 并且所述顶部金属层将所述 TSV 耦合到所述可移动隔膜; 以及

在所述第一衬底的所述底部上的图案化金属层, 所述图案化金属层包括接触所述 TSV 侧向的所述第一衬底的所述底部的第一图案化层部分。

2. 根据权利要求 1 所述的器件, 其进一步包含在所述 CMUT 器件的顶部上包括在所述顶部金属层上方的至少一个介电钝化层。

3. 根据权利要求 1 所述的器件, 其中所述 CMUT 器件包括多个所述 CMUT 单元, 并且其中所有的所述多个 CMUT 单元具有通过穿过所述第一衬底单元耦和到单元而提供的共用底电极。

4. 根据权利要求 1 所述的器件, 其中所述 CMUT 器件包括多个所述 CMUT 元件, 其中所述多个所述 CMUT 元件中的每个包括多个所述 CMUT 单元, 其中在所述多个所述 CMUT 元件中的每个中的所有所述可移动隔膜被连接到一起, 使得通过接触所述 TSV 在所述多个所述 CMUT 元件的每个中的所述可移动隔膜都是可寻址的。

5. 根据权利要求 1 所述的器件, 其中所述隔膜层包括单晶硅。

6. 根据权利要求 1 所述的器件, 其中所述 TSV 填充材料包括铜, 并且所述多个 TSV 包括从所述第一衬底的所述底部突出的突出 TSV 末端。

7. 根据权利要求 1 所述的器件, 其中所述第一衬底具有小于或等于 0.1 欧姆-厘米 ($\Omega\text{-cm}$) 的电阻率。

8. 根据权利要求 1 所述的器件, 其中所述隔膜层被真空熔化接合到所述厚介电区。

9. 一种形成电容式微加工超声换能器即 CMUT 器件的方法, 所述器件包括具有至少一个 CMUT 单元的至少一个 CMUT 元件, 所述方法包括:

在第一衬底的顶部上形成包括厚介电区和薄介电区的图案化介电层,

将第二衬底接合到所述厚介电区以提供至少一个密封的微机电系统即 MEMS 腔;

将所述第二衬底变薄以减小所述第二衬底的厚度以提供隔膜层;

蚀刻嵌入式通孔穿透所述隔膜层、穿透所述厚介电区, 并且嵌入式通孔从所述第一衬底的所述顶部延伸到所述第一衬底中;

形成介电衬垫, 其沿着所述第一衬底的表面并且沿着所述隔膜层排齐所述嵌入式通孔;

用导电 TSV 填充材料填充所述嵌入式通孔以形成延伸到所述隔膜层的至少顶部的嵌入式穿透衬底通孔即 TSV;

形成图案化顶部金属层, 其包括位于所述隔膜层的顶部上方和所述嵌入式 TSV 的顶部

上方的第一部分；

蚀刻所述隔膜层以在所述 MEMS 腔上方限定可移动隔膜；

在所述第一衬底的底部上露出所述 TSV，以及

在所述第一衬底的所述底部上形成图案化金属层，其包括接触所述 TSV 侧向的所述第一衬底的所述底部的第一图案化层部分。

10. 根据权利要求 9 所述的方法，其中所述接合所述第二衬底包括接合具有与所述隔膜层相对的柄状物的绝缘体上半导体即 SOI 衬底的所述隔膜层和掩埋介电层，所述掩埋介电层在所述柄状物和所述隔膜层之间，所述使所述第二衬底变薄包括移除所述 SOI 衬底的所述柄状物，其还包括在所述填充所述嵌入式通孔之后去除所述掩埋介电层。

11. 根据权利要求 9 所述的方法，其中所述接合包括真空熔化接合。

12. 根据权利要求 9 所述的方法，其中所述形成图案化介电层包括高压氧化即 HiPOx 生长工艺。

13. 根据权利要求 9 所述的方法，其中所述 CMUT 器件包括多个所述 CMUT 单元，并且其中所有的所述多个 CMUT 单元具有通过穿过所述第一衬底的单元耦合到单元而提供的共用底电极。

14. 根据权利要求 9 所述的方法，其中，所述其中所述隔膜层包括单晶硅。

15. 根据权利要求 9 所述的方法，其中，所述其中所述 TSV 填充材料包括铜，还包括形成从所述第一衬底的所述底部突出的所述 TSV 的突出 TSV 末端。

16. 根据权利要求 9 所述的方法，还包括沉积至少一个介电钝化层在所述 CMUT 器件的顶部上包括沉积在所述图案化顶部金属层上方。

17. 根据权利要求 9 所述的方法，其中所述 CMUT 器件包括多个所述 CMUT 元件，其中所述多个所述 CMUT 元件中的每个包括多个所述 CMUT 单元，其中在所述多个所述 CMUT 元件中的每个中的所有的所述可移动隔膜被连接到一起，使得通过接触所述 TSV 在所述多个所述 CMUT 元件的每个中的所述可移动隔膜都是可以寻址的。

18. 根据权利要求 9 所述的方法，其中所述第一衬底具有小于或等于 0.1 欧姆 - 厘米 ($\Omega\text{-cm}$) 的电阻率。

19. 一种形成电容式微加工超声换能器即 CMUT 器件的方法，所述器件包括具有至少一个 CMUT 单元的至少一个 CMUT 元件，所述方法包括：

在第一衬底的顶部上形成包括厚介电区和薄介电区的图案化介电层，

将具有与所述隔膜层相对的柄状物的绝缘体上半导体即 SOI 衬底的所述隔膜层和掩埋介电层接合到所述厚介电区，以提供至少一个密封的微机电系统即 MEMS 腔，所述掩埋介电层在所述柄状物和所述隔膜层之间；

移除所述 SOI 衬底的所述柄状物；

蚀刻穿透所述隔膜层、穿透所述厚介电区的嵌入式通孔，并且所述嵌入式通孔从所述第一衬底的所述顶部延伸到所述第一衬底中；

形成介电衬垫，其沿着所述第一衬底的表面并且沿着所述隔膜层排齐所述嵌入式通孔；

用导电 TSV 填充材料填充所述嵌入式通孔，以形成至少延伸到所述隔膜层的顶部的嵌入式穿透衬底通孔即 TSV；

移除所述掩埋介电层；

形成图案化顶部金属层,所述图案化顶部金属层包括所述隔膜层的顶部上方和所述嵌入式 TSV 的顶部上方的第一部分；

蚀刻所述隔膜层以在所述 MEMS 上方限定可移动隔膜；

在所述第一衬底的底部上露出所述 TSV ;以及

在所述第一衬底的所述底部表面上形成图案化金属层,所述图案化金属层包括接触所述 TSV 侧向的所述第一衬底的所述底部的第一图案化层部分。

20. 根据权利要求 19 所述的方法,其中所述隔膜层包括单晶硅。

具有穿透基板通孔 (TSV) 的电容式微加工超声换能器 (CMUT) 器件

技术领域

[0001] 所公开的实施方式涉及电容式微加工超声换能器 (CMUT) 器件及其制造方法。

背景技术

[0002] CMUT 器件在医疗应用中变得逐渐普及。例如,CMUT 器件已经用于改进医疗超声成像探测 (probe)。此外,CMUT 器件已经用于提供高强度聚焦超声以用于医疗疗法。传统的 CMUT 器件通常被直接制造在硅衬底上 (例如,在硅晶片上)。例如,传统的 CMUT 器件经常使用微机电系统 (MEMS) 加工技术来制造,其中脱模层被蚀刻掉,留下自支撑 (柔性) 隔膜。隔膜的顶部被金属化以提供顶 (电极) 板,并且隔膜接着被用作换能器来发送和接收超声信号。

[0003] 传统的 CMUT 器件利用接合焊盘来提供与器件中的每个 CMUT 元件的顶板的电接触,诸如用于包括以 CMUT 阵列排列的多个 CMUT 元件的 CMUT 器件的多个接合焊盘。由于接合线被提高在接合焊盘上方,因此接合焊盘被定位成远离 CMUT 阵列中的 CMUT 元件以有助于封装。这种限制不仅由于需要相互连接的引导线路 (routing line) 而增大了 CMUT 器件的管芯尺寸 (diesize),还使得封装工艺复杂化。管芯尺寸的增加和封装工艺的复杂化这两者增加了封装的 CMUT 管芯的成本。

发明内容

[0004] 公开的实施方式描述了传统的利用接合焊盘来连接到每个 CMUT 单元的顶板的 CMUT 器件问题的解决方案,其被认为极大地约束了包括 CMUT 元件的二维 (2D)CMUT 阵列的 CMUT 器件的设计并且增加了它的大小,并且还使它们的性能降低。将接合焊盘连接到传统的大的 2D CMUT 阵列的每个 CMUT 元件涉及在 CMUT 管芯的顶部上广泛的使用金属互联迹线,这从而增加了管芯尺寸并且降低了 CMUT 性能。对于包含大量 CMUT 元件的 CMUT 阵列来说 (例如,> 10x10 阵列的 CMUT 元件),使用金属互联迹线来提供与每个元件的接触对于内部元件而言通常变得过于复杂,并且需要替换的连接方案。一个这样的连接方案为使用穿透衬底连接。

[0005] 公开的实施方式包括具有穿透衬底通孔 (TSV) 的 CMUT 器件,该 CMUT 器件允许底部器件 (管芯) 接触从而穿透管芯与 CMUT 单元或包括多个 CMUT 单元的 CMUT 元件的顶板 (顶部电极) 进行连接,以有助于制造 2D CMUT 阵列。对于具有多个 CMUT 元件的 CMUT 器件,顶部电极针对每个 CMUT 元件而被分隔,从而允许使用针对每个元件的单个 TSV 而对相应元件进行单独寻址,并且对于器件上的所有 CMUT 元件通常存在电气共用 (electrically common) 底部电极 (例如,Si 衬底的固体片)。在其它实施方式中,CMUT 器件可以具有用于所有 CMUT 元件的电共用顶部电极和用于每个元件的单独底部电极,以允许相应元件的单独寻址。

附图说明

[0006] 图 1A 是描绘根据示例性实施方式的作为具有单个 CMUT 单元的 CMUT 元件而被示出的示例性 CMUT 器件的顶视图。

[0007] 图 1B 是描绘沿着所示的切割线 A-A' 的图 1A 中所示的示例性 CMUT 器件 / 元件 / 单元的截面图。

[0008] 图 2A- 图 2H 是示出根据示例性实施方式的针对用于形成 CMUT 器件的示例性方法的工艺进展的截面图。

[0009] 图 3 是描绘根据示例性实施方式的包括多个 CMUT 元件的示例性 CMUT 器件的顶视图, 每个 CMUT 元件包括图 1A 和图 1B 中所示的多个 CMUT 单元。

具体实施方式

[0010] 电容式微加工超声换能器 (CMUT) 传感器单元实体是 CMUT 传感器单元。多个 CMUT 传感器单元可以被并联连接 (例如, 具有电共用的可移动隔膜 120b) 以形成 CMUT 元件。CMUT 元件可以具有任意数量 (> 1) 的 CMUT 单元。通常, 元件中的 CMUT 单元越多, 元件响应于给定刺激 (stimulus) 而可以产生的超声输出压力越大。CMUT 阵列 (器件 / 管芯) 可以具有任意数量的 CMUT 元件。相应 CMUT 元件的电极中的一个 (例如, 顶部电极) 可以与其他 CMUT 元件的其他电极 (例如, 顶部电极) 电隔离, 以允许每个 CMUT 元件被独立地连接以可单独寻址。如此处所描述的, 使得 CMUT 元件中的每个 CMUT 单元的可移动隔膜 120b 电共用允许通过单个 TSV 对 CMUT 元件中的所有单元进行寻址。

[0011] 图 1A 示出根据示例性实施方式的被示出为具有单个 CMUT 单元 100a 的 CMUT 元件的示例性 CMUT 器件 100。切割线 A-A' 被提供为图 1B 所示的和以下描述的其它图 2A- 图 2H 的截面图。CMUT 单元 100a 包括穿透衬底通孔 (TSV) 111 和具有顶部 102 和底部 103 的单晶材料 (例如, 在单晶硅衬底上的体单晶硅或硅外延层) 的第一衬底 101。

[0012] 如图 1B 所示, 顶部 102 包括在其上的图案化 (patterned) 介电层, 该图案化介电层包括厚介电区 106 和薄介电区 107。TSV 111 伸出第一衬底 101 的整个厚度到隔膜层 120 的顶表面。TSV 111 与第一衬底 101 和隔膜层 120 由介电衬垫 (dielectric liner) 131 电隔离。尽管介电衬垫 131 被示出为沿着 TSV 111 的整个长度, 介电衬垫 131 被示出为包括在厚介电区 106 的侧壁上, 然而在热形成的介电衬垫 131 (例如, 氧化硅) 的情况下, 与沉积介电衬垫 131 相反, 介电衬垫 131 将不生长在厚介电区 106 的侧壁上, 并且从而不在厚介电区 106 的侧壁上。TSV 111 包括 TSV 填充材料 113, 在一个具体实施方式中诸如 Cu。TSV 111 还被示出为包括可选的突出 TSV 末端 (tip) 111a, 其从第一衬底 101 的底部 103 突出 (protrude)。

[0013] 被示出为绝缘体上硅 (SOI) 衬底 115 的第二衬底隔膜层 120 (在图 2A 中描绘) 被接合到第一衬底 101 的厚介电区 106 并且在第一衬底 101 的薄介电区 107 的上方, 以在所示的 MEMS 腔 114 上方提供可移动隔膜 120b。接合可以包括真空接合, 诸如真空熔化 (vacuum fusion) 接合。图案化顶部金属层 (例如, AlCu 层) 161 在 TSV 111 的顶部的上方并且在可移动隔膜 120b 的顶部的上方, 所述图案化的顶部金属层 161 包括将 TSV 111 耦合到可移动隔膜 120b 的金属层部分。介电钝化层 168 被示出为在 CMUT 单元 100a 的顶部的上方。

[0014] 第一衬底 101 可以包括单晶硅, 或在单晶硅上的外延硅。第一衬底 101 通常具有小

于或等于 ($\leq$) $0.1\ \Omega\text{-cm}$ 的电阻率,并且可以是 p 型掺杂或 n 型掺杂。CMUT 单元 100a 被示出为包括在第一衬底 101 的底部 103 上的图案化金属层 167,图案化金属层 167 在 CMUT 单元 110a 的底部 103 上提供第一电极接触以实现固定电极。如上所述,在包括多个 CMUT 元件 (每个 CMUT 元件包括多个 CMUT 单元 100a) 的 CMUT 器件的情况下,由图案化金属层 167 提供的固定电极接触是用于 CMUT 器件上的所有 CMUT 元件的共用底部固定电极 (例如,第一衬底 101 的固体片,诸如 Si 片)。

[0015] TSV 111 提供到可移动隔膜 120b 的底部连接,其提供用于 CMUT 器件 100 的 CMUT 单元 100a 的顶板。如上所述,对于具有多个 CMUT 元件的 CMUT 器件,顶部电极可以针对每个 CMUT 元件而被分隔,这允许使用每个元件的相应 TSV 111 而对相应元件进行单独寻址 (addressing)。因此 CMUT 器件 100 不需要顶部接触或接合焊盘。

[0016] 需要注意的是 CMUT 器件的厚度和尺寸可以被调整以适应于特定应用。例如,以 180kHz 操作的气载超声应用的通常的示例性尺寸是具有 1.12mm 直径的可移动隔膜 120b 的 CMUT 单元、1.32mm 板宽度的图案化顶部金属层 161 (在 CMUT 单元 100a 侧面上的顶部金属层 161 的 $100\ \mu\text{m}$ 板重叠),以及 $14\ \mu\text{m}$ 厚度的可移动隔膜 120b。

[0017] 图 2A-图 2H 示出根据示例性实施方式的在制造的不同阶段形成 CMUT 器件的示例性方法的步骤。尽管 CMUT 器件被描述为形成具有带有单个 CMUT 传感器单元的单个元件,然而如上所公开的,CMUT 器件可以被形成具有多个 CMUT 元件,多个 CMUT 元件中的每个 CMUT 元件具有一个或更多个 CMUT 单元,用于形成具有多个 CMUT 元件的 CMUT 阵列 (参见以下描述的图 3)。

[0018] 图 2A-图 2H 示出用于形成具有带有单个 CMUT 单元 100a 的单个 CMUT 元件的 CMUT 器件的示例性方法的工艺中的步骤。在不偏离本公开的范围的情况下,用于形成所公开的 CMUT 器件的其它技术可以被使用,包括形成具有多个所公开的 CMUT 元件的 CMUT 器件。通过将给定 CMUT 元件中的 CMUT 单元的可移动隔膜 120b 耦合到一起,CMUT 元件内的多个 CMUT 单元可以被并联连接,从而在给定区域的上方来增加输出压力。将 CMUT 单元并联连接减少了 (用于驱动的) 阻抗。CMUT 元件可以彼此电隔离以独立使用从而有助于波束控制 (beam steering) 或从而提高较大区域上的空间分辨率。本领域技术人员还可以差异化地驱动 / 感测 CMUT 元件,以改善共模信号或减轻制造非对称性。

[0019] 厚介电区 106 诸如包括氧化硅层被设置在第一衬底 101 的顶部 102 上。第一衬底 101 通常可以包括任意单晶衬底材料,其包括基于硅的衬底或其它衬底。第一衬底 101 提供 $\leq 0.1\ \Omega\text{-cm}$ 的低衬底电阻率,诸如约 $0.01\ \Omega\text{-cm}$ 。

[0020] 在一个具体实施方式中,为了形成厚介电区 106,通过使用高压氧化 (HiPOx) 工艺,厚氧化硅层生长到 $4.5\ \mu\text{m}$ 到 $5.5\ \mu\text{m}$ 的厚度。使用 HiPOx 有助于厚热氧化层的迅速生长并且提供通常小于 $\pm 1\%$ 的横跨管芯的良好的厚度控制。HiPOx 工艺条件的一个具体示例集包括在未使用的第一衬底 101 上的在汽流中的 25 个大气压处的 1000°C 的温度达 9.5 小时 (例如,体单晶硅晶片),并且光刻的对齐标记随后在工艺中被蚀刻。

[0021] 替换地,厚介电区 106 还可以包括传统的热生长的氧化硅 (例如,使用硅的局部氧化 (LOCOS) 工艺,其中二氧化硅被形成在硅晶片上的所选区域 (在此为厚介电区 106) 中,硅晶片通常使用氮化硅作为掩模版 (mask) 用于氧化,,或可以是包括氧化硅或其它介电材料的沉积的介电层。然而,利用传统氧化的 LOCOS 方案将通常不产生 $5\ \mu\text{m}$ 厚 (或更厚) 的

氧化层,并且沉积的介电(例如,氧化物)薄膜通常将不提供横跨管芯的小于 $\pm 1\%$ 的厚度控制。

[0022] 通常存在的衬底销售方的激光划线(laser scribe)可以用于确保最小的表面污染或粗糙度,其将有助于随后的晶片接合步骤。接着可以是前侧对齐标记的掩模和蚀刻。抗蚀条(resist strip)和预清洁工艺可以有助于确保在向其接合 SOI 衬底 115 的隔膜层 120 或诸如标准硅衬底这样的第二衬底的工艺中随后被使用的厚介电区 106 的光滑表面。

[0023] 第一版图级(masking level)“CELLEETCH”使用厚的光刻胶来支撑随后的穿过厚介电区 106(例如,厚氧化硅层)的蚀刻氧化硅,以初始地开始限定第一衬底 101(例如, Si 晶片)上的针对每个 CMUT 阵列/管芯的至少一个经蚀刻的单个单元 CMUT 元件。非聚合的等离子体蚀刻可以用于蚀刻厚介电区 106 的第一部分,诸如当厚介电区 106 包括氧化硅并且具有约 $5\mu\text{m}$ 到 $5.3\mu\text{m}$ 的厚度时,蚀刻约 $4.65\mu\text{m}$ 的氧化硅。通常期望 $\sim 80^\circ$ 的侧壁倾斜度,并且可以根据自然抗蚀(natural resist erosion)来实现。厚介电区 106 的剩余部分(例如 $0.5\mu\text{m}$ 的氧化硅)在等离子蚀刻之后可以通过湿法蚀刻来移除,该湿法蚀刻提供相对于衬底材料(例如, Si)的蚀刻选择性以避免损坏第一衬底 101 的顶部 102。

[0024] 在厚介电区 106 的蚀刻期间,第一衬底 101(例如,晶片)的顶部 102 的大约 50% 通常将是开放(露出)的。抗蚀剂接着被剥除(例如,湿法剥除工艺)。在适当预氧化清洁之后,在氧化步骤中可以生长薄的(例如, $0.3\mu\text{m}$ 的)CMUT 单元氧化物以形成薄介电区 107。

[0025] 图 2A 显示描述在 SOI 衬底(例如, SOI 晶片)115 的真空熔化接合之后的工艺中的 CMUT 器件的截面图,该 CMUT 器件包括柄状物(handle)(例如,晶片)116、掩埋介电层 117(其在本领域中通常被称为“掩埋氧化层”或“(BOX)层”)和隔膜层 120(例如,在 SOI 领域中通常被称为“活性层”)。隔膜层 120 被接合到第一衬底 101 的厚介电区 106。

[0026] 被牺牲的(sacrificial)柄状物 116 可以表示根据任意适当材料形成的任意适当半导体晶片,诸如未掺杂或轻掺杂的(n 或 p 掺杂)硅。也被牺牲的掩埋介电层 117 可以是任意适当(多个)电绝缘(介电)材料层,诸如(多个)氧化硅层。隔膜层 120 表示(多个)任意适当的(多个)衬底材料层,诸如掺杂的单晶硅。在具体实施方式中,柄状物 116 包括具有约 5 到 $10\Omega\text{-cm}$ 的电阻率,掩埋介电层 117 表示约 $1.5\mu\text{m}$ 到 $2.5\mu\text{m}$ 厚的氧化硅层,并且隔膜层 120 表示具有约 $5\Omega\text{-cm}$ 电阻率的约 $14\mu\text{m}\pm 5\mu\text{m}$ 厚度的掺杂硅。为了单元或元件之间的电互联,隔膜层 120 可以包括在其上的金属层,其使得所提供的通道成为低电阻率通道。

[0027] 然而,如上所述,作为 SOI 衬底的替换以降低成本,包括标准硅体衬底材料(例如,体 Si 晶片)的第二衬底可以被接合到第一衬底 101(CMUT 衬底/晶片)的厚介电区 106。在本实施方式中,在接合之后,通过背面磨光和抛光到期望的目标隔膜厚度诸如 $14\mu\text{m}\pm 5\mu\text{m}$ 厚度,第二衬底材料可以变薄。

[0028] 对于其中 CMUT 器件/管芯包括多个 CMUT 元件(CMUT 阵列)的实施方式,隔膜层 120 可以针对每个 CMUT 元件中的所有 CMUT 单元而被电共用。每个 CMUT 元件可以具有单独/唯一的顶板,该顶板包括元件内的单元的多个电连接的可移动隔膜 120b,其可以通过从第一衬底 101 的底部 103 可获得的专用 TSV 来电连接。每个 CMUT 元件的顶板的低电阻率可以通过随后在可移动隔膜 120b 上的金属沉积和以下描述的图案化的工艺步骤来提供。包

括清洁和等离子体预处理的适当的已知接合过程可以被使用。

[0029] 对于真空熔化晶片接合,如在本领域内众所周知的,确保良好晶片接合的属性包括具有通常小于 3A 的表面粗糙度的光滑的接合表面。生长的热氧化物和硅衬底通常满足这个要求。在接合之前,表面可以用 RCA 清洁 (SC-1, 其中 SC 表示标准清洁) 工艺,用 75°C 或 80°C 的 NH_4OH (氢氧化铵) + H_2O_2 (过氧化氢) + H_2O (水) 的 1 : 1 : 5 溶液来处理通常达 10 分钟。第二 RCA 清洁步骤是短暂浸泡在 25°C 的 HF + H_2O 的 1 : 50 溶液中,以去除薄氧化层和离子污染物的一些碎片。第三和最后步骤的 RCA 清洁 (被称为 SC-2) 是用 75 或 80°C 的 HCl + H_2O_2 + H_2O 的 1 : 1 : 6 溶液来进行的。这个工艺有效地去除金属化 (离子) 污染物的剩余痕迹。随后可以是 N_2 等离子体激活和 DI 水冲洗。真空接合通常是在小于 8×10^{-5} mbar 的压力处进行的。作为最终步骤,接合表面在 N_2 中被退火达数个小时,诸如 4 小时 1050°C 的 N_2 退火。

[0030] 在接合之后,柄状物 116 接着被去除,诸如通过背面磨光柄状物 116 到约 150 μm 的研磨后目标,在研磨之后在对研磨之后剩余的柄状物的湿法蚀刻之前进行第二个 4 小时 1050°C 退火,接着对剩余柄状物进行湿法蚀刻。当柄状物 116 包括硅时在背面磨光之后剩余的柄状物可以在湿法硅蚀刻中被蚀刻,诸如使用氢氧化物 (例如, KOH 或 TMAH), 停止在掩埋介电层 117 上。对可移动隔膜 (例如,硅板) 120b 的掩模和蚀刻去除对齐标记上方的隔膜层 120 以重新打开对齐标记并且使得能够进行随后工艺步骤的适当对齐。由于隔膜层 120 对于蚀刻而言是通常相对厚的层 (例如,约 14 μm 厚度), Bosch 蚀刻可以补偿在隔膜层 120 的蚀刻期间的抗蚀。如本领域已知的, Bosch 工艺,也被称为脉冲或时间复用蚀刻,在两个模式 / 相位之间重复地交替以实现接近垂直蚀刻结构。

[0031] 图 2B 示出在版图级掩模“TSVHOLE”(掩模 #2) 之后的在工艺内的 CMUT 器件。在一个具体实施方式中 TSV 孔 (嵌入通孔) 219 是 30 μm 直径和 150 μm 深 (总深度) 的。抗蚀剂 217 应该是足够厚以支撑蚀刻穿透存在的堆叠 (stack), 诸如 1.1 μm 的掩埋介电层 117 加上 14 μm 的隔膜层 120 加上 5.1 μm 厚度的介电区 106 加上 130 μm 而到第一衬底 101 中。TSV 孔 219 接着被蚀刻。单独的蚀刻工具可以用于蚀刻掩埋介电层 117 (例如,氧化硅) 并且, Bosch 蚀刻在硅情况下用于蚀刻第一衬底 101。

[0032] 抗蚀剂 217 接着被剥除并且介电衬垫 131 (例如, 0.5 μm 的介电氧化物) 被沉积, 或热生长在嵌入式通孔 / TSV 孔 219 内的半导体表面。形成在介电衬垫 131 上的扩散屏障金属层设计 (frame) TSV 并且保护防止在诸如 Cu 的高流动性金属 TSV 填充材料的情况下 TSV 填充 (或型芯) 材料 113 溢出到半导体中。例如, 在一个具体实施方式中, 针对铜 TSV 填充材料 113 的实施方式, 0.0875 μm 的 Ta/TaN 扩散屏障金属层, 接着 1.5 μm 的 Cu 籽晶层 233 (参见图 2C) 被沉积在介电衬垫 131 上。替换地, 籽晶层 233 可以例如包括钛上方的铜。

[0033] 图 2C 示出在版图级掩模“CUMOLD”(掩模 #3) 之后的在工艺内的 CMUT 器件, 其使用抗蚀剂 221。这个掩模可以用于把诸如 Cu 这样的金属排除于在 CMUT 单元的部分上方的镀层之外。负抗蚀剂可以用于确保 TSV 在施加掩模之后无抗蚀剂。掩模是有用的因为可移动隔膜 120b (例如, Si 板) 可以被歪斜几个微米并且在关于铜填充的 TSV 的随后的 Cu 化学机械抛光 (CMP) 步骤可能不能完全去除 CMUT 单元上方的铜。

[0034] 金属层接着被沉积, 诸如电镀 TSV 填充材料 113, (例如, 约使用 15 μm 的 Cu) 随

后的 CMP 以限定用 TSV 填充材料 113 填充的 TSV 孔 219。抗蚀剂 221 接着被剥除。图 2D 显示描绘在 TSV 填充材料 113 沉积（例如，Cu）、TSV 填充材料 113 的 CMP 之后的工艺内的 CMUT 器件的截面图，其中如所示来自嵌入式 TSV 111' 上方的且侧向于嵌入式 TSV 111' 的籽晶层 233 上的 TSV 填充材料 113 的金属钉头已经被去除，并且在介电衬垫 131 与掩埋介电层 117 在场区域（field area）上方被去除之后。接着可以是退火步骤。第二 TSV CMP 可以用于去除所有剩余的屏障金属（如果存在）（例如，Cu+TaN）。湿法剥除可以用于清除 CMUT 单元上方的残留物。介电衬垫 131 与掩埋介电层 117 一起接着被去除而停止在隔膜层 120（例如，Si）上。

[0035] 图 2E 示出在顶部金属层 161（诸如 $0.5\ \mu\text{m}$ 厚的 AlCu 金属层）的沉积之后的工艺内的 CMUT 器件。顶部金属层 161 提供隔膜层 120 板金属化并且将隔膜层 120 连接到嵌入式 TSV 111' 的顶部。使用抗蚀剂 223 的版图级“ALTOP”（掩模 #4）被示出，其允许蚀刻以在（多个）CMUT 元件上方限定顶部金属层 161（例如，AlCu 层）。ALTOP CD 可以小于最终板的尺寸（例如，小 $1\ \mu\text{m}$ /侧）。在对可移动隔膜 120（例如，Si 板）图案化之前对顶部金属层 161 图案化避免了顶部金属层 161 和抗蚀剂步骤覆盖问题两者。使用抗蚀剂 223 中的开口，顶部金属层 161 可以从场区域而被湿法蚀刻。抗蚀剂 223 接着被剥掉。

[0036] 图 2F 示出在使用版图级“PLATESI”（掩模 #5）对抗蚀剂 225 进行图案化之后的工艺内的 CMUT 器件。抗蚀剂 225 可以完全封装图案化的顶部金属层 161（例如，AlCu 层）。这个掩模可以比以上描述的 AlCu (ALTOP) 掩模大（例如，大 $1\ \mu\text{米}$ /侧）。

[0037] 接着使用抗蚀剂 225 蚀刻隔膜层 120 以分隔用于具有多个 CMUT 元件的 CMUT 器件的 CMUT 元件并且形成所示的可移动隔膜 120b。隔膜层 120 的蚀刻停止在厚介电区 106 上。具有短周期的 Bosch 蚀刻可以被使用以最小化侧壁扇形边。蚀刻应被配置成不可重入的。抗蚀剂可以 225 接着被剥掉。

[0038] 图 2G 示出在一个具体实施方式中的在沉积介电钝化层 168 诸如从氧化硅层中获得的约 $0.2\ \mu\text{m}$ 的等离子体原硅酸四乙酯 (TEOS) 接着沉积 $0.2\ \mu\text{m}$ 的等离子体氮化物钝化层之后的工艺内的 CMUT 器件。介电钝化层 168 被示出为覆盖可移动隔膜 120b 的侧壁。取决于 CMUT 应用，较厚的钝化堆可以被使用。最终合金可以被进行，诸如在 400°C 以 N_2+H_2 （形成气体）。

[0039] 图 2H 示出在使用粘接剂 172 可选的将工艺内的 CMUT 衬底（例如，晶片）接合到临时载体晶片 180，接着背面磨光以露出第一衬底 101 的底部 103 上的 TSV 并且形成突出 TSV 末端 111a 之后的工艺内的 CMUT 器件。背面磨光 (backgrind) 可以将接近于嵌入式 TSV 的工艺内的 CMUT 衬底（例如，晶片）变薄，并且可以去除所有底部膜，并且在一个具体实施方式中去除第一衬底 101 的 $725\ \mu\text{m}$ 厚的 Si 衬底中的约 $550\ \mu\text{m}$ ，从而留下约 $175\ \mu\text{m}$ 。第一衬底 101 的底部 103 可以被蚀刻以露出 TSV 末端 111a，从而留下第一衬底 101 大约 $100\ \mu\text{m}$ 厚。可以利用 XeF 等离子体蚀刻或湿法 Si 蚀刻，使得介电衬垫 131 和屏障金属（如果存在）被去除以形成具有用于 TSV 111 的露出的 TSV 填充材料 113 的 TSV 末端 111a。介电衬垫 131 和屏障金属的等离子体蚀刻通常将在 TSV 111 和 112 的侧壁上留下介电（例如，氧化物）隔离物。

[0040] 在一个特定实施方式中，接着在第一衬底的底部 103 上沉积金属层，诸如 Ti/Ni/Ag 层（例如， $1000\text{\AA}\ \text{Ti} + 2800\text{\AA}\ \text{Ni} + 1500\text{\AA}\ \text{Ag}$ ）。在金属层 167 沉积之前第一衬底

101 的底部 103 可以被清洁。约 300Å 的预溅射蚀刻可以被使用。版图级 TSVEP”（掩模 #6）接着可以被使用以在金属层 167 从 TSV 末端 111a 剥离时保护金属层 167 的区域。以上描述的图 1B 所示的 CMUT 器件 100 在图案化以在第一衬底 101 的底部 103 上形成图案化的金属层 167 以及剥除掩模 6 抗蚀剂之后产生（图 1B 中没有示出 Cu 籽晶层 233）。在划片（dicing）（分隔（singulation））之后，得到的 CMUT 管芯可以被封装，诸如被接合在控制管芯的顶部。

[0041] 图 3 示出根据示例性实施方式的示例性 CMUT 器件（管芯）300，其包括多个 CMUT 元件 301-306，其中每个电容式 CMUT 元件包括图 1A 和图 1B 中示出为彼此连接在元件中的 CMUT 单元 100a-100d 的 CMUT 单元 100a 中的四个。如上所述，顶部电极针对每个 CMUT 元件而被分隔，这允许使用针对每个元件的单个 TSV 而对相应的元件进行单独寻址，其中存在器件上的所有 CMUT 元件的共用底部电极（例如，Si 的固体片）。在其它实施方式中，CMUT 器件具有用于每个元件的共用顶部电极和用于每个元件的单独底部电极，以允许相应元件的单独寻址。

[0042] 尽管 CMUT 器件 300 被示出为具有六个 CMUT 元件 301-306，其中每个 CMUT 元件包括四个 CMUT 单元 100a-100d，但是所公开的 CMUT 器件可以具有任意数量的 CMUT 元件，每个 CMUT 元件具有任意数量的 CMUT 单元。CMUT 元件 301-306 可以彼此电隔离，并联连接在管芯上或下（on or off）（例如，通过将它们各自的 TSV 111 连接到共用源）以减少阻抗（用于驱动），或可以串联连接（在管芯上或下）以增大阻抗（用于感测）。相应 CMUT 元件可以被有区别地驱动 / 感测以改进共模信号或减少制造非对称性。

[0043] 所公开的 CMUT 器件的优点包括使用仅 4 个版图级的完整工艺。其它优点包括使得管芯尺寸较小，而不需要传统的接合焊盘，该传统的接合焊盘增大管芯尺寸，并且其要求引线接合并耦合到 CMUT 器件的顶部上的超声发射表面（可移动隔膜 120b）。所公开的 CMUT 器件还简化了封装操作，这使得耦合到发送介质变得容易，从而降低了封装成本。所公开的 CMUT 器件还有助于对堆叠 CMUT 管芯在控制管芯上进行选择，因为两个电极从 CMUT 器件的底部被接触。

[0044] 所公开的实施方式可以用于形成半导体管芯，其可以被集成到多种装配流程中以形成多种不同器件和相关产品。本领域技术人员将认识到在要求保护的本发明的范围内，可以对所描述的实施方案进行修改，并且可能有很多其它实施方式。

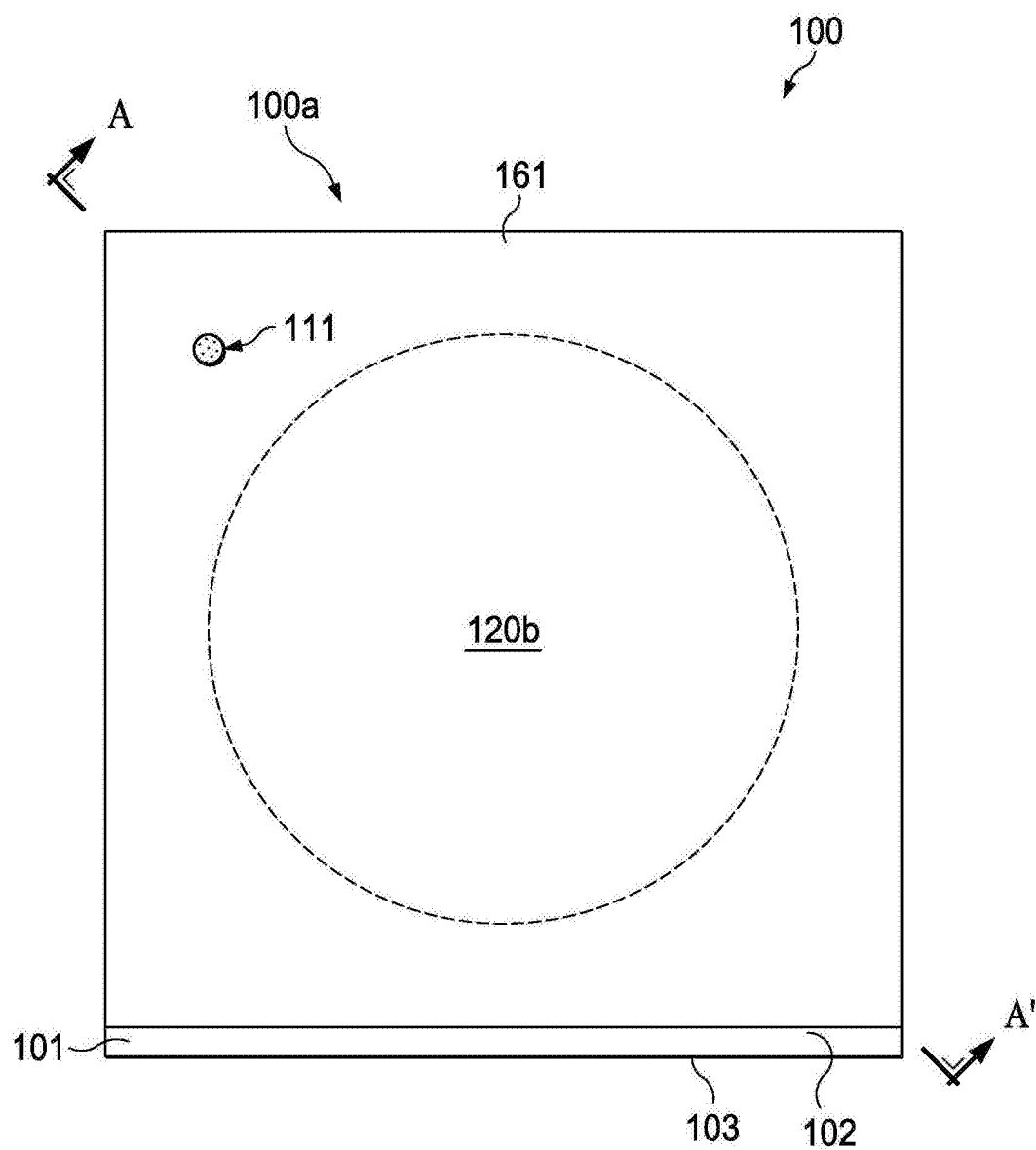


图 1A

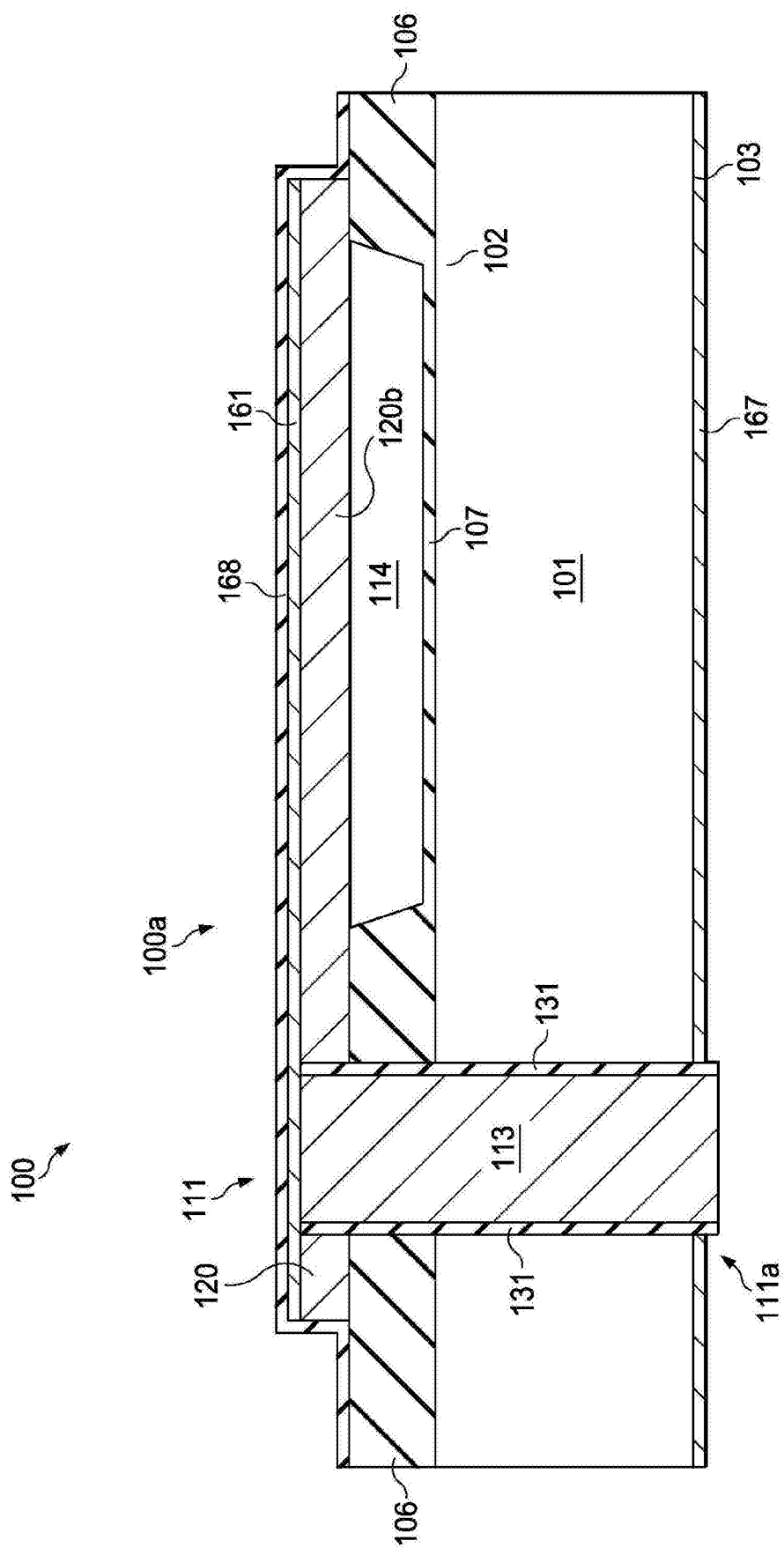


图 1B

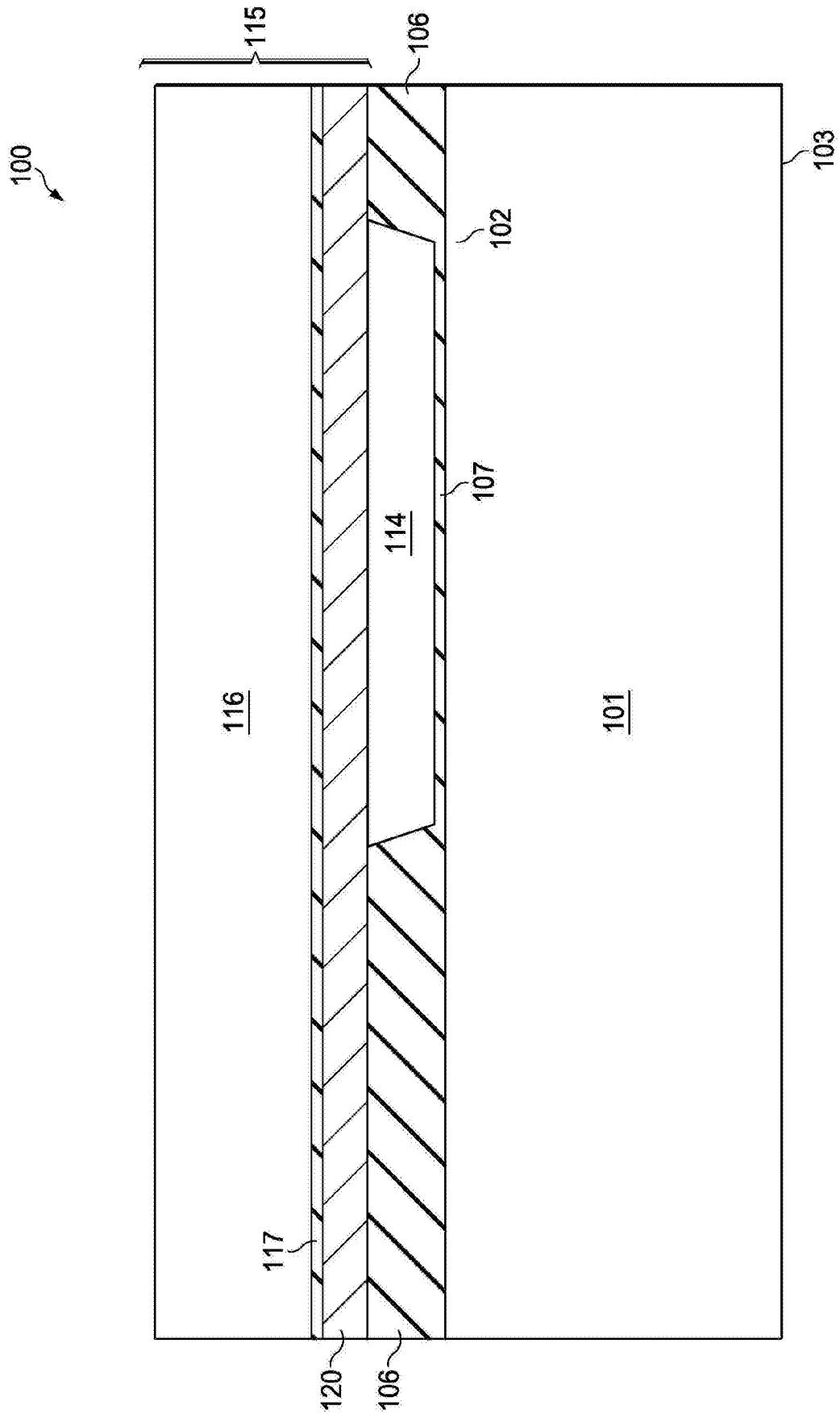


图 2A

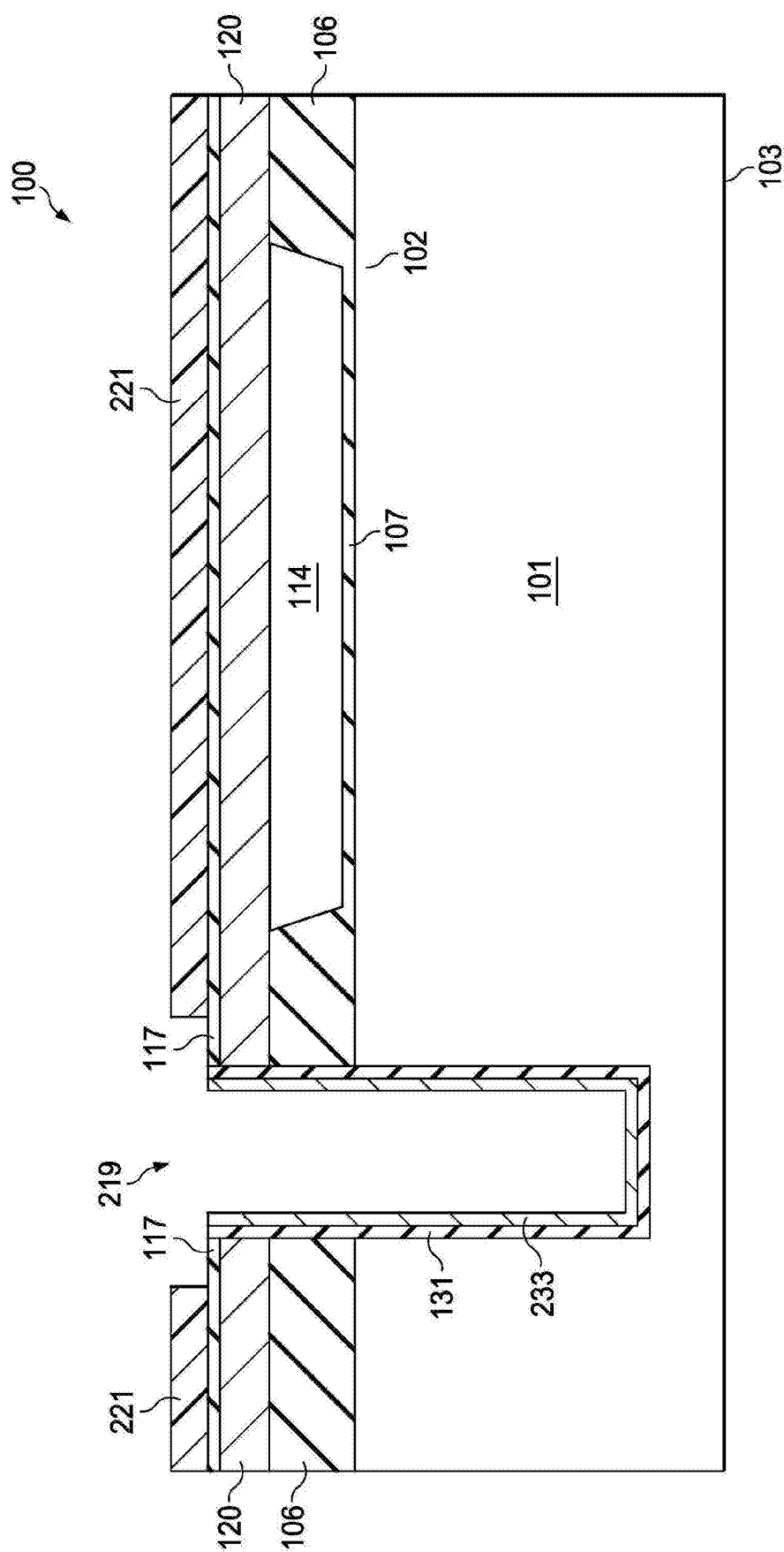


图 2C

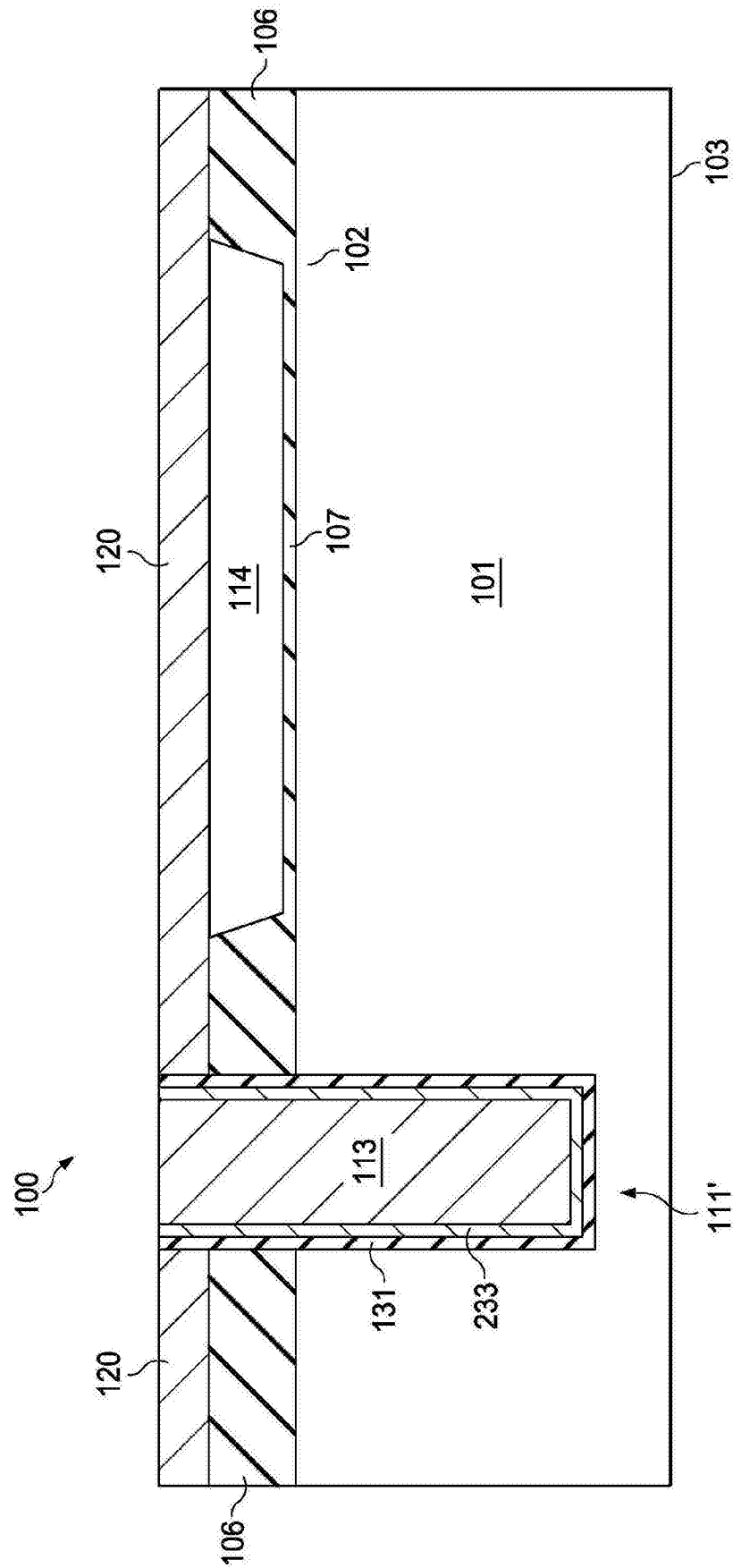


图 2D

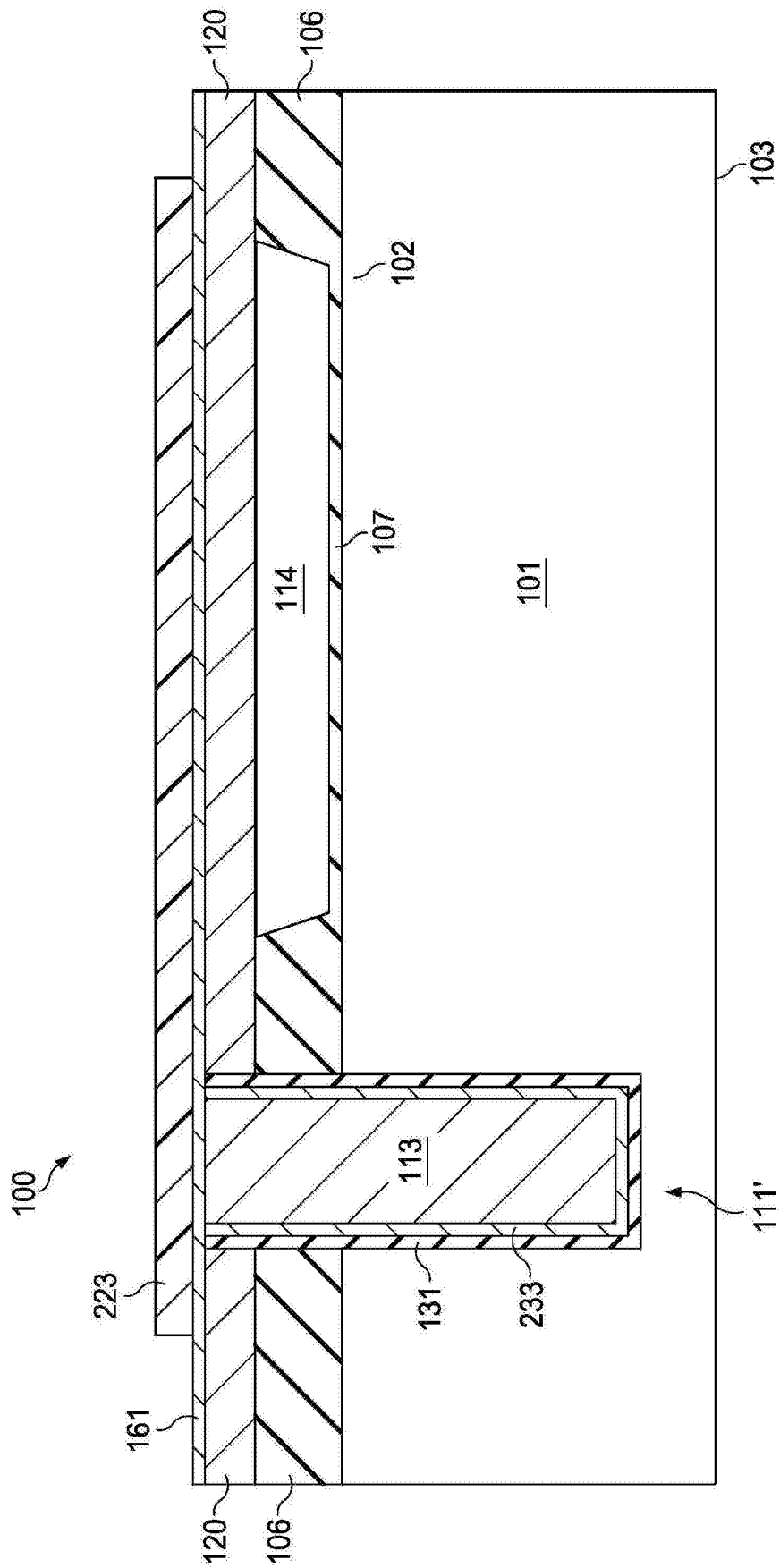


图 2E

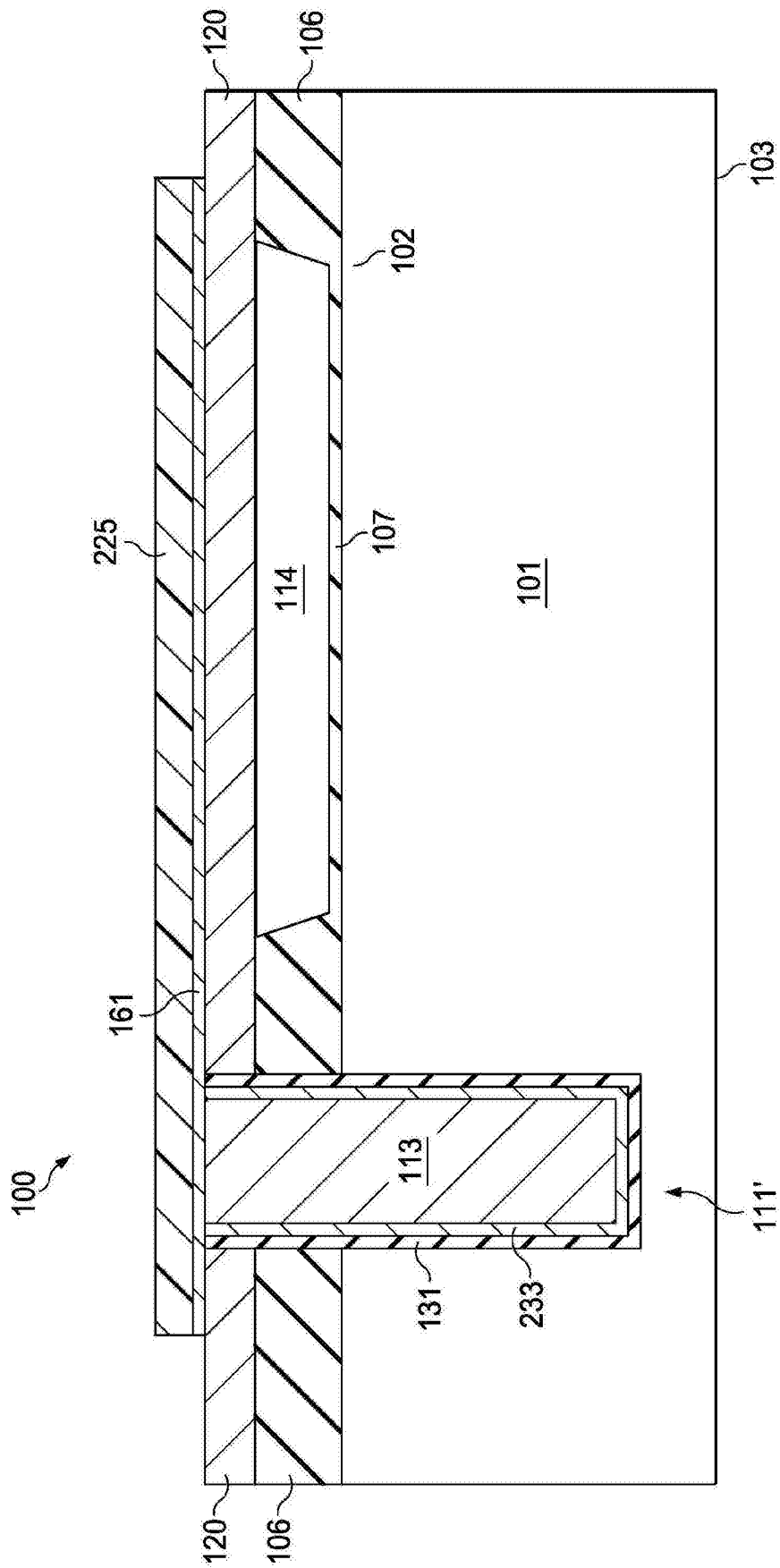


图 2F

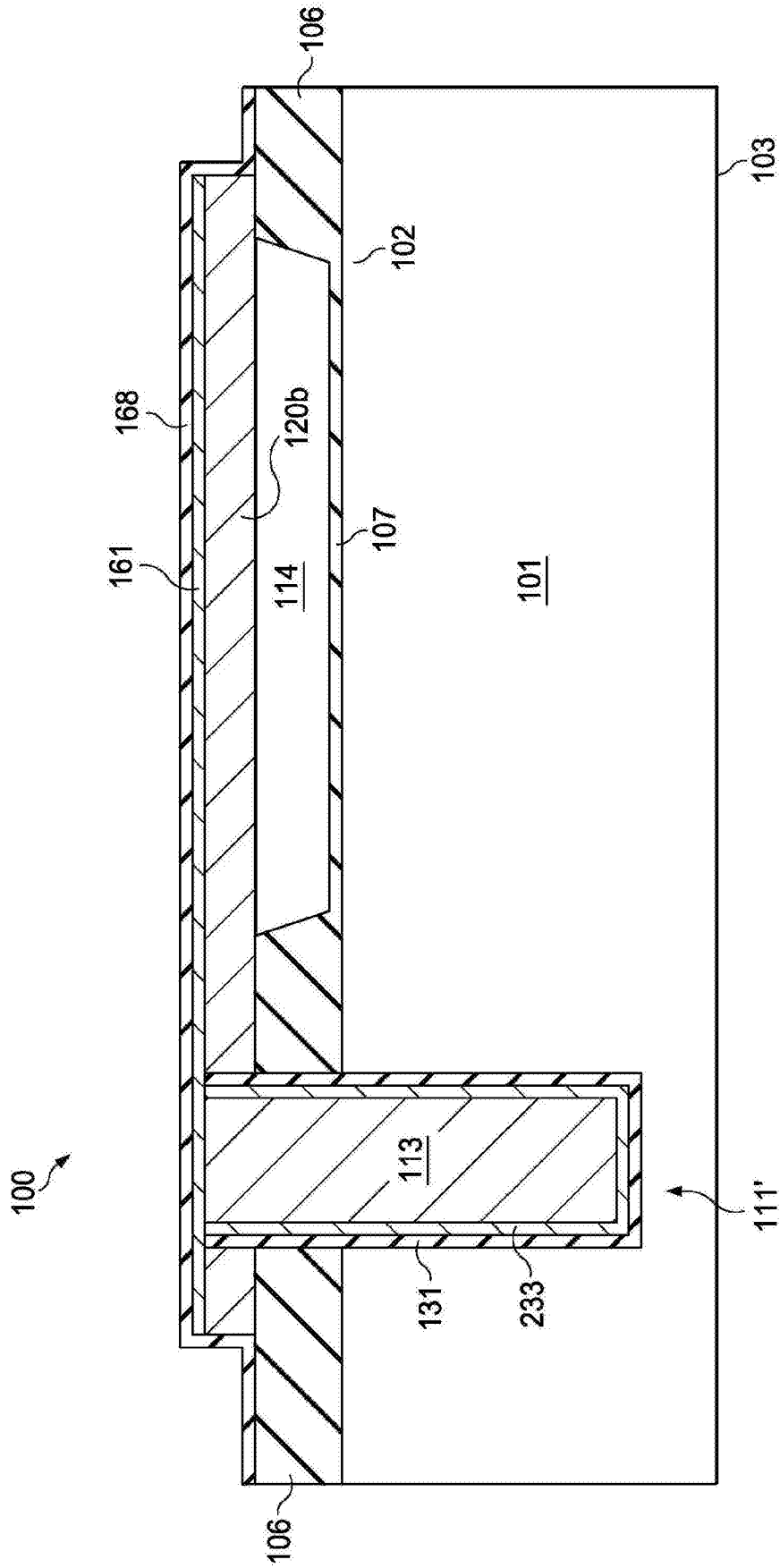


图 2G

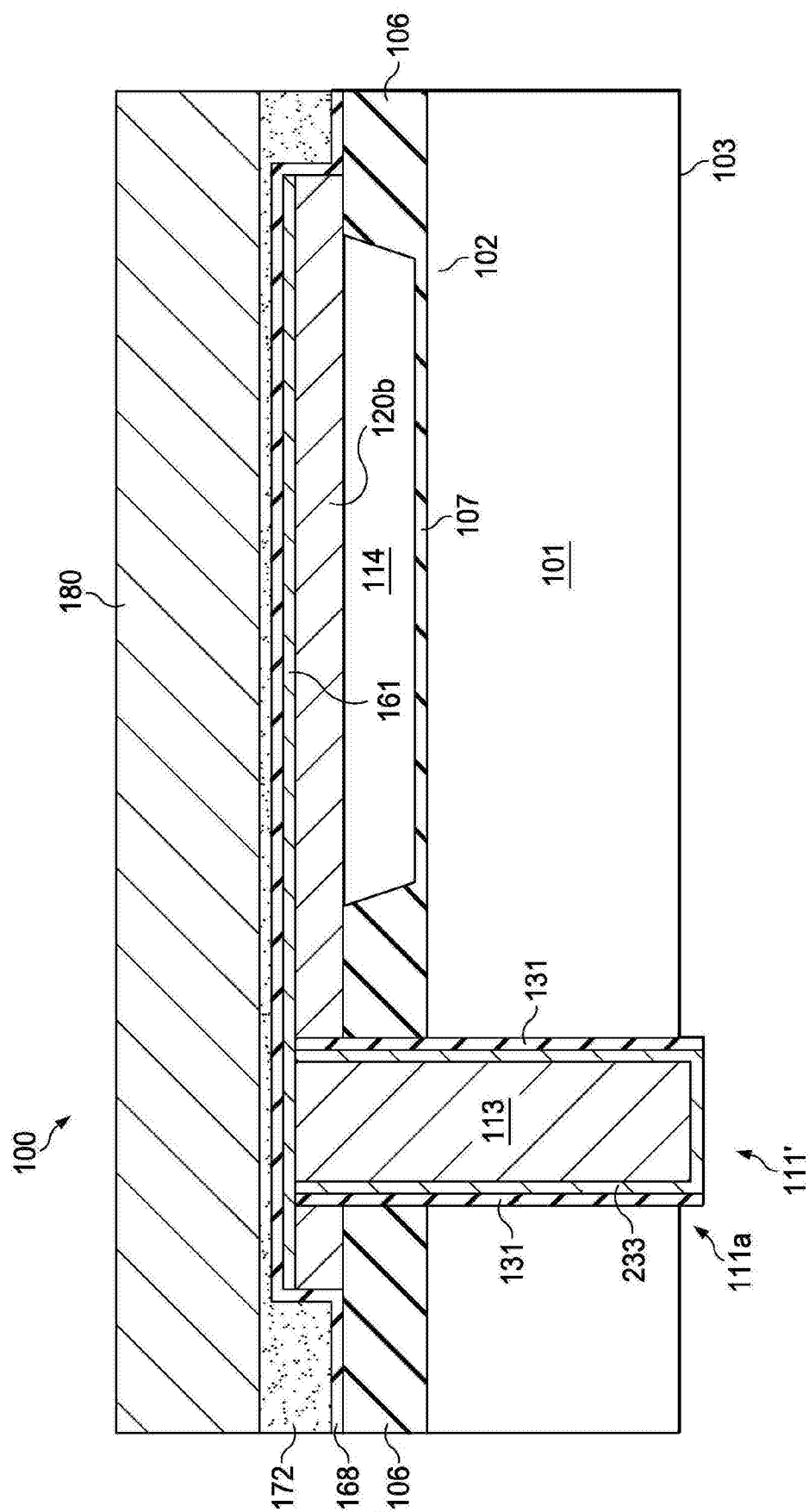


图 2H

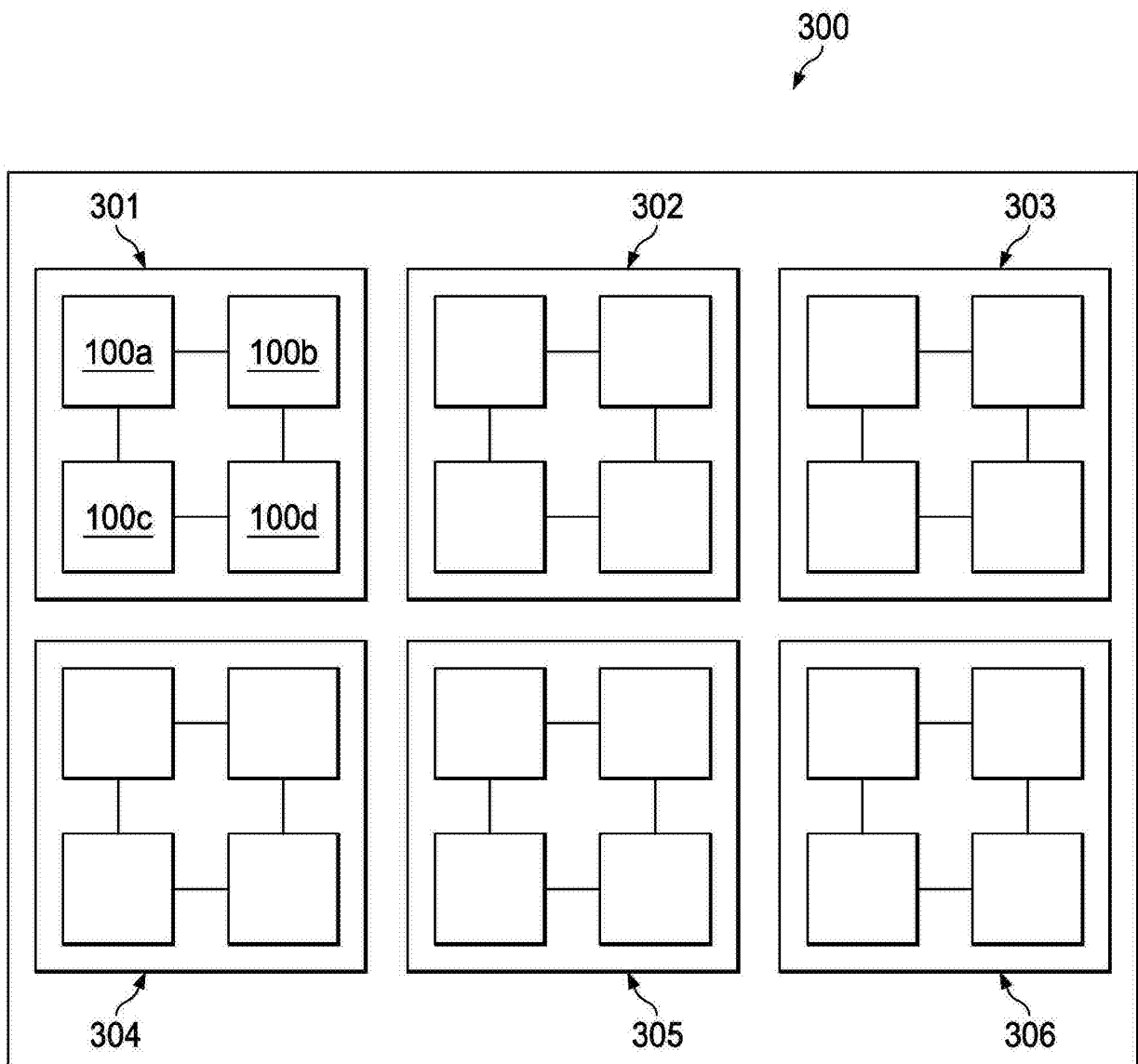


图 3

专利名称(译)	具有穿透基板通孔(TSV)的电容式微加工超声换能器(CMUT)器件		
公开(公告)号	CN105025802A	公开(公告)日	2015-11-04
申请号	CN201480010856.5	申请日	2014-02-27
[标]申请(专利权)人(译)	德州仪器公司		
申请(专利权)人(译)	德克萨斯仪器股份有限公司		
当前申请(专利权)人(译)	德克萨斯仪器股份有限公司		
[标]发明人	PB·约翰逊 IO·伍感特		
发明人	P·B·约翰逊 I·O·伍感特		
IPC分类号	A61B8/00 H01L29/84 H01L21/02		
CPC分类号	B06B1/0292 A61B8/4483 B06B2201/76 H02N1/002 H02N1/006 H02N1/008		
代理人(译)	徐东升		
优先权	13/779376 2013-02-27 US		
其他公开文献	CN105025802B		
外部链接	Espacenet SIPO		

摘要(译)

一种电容式微加工超声换能器(CMUT)器件100，该器件包括至少一个CMUT单元101a，其包括具有顶部的第一衬底101，该顶部上包括图案化介电层，该图案化介电层包括厚介电区106和薄介电区107。隔膜层120b接合在该厚介电区上并且在薄介电区上方以在微机电系统(MEMS)腔114上方提供可移动隔膜。穿透衬底通孔(TSV)111包括介电衬垫，其从第一衬底的底部延伸到所述隔膜层的顶部表面。顶部金属层161包括TSV上方、可移动隔膜上方的第一部分，并且将TSV耦合到可移动隔膜。图案化的金属层167在第一衬底的底部表面上，包括与对TSV侧向的第一衬底的底部接触的第一图案化的层部分。

