



(12)发明专利申请

(10)申请公布号 CN 109602446 A

(43)申请公布日 2019.04.12

(21)申请号 201811490680.4

(22)申请日 2018.12.07

(71)申请人 珠海医凯电子科技有限公司
地址 519000 广东省珠海市金湾区三灶镇
机场东路288号D栋厂房四楼

(72)发明人 朱逸斐 丁波 张国峰

(74)专利代理机构 上海交达专利事务所 31201
代理人 王毓理 王锡麟

(51)Int.Cl.
A61B 8/00(2006.01)

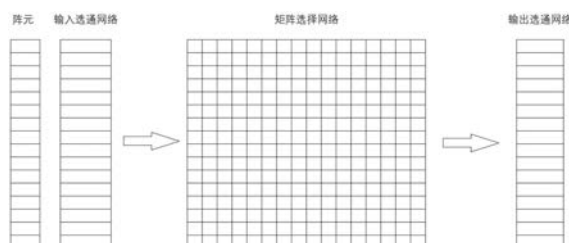
权利要求书1页 说明书2页 附图1页

(54)发明名称

数字超声倍频整序方法

(57)摘要

一种数字超声倍频整序方法,将用于整序处理的FPGA的工作频率设置为多倍于采样频率,在每个采样周期中通过选通网络依次选择采样信号的不同比特位,由矩阵选择网络进行分批整序处理并最终合并成整序后数字信号,本发明能够大幅度缩减现有硬件电路结构并实现相同数据量的处理,为超声处理技术的小型化的实现提供支持。



1. 一种数字超声倍频整序方法,其特征在于,将用于整序处理的FPGA的工作频率设置为多倍于采样频率,在每个采样周期中通过选通网络依次选择采样信号的不同比特位,由矩阵选择网络进行分批整序处理并最终合并成整序后数字信号,从而使得在一个完整采样周期整序相同数量的同时缩小矩阵选择网络的规模。

2. 根据权利要求1所述的方法,其特征是,所述的FPGA的工作频率为采样频率的三倍以上。

3. 根据权利要求1或2所述的方法,其特征是,所述的FPGA的工作频率为采样频率的三倍。

4. 根据权利要求1所述的方法,其特征是,所述的矩阵选择网络在不同的工作周期下的选通顺序表能够复用,该选通顺序表预存于存储器中。

5. 根据权利要求1所述的方法,其特征是,所述的选择采样信号的不同比特位是指:选通网络每次选择的比特位数为采样数据的比特位除以工作频率的倍频数,例如当回波信号为12bit且FPGA工作于采样频率的三倍频时,每次选择4bit数据进行整序。

6. 根据权利要求5所述的方法,其特征是,所述的选择采样信号的不同比特位是指:当回波信号为12bit且FPGA工作于采样频率的三倍频时,每次选择4bit数据进行整序。

7. 根据上述任一权利要求所述的方法,其特征是,所述的矩阵选择网络的规模为 $\frac{A}{k} \cdot m^2$,其中:A为采样信号的比特数,k为FPGA工作的倍频数, $k \geq 3$,m为阵元通道个数,即将现有的矩阵选择网络从 $A \cdot m^2$ 的规模缩小k倍。

8. 一种实现上述任一权利要求所述方法的装置,其特征在于,包括:输入选通网络、矩阵选择网络和输出选通网络,其中:输入选通网络的输入端与阵元相连并接收回波数字信号,输入选通网络的输出端输出分段数字信号至矩阵选择网络,矩阵选择网络将整序后数字信号输出至输出选通网络,输出选通网络将整序后数字信号合并为完整回波整序信号并输出进行波束成形。

9. 根据权利要求8所述的装置,其特征是,所述的输入选通网络和输出选通网络的结构相同且有若干个选通单元组成,选通单元的个数与阵元通道数相匹配,其中:输入选通网络的选通单元在每个工作周期内截取回波数字信号的(1/倍频数)作为分段数字信号,输出选通网络的选通单元在每个工作周期内依次将矩阵选择网络输出的整序后数字信号合并为完整回波整序信号。

10. 根据权利要求8所述的装置,其特征是,所述的选通单元和矩阵选择网络为D触发器实现。

数字超声倍频整序方法

技术领域

[0001] 本发明涉及的是一种医疗设备控制领域的技术,具体是一种数字超声倍频整序方法。

背景技术

[0002] 现有的超声成像技术通过阵元在发射信号对应的接收延时下采集回波信号并通过波束成形得到一根扫描线的信息。当下一个延时到来时则收到的回波信号将以不同顺序进入阵元,因此需要将收到的信号按空间顺序整序后再进行波束成形以便得到下一根扫描线的信息,如图1所示。当阵列较大且回波信号较多时,整序工作一般通过矩阵选择网络辅以预设的选通顺序表得以实现。但该部分电路硬件结构复杂且限制了更高清晰度成像技术的发展。

发明内容

[0003] 本发明针对现有技术存在的上述不足,提出一种数字超声倍频整序方法,利用分布处理的方式,在相同的时间下能够大幅度减少硬件结构而达到相同的数据处理量。

[0004] 本发明是通过以下技术方案实现的:

[0005] 本发明涉及一种数字超声倍频整序方法,将用于整序处理的FPGA的工作频率设置为多倍于采样频率,在每个采样周期中通过选通网络依次选择采样信号的不同比特位(bit),由矩阵选择网络进行分批整序处理并最终合并成整序后数字信号,从而使得在一个完整采样周期整序相同数量的同时缩小矩阵选择网络的规模。

[0006] 所述的FPGA的工作频率为采样频率的三倍以上,优选为三倍。

[0007] 所述的选择采样信号的不同比特位是指:选通网络每次选择的比特位数为采样数据的比特位除以工作频率的倍频数,例如当回波信号为12bit且FPGA工作于采样频率的三倍频时,每次选择4bit数据进行整序。

[0008] 所述的矩阵选择网络的规模为 $\frac{A}{k} \cdot m^2$,其中:A为采样信号的比特数,k为FPGA工作的倍频数, $k \geq 3$,m为阵元通道个数,即将现有的矩阵选择网络从 $A \cdot m^2$ 的规模缩小k倍。

[0009] 所述的矩阵选择网络在不同的工作周期下的选通顺序表能够复用,该选通顺序表预存于存储器中。

技术效果

[0010] 与现有技术相比,本发明利用了FPGA的高速处理能力,将现有低频大规模硬件整序处理方式转化为高频小规模整序处理,显著缩小硬件规模的同时保持一个采样周期下的数据处理量不变。

附图说明

[0011] 图1为8通道单个bit的整序方式原理示意图;

[0012] 图2为实施例中12bit64通道整序处理示意图。

具体实施方式

[0013] 如图2所示,为本实施例涉及的一种实现数字超声倍频整序方法的装置,包括:输入选通网络、矩阵选择网络和输出选通网络,其中:输入选通网络的输入端与阵元相连并接收回波数字信号,输入选通网络的输出端输出分段数字信号至矩阵选择网络,矩阵选择网络将整序后数字信号输出至输出选通网络,输出选通网络将整序后数字信号合并为完整回波整序信号并输出进行波束成形。

[0014] 所述的输入选通网络和输出选通网络的结构相同且有若干个选通单元组成,选通单元的个数与阵元通道数相匹配,其中:输入选通网络的选通单元在每个工作周期内截取回波数字信号的(1/倍频数)作为分段数字信号,输出选通网络的选通单元在每个工作周期内依次将矩阵选择网络输出的整序后数字信号合并为完整回波整序信号。

[0015] 所述的选通单元优选为D触发器实现。

[0016] 所述的矩阵选择网络优选为D触发器实现。

[0017] 本实施例以40MHz采样频率,12bit64通道的回波信号为例。

[0018] 当采用120MHz的FPGA进行处理时,将64个选通单元组成的输入选通网络以及相应的输出选通网络,配合 $4 \times 64 \times 64$ 规模的矩阵选择网络在一个采样周期下进行三次分批处理:

[0019] ①第一个工作周期:输入选通网络分别截取0-3bit并输出至矩阵选择网络进行整序和输出;

[0020] ②第二个工作周期:输入选通网络分别截取4-7bit并输出至矩阵选择网络进行整序和输出;

[0021] ③第三个工作周期:输入选通网络分别截取8-11bit并输出至矩阵选择网络进行整序和输出。

[0022] 由于三个工作周期对应一个采样周期,因此在40MHz的采样频率下通过上述装置可以实现相同的工作处理量的同时显著减小了硬件尺寸:根据现有的矩阵选择网络,需要 $12 \times 64 \times 64$ 大小的矩阵选择网络进行处理。而上述装置的尺寸则缩减至 $4 \times 64 \times 64$ 大小的矩阵选择网络以及两个64通道的选通网络即可。类似地,当采用160MHz的FPGA进行处理时,配合更小规模的 $3 \times 64 \times 64$ 矩阵选择网络,也可以在一个采样周期下完成相同的工作。

[0023] 综上所述,本发明能够大幅度缩减现有硬件电路结构并实现相同数据量的处理,为超声处理技术的小型化的实现提供支持。

[0024] 上述具体实施可由本领域技术人员在不背离本发明原理和宗旨的前提下以不同的方式对其进行局部调整,本发明的保护范围以权利要求书为准且不由上述具体实施所限,在其范围内的各个实现方案均受本发明之约束。

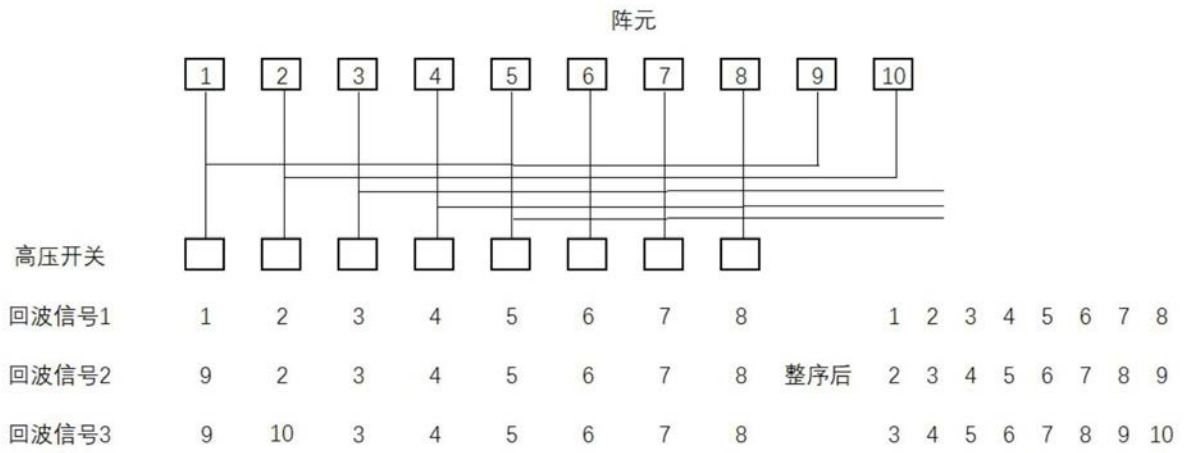


图1

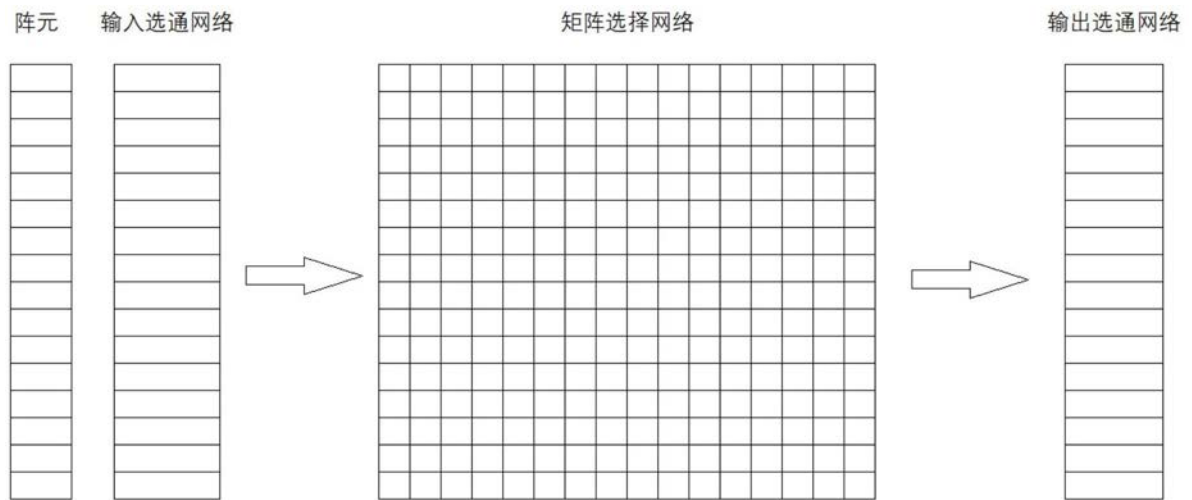


图2

专利名称(译)	数字超声倍频整序方法		
公开(公告)号	CN109602446A	公开(公告)日	2019-04-12
申请号	CN201811490680.4	申请日	2018-12-07
[标]申请(专利权)人(译)	珠海医凯电子科技有限公司		
申请(专利权)人(译)	珠海医凯电子科技有限公司		
当前申请(专利权)人(译)	珠海医凯电子科技有限公司		
[标]发明人	朱逸斐 丁波 张国峰		
发明人	朱逸斐 丁波 张国峰		
IPC分类号	A61B8/00		
CPC分类号	A61B8/44		
代理人(译)	王锡麟		
外部链接	Espacenet SIPO		

摘要(译)

一种数字超声倍频整序方法，将用于整序处理的FPGA的工作频率设置为多倍于采样频率，在每个采样周期中通过选通网络依次选择采样信号的不同比特位，由矩阵选择网络进行分批整序处理并最终合并成整序后数字信号，本发明能够大幅度缩减现有硬件电路结构并实现相同数据量的处理，为超声处理技术的小型化的实现提供支持。

