



(12) 发明专利申请

(10) 申请公布号 CN 102612344 A

(43) 申请公布日 2012.07.25

(21) 申请号 201080041048.7

(51) Int. Cl.

(22) 申请日 2010.07.15

A61B 8/00(2006.01)

G01N 29/26(2006.01)

(30) 优先权数据

12/503,399 2009.07.15 US

(85) PCT申请进入国家阶段日

2012.03.15

(86) PCT申请的申请数据

PCT/US2010/042064 2010.07.15

(87) PCT申请的公布数据

W02011/008913 EN 2011.01.20

(71) 申请人 美国国家半导体公司

地址 美国加利福尼亚州

(72) 发明人 W·马 Z·张 S·王 M·尤瑟菲

A·R·巴哈

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

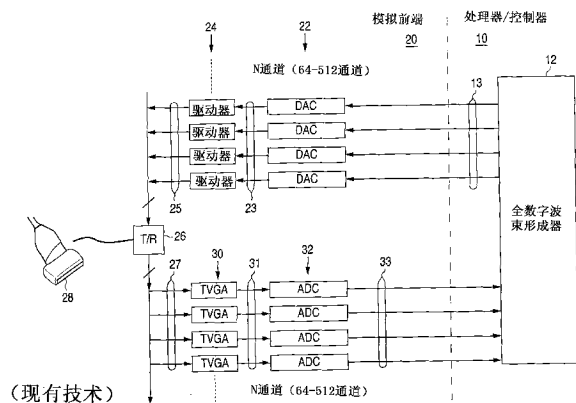
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

超声系统的子波束形成接收器电路

(57) 摘要

用于超声系统的子波束形成接收器的多通道接收电路,其中数字滤波、下采样和连续数据存储电路将可编程精细和粗糙时间延迟施加到接收的数字数据信号。



(现有技术)

1. 一种包括用于超声系统的子波束形成接收器的多通道接收器电路的设备,其包括:
输入信号延迟电路,其通过提供相应多个延迟数字数据信号响应一个或多个时钟信号和多个输入数字数据信号中的每一个;

信号选择电路,其耦合到所述输入信号延迟电路并且通过从所述相应多个延迟数字数据信号中的每一个选择以提供多个选择的延迟数字数据信号从而响应第一多个控制数据;

输出信号延迟电路,其耦合到所述信号选择电路并且通过延迟所述多个选择的延迟数字数据信号的每一个以提供多个进一步延迟数字数据信号从而响应第二多个控制数据;以及

信号合并电路,其耦合到所述输出信号延迟电路并且通过合并所述多个进一步延迟数字数据信号以提供对应输出数据信号从而响应所述多个进一步延迟数字数据信号。

2. 根据权利要求 1 所述的设备,其中所述输入信号延迟电路包括:

滤波器电路,其通过提供相应多个滤波数字数据信号而响应多个输入数字数据信号中的每一个;

采样电路,其耦合到所述滤波器电路并且通过提供相应多个采样数字数据信号而响应每一个所述相应多个滤波数字数据信号;以及

数据存储电路,其耦合到所述采样电路并且通过提供所述相应多个延迟数字数据信号而响应每个所述相应多个采样数字数据信号。

3. 根据权利要求 1 所述的设备,其中所述信号选择电路包括信号路由电路。

4. 根据权利要求 1 所述的设备,其中所述输出信号延迟电路包括数据存储电路。

5. 根据权利要求 1 所述的设备,其中所述信号合并电路包括信号求和电路。

6. 根据权利要求 1 所述的设备,其中:

所述输入信号延迟电路根据第一延迟提供所述相应多个延迟数字数据信号;

所述输出信号延迟电路根据第二延迟提供所述多个进一步延迟数字数据信号;以及

所述第一延迟小于所述第二延迟。

7. 根据权利要求 1 所述的设备,其中所述输入信号延迟电路包括:

第一滤波器电路,其通过提供相应多个第一滤波数字数据信号而响应所述一个或多个时钟信号中的第一个和所述多个输入数字数据信号中的每一个;

第一延迟电路,其耦合到所述第一滤波器电路并且通过提供相应多个第一延迟数字数据信号而响应每一个所述相应多个第一滤波数字数据信号;

第一采样电路,其耦合到所述第一延迟电路并且通过提供相应多个第一采样数字数据信号而响应每一个所述相应多个第一延迟数字数据信号;

第二滤波器电路,其耦合到所述第一采样电路并且通过提供相应多个第二滤波数字数据信号而响应所述一个或多个时钟信号中的第二个和每一个所述相应多个第一采样数字数据信号;

第二延迟电路,其耦合到所述第二滤波器电路并且通过提供相应多个第二延迟数字数据信号而响应每一个所述相应多个第二滤波数字数据信号;

第二采样电路,其耦合到所述第二延迟电路并且通过提供相应多个第二采样数字数据信号而响应每一个所述相应多个第二延迟数字数据信号。

8. 根据权利要求 7 所述的设备,其中:

所述一个或更多个时钟信号中的所述第一个具有第一频率;

所述一个或更多个时钟信号中的所述第二个具有第二频率;

所述第二频率是所述第一频率的一半。

9. 根据权利要求 7 所述的设备,其中所述输入信号延迟电路进一步包括:

第三滤波器电路,其耦合到所述第一采样电路并且通过提供相应多个第三滤波数字数据信号而响应所述一个或更多个时钟信号中的第三个和每一个所述相应多个第二采样数字数据信号;

第三延迟电路,其耦合到所述第三滤波器电路并且通过提供相应多个第三延迟数字数据信号而响应每一个所述相应多个第三滤波数字数据信号;

第三采样电路,其耦合到所述第三延迟电路并且通过提供相应多个第三采样数字数据信号而响应每一个所述相应多个第三延迟数字数据信号。

10. 根据权利要求 9 所述的设备,其中:

所述一个或更多个时钟信号中的所述第一个具有第一频率;

所述一个或更多个时钟信号中的所述第二个具有第二频率;

所述一个或更多个时钟信号中的所述第三个具有第三频率;

所述第二频率是所述第一频率的一半;以及

所述第三频率是所述第一频率的四分之一。

11. 一种包括用于超声系统的子波束形成接收器的多通道接收器电路的设备,其包括:

输入信号延迟装置,用于接收一个或更多个时钟信号和多个输入数字数据信号中的每一个并且响应这些信号而提供相应多个延迟数字数据信号;

信号选择装置,用于接收第一多个控制数据并且响应其而从每一个所述相应多个延迟数字数据信号中选择以提供多个选择的延迟数字数据信号;

输出信号延迟装置,用于接收第二多个控制数据并且响应其而延迟所述多个选择的延迟数字数据信号的每一个以提供多个进一步延迟数字数据信号;以及

信号合并装置,用于合并所述多个进一步延迟数字数据信号以提供对应输出数据信号。

超声系统的子波束形成接收器电路

技术领域

[0001] 本发明涉及超声系统的接收电路,具体地涉及为超声系统提供形成接收信号子波束的电路。

背景技术

[0002] 参考图 1,传统超声系统包括处理器/控制器 10 和模拟前端 (AFE) 20 以及用户接口 (未示出),诸如视频显示器和计算机键盘和鼠标。处理器/控制器 10 中包括的数字波束形成器 12 提供限定发射波束轮廓/波形 (profile) 的多个数字发射数据信号 13,并且反过来接收表示所接收的能量分布/能线图 (energy profile) 的多个数字接收数据信号 33。可以在波束形成器电路 12 内形成任何期望的波束。

[0003] AFE20 的传输路径包括数字模拟转换 (DAC) 电路 22 和多个换能器放大器驱动电路 24 的多个通道/信道。发射数据信号 13 被转换为相应模拟信号用于驱动驱动电路 24。根据已知原理,每个产生的驱动输出信号 25 驱动换能器阵列 28 内的相应换能器,并且经由发射/接收开关 26 被传输。

[0004] 根据其他已知原理,由换能器阵列 28 接收的反射的超声能量被转换为相应模拟电信号,其经由发射/接收开关 26 被传输到相应/各自时变增益放大器/时间变量增益放大器 (TVGA) 电路 30。产生的放大信号 31 通过模拟数字转换 (ADC) 电路 32 的多个通道被转换以产生接收数据信号 33。

[0005] 此类超声成像系统以该方式操作以提供形成期望图像分辨率和质量需要的波束。注意,波束形成功能通常在数字域中执行以实现期望的灵活性和可编程性。然而,此数字域电路消耗功率随着处理速度和复杂性的增加而被增大。此功率消耗,具体地功率消耗中的任何增加是特别麻烦的,因为更多系统被设计为是便携的并且在电池电源下运行/操作。此外,随着更复杂换能器阵列被研发,处理器/控制器 10 和 AFE20 之间的接口中的信号 13, 33 的数目被增大。因此,期望实施改进的子波束形成以便减少功率消耗和处理器/控制器 10 和 AFE20 之间的信号连接的数目。

发明内容

[0006] 提供超声系统的子波束形成接收器的多通道接收器电路,其中数字滤波器、缩减采样和连续数据存储电路将可编程的精细和粗糙时间延迟施加到接收的数字数据信号。

[0007] 根据本发明的一个实施例,超声系统的子波束形成接收器的多通道接收器电路包括:

[0008] 输入信号延迟电路,其通过提供相应多个延迟数字数据信号响应一个或多个时钟信号和多个输入数字数据信号中的每一个;

[0009] 信号选择电路,其耦合到输入信号延迟电路并且通过选择相应多个延迟数字数据信号中的每一个以提供多个选择的延迟数字数据信号从而响应第一多个控制数据;

[0010] 输出信号延迟电路,其耦合到信号选择电路并且通过延迟多个选择的延迟数字数

据信号的每一个以提供多个进一步延迟数字数据信号从而响应第二多个控制数据；以及

[0011] 信号合并电路，其耦合到输出信号延迟电路并且通过合并多个进一步延迟数字数据信号以提供对应输出数据信号从而响应多个进一步延迟数字数据信号。

[0012] 根据本发明的另一个实施例，超声系统的子波束形成接收器的多通道接收器电路包括：

[0013] 输入信号延迟装置，其接收一个或多个时钟信号和多个输入数字数据信号中的每一个并且响应其提供相应多个延迟数字数据信号；

[0014] 信号选择装置，其接收第一多个控制数据并且响应其选择相应多个延迟数字数据信号中的每一个以提供多个选择的延迟数字数据信号；

[0015] 输出信号延迟装置，其接收第二多个控制数据并且响应其延迟多个选择的延迟数字数据信号的每一个以提供多个进一步延迟数字数据信号；以及

[0016] 信号合并装置，其合并多个进一步延迟数字数据信号以提供对应输出数据信号。

附图说明

[0017] 图 1 是传统波束形成超声系统的发射 / 传输 (transmit) 和接收通道的功能框图。

[0018] 图 2 是根据本发明一个或多个实施例的执行子波束形成的超声系统的发射和接收通道的功能框图。

[0019] 图 3 是根据本发明一个或多个实施例的具有子波束形成接收器的超声系统的 8 通道的功能框图。

[0020] 图 4 是根据本发明一个或多个实施例的超声系统的子波束形成接收器电路的功能框图。

[0021] 图 5 是根据本发明一个或多个实施例的实施为 sigma-delta ADC 电路的部分的多相子波束形成接收器电路的功能框图。

[0022] 图 6 和图 7 是根据本发明一个或多个实施例的实施为 sigma-delta ADC 电路的部分的多级、多相子波束形成接收器电路的功能框图。

具体实施方式

[0023] 下面参考附图详细描述本发明的示例实施例。此描述是说明性的并且不限制本发明的范围。充分详细地描述这些实施例以使本领域技术人员能够实践本发明，并且将理解在不偏离本发明的思想和范围的情况下可以实践具有一些变化的其他实施例。

[0024] 贯穿本发明，在没有与本文相反清楚指示时，应该理解所述的单个电路元件在数目上可以是单个或多个。例如，术语“电路”和“线路”可以包括单个构件或多个构件，其是有源的和 / 或无源的并且被连接或以其他方式耦合在一起（例如作为一个或多个集成电路芯片）以提供所述功能。此外，术语“单个”可以指一个或多个电流、一个或多个电压或一个数据信号。在附图中，相似或相关元件将具有相似或相关阿尔法 (alpha)、数字或字母指示符。此外，尽管使用离散电子电路（优选以一个或多个集成电路芯片的形式）在实施情况下对本发明进行描述，但是根据要被处理的信号频率或数据率，此电路的任何部件的功能可以可替换地使用一个或多个合适编程处理器被实施。此外，在一定程度上，附图图示说明不同实施例的功能框图，功能块不需要指示硬件电路之间的间隔 (division)。因此，

例如,一个或多个功能块(如处理器、存储器等)可以以单件硬件被实施(如通用信号处理器、随机存取存储器、硬盘驱动器等)。相似地,所述的任何程序/编程可以是独立程序,可以被合并为操作系统中的子程序,可以是在安装软件包中的函数/功能等。

[0025] 参考图 2,根据本发明的一个或多个实施例的使用子波束形成的超声系统简化处理器/控制器 100 的总体(global)数字波束形成器电路和 AFE200 之间的信号接口。总体数字波束形成器 102 将总数为 N 的通道划分为多个较小组的 n 通道或子波束,其提供发射数据信号 103 的多个子波束和接收信号 215 的多个子波束。在发射路径/传输路径中,这些 n 个数据信号 103 被用于通过乘与 N/n 个子波束形成器电路 202a 提供 N 个子波束信号 203。(例如,如果换能器阵列 210 通过 $N = 256$ 个信号被驱动,并且每个子波束形成器电路 202 提供 $n = 8$ 个子波束信号,则总体数字波束形成器 102 仅提供 $N/n = 32$ 个发射数据信号 103)。子波束信号 203 用作驱动电路 206 的模拟驱动信号,其为换能器阵列提供驱动信号 207。

[0026] 来自换能器阵列 207 的接收信号 209 通过时变增益放大器 210 被放大,并且产生的放大信号 211 被 ADC 电路 212 转换以产生相应数字信号 213。这些数字信号 213 由子波束形成接收器电路 214(其主题被公开并且其一个或多个实施例在待审专利申请中被主张)处理以提供所述 n 个接收数据信号 215。

[0027] 根据本发明的一个或多个实施例的此子波束形成减少整个系统的复杂性和功率消耗。例如,传统波束形成在数字域中被执行,如使用现场可编程门阵列(FPGA),作为总体数字波束形成器 102 的一部分,其中大量的插值计算消耗相当大的功率,根据本发明的一个或多个实施例的子波束形成在模拟和混合信号域中被执行以获得高准确度同时消耗较小功率。

[0028] 参考图 3,根据本发明一个或多个实施例,子波束形成在接收信号路径中被执行(作为示例,该讨论参考图 2 中的对第一子组接收信号 210a 操作的第一子组元件 210a, 212a, 214a)。如上所述,接收信号 209a 被时变增益放大器 210a 放大并且放大信号 211a 经由过采样 ADC 电路 212a 转换以为子波束形成器电路 214aa 产生信号 213a。在每个超声 AFE 中有一个 TVGA。如众所周知的,每个 TVGA 的增益基于其接收的回波信号的衰减速率被控制,如根据从主控制器(未示出)接收的控制信号 205b。一个或多个额外或可替换控制信号 307 可以被用于提供振幅调制,如通过放大器增益加权。如果需要,这可以提供更复杂的波束形成,并且此额外控制信号 307 可以根据例如由主控制器(未示出)提供的一个或多个控制信号 305a 经由子波束形成器电路 214aa 提供。

[0029] 根据本发明优选实施例,ADC 电路 212a 以 sigma-delta ADC 电路的形式被执行,其又称为 delta-sigma 调制器(DSM)电路,其许多类型在现有技术是熟知的。根据已知技术,每个 ADC 电路将其模拟输入信号转换为数字信号,其使用过采样技术转换为需要的高速单比特流或多比特流。

[0030] 子波束形成器电路 214aa 通过将多个信号 213a(如 8 个)合并为具有精细延迟分辨率/延迟分辨力(fine delay resolution)的单子波束信号 215a 提供相位控制,其具有同 ADC 电路 212a 的过采样频率一样精确。根据采样时钟信号 301a,需要的时钟信号通过时钟电路 302 提供,如锁相回路(PLL)。

[0031] 因此,如上所述,根据本发明一个或多个实施例的子波束形成可以在混合信号域

中被执行以获得高准确度同时消耗较少功率。根据从主控制器（未示出）接收的控制信号 305b, 或根据主控制器提供的一个或多个控制信号 305a 经由子波束形成器电路 214aa 提供的一个或多个额外或可替换控制信号 307, 可以在模拟域中通过控制多个 TVG210a 的增益提供振幅控制。通过将多个信号 213a 与相应控制信号相位合并为单子波束信号 215a 在子波束形成器电路 214aa 内的数字域中提供相位控制（在下面将更详细地讨论）。

[0032] 参考图 4, 抽取滤波器/采样滤波器 310 接收并滤波 DSM 电路 212a 产生的数字信号 213a。DSM 电路 212a 通过具有过采样频率 f_c 的时钟信号被计时, 该过采样频率 f_c 是采样频率 f_s 的 N 倍 ($f_c = N * f_s$)。每个抽取滤波器 310 使用过采样频率时钟信号 303c 和多个其分开版本 (divided version) 303d 被计时, 多个其分开版本与过采样频率时钟信号 303c 同步, 其中 $f_d = (1, 2, \dots, m) * f_s$, m 是整数并且 $m < f_c / f_s$ 。因此, 抽取滤波器 310 将 DSM 电路 212a 的低分辨率、高频率信号 213a 转换为相应高分辨率、低频率的多比特信号 311。

[0033] 根据具有采样频率 f_s 的时钟信号 301a, 这些多比特信号 311 在信号加法电路 312 中被求和。（尽管此处未示出, 但是应该理解 TVFA210a 中完成的信号增益加权可以在此处完成, 如通过将其信号 311 乘与其相应加权因子早抽取滤波器 310 内完成, 其被接收作为波束轮廓/波形 (profile) 控制电路 308 的一个或多个控制信号 309 的一部分）。这产生多比特 ($k+3$ 比特) 积分信号/求和信号 313。根据输入信号 313 的采样频率时钟信号 301a 和输出信号 215a 的具有频率 $f_k = (k+3) * f_s$ 的较高频率时钟信号 303k, 该并行信号 313 通过并行-串行转换器 (P/S 转换器) 314 被转换为串行信号 215a。

[0034] 时钟信号 303c、303d、303k 由时钟电路 302 提供, 如 PLL, 其使用采样频率时钟信号 301a 作为其参考频率。

[0035] 如下面更详细讨论, 抽取滤波器 310 还接收来自波束轮廓控制电路 308 的一个或多个控制信号 309 控制信号延迟, 除了别的之外 (among other things)。这些一个或多个控制信号 309 是基于如由主控制器（未示出）提供的波束形成控制数据 305aa。该波束轮廓控制电路 308 还提供 TVGA 增益加权控制信号 307 (如上所讨论的)。

[0036] 根据该实施例, 该子波束形成技术通过改变信号的相应延迟和振幅将多个接收通道合并为单通道。时间延迟变化由可编程抽取滤波器 310 执行, 而信号振幅改变通过 TVGA210a (图 3) 内的偏移或抽取滤波器信号 311 的增益加权被执行。如上所述, 波束成型控制数据 305aa 通常由外部控制器提供, 诸如主机 (未示出) 或现场可编程门阵列 (FPGA, 未示出)。作为波束形成控制数据 305aa 的一部分, 总体波束形成偏移信息可以被包括以用作延迟控制信号 309 和增益控制数据 307 的部分或影响延迟控制信号 309 和增益控制数据 307。校准数据也可以被包括或局部存储在如波束轮廓控制电路 308 内, 用于延迟和增益控制。此外, 波束形成控制数据 305aa 可以选择要被处理的接收信号 209 (图 2)。例如, 通过选择对应阵列 210 内偶数或奇数个换能器的相应接收信号 209, 或合并选择的接收信号 209, 有效波束可以被形成, 类似于激活阵列 210 内的一些但不是全部换能器。

[0037] 如上所述, 抽取滤波器 310 下采样/向下采样 (down-sampling) 过采样的数据流到低采样速率, 如降低到尼奎斯特速率。因为抽取滤波器 310 具有不同采样周期/时间, 所以波束形成需要的时间延迟可以通过可编程时间延迟被执行以产生足够的延迟分辨率用于动态波束聚焦, 并且调整/对齐多个通道数据流。使用此配置的抽取滤波器 310, 可以执行操作的不同模式, 包括 B 模式成像和多普勒模式。例如, 为多普勒模式, 可以在 16 比特

将采样降低到 1/20 而从 800MS/s 降低到 40MS/s,或在 24 比特将采样降低到 1/20000 而从 800MS/s 降低到 40KS/s。

[0038] 使用抽取滤波器 310 下采样数字化接收信号 213a 到尼奎斯特速率为接收子波束形成产生足够延迟分辨率/延迟分辨力(delay resolution)。例如,如果过采样频率 f_c 是 800MHz,则 1.25 纳秒的延迟分辨率是可能的。然而,以此频率的波束形成需要大量存储器并且可能导致消耗的功率比期望功率消耗高。

[0039] 参考图 5,根据本发明一个或多个实施例,通过配置每个抽取滤波器为多相滤波器,如配置为具有 N 个输出的 N 相多相滤波器组,功率消耗可以被减少,同时保持高分辨率。例如,参考第一子波束通道,精细延迟部分 310af 包括 N 相多相滤波器 321aa, ..., 320an, 其每个由过采样时钟信号 303c 计时并且提供一系列时间延迟多比特信号 321aa, ..., 321an 中的一个。通过在时钟信号 303d 的每个周期期间产生等间隔 N 相输出 321aa, ..., 321an, 可以实现相同精细延迟(如对于 $f_c = 800\text{MHz}$ 是 1.25 纳秒)。信号 321aa, ..., 321an 通过时钟信号 303d 被进一步降低并且存储在相应寄存器或存储器电路 322aa, ..., 322an。根据被接收作为延迟控制数据 309 的一部分的精细延迟控制数据 309f(如使用地址寄存器和信号路由电路,包括开关电路,诸如传输晶体管或传输门,或多路复用器电路,其全部在本领域是熟知的,其中精细延迟控制数据 309f 提供寻址信息并且用作开关或多路复用器控制信号),这些存储的数据 323aa, ..., 323an 组中的一个在采样频率 f_s 被选择,并且被存储在另一个寄存器或存储器电路 310ac。根据被接收作为延迟控制数据 309 的一部分的粗糙延迟控制数据 309c(如使用本领域熟知的地址寄存器,其中粗糙延迟控制数据 309c 提供寻址信息),该存储数据 311a 被访问,并且在加法器电路 312 中被求和,如上所讨论的。在下游(downstream)粗糙延迟后,8 通道的数据是同相的并且该波束被形成为一个数据流。

[0040] 参考图 6,根据本发明一个或多个实施例,通过配置每个抽取滤波器为多相多级滤波器,其中精细延迟部分被分成多级,如对于该具体示例是三级,功率消耗可以被进一步减少同时保持高分辨率(例如,采样频率 f_c 是 400MHz 并且 $N = 8$ 。此外,精细延迟部分可以被执行为三级,因为 $2^3 = 8$)。

[0041] 例如,参考第一子波束通道,数字化接收信号 213aa 根据过采样时钟信号 303c 通过第一抽取滤波器 $h_1(z)$ 330 被下采样。下采样的数据 331 通过延迟元件 332a, 332b 被延迟。该两个延迟信号 33a, 33b(两相)通过第一减少频率时钟信号 303ca 为第二抽取滤波器 $h_2(z)$ 334a, 334b 被下采样。另一滤波数据 335a, 335b 形成死而抽取滤波器的两相输出并且通过第二延迟元件 336a, 336b, 336c, 336d 被延迟。第二延迟数据 337a, 337b, 337c, 337d(具有四相的信号)通过第二减少时钟信号 303cb 被下采样,第二减少时钟信号 303cb 驱动第三抽取滤波器 $h_3(z)$ 338a, 338b, 338c 和 338d。这些数据 339a, 339b, 339c, 339d 形成第三抽取滤波器 338a, 338b, 338c 和 338d 的输出并且通过第三延迟元件 340a, ..., 340h(八个信号相)被进一步延迟以提供对应于第一 N 相多相滤波器 320aa(图 5)的延迟数据 321a(321aa, ..., 321ah)的延迟数据 341(314a, ..., 341h)。延迟数据 341a, ..., 341h 在存储在寄存器或存储器电路 322aa(图 5)之前通过第三减少频率时钟信号 303cc 被下采样。八个多相信号 323aa, ..., 323ah 根据精细延迟需要被选择并且通过粗糙延迟单元 310ac 选择的整数取样间隔被进一步延迟,以便总延迟是小数和整数取样延迟的组合。

[0042] 参考图 7,可以看出精细延迟处理的此分级可以扩展到任何过采样率 N ,其中 N 频

率同步时钟信号只是 M 级（其中 $M \leq \log_2(N)$ ）需要的。此多相滤波器结构类似于树状，因为多个路径在下游级中并行运行，其中此些级以较低频率运行，从而消耗较少频率。

[0043] 在不偏离本发明范围和思想的情况下，本发明的结构和操作方法中的各种其他变体和替换对本领域技术人员是明显的。尽管结合具体优选实施例描述本发明，但是应该理解本发明不限于此些具体实施例。所附权利要求用于限定本发明范围并且这些权利要求范围内的结构和方法及其等价物被覆盖在内。

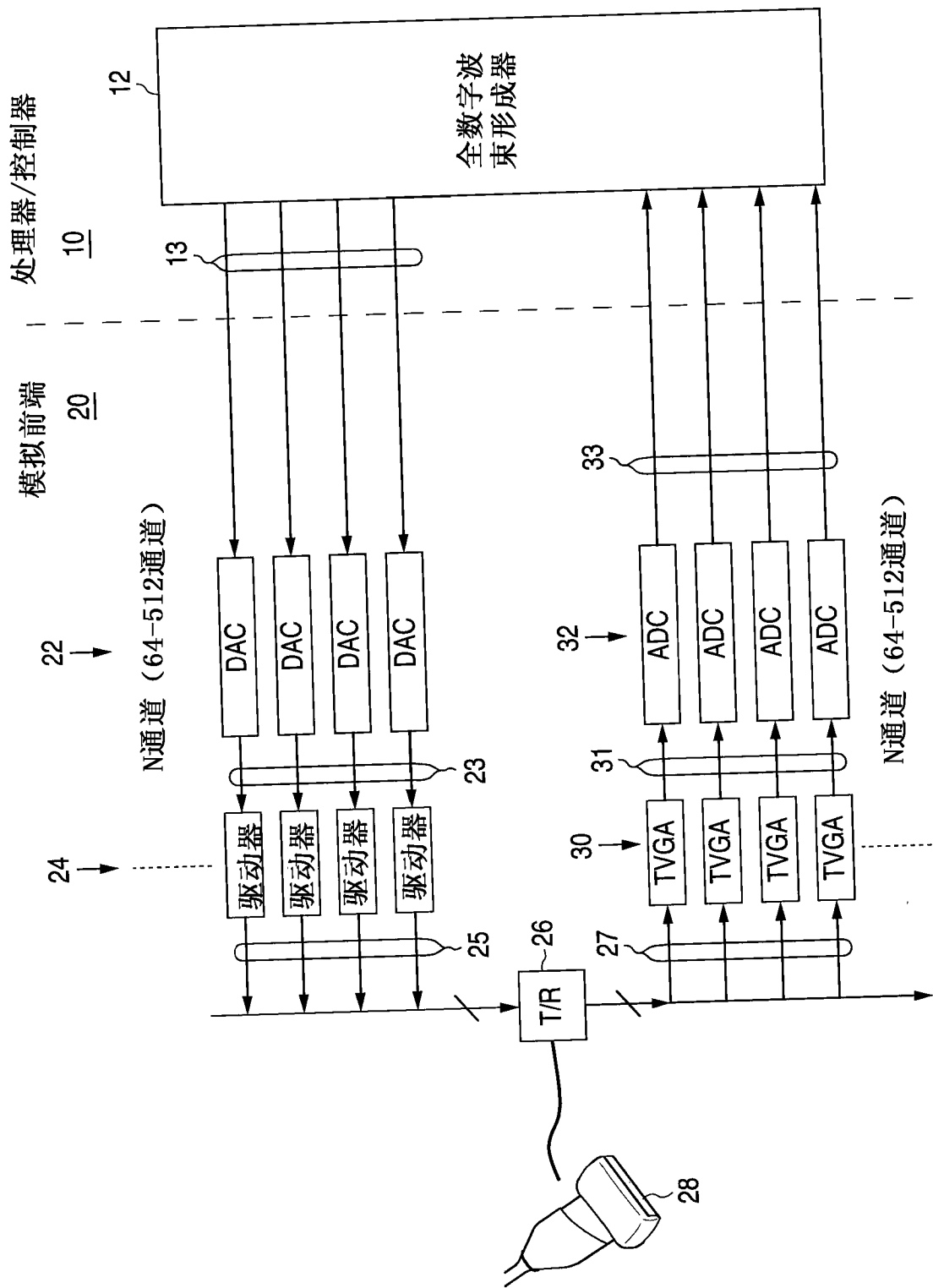


图 1(现有技术)

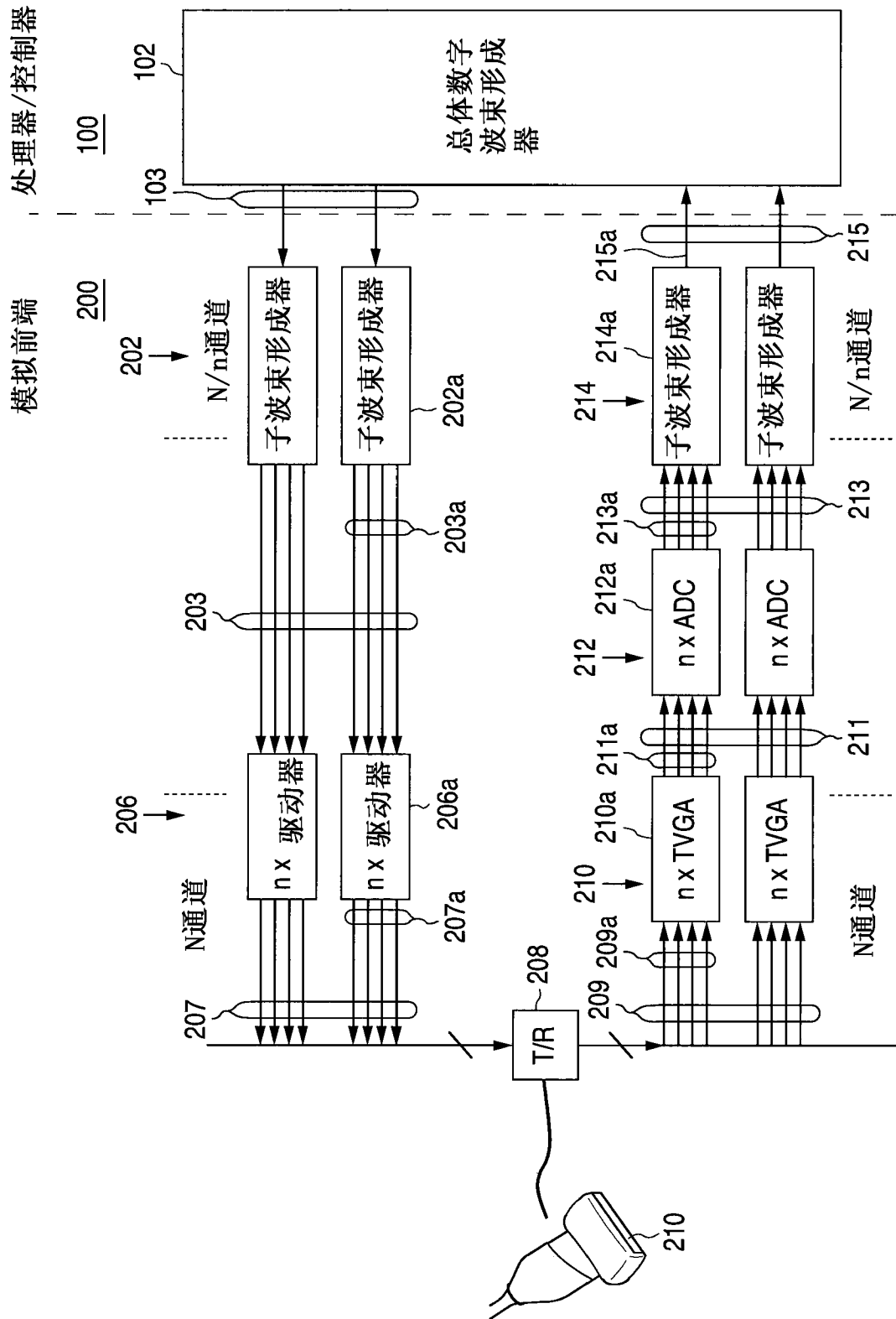


图 2

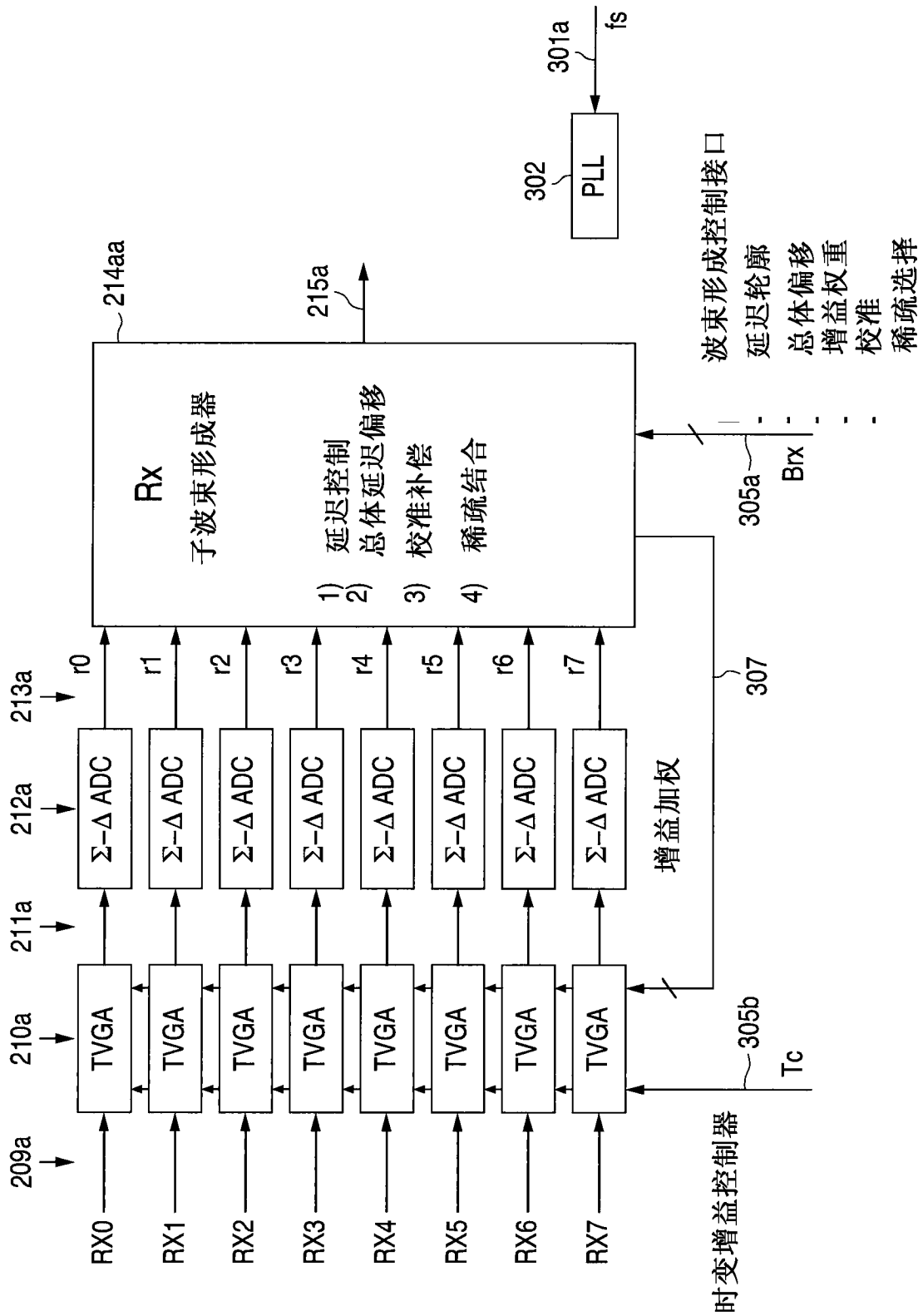


图 3

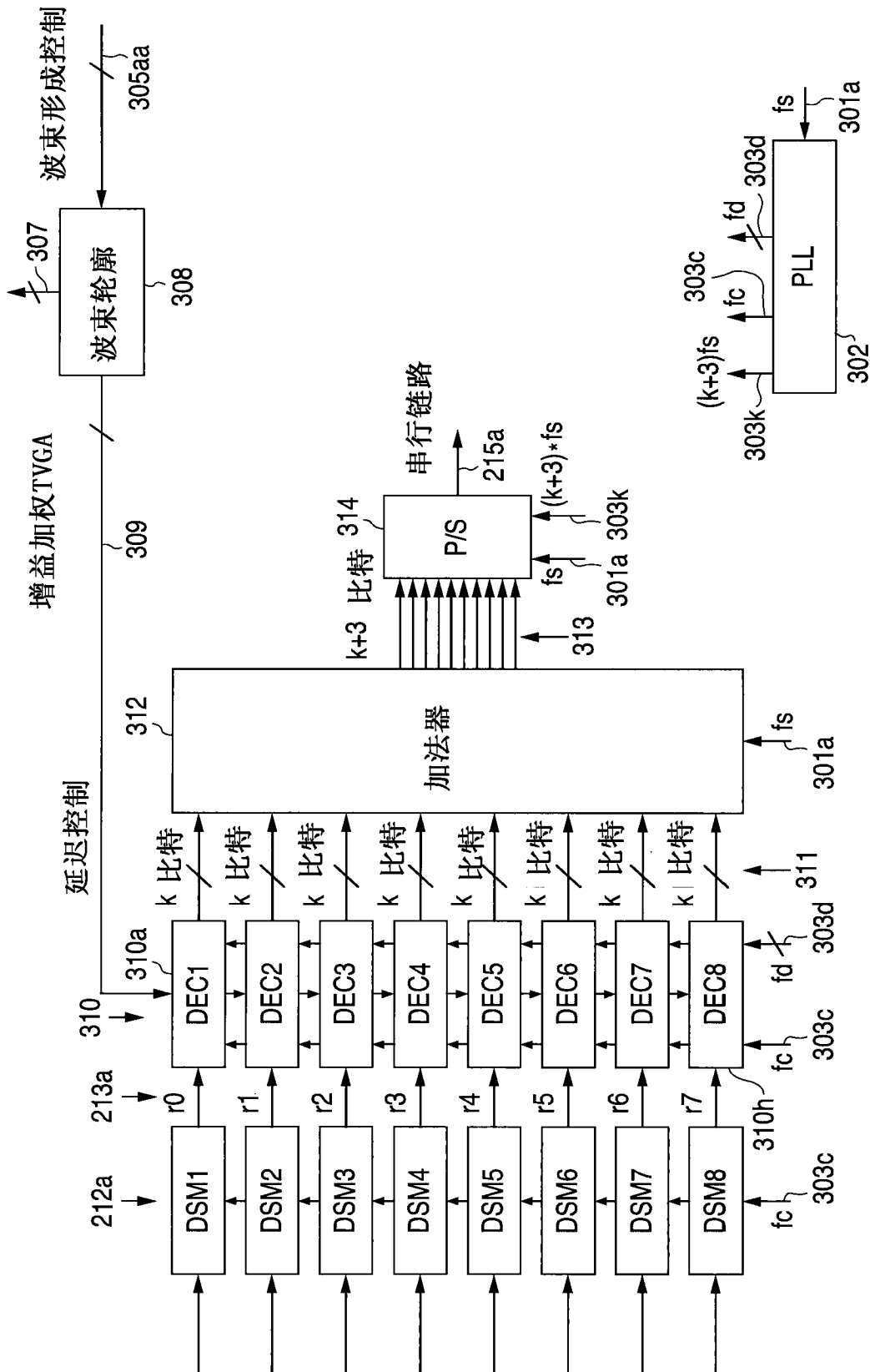


图 4

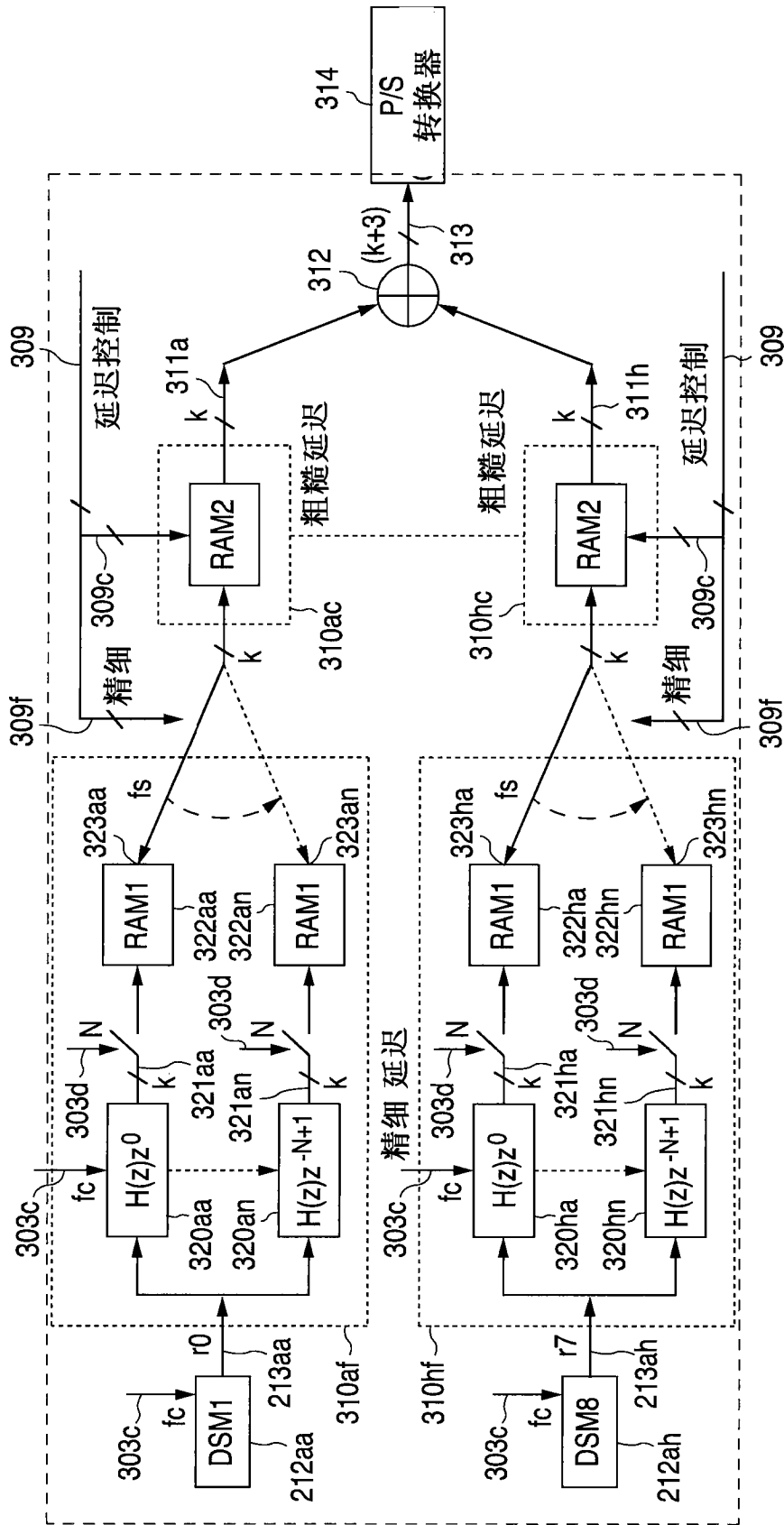


图 5

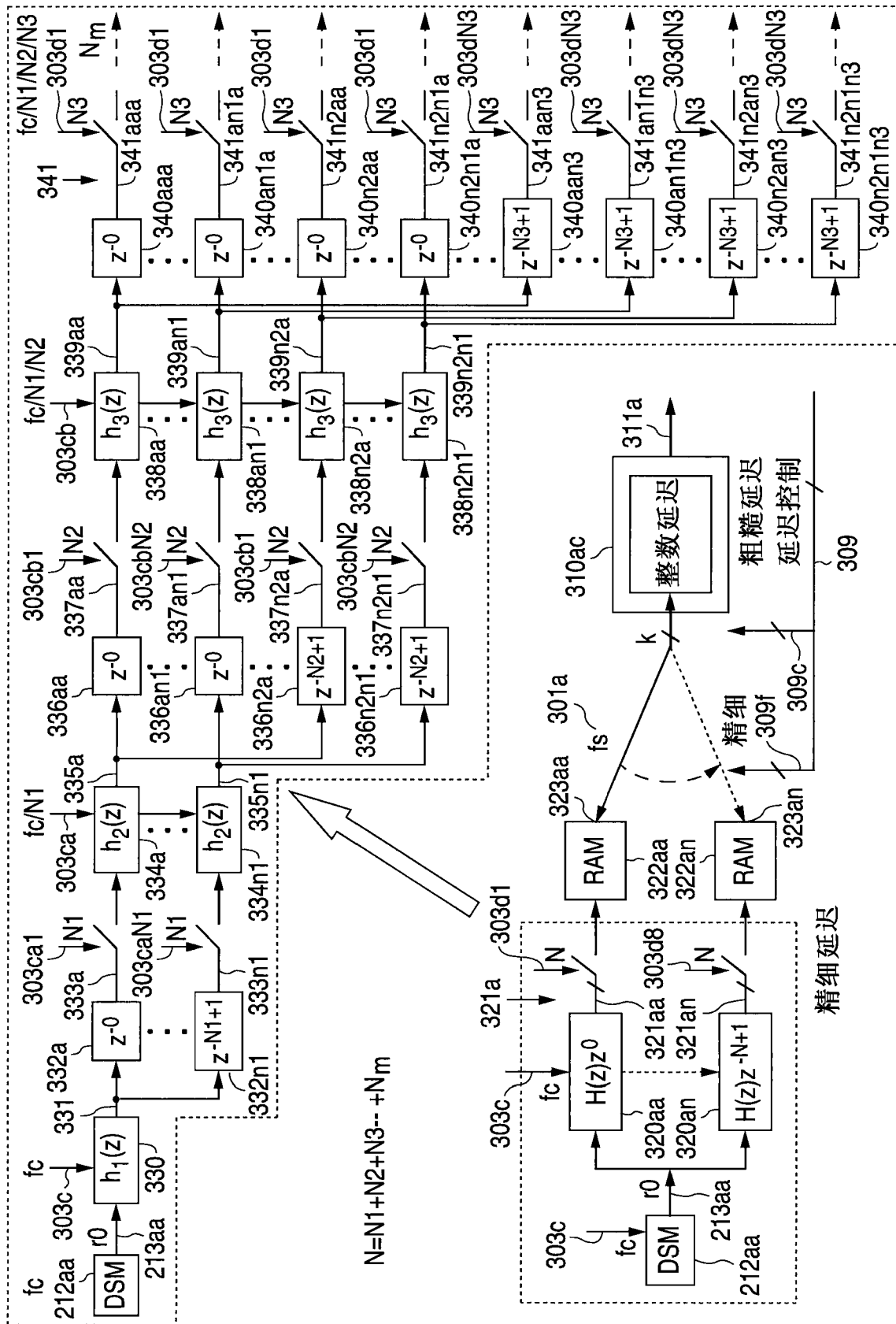


图 7

专利名称(译)	超声系统的子波束形成接收器电路		
公开(公告)号	CN102612344A	公开(公告)日	2012-07-25
申请号	CN201080041048.7	申请日	2010-07-15
[标]申请(专利权)人(译)	国家半导体公司		
申请(专利权)人(译)	美国国家半导体公司		
当前申请(专利权)人(译)	美国国家半导体公司		
[标]发明人	W马 Z张 S王 M尤瑟菲 AR巴哈		
发明人	W·马 Z·张 S·王 M·尤瑟菲 A·R·巴哈		
IPC分类号	A61B8/00 G01N29/26		
CPC分类号	G01S15/8927 G10K11/346 G01S7/52026		
优先权	12/503399 2009-07-15 US		
其他公开文献	CN102612344B		
外部链接	Espacenet SIPO		

摘要(译)

用于超声系统的子波束形成接收器的多通道接收电路，其中数字滤波、下采样和连续数据存储电路将可编程精细和粗糙时间延迟施加到接收的数字数据信号。

