



(12)发明专利申请

(10)申请公布号 CN 107710787 A

(43)申请公布日 2018.02.16

(21)申请号 201680038034.7

(74)专利代理机构 北京银龙知识产权代理有限公司 11243

(22)申请日 2016.05.16

代理人 金鲜英 陈彦

(30)优先权数据

2015-110530 2015.05.29 JP

(51)Int.Cl.

H04R 19/00(2006.01)

(85)PCT国际申请进入国家阶段日

A61B 8/00(2006.01)

2017.12.27

G01N 29/06(2006.01)

(86)PCT国际申请的申请数据

G01N 29/24(2006.01)

PCT/JP2016/064440 2016.05.16

H04R 1/40(2006.01)

(87)PCT国际申请的公布数据

W02016/194591 JA 2016.12.08

(71)申请人 株式会社日立制作所

地址 日本东京都

(72)发明人 町田俊太郎 峰利之 藤崎耕司

竹崎泰一 龙崎大介

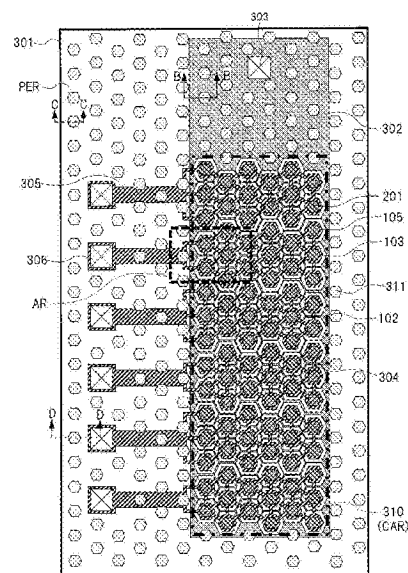
权利要求书3页 说明书17页 附图17页

(54)发明名称

超声波换能器及超声波检查装置

(57)摘要

在静电电容检测型的超声波换能器中,由于超声波换能器的单元阵列的各单元的膜状物的膜厚偏差,导致单元阵列内的单元的器件特性变得不均匀。超声波换能器具备CMUT芯片(301),CMUT芯片(301)包括:形成有多个单元的单元阵列区域CAR;以及与单元阵列区域CAR相邻接的周边区域PER,在单元阵列区域CAR配置梁结构体(201),并且在周边区域PER配置相当于梁结构体(201)的多个图案结构体(311)。由此,将单元阵列区域CAR的单位表面积和周边区域PER的单位表面积的差减小。其结果,能够提高覆盖梁结构体(201)和图案结构体(311)的绝缘膜的膜厚的均匀性。



1. 一种超声波换能器,包括:
单元阵列区域,其形成有多个单元;以及
周边区域,其与所述单元阵列区域相邻接,
所述多个单元各自具有:
基板;
第一电极,其形成于所述基板上;
第一绝缘膜,其形成于所述第一电极上;
空洞部,其形成于所述第一绝缘膜上,且在俯视时与所述第一电极重叠;
第二绝缘膜,其形成于所述空洞部上;
第二电极,其形成于所述第二绝缘膜上,且在俯视时与所述空洞部重叠;
第三绝缘膜,其形成于所述第二电极上;
梁结构体,其形成于所述第三绝缘膜上,且在俯视时与所述空洞部重叠;以及
第四绝缘膜,其覆盖所述梁结构体,且形成于所述第三绝缘膜上,
在所述周边区域形成有:
所述第三绝缘膜;
多个图案结构体,其形成于所述第三绝缘膜上,相当于所述梁结构体;以及
所述第四绝缘膜,其覆盖所述多个图案结构体。
2. 根据权利要求1所述的超声波换能器,其中,
利用所述梁结构体和所述多个图案结构体各自在所述第三绝缘膜上形成有凸形。
3. 根据权利要求1所述的超声波换能器,其中,
所述梁结构体是用厚度/宽度表示的纵横比在构成所述多个单元各自的构成要素中最大的构成要素。
4. 根据权利要求1所述的超声波换能器,其中,
所述多个图案结构体的配置图案的至少一部分与多个所述梁结构体的配置图案相同。
5. 根据权利要求1所述的超声波换能器,其中,
在所述周边区域形成有:
第一配线,其与所述第一电极电连接;
第一插头,其与所述第一配线电连接;
第二配线,其与所述第二电极电连接;以及
第二插头,其与所述第二配线电连接。
6. 根据权利要求5所述的超声波换能器,其中,
所述多个图案结构体配置于在俯视时与所述第一插头和所述第二插头不重叠的位置。
7. 根据权利要求5所述的超声波换能器,其中,
所述多个图案结构体的一部分在俯视时配置于与所述第一配线重叠的位置。
8. 根据权利要求5所述的超声波换能器,其中,
所述多个图案结构体的一部分配置于在俯视时与所述第二配线重叠的位置。
9. 根据权利要求5所述的超声波换能器,其中,
所述周边区域包括:
第一引出区域,其形成有所述第一配线和所述第一插头;

第二引出区域,其形成有所述第二配线和所述第二插头;
第一外缘区域,其是所述第一引出区域的外侧区域;以及
第二外缘区域,其是所述第二引出区域的外侧区域。

10. 根据权利要求9所述的超声波换能器,其中,
所述多个图案结构体配置于所述第一外缘区域。

11. 根据权利要求9所述的超声波换能器,其中,
所述多个图案结构体配置于所述第二外缘区域。

12. 根据权利要求9所述的超声波换能器,
所述多个图案结构体配置于所述第一外缘区域和所述第二外缘区域。

13. 根据权利要求1所述的超声波换能器,其中,
在所述基板的厚度方向上,在所述多个图案结构体中的一部分图案结构体与所述基板之间仅夹有绝缘膜。

14. 根据权利要求1所述的超声波换能器,其中,
在所述周边区域形成有虚设单元和所述多个图案结构体,
所述虚设单元至少包括所述空洞部、或者将所述空洞部填充的填充部中的任一个,且不发挥超声波的收发功能,

所述虚设单元配置于比所述多个图案结构体离所述单元阵列区域近的位置。

15. 一种超声波检查装置,具备:

超声波探头,使该超声波探头与被检体接触而在所述超声波探头与所述被检体之间收发超声波;

发射部,其为了从所述超声波探头发发出超声波而对所述超声波探头供给驱动信号;

接收部,其接收从已接收超声波的所述超声波探头输出的反射回波信号;

图像处理部,其基于所述反射回波信号生成图像;以及

收发分离部,其以在发出超声波时将所述超声波探头和所述发射部电连接,而在接收超声波时将所述超声波探头和所述接收部电连接的方式切换连接路径,

所述超声波探头与所述收发分离部电连接,且包括超声波换能器,

所述超声波换能器具备半导体芯片,该半导体芯片包括:

单元阵列区域,其形成有多个单元;以及

周边区域,其与所述单元阵列区域相邻接,

所述多个单元各自具有:

基板;

第一电极,其形成于所述基板上;

第一绝缘膜,其形成于所述第一电极上;

空洞部,其形成于所述第一绝缘膜上,且在俯视时与所述第一电极重叠;

第二绝缘膜,其形成于所述空洞部上;

第二电极,其形成于所述第二绝缘膜上,且在俯视时与所述空洞部重叠;

第三绝缘膜,其形成于所述第二电极上;

梁结构体,其形成于所述第三绝缘膜上,且在俯视时与所述空洞部重叠;以及

第四绝缘膜,其覆盖所述梁结构体,且形成于所述第三绝缘膜上,

在所述周边区域形成有：

所述第三绝缘膜；

多个图案结构体，其形成于所述第三绝缘膜上，相当于所述梁结构体；以及
所述第四绝缘膜，其覆盖所述多个图案结构体。

超声波换能器及超声波检查装置

技术领域

[0001] 本发明涉及超声波换能器及其制造技术以及超声波检查装置,例如涉及适用于利用MEMS(Micro Electro Mechanical Systems:微机电系统)技术而制造的超声波换能器及其制造技术且有效的技术。

背景技术

[0002] 超声波换能器用于通过收发超声波从而进行人体内的肿瘤的诊断、建筑物所发生的龟裂的检查等各种各样的用途。

[0003] 到目前为止,使用利用压电体的振动的超声波换能器,但是由于近年的MEMS技术的进步,在硅基板上制作有振动部的静电电容检测型超声波换能器(CMUT:Capacitive Micromachined Ultrasonic Transducer)以实用化为目标而积极地被开发。

[0004] 该CMUT与现有的使用压电体的超声波换能器比较,具有能使用的超声波的频带宽广、或者为高灵敏度等优点。另外,因为能使用LSI加工技术来制作,所以也具有能微细加工的优点。

[0005] 例如,在专利文献1和专利文献2中记载有如下的CMUT:通过在CMUT的单元阵列的外周配置虚设单元,从而使膜状物的应变均匀化、或者使器件特性均匀化。另外,在专利文献3中记载有如下的CMUT:在CMUT的膜状物上配置梁结构(“embossed structure”、“beam structure”)来调整膜状物的共振频率。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2010-172181号公报

[0009] 专利文献2:国际公开第2008/136198号

[0010] 专利文献3:美国专利第8,483,014号说明书

发明内容

[0011] 发明要解决的课题

[0012] 通常,形成有CMUT的半导体芯片存在如下区域:形成有多个单元的单元阵列区域;以及周边区域,其与单元阵列区域相邻接,形成于单元阵列区域的外侧。此时,因为在单元阵列区域形成有多个单元,所以有平坦性降低的情况,而另一方面,通常在周边区域不形成单元,平坦性高。因此,在单元阵列区域与周边区域之间会产生较大的表面积的差。在此,例如在CMUT的最上层虽然形成有用于抑制水分、异物向单元内浸入的钝化膜(表面保护膜),但是在该钝化膜的成膜工序中,有时依赖于平坦性而使膜厚产生差。因此,单元阵列区域的钝化膜的膜厚和周边区域的钝化膜的膜厚产生差,其结果,单元阵列区域的中心部的钝化膜的膜厚和单元阵列区域的端部的钝化膜的膜厚产生差。由此,在CMUT中,形成于单元阵列区域的多个单元各自的膜状物的膜厚产生偏差。因此,使得形成于单元阵列区域的多个单元间的器件特性(例如灵敏度)成为不均匀化。

[0013] 本发明目的在于,通过抑制构成CMUT的多个单元中的膜状物的膜厚偏差,从而提高多个单元间的器件特性的均匀化。

[0014] 其他的课题和新的特征从本说明书的记述和附图可明了。

[0015] 用于解决课题的方案

[0016] 一实施方式中的超声波换能器具备半导体芯片,该半导体芯片包括:单元阵列区域,其形成有多个单元;以及周边区域,其与单元阵列区域相邻接。多个单元各自具有:基板;第一电极,其形成于基板上;第一绝缘膜,其形成于第一电极上;空洞部,其形成于第一绝缘膜上,且在俯视时与第一电极重叠;以及第二绝缘膜,其形成于空洞部上。进一步,多个单元各自具有:第二电极,其形成于第二绝缘膜上,且在俯视时与空洞部重叠;第三绝缘膜,其形成于第二电极上;梁结构体,其形成于第三绝缘膜上,且在俯视时与空洞部重叠;以及第四绝缘膜,其覆盖梁结构体(“embossed structure”、“beam structure”),且形成于第三绝缘膜上。在此,在周边区域形成有:第三绝缘膜;多个图案结构体,其形成于第三绝缘膜上,相当于梁结构体;以及第四绝缘膜,其覆盖多个图案结构体。

[0017] 另外,一实施方式中的超声波检查装置具备:超声波探头,使该超声波探头与被检体接触而在超声波探头与被检体之间收发超声波;发射部,其为了从超声波探头发出超声波而对超声波探头供给驱动信号;以及接收部,其接收从已接收超声波的超声波探头输出的反射回波信号。并且,超声波检查装置具备:图像处理部,其基于反射回波信号生成图像;以及收发分离部,其以在发出超声波时将超声波探头和发射部电连接、而在接收超声波时将超声波探头和接收部电连接的方式切换连接路径。在此,超声波探头与收发分离部电连接,且包括上述构成的超声波换能器。

[0018] 发明效果

[0019] 根据一实施方式,能够抑制构成CMUT的多个单元中的膜状物的膜厚偏差。其结果,根据一实施方式,能够提高多个单元间中的器件特性的均匀化。

附图说明

[0020] 图1是示出基本的CMUT的构成例的截面图。

[0021] 图2是示出将梁结构体设置在膜状物上的CMUT的构成例的截面图。

[0022] 图3是示出实施方式1中的CMUT芯片的示意性的布局构成例的俯视图。

[0023] 图4是将图3所示的一部分区域放大示出的放大图。

[0024] 图5是用图4的A-A线切断的截面图。

[0025] 图6是用图3的B-B线切断的截面图。

[0026] 图7是用图3的C-C线切断的截面图。

[0027] 图8是用图3的D-D线切断的截面图。

[0028] 图9是示出实施方式1中的CMUT的制造工序的截面图。

[0029] 图10是示出接续图9的CMUT的制造工序的截面图。

[0030] 图11是示出接续图10的CMUT的制造工序的截面图。

[0031] 图12是示出接续图11的CMUT的制造工序的截面图。

[0032] 图13是示出接续图12的CMUT的制造工序的截面图。

[0033] 图14是示出接续图13的CMUT的制造工序的截面图。

- [0034] 图15是示出接续图14的CMUT的制造工序的截面图。
- [0035] 图16是示出接续图15的CMUT的制造工序的截面图。
- [0036] 图17是示出接续图16的CMUT的制造工序的截面图。
- [0037] 图18是示出接续图17的CMUT的制造工序的截面图。
- [0038] 图19是示出接续图18的CMUT的制造工序的截面图。
- [0039] 图20是示出变形例1中的CMUT芯片的示意性的布局构成例的俯视图。
- [0040] 图21是示出变形例2中的CMUT芯片的示意性的布局构成例的俯视图。
- [0041] 图22是示出变形例3中的CMUT芯片的示意性的布局构成例的俯视图。
- [0042] 图23是示出实施方式2中的半导体晶片的主面的俯视图。
- [0043] 图24是将图23所示的一部分区域放大示出的放大图。
- [0044] 图25是将图23所示的其他的一部分区域放大示出的放大图。
- [0045] 图26是将利用切割处理将半导体晶片的划片区域切断后的一部分区域放大示出的图。
- [0046] 图27是将利用切割处理将半导体晶片的划片区域切断后的其他的一部分区域放大示出的图。
- [0047] 图28是示出实施方式3中的超声波检查装置的构成例的框图。

具体实施方式

[0048] 在以下实施方式中,便利起见,在有必要时,分割为多个部分或者实施方式进行说明,但是除特别明示的情况之外,它们并不是相互没有关系,处于一方是另一方的一部分或者全部的变形例、详细、补充说明等的关系。

[0049] 另外,在以下实施方式中,在提及要素的数目等(包括个数、数值、量、范围等)的情况下,除特别明示的情况以及在原理上显然限定于特定的数目的情况等之外,并不限定于该特定的数目,无论是特定的数目以上还是以下都可以。

[0050] 而且,在以下实施方式中,其构成要素(也包括要素步骤等)除特别明示的情况以及认为在原理上显然必需的情况等之外,当然不必是必需的。

[0051] 同样,在以下实施方式中,在提及构成要素等的形状、位置关系等时,除特别明示的情况以及认为在原理上显然不是那样的情况等之外,设为实质上包括与该形状等近似或者类似的形状等。这对于上述数值及范围也同样。

[0052] 另外,在用于说明实施方式的所有图中,对同一构件在原则上标注同一附图标记,其重复的说明省略。此外,为了易于理解附图,即使是俯视图,也有时附加剖面线。

[0053] (实施方式1)

[0054] <CMUT的基本结构及动作>

[0055] 使用图1对CMUT的基本的结构及动作进行说明。图1示出基本的一个CMUT单元的截面结构。在基板101的上层隔着绝缘膜104a形成有下部电极102,在该下部电极102的上层形成有被绝缘膜104b包围的空洞部103。利用空洞部103的上层的绝缘膜104b和上部电极105配置有膜状物106。

[0056] 当在上部电极105与下部电极102之间使直流电压和交流电压重叠时,则静电力作用于上部电极105与下部电极102之间,膜状物106以施加的交流电压的频率进行振动,从而

发出超声波。此时,通过施加与膜状物106的共振频率接近的频率的交流电压,从而能有效地发送超声波。

[0057] 在接收超声波的情况下,由于已到达膜状物106的表面的超声波的压力,膜状物106进行振动。于是,上部电极105与下部电极102之间的距离变化,因此能够作为静电电容的变化而检测出超声波。此时也能有效地接收与膜状物106的共振频率接近的频率的超声波。

[0058] 超声波的发送效率和接收效率也与施加于上部电极105与下部电极102之间的直流电压有关。当将施加于上部电极105与下部电极102之间的直流电压增大时,膜状物106的基于弹簧的反作用力和上部电极105与下部电极102之间的静电力不能保持平衡状态,发生空洞部103压坏的现象。发生该现象时的直流电压被称为吸合电压。施加于上部电极105与下部电极102之间的直流电压越接近于吸合电压,CMUT的膜状物106的振动能量和电能的转换效率越高。因此,从施加与吸合电压尽量接近的电压提高基于CMUT的超声波的发送效率和接收效率的观点出发,使用CMUT时施加的直流电压是重要的。也就是说,以吸合电压为基准决定CMUT的驱动电压。

[0059] <改善的讨论>

[0060] 从上述的动作原理也可明确,CMUT的膜状物106的共振频率和吸合电压是对CMUT进行设计时、使用时的重要的参数。共振频率(F)和吸合电压(V)均在膜状物的宽度w(空洞的宽度)与膜厚t之间有 $F \propto t/w^2$ 、 $V \propto t^{1.5}/w$ 的关系式成立,需要按照设计来设定宽度w和膜厚t。特别是在如CMUT那样的MEMS器件中,因为对器件特性的影响大,所以比制造通常的LSI时要求更进一步的控制。

[0061] 在使用作为半导体基板的半导体晶片(硅晶片)在半导体晶片上制作多个CMUT芯片(半导体芯片)的情况下,尽可能地抑制半导体晶片内的所有的CMUT单元的膜状物106的宽度w和厚度t的偏差、并使各个CMUT单元的共振频率、吸合电压这样的单元的器件特性成为均匀是重要的。

[0062] 如上所述,因为CMUT是使用LSI加工技术而制作的,所以膜状物106的宽度w由形成牺牲层的图案的蚀刻工序的精度决定,该牺牲层成为将成为空洞部103的形式。根据LSI的蚀刻技术,即使在半导体晶片上形成多个CMUT单元,基于蚀刻工序的膜状物的宽度w、即牺牲层的宽度的变动幅度也非常小,能够均匀地制作膜状物的宽度w。

[0063] 另一方面,膜状物106的厚度t由构成膜状物106的各膜的成膜工艺、在图1中为比空洞部103靠上层的绝缘膜104b和上部电极105的成膜工艺决定。因此,为了均匀地制造单元阵列、半导体晶片上的多个CMUT单元的器件特性,针对构成各CMUT单元的膜状物106的各膜控制所成膜的厚度、并在单元阵列内、半导体晶片内使膜状物106的厚度为均匀很重要。

[0064] 在用CVD法(Chemical Vapor Deposition:化学气相沉积)使构成膜状物106的绝缘膜成膜的情况下,依赖于进行成膜的半导体晶片上的图案密度(图案的单位表面积),有时图案上的膜厚不同。这被称为载荷效应,在CVD法中的成膜机构速为反应气体的供给的情况下产生。特别是,等离子体CVD法在等离子体中由于气体分子和电子的撞击而形成沉积物质,那些成为沉积于图案表面的成膜机构,因此容易产生载荷效应。因此,在图案密度在单元阵列和其外侧的区域不同的情况下,在单元阵列的阵列中心部和外周部所成膜的膜的厚度不同,其结果,有单元阵列内的各CMUT单元的器件特性变得不均匀的可能性。

[0065] 图2是例如将梁结构体201配置于绝缘膜104b上的结构简化而示出的CMUT的截面图。在图2中,利用绝缘膜104b、上部电极105以及梁结构体201构成膜状物106。该梁结构体201与不存在梁结构体201的情况相比,具有将膜状物106的厚度方向上的膜状物106的振动增大的功能,换言之,具有使膜状物106进行活塞式振动的功能,通过设置该梁结构体201,从而能够将CMUT的超声波的收发效率提高。另外,通过设置梁结构体201,能够调整膜状物106的厚度 t ,因此也能够得到如下优点:能够调整膜状物106的共振频率、吸合电压。

[0066] 其中,如图2所示,梁结构体201形成凸形,在将梁结构体201设置于绝缘膜104b上的情况下,会在绝缘膜104b上产生大的凸状台阶。在存在这样的膜状物106产生大的台阶的梁结构体201的情况下,与不存在产生台阶的梁结构体201的如图1所示的CMUT单元比较,膜状物106的表面积会增大。

[0067] 因此,特别是在设置有梁结构体201的CMUT中,在单元阵列内和通常成为平坦结构的单元阵列的外侧区域(周边区域)的没有配置CMUT单元的区域之间产生较大的表面积之差。因此,在设置有梁结构体201的CMUT中,在以覆盖梁结构体201的方式形成绝缘膜(钝化膜、表面保护膜)时,变得容易产生载荷效应。其结果,在单元阵列的阵列中心部和阵列外周部所成膜的绝缘膜的厚度变得特别大,据此,单元阵列内的各CMUT单元的器件特性变得不均匀的可能性升高。

[0068] 因此,在本实施方式1中,对抑制构成CMUT的多个CMUT单元(特别是形成有梁结构体201的各CMUT单元)中的膜状物106的膜厚偏差下了功夫。即,在本实施方式1中,对抑制膜状物106的膜厚偏差、提高多个CMUT单元间的器件特性的均匀化下了功夫。以下,对下了功夫的本实施方式1中的技术思想进行说明。

[0069] <实施方式1中的CMUT的构成>

[0070] 本实施方式1中的基本思想是:通过在除单元阵列之外的区域配置构成CMUT单元的构成要素,使单元阵列内的各CMUT单元的膜状物厚度均匀化,从而实现通过抑制单元阵列内的膜状物厚度的偏差来提高CMUT的器件特性的均匀性这样的目的。

[0071] 具体地,在本实施方式1中,在形成有单元阵列的半导体芯片中,通过将相当于构成CMUT单元的梁结构的多个图案结构体配置在与形成有多个CMUT单元的单元阵列区域相邻接的周边区域,从而抑制单元阵列内的各CMUT单元的膜状物的膜厚偏差,据此实现各CMUT单元的器件特性的均匀化。

[0072] 图3是示出本实施方式1中的形成有单元阵列的半导体芯片(以下称为CMUT芯片301)的俯视图。该图3以空洞部103从CMUT芯片301的上表面观看呈六角形的CMUT单元为例示出。90个CMUT单元构成用单点划线示出的单元阵列310。另外,CMUT单元用15个单位利用连接上部电极105的配线304并联连接,并通过来自上部电极105的引出配线305连接到用于向上部电极105供给电源的插头306,构成一个CMUT单元信道。在图3中,共计6列CMUT单元信道配置于下部电极102上。下部电极102通过下部电极102的引出配线302连接到用于向下部电极102供给电源的插头303。图案结构体311是相当于CMUT单元的梁结构体201的结构体,配置于单元阵列区域外的周边区域。各CMUT单元构成为具备:空洞部103,其配置于下部电极102上;上部电极105,其配置于空洞部103上;以及构成膜状物的一部分的梁结构体201等。

[0073] 图4是将图3的区域AR放大的俯视图。如图4所示,在CMUT单元设置有用于形成空洞

部103的蚀刻孔401。即,蚀刻孔401连接到空洞部103。此外,在下部电极102与空洞部103之间以覆盖下部电极102的方式形成有由氧化硅膜构成的绝缘膜,在上部电极105与空洞部103之间也形成有由氧化硅膜构成的绝缘膜,但是在图4中为了示出空洞部103和下部电极102而没有图示绝缘膜。

[0074] 图5示出用图4的A-A线切断的截面图。如图5所示,在形成于半导体基板501上的由氧化硅膜构成的绝缘膜502上配置有CMUT单元的下部电极102。在下部电极102的上层隔着由氧化硅膜构成的绝缘膜503配置有空洞部103。以包围空洞部103的方式配置有由氧化硅膜构成的绝缘膜504,在绝缘膜504的上层配置有上部电极105和从上部电极105引出的引出配线305。在上部电极105和从上部电极105引出的引出配线305的上层配置有由氮化硅膜构成的绝缘膜505和由氧化硅膜构成的绝缘膜506。另外,在绝缘膜504和绝缘膜505中形成有贯穿这些膜的蚀刻孔401,该蚀刻孔401被绝缘膜506埋入。该蚀刻孔401是为了形成空洞部103而形成的。在绝缘膜506的上层,从半导体基板501的主面的上表面观看,在内含于空洞部103的位置配置有梁结构体201,另外配置有图案结构体311,图案结构体311以与从上部电极105引出的引出配线305重叠的方式配置于单元阵列区域的外侧的周边区域。进一步,在覆盖梁结构体201和图案结构体311、且绝缘膜506的上层配置有由氮化硅膜构成的绝缘膜507。由配置于空洞部103的上层的绝缘膜504、绝缘膜505、绝缘膜506、绝缘膜507、上部电极105以及梁结构体201构成CMUT单元的膜状物106。

[0075] 图6示出用图3的B-B线切断的截面图。在图6中,配置于单元阵列区域的外侧的周边区域的图案结构体311配置在从下部电极102引出的引出配线302的上层,上部电极105、从上部电极105引出的引出配线305、空洞部103成为没有夹在从下部电极102引出的引出配线302与图案结构体311之间的构成。

[0076] 图7示出用图3的C-C线切断的截面图。701是CMUT芯片301的端面。在图7中,在配置于单元阵列区域的外侧的周边区域的图案结构体311的下层不存在下部电极102、从下部电极102引出的引出配线302、上部电极105、从上部电极105引出的引出配线305、空洞部103。即,成为在半导体基板501与图案结构体311之间仅夹着绝缘膜(绝缘膜502~506)的构成。

[0077] 图8示出用图3的D-D线切断的截面图。在图8中,配置于单元阵列区域的外侧的周边区域的图案结构体311成为配置于插头306与CMUT芯片的端面701之间的构成。

[0078] 如上,本实施方式1中的CMUT例如图3所示具备CMUT芯片301(半导体芯片),CMUT芯片301包括:单元阵列区域CAR,其形成有多个CMUT单元;以及周边区域PER,其与单元阵列区域CAR相邻接。

[0079] 并且,多个CMUT单元各自例如图5所示,具有:半导体基板501;下部电极102,其隔着绝缘膜502形成于半导体基板501上;绝缘膜503,其形成于下部电极102上;以及空洞部103,其形成于绝缘膜503上,且在俯视时与下部电极102重叠。进一步,多个CMUT单元各自如图5所示,具有:绝缘膜504,其形成于空洞部103上;上部电极105,其形成于绝缘膜504上,且在俯视时与空洞部103重叠;以及绝缘膜505及绝缘膜506,其形成于上部电极105上。另外,多个CMUT单元各自具有:梁结构体201,其形成于绝缘膜506上,且在俯视时与空洞部103重叠;以及绝缘膜507,其覆盖梁结构体201,且形成于绝缘膜506上。在此,在本实施方式1中的CMUT单元中,如图5所示,由配置于空洞部103上的绝缘膜504~507、上部电极105以及梁结构体201形成膜状物106。特别是在本实施方式1中,梁结构体201的厚度构成为例如与将绝

缘膜504~506和上部电极105组合得到的厚度大致相等或者在其以上。另外,梁结构体201成为用厚度/宽度表示的纵横比在构成CMUT单元的构成要素中为最大的构成要素。

[0080] 另一方面,如图5所示,在周边区域,在半导体基板501上层叠配置有绝缘膜502~506,在绝缘膜506上形成有图案结构体311,并以覆盖图案结构体311的方式形成有绝缘膜507,图案结构体311相当于作为CMUT单元的构成要素的梁结构体201。即,如图5所示,在CMUT单元形成有梁结构体201,在周边区域形成有与该梁结构体201对应的图案结构体311。即,在CMUT单元以从绝缘膜506呈凸状突出的方式形成有梁结构体201,在周边区域也以从绝缘膜506呈凸状突出的方式形成有图案结构体311。也就是说,由梁结构体201和图案结构体311各自在绝缘膜506上形成有凸形。

[0081] 特别是在本实施方式1中,图案结构体311和梁结构体201例如通过对氮化硅膜进行加工而形成,由此,图案结构体311和梁结构体201由相同材料形成。进一步,虽然并不限定,但是例如图案结构体311成为与梁结构体201大致相同的结构。

[0082] 接着,如图3所示,在形成于单元阵列区域CAR的多个CMUT单元各自上形成有梁结构体201,多个CMUT单元自身有规律地排列,因此作为CMUT单元的构成要素的梁结构体201也以有规律的配置图案配置。并且,在本实施方式1中,如图3所示,在周边区域PER大致有规律地配置有相当于梁结构体201的多个图案结构体311。具体地,在周边区域PER中,与梁结构体201的配置图案大致相等的配置图案配置有多个图案结构体311。换言之,多个图案结构体311的配置图案的至少一部分与多个梁结构体201的配置图案相等。

[0083] 也就是说,如图3所示,在周边区域PER形成有:与下部电极102电连接的引出配线302;与引出配线302电连接的插头303;与上部电极105电连接的引出配线305;以及与引出配线305电连接的插头306。因此,多个图案结构体311在俯视时需要配置于与插头303及插头306不重叠的位置,所以多个图案结构体311不能与梁结构体201的配置图案完全相等地配置。

[0084] 其中,如图3所示,多个图案结构体311的一部分能够配置于在俯视时与引出配线302重叠的位置,并且多个图案结构体311的一部分能够配置于在俯视时与引出配线305重叠的位置。这是因为:如图5和图6所示,在半导体基板501的厚度方向上,在图案结构体311的下层配置有引出配线305,并且在图案结构体311的下层配置有引出配线302。

[0085] 进一步,在图3中,将周边区域PER划分成:形成有引出配线302和插头303的第一引出区域;形成有引出配线305和插头306的第二引出区域;作为第一引出区域的外侧区域的第一外缘区域;以及作为第二引出区域的外侧区域的第二外缘区域。在该情况下,如图3所示,图案结构体311不仅形成于第一引出区域和第二引出区域,而且也形成于第一外缘区域和第二外缘区域。如上那样构成本实施方式1中的CMUT。

[0086] <实施方式1中的特征>

[0087] 接着,对本实施方式1中的特征点进行说明。本实施方式1中的特征点在于如下方面:例如图3所示,在单元阵列区域CAR的外侧的周边区域PER,将图案结构体311以与单元阵列的单元间距大致相等的间距铺满地配置,图案结构体311相当于作为构成CMUT单元的构成要素的梁结构体201。即,在本实施方式1中,在除形成有用于向上部电极105供给电源的插头306的区域和形成有用于向下部电极102供给电源的插头303的区域之外的CMUT芯片301的周边区域PER配置图案结构体311。换言之,本实施方式1中的特征点在于如下方面:在

设置于单元阵列区域CAR的外侧的周边区域PER设置与CMUT单元的梁结构体201对应的图案结构体311,且以至少多个图案结构体311的配置图案的一部分与多个梁结构体201的配置图案相等的方式配置。通过这样的构成,能够抑制单元阵列内的各CMUT单元间的膜状物厚度的偏差,据此能够使单元阵列内的所有的CMUT单元的器件特性成为均匀。

[0088] 也就是说,在单元阵列区域CAR的外侧的周边区域PER不配置相当于构成CMUT单元的梁结构体201的图案结构体311的情况下,在单元阵列区域CAR的表面配置有凸形的梁结构体201,另一方面,周边区域PER的表面变得比较平坦。其结果,在单元阵列区域CAR与周边区域PER中,表面积产生较大的差。在产生这样的较大的表面积的差的情况下,当在形成凸形的梁结构体201后利用CVD法实施成膜处理时(在图5中为绝缘膜507),由于基于表面积的差的载荷效应,依赖于该表面积的差,从单元阵列区域CAR的中央部朝向周边区域PER的端部逐渐沉积的绝缘膜的膜厚变厚。其结果,配置于单元阵列区域CAR的中央部的CMUT单元和配置于单元阵列区域CAR的外周部的CMUT单元的器件特性变得不均匀。即,配置于膜厚较厚的单元阵列区域CAR的外周部的CMUT单元与配置于膜厚较薄的单元阵列区域CAR的中央部的CMUT单元相比共振频率、吸合电压升高。在该状态下,不能使所有的CMUT单元以设计的期望的频率有效地进行超声波的收发,灵敏度在各CMUT单元的信道内、信道间不同。这表示作为CMUT芯片301的灵敏度下降。

[0089] 如上所述,使施加于CMUT单元的直流电压与CMUT单元的吸合电压尽可能地相等关系到灵敏度的提高,但是在单元阵列内的各CMUT单元的吸合电压不同的情况下,需要以单元阵列内的多个CMUT单元中吸合电压最低的CMUT单元为基准决定要施加的直流电压。这是因为:当以单元阵列内具有相对高的吸合电压的CMUT单元为基准,将与该吸合电压接近的直流电压施加于单元阵列内的所有的CMUT单元时,具有低吸合电压的CMUT单元会吸合,有可能无助于超声波的发送及接收。反之,在以单元阵列内的多个CMUT单元中吸合电压最低的CMUT单元为基准决定要施加的直流电压的情况下,也是在单元阵列内具有相对高的吸合电压的CMUT单元中,被施加的直流电压从该CMUT单元的吸合电压来看的话成为低的电压,因此灵敏度会降低。

[0090] 与此相对,在本实施方式1中,在单元阵列区域CAR的外侧的周边区域PER,将具有相当于构成CMUT单元的梁结构体201的比较大的台阶(凸形)的图案结构体311以与多个CMUT单元的配置间距大致相等的配置间距配置。由此,根据本实施方式1,形成有多个图案结构体311的周边区域PER的表面积和形成有多个梁结构体201的单元阵列区域CAR的表面积的差,小于在周边区域PER未形成多个图案结构体311时的周边区域PER的表面积和形成有多个梁结构体201的单元阵列区域CAR的表面积的差。其结果,因为在单元阵列区域CAR的中央部与单元阵列区域CAR的外周部之间,能够使表面积不产生较大的差,因此即使在形成梁结构体201和图案结构体311后利用CVD法进行成膜,也能使沉积于单元阵列区域CAR的中央部和单元阵列区域CAR的外周部的绝缘膜的膜厚成为均匀。因此,在配置于单元阵列区域CAR的中央部的CMUT单元与配置于单元阵列区域CAR的外周部的CMUT单元之间,共振频率、吸合电压这样的器件特性也变得均匀,据此能够进行效率良好的超声波的收发。

[0091] 特别是,在本实施方式1中,作为配置于周边区域PER的图案结构体311,采用相当于作为CMUT单元的构成要素的梁结构体201的结构体。这是基于以下所示的理由。即,梁结构体201在构成CMUT单元的构成要素中是纵横比(厚度/宽度)最大的结构体。即,纵横比大

的结构体是凸形最突出的结构体,最有助于表面积的增加。换言之,由于纵横比最大的梁结构体201,产生单元阵列区域CAR的表面积的增加,所以在周边区域PER中,如果不设置相当于纵横比最大的梁结构体201的图案结构体311,就不能使单元阵列区域CAR的表面积与周边区域PER的表面积的差最小。换言之,在周边区域PER中,也通过设置相当于纵横比最大的梁结构体201的图案结构体311,从而能够将单元阵列区域CAR的表面积和周边区域PER的表面积的差设为最小限。并且,能够将单元阵列区域CAR的表面积和周边区域PER的表面积的差设为最小限是指能够抑制成膜时的载荷效应,据此是指能够提高将单元阵列区域CAR的表面(凹凸形)覆盖的膜的膜厚和将周边区域PER的表面(凹凸形)覆盖的膜的膜厚的均匀性。其结果,在配置于单元阵列区域CAR的中央部的CMUT单元与配置于单元阵列区域CAR的外周部的CMUT单元之间,能够提高共振频率、吸合电压这样的器件特性的均匀性,据此能够进行效率良好的超声波的收发。从以上理由出发,作为配置于周边区域PER的图案结构体311,期望由配置于单元阵列区域CAR的结构体中、相当于纵横比最高的结构体这样的结构体构成。具体地,在本实施方式1中,因为配置于单元阵列区域CAR的结构体中纵横比最高的结构体是梁结构体201,所以作为配置于周边区域PER的图案结构体311,采用相当于作为CMUT单元的构成要素的梁结构体201的结构体。

[0092] <实施方式1中的CMUT的制造方法>

[0093] 接着,参照附图对本实施方式1中的CMUT的制造方法进行说明。图9~图19与图4的A-A线的截面图对应。

[0094] 首先,准备在主面具有多个芯片区域、划分多个芯片区域的划片区域、以及形成于多个芯片区域的外侧的芯片外区域的半导体晶片。然后,如图9所示,在半导体基板(半导体晶片)501上用等离子体CVD法(Chemical Vapor Deposition:化学气相沉积)将由氧化硅膜构成的绝缘膜502沉积1000nm。接着,通过在绝缘膜502上使用溅射法,从而将氮化钛膜、铝合金膜以及氮化钛膜分别层叠100nm、600nm、100nm。然后,通过使用光刻技术和干式蚀刻技术进行图案化,从而将下部电极102和从图3所示的下部电极102引出的引出配线302分别形成于多个芯片区域。

[0095] 接着,如图10所示,通过使用等离子体CVD法,从而在包括下部电极102上的主面将由氧化硅膜构成的绝缘膜503沉积3000nm。并且,如图11所示,通过使用CMP技术(Chemical Mechanical Polishing:化学机械研磨),从而实施平坦化,直至下部电极102上的绝缘膜503的膜厚变为200nm。

[0096] 然后,如图12所示,在绝缘膜503的上表面用等离子体CVD法将多晶硅膜(Polysilicon film)沉积300nm,通过使用光刻技术和干式蚀刻技术使多晶硅膜图案化,从而在绝缘膜503上形成由多晶硅膜构成的牺牲层1203。即,在多个芯片区域各自中,且在绝缘膜503上形成俯视时与下部电极102重叠的牺牲层1203。该牺牲层1203在之后的工序中成为空洞部。

[0097] 接着,如图13所示,以覆盖牺牲层1203和绝缘膜503的方式,利用等离子体CVD法将由氧化硅膜构成的绝缘膜504沉积200nm。也就是说,在覆盖牺牲层1203且形成于主面的绝缘膜503上形成绝缘膜504。

[0098] 接着,如图14所示,为了形成CMUT单元的上部电极105,利用溅射法将氮化钛膜、铝合金膜以及氮化钛膜的层叠膜分别沉积50nm、100nm、50nm。并且,通过使用光刻技术和干式

蚀刻技术来形成上部电极105。此时,也同时形成从上部电极引出的引出配线305、图3所示的将多个上部电极105连接的配线304。这样,在图14所示的工序中,在多个芯片区域各自中,且在绝缘膜504上形成在俯视时与牺牲层1203重叠的上部电极105。

[0099] 并且,如图15所示,通过使用等离子体CVD法,以覆盖绝缘膜504、上部电极105以及从上部电极引出的引出配线305的方式将由氮化硅膜构成的绝缘膜505沉积200nm。

[0100] 接着,如图16所示,通过使用光刻技术和干式蚀刻技术,从而在绝缘膜505及绝缘膜504中形成到达牺牲层1203的蚀刻孔401。也就是说,在多个芯片区域各自中,形成贯穿绝缘膜504和绝缘膜505并到达牺牲层1203的蚀刻孔401。

[0101] 然后,如图17所示,在多个芯片区域各自中,通过介由蚀刻孔401对牺牲层1203用二氟化氙(XeF_2)气体进行各向同性蚀刻,从而形成空洞部103

[0102] 接着,如图18所示,为了埋入蚀刻孔401,通过使用等离子体CVD法,从而将由氧化硅膜构成的绝缘膜506沉积200nm。这样,在多个芯片区域各自中,利用绝缘膜506将蚀刻孔401堵住。

[0103] 然后,如图19所示,通过使用等离子体CVD法,从而将由氮化硅膜构成的绝缘膜沉积800nm,通过使用光刻技术和干式蚀刻技术,从而形成在俯视时与空洞部103重叠的CMUT单元的梁结构体201、位于单元阵列区域的外侧的周边区域的相当于梁结构体201的图案结构体311。由此,利用梁结构体201和图案结构体311在绝缘膜506上形成有凸形。此时,也形成图3所示的配置于单元阵列区域的外侧的周边区域的所有的图案结构体311。

[0104] 并且,如图5所示,通过使用等离子体CVD法,从而将由氮化硅膜构成的绝缘膜507沉积400nm。此时,根据本实施方式1,在单元阵列区域的外侧的周边区域形成图案结构体311,图案结构体311具有相当于构成CMUT单元的梁结构体201的比较大的台阶(凸形)。由此,根据本实施方式1,能够减小形成有多个图案结构体311的周边区域的绝缘膜506上的表面积和形成有多个梁结构体201的单元阵列区域的绝缘膜506上的表面积的差。其结果,能够抑制利用等离子体CVD法将绝缘膜507成膜时的载荷效应的发生。由此,根据本实施方式1,能够在单元阵列区域的中央部与单元阵列区域的外周部之间使表面积不产生大的差,因此能使沉积于单元阵列区域的中央部和单元阵列区域的外周部的绝缘膜的膜厚大致均匀。

[0105] 最后,形成用于实施向下部电极102的电连接的插头303(参照图3)和用于实施向上部电极105的电连接的插头306(参照图3)。如上,能够制造本实施方式1中的CMUT。

[0106] <变形例1>

[0107] 在图3中,将在单元阵列区域CAR的外侧的周边区域PER形成的图案结构体311的配置以与单元阵列内的CMUT单元的配置间距相等的间距配置。但是,如图3所示,与插头303及插头306、CMUT芯片301的端部重叠、不能以相等的间距配置图案结构体311的区域会产生于周边区域PER。在该情况下,如图20所示的结构体2001、结构体2002那样,也可以改变配置间距、图案结构体311的图案形状。从使CMUT芯片中的单元阵列区域CAR的表面积(单位表面积)和周边区域的表面积(单位表面积)相等的观点出发,期望使配置于周边区域PER的图案结构体311的配置间距与单元阵列内的多个CMUT单元的配置间距相等,但是通过在不能对配置于周边区域PER的图案结构体311进行配置的区域也配置形状不同的结构体2002,从而使周边区域PER的单位表面积和单元阵列区域CAR的单位表面积大致相等。其结果,在构成单元阵列的多个CMUT单元中,能够实现器件特性的更进一步的均匀化。

[0108] <变形例2>

[0109] 图21是在单元阵列310的外周配置有虚设单元2003、在配置有虚设单元2003和单元阵列310的区域2004的外侧进一步配置有图案结构体311的图。本说明书中所说的虚设单元是指,至少包括电极(上部电极及下部电极)和空洞部或者填充空洞部的填充部中的任一个单元、且不发挥超声波的收发功能的单元。虚设单元2003是为了使膜状物的应变均匀化或者使器件特性均匀化而配置,但是如图21所示,在发生在虚设单元2003的外周产生表面积差的情况时,也可以在配置有单元阵列310和虚设单元2003的区域的外侧配置图案结构体311。在单元阵列310的外侧的区域能将虚设单元2003配置到载荷效应的影响不波及到单元阵列310的程度。但是,在设置虚设单元2003的情况下,因为虚设单元2003包括电极(上部电极和下部电极),所以在CMUT芯片301上形成有多个无用的浮置电极,借由那些浮置电极的寄生电容的增加等有可能引起单元阵列310的灵敏度下降。另外,因为虚设单元2003包括空洞部,所以在单元阵列310的外侧的整个周边区域配置虚设单元2003的情况下,在从基板切出CMUT芯片301的工序中,有可能CMUT芯片301的端部附近的虚设单元2003的空洞部上的膜状物剥离。剥离的膜状物再次附着于CMUT芯片301上,有可能对单元阵列310内的CMUT单元赋予损伤。

[0110] 另一方面,如图21所示的本变形例2那样,在配置有用于使膜状物应变均匀化的虚设单元2003的区域的外侧,在为了抑制载荷效应而仅配置有不包括电极、空洞部的图案结构体311的情况下,能够抑制寄生电容的增加、膜状物的剥离。即,根据本变形例2,在单元阵列310的外周配置虚设单元2003,进一步在虚设单元2003的外侧区域配置图案结构体311(结构体2001、结构体2002)。由此,根据本变形例2,能够得到如下优点:能利用虚设单元2003使膜状物应变均匀化,并且能利用图案结构体311(结构体2001、结构体2002)防止由虚设单元2003引起的寄生电容的增加、膜状物的剥离,同时能抑制载荷效应。

[0111] <变形例3>

[0112] 此外,在图3、图4、图20以及图21中,多个CMUT单元各自的空洞部103从基板的上表面观看(在俯视是)形成六角形的形状,但是多个CMUT单元各自的空洞部103的形状不限于此,例如既可形成圆形形状也可以形成矩形形状。

[0113] 图22是示出CMUT单元形成矩形形状的空洞形状、且将矩形形状的多个图案结构体311配置于空洞部上的情况下的CMUT芯片301的图。在图22所示的本变形例3中,也在单元阵列310的外侧配置有产生比较大的台阶的图案结构体。在该本变形例3中,也以与单元阵列310的单元间距大致相同的间距配置图案结构体311,所以与空洞部的形状为六角形的单元的情况同样,能在单元阵列310的中心部与单元阵列的外周部之间减小表面积的差。其结果,根据本变形例3,即使进行采用CVD法的成膜处理,也能使沉积于单元阵列310的中央部和单元阵列310的外周部的膜的膜厚均匀。因此,根据本变形例3,也能使配置于单元阵列310的中央部的CMUT单元和配置于单元阵列310的外周部的CMUT单元的共振频率、吸合电压这样的器件特性变得均匀,能进行效率良好的超声波的发送和接收。

[0114] 而且,在实施方式1中,将构成CMUT单元的构成要素中、相当于梁结构体201的图案结构体311配置于周边区域,但是,例如在CMUT单元的构成要素中包括如梁结构体201那样纵横比高的结构体的情况下,也可以将相当于该结构体的图案结构体311配置于周边区域。

[0115] 另外,实施方式1中说明的CMUT的构成材料是表示其组合的一个例子,例如作为上

部电极105、下部电极102的材料,也可以使用钨、其他的具有导电性的材料。进一步,牺牲层1203的材料也能够使用可确保与将牺牲层1203的周围包围的材料的湿式蚀刻选择性的材料。因此,作为牺牲层1203的材料,除多晶硅膜之外,也能使用SOG (Spin-on-Glass:旋涂玻璃)或者金属膜等。

[0116] (实施方式2)

[0117] 在本实施方式2中,在形成有CMUT芯片的半导体基板上,在形成有CMUT芯片的芯片区域以外的划片区域和芯片外区域,也将相当于构成CMUT单元的梁结构的图案结构体配置于绝缘膜上。由此,在本实施方式2中,也能抑制形成于单元阵列内的各CMUT单元的膜状物的膜厚偏差,据此能够实现各CMUT单元的器件特性的均匀化。

[0118] 图23是示出排列有CMUT芯片301(芯片区域2102)的半导体晶片2101的俯视图。在本实施方式2中,在半导体晶片2101上以横8列、纵2列的行列配置形成有多个CMUT芯片301(多个芯片区域2102)。在排列有上述多个CMUT芯片301的多个芯片区域2102以外的区域形成有芯片外区域2103。即,在半导体晶片2101的主面中、多个芯片区域2102的外侧区域形成有芯片外区域2103。

[0119] 图24是将图23的区域BR放大示出的俯视图。该区域BR是四个CMUT芯片301的角部对置的区域,在CMUT芯片301之间形成有划片区域2201。划片区域2201是为了切出CMUT芯片301而利用切割处理等将半导体晶片切断的区域。

[0120] 图25是将图23的区域CR放大示出的俯视图。在该区域CR示出芯片区域2102和芯片外区域2103的边界区域。

[0121] 图26是示出利用切割处理将图23所示的半导体晶片2101的划片区域2201切断后的区域BR的状态的图。同样,图27是示出利用切割处理将图23所示的半导体晶片2101的划片区域2201切断后的区域CR的状态的图。2202是利用切割处理而切断的面。在半导体晶片2101的切割中,一般用具有某宽度的切割刀片将半导体晶片2101切断,因此与划片区域2201的切割刀片的宽度大致相等的区域被切断。此时,配置于CMUT芯片301的外侧的划片区域2201、芯片外区域2103的图案结构体311也被切断。

[0122] 例如,如图24和图25所示,本实施方式2中的特征点在于如下方面:在半导体晶片2101的多个芯片区域2102以外的划片区域2201、芯片外区域2103,也将相当于构成CMUT单元的梁结构体201的图案结构体311配置于绝缘膜(图5所示的绝缘膜506)上。这样,通过也在划片区域2201、芯片外区域2103配置图案结构体311,从而能使半导体晶片2101的主面的整个面的单位表面积大致均等。其结果,根据本实施方式2,能抑制形成于CMUT芯片301上的单元阵列内的各CMUT单元的膜状物的厚度偏差,据此能使单元阵列内的所有的CMUT单元的器件特性均匀。

[0123] 例如,利用CVD法成膜时发生的载荷效应依赖于构成膜状物的膜的成膜条件,但是有时影响波及到从单位表面积不同的区域的边界区域开始数mm程度。因此,即使在作为单元阵列区域CAR的外侧区域的周边区域PER配置图案结构体311,当不将图案结构体311配置到芯片区域2102以外的划片区域2201、芯片外区域2103时,也有可能由于与这些区域的单位表面积差引起的载荷效应的影响波及到单元阵列区域CAR。其结果,配置于单元阵列区域CAR的中央部的CMUT单元和配置于外周部的CMUT单元的器件特性有可能变得不均匀。

[0124] 在此,为了抑制该影响,考虑到如下:确保从划片区域2201、芯片外区域2103和芯

片区域2102的边界开始数mm的距离,在芯片区域2102内配置单元阵列。但是,在该情况下,为了维持具有收发超声波的功能的单元阵列的大小(尺寸),需要增大芯片区域2102的尺寸。其结果,能从半导体晶片2101取得的CMUT芯片301的数量减少,因此关系到成品率下降、芯片价格(成本)的上升。

[0125] 另一方面,在本实施方式2中,例如,如图24、图25所示,在芯片区域2102以外的划片区域2201、芯片外区域2103也配置有相当于梁结构体201的图案结构体311。因此,根据本实施方式2,能使半导体晶片2101的主面的整个面的单位表面积大致均匀。由此,根据本实施方式2,不必为了抑制因划片区域2201、芯片外区域2103引起的载荷效应而从划片区域2201、芯片外区域2103离开距离地配置单元阵列。因此,不必为了使配置于单元阵列的中央部的CMUT单元和配置于外周部的CMUT单元的器件特性均匀而增大芯片尺寸。即,根据本实施方式2,能使如下情况并存:使形成于所有的芯片区域2102内的单元阵列内的CMUT单元的器件特性均匀化、以及抑制由于能从半导体晶片2101取得的CMUT芯片301的数量减少而导致的成品率下降、芯片价格的上升。

[0126] 本实施方式2中的CMUT的制造方法与所述实施方式1中的CMUT的制造方法同样。为了在划片区域2201配置图案结构体311,在将梁结构体201形成于芯片区域2102的光掩模中,只要也在划片区域2201预先布局图案结构体311的图案即可。另外,芯片外区域2103使用形成梁结构体201的光掩模,不仅在芯片区域2102,而且也在芯片外区域2103预先图案化即可。或者,也可以使用芯片外区域2103的图案专用的光掩模在芯片外区域2103使图案结构体311图案化。

[0127] 另外,如所述实施方式1中说明的那样,即使改变配置于划片区域2201、芯片外区域2103的图案结构体311的配置间距、图案形状,如果在半导体晶片2101的主面的整个面中使单位表面积大致相等,则与配置间距、图案形状无关,能得到同样的效果。

[0128] 而且,在本实施方式2中,对例如在划片区域2201和芯片外区域2103这两方区域配置图案结构体311的例子进行了说明,但是不限于此,也可以根据效果的程度,仅在划片区域2201和芯片外区域2103中的一方区域配置图案结构体311。

[0129] (实施方式3)

[0130] 接着,参照附图对所述实施方式1或者所述实施方式2中的具备CMUT的超声波检查装置的一构成例及其作用进行说明。

[0131] 图28是示出本实施方式3中的超声波检查装置2401的示意性构成的框图。在图28中,本实施方式1中的超声波检查装置2401由主体和超声波探头2402构成,主体由收发分离部2403、发射部2404、偏压部2405、接收部2406、整相加法部2407、图像处理部2408、显示部2409、控制部2410、操作部2411构成。

[0132] 超声波探头2402是与被检体接触以在与被检体之间收发超声波的装置,使用所述实施方式1或者所述实施方式2中的CMUT来制造。超声波从超声波探头2402发送到被检体,来自被检体的反射回波信号利用超声波探头2402接收波。该超声波探头2402与后述的收发分离部2403电连接。

[0133] 发射部2404和偏压部2405具有如下功能:为了从超声波探头2402发出超声波而对超声波探头2402供给驱动信号。

[0134] 接收部2406具有接收从超声波探头2402输出的反射回波信号的功能。接收部2406

进一步针对接收的反射回波信号进行模拟数字转换(AD转换)等信号处理。

[0135] 收发分离部2403具有如下功能:以在发出超声波时将超声波探头2402和发射部2404电连接,而在接收超声波时将超声波探头2402和接收部2406电连接的方式切换连接路径。即,收发分离部2403具有如下功能:以在发送时从发射部2404向超声波探头2402传送驱动信号,在接收时从超声波探头2402向接收部2406传送接收信号的方式切换并分离发送和接收。

[0136] 整相加法部2407具有如下功能:考虑到由各个CMUT单元接收从焦点输出的反射回波信号的时间差来进行加法运算。即,整相加法部2407具有考虑到反射回波信号的相位差来进行加法运算(整相加法)的功能。

[0137] 图像处理部2408具有基于整相加法的反射回波信号形成检查图像的功能,显示部2409是显示已进行图像处理的检查图像的显示装置。

[0138] 控制部2410具有对构成主体的各构成部进行控制的功能,控制部2410控制超声波探头2402的超声波的收发。

[0139] 操作部2411是对控制部2410赋予指示的装置,操作部2411例如由光标、键盘、鼠标等输入设备构成。

[0140] 以上,对本发明人作出的发明基于其实施方式具体地进行了说明,但是本发明并不限于所述实施方式,当然能在不脱离其主旨的范围内进行各种变更。即,本发明并不限于上述的实施方式,包含各种变形例。例如,上述的实施方式是为了更好地理解本发明而详细说明的方式,不必限于具备说明的所有构成。另外,能将某实施方式的构成的一部分置换为其他实施方式的构成,另外,也能对某实施方式的构成追加其他实施方式的构成。另外,关于各实施方式的构成的一部分,能进行其他构成的增加/删除/置换。

[0141] 所述实施方式包括以下方式。

[0142] (附记1)

[0143] 一种超声波换能器,包括:

[0144] 形成有多个单元的单元阵列区域;以及

[0145] 与所述单元阵列区域相邻接的周边区域,

[0146] 所述多个单元各自具有:

[0147] 基板;

[0148] 第一电极,其形成于所述基板上;

[0149] 第一绝缘膜,其形成于所述第一电极上;

[0150] 空洞部,其形成于所述第一绝缘膜上,且在俯视时与所述第一电极重叠;

[0151] 第二绝缘膜,其形成于所述空洞部上;

[0152] 第二电极,其形成于所述第二绝缘膜上,且在俯视时与所述空洞部重叠;

[0153] 第三绝缘膜,其形成于所述第二电极上;

[0154] 梁结构体,其从所述第三绝缘膜呈凸状突出,且在俯视时与所述空洞部重叠;以及

[0155] 第四绝缘膜,其覆盖所述梁结构体,且形成于所述第三绝缘膜上,

[0156] 在所述周边区域形成有:

[0157] 所述第三绝缘膜;

[0158] 多个图案结构体,其从所述第三绝缘膜呈凸状突出;以及

- [0159] 所述第四绝缘膜,其覆盖所述多个图案结构体。
- [0160] (附记2)
- [0161] 在附记1记载的超声波换能器中,
- [0162] 所述多个图案结构体各自自由与所述梁结构体相同的材料形成。
- [0163] (附记3)
- [0164] 在附记1记载的超声波换能器中,
- [0165] 所述多个图案结构体各种形成与所述梁结构体相同的结构。
- [0166] (附记4)
- [0167] 在附记1记载的超声波换能器中,
- [0168] 形成有所述多个图案结构体的所述周边区域中的所述第三绝缘膜上的表面积和形成有多个所述梁结构体的所述单元阵列区域中的所述第三绝缘膜上的表面积之差,小于在所述周边区域未形成所述多个图案结构体的情况下的所述周边区域中的所述第三绝缘膜上的表面积和形成有多个所述梁结构体的所述单元阵列区域中的所述第三绝缘膜上的表面积之差。
- [0169] (附记5)
- [0170] 在附记1记载的超声波换能器中,
- [0171] 由所述第二绝缘膜、所述第二电极、所述第三绝缘膜、所述梁结构体以及所述第四绝缘膜构成膜状物,
- [0172] 所述梁结构体具有与不存在所述梁结构体的情况相比将所述膜状物的厚度方向上的所述膜状物的振动增大的功能。
- [0173] (附记6)
- [0174] 在附记1记载的超声波换能器中,
- [0175] 所述梁结构体的厚度为将所述第二绝缘膜、所述第二电极以及所述第三绝缘膜组合得到的厚度以上。
- [0176] (附记7)
- [0177] 一种超声波换能器的制造方法,具备如下:
- [0178] 工序(a),准备半导体晶片,该半导体晶片在主面具有多个芯片区域、划分所述多个芯片区域的划片区域、以及形成于所述多个芯片区域的外侧的芯片外区域;
- [0179] 工序(b),在所述多个芯片区域各自形成有第一电极;
- [0180] 工序(c),在包括所述第一电极上的所述主面形成第一绝缘膜;
- [0181] 工序(d),在所述多个芯片区域各自中,在所述第一绝缘膜上形成在俯视时与所述第一电极重叠的牺牲层;
- [0182] 工序(e),在覆盖有所述牺牲层且形成于所述主面的所述第一绝缘膜上形成第二绝缘膜;
- [0183] 工序(f),在所述多个芯片区域各自中,在所述第二绝缘膜上形成在俯视时与所述牺牲层重叠的第二电极;
- [0184] 工序(g),在包括所述第二电极上的所述主面形成第三绝缘膜;
- [0185] 工序(h),在所述多个芯片区域各自中,形成贯穿所述第三绝缘膜及所述第二绝缘膜到达所述牺牲层的蚀刻孔;

[0186] 工序(i),在所述多个芯片区域各自中,通过介由所述蚀刻孔将所述牺牲层除去,从而形成空洞部;

[0187] 工序(j),在所述(i)工序后,在所述多个芯片区域各自中将所述蚀刻孔堵住;

[0188] 工序(k),在所述(j)工序后,在所述多个芯片区域的所述第三绝缘膜上形成在俯视时与所述空洞部重叠的梁结构体,且在所述划片区域的所述第三绝缘膜上形成相当于所述梁结构体的多个图案结构体;以及

[0189] 工序(l),在所述(k)工序后,在覆盖所述梁结构体和所述多个图案结构体、且形成于所述主面的所述第三绝缘膜上形成第四绝缘膜。

[0190] (附记8)

[0191] 在附记7记载的超声波换能器的制造方法中,

[0192] 所述(k)工序在所述芯片外区域的所述第三绝缘膜上也形成所述多个图案结构体。

[0193] (附记9)

[0194] 在附记7记载的超声波换能器的制造方法中,

[0195] 所述多个芯片区域各自包括:

[0196] 单元阵列区域,其形成有多个单元;以及

[0197] 周边区域,其与所述单元阵列区域相邻接,

[0198] 所述(k)工序在所述多个芯片区域各自的所述周边区域的所述第三绝缘膜上也形成所述多个图案结构体。

[0199] (附记10)

[0200] 在附记7记载的超声波换能器的制造方法中,

[0201] 利用在所述(k)工序中形成的所述梁结构体和所述多个图案结构体各自在所述第三绝缘膜上形成有凸形。

[0202] (附记11)

[0203] 在附记7记载的超声波换能器的制造方法中,

[0204] 所述(l)工序使用等离子体CVD法形成所述第四绝缘膜。

[0205] 附图标记说明

[0206] 101 基板

[0207] 102 下部电极

[0208] 103 空洞部

[0209] 104a 绝缘膜

[0210] 104b 绝缘膜

[0211] 105 上部电极

[0212] 106 膜状物

[0213] 201 梁结构体

[0214] 301 CMUT芯片

[0215] 302 引出配线

[0216] 303 插头

[0217] 304 配线

- [0218] 305 引出配线
- [0219] 306 插头
- [0220] 310 单元阵列
- [0221] 311 图案结构体
- [0222] 401 蚀刻孔
- [0223] 501 半导体基板
- [0224] 502 绝缘膜
- [0225] 503 绝缘膜
- [0226] 504 绝缘膜
- [0227] 505 绝缘膜
- [0228] 506 绝缘膜
- [0229] 507 绝缘膜
- [0230] 701 端面
- [0231] 1203 牺牲层
- [0232] 2001 结构体
- [0233] 2002 结构体
- [0234] 2003 虚设单元
- [0235] 2004 区域
- [0236] 2101 半导体晶片
- [0237] 2102 芯片区域
- [0238] 2103 芯片外区域
- [0239] 2201 划片区域
- [0240] 2202 面
- [0241] 2401 超声波检查装置
- [0242] 2402 超声波探头
- [0243] 2403 收发分离部
- [0244] 2404 发射部
- [0245] 2405 偏压部
- [0246] 2406 接收部
- [0247] 2407 整相加法部
- [0248] 2408 图像处理部
- [0249] 2409 显示部
- [0250] 2410 控制部
- [0251] 2411 操作部
- [0252] CAR 单元阵列区域
- [0253] PER 周边区域

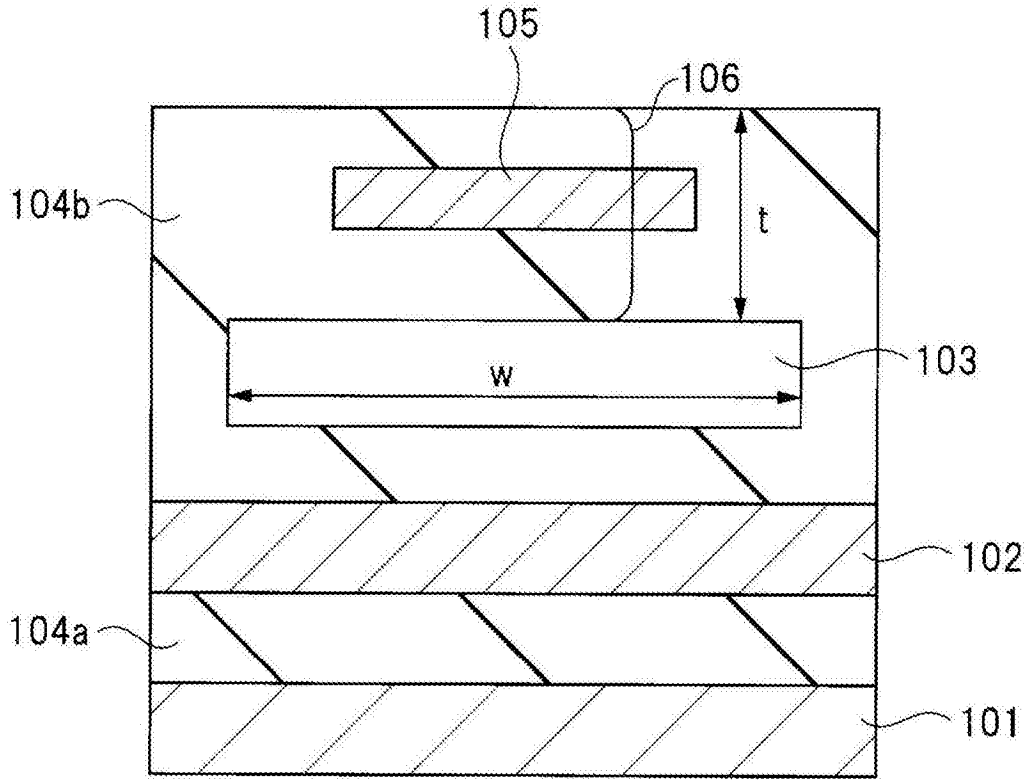


图1

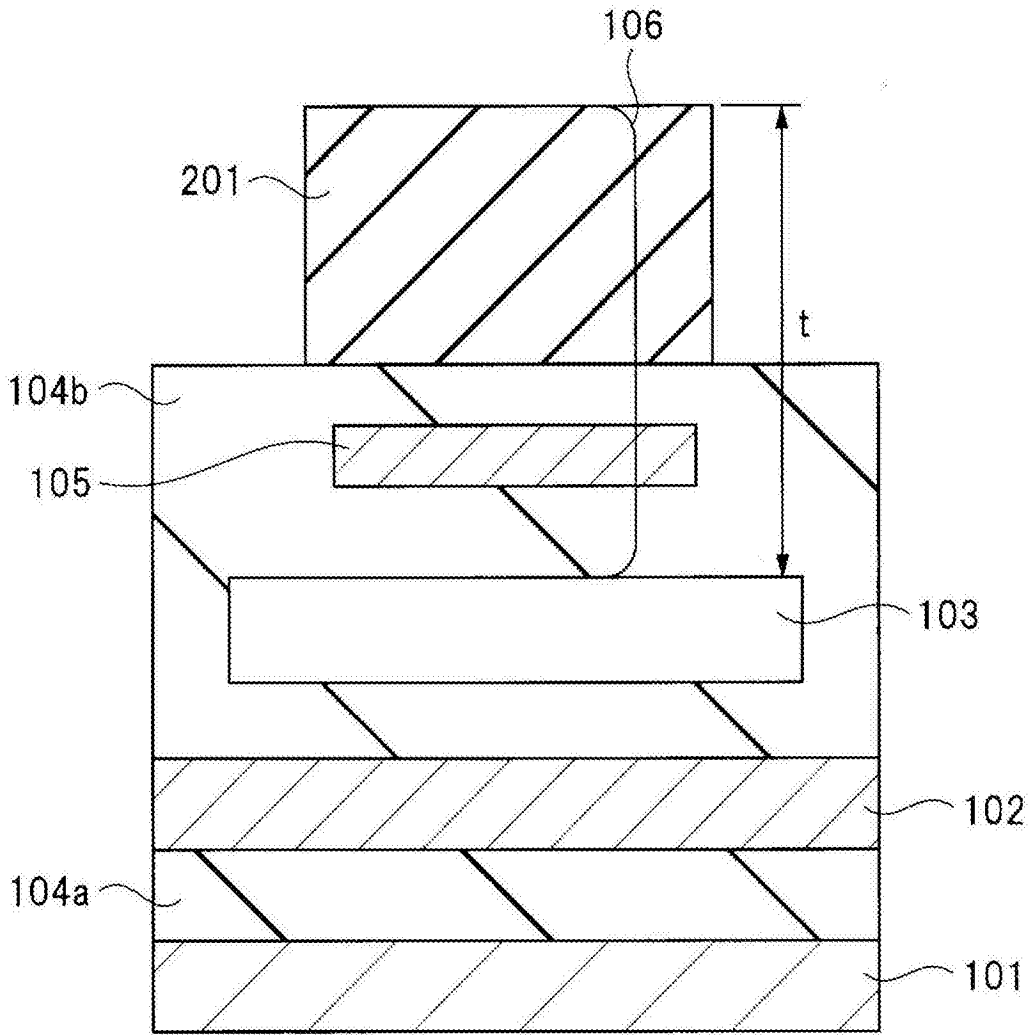


图2

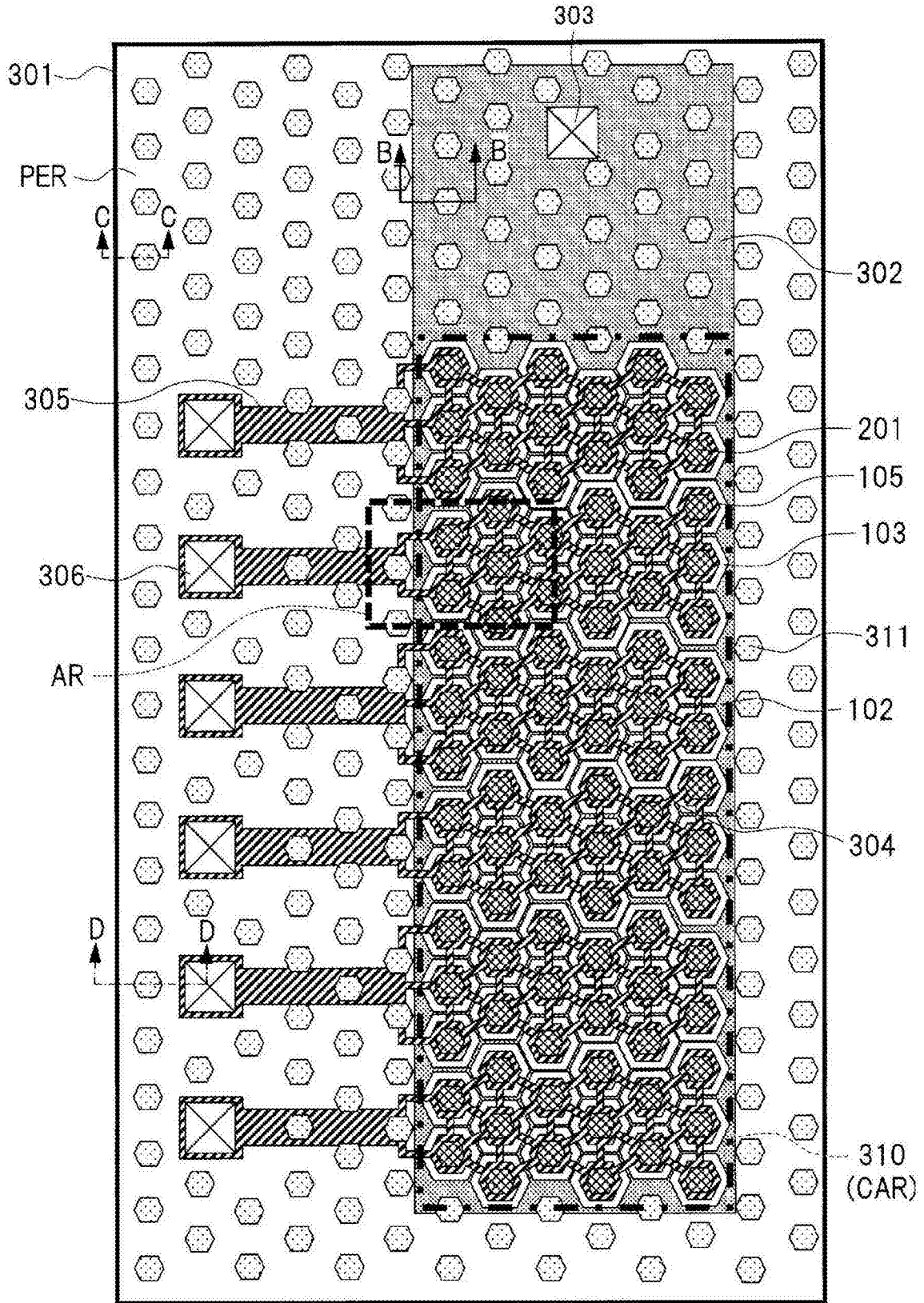


图3

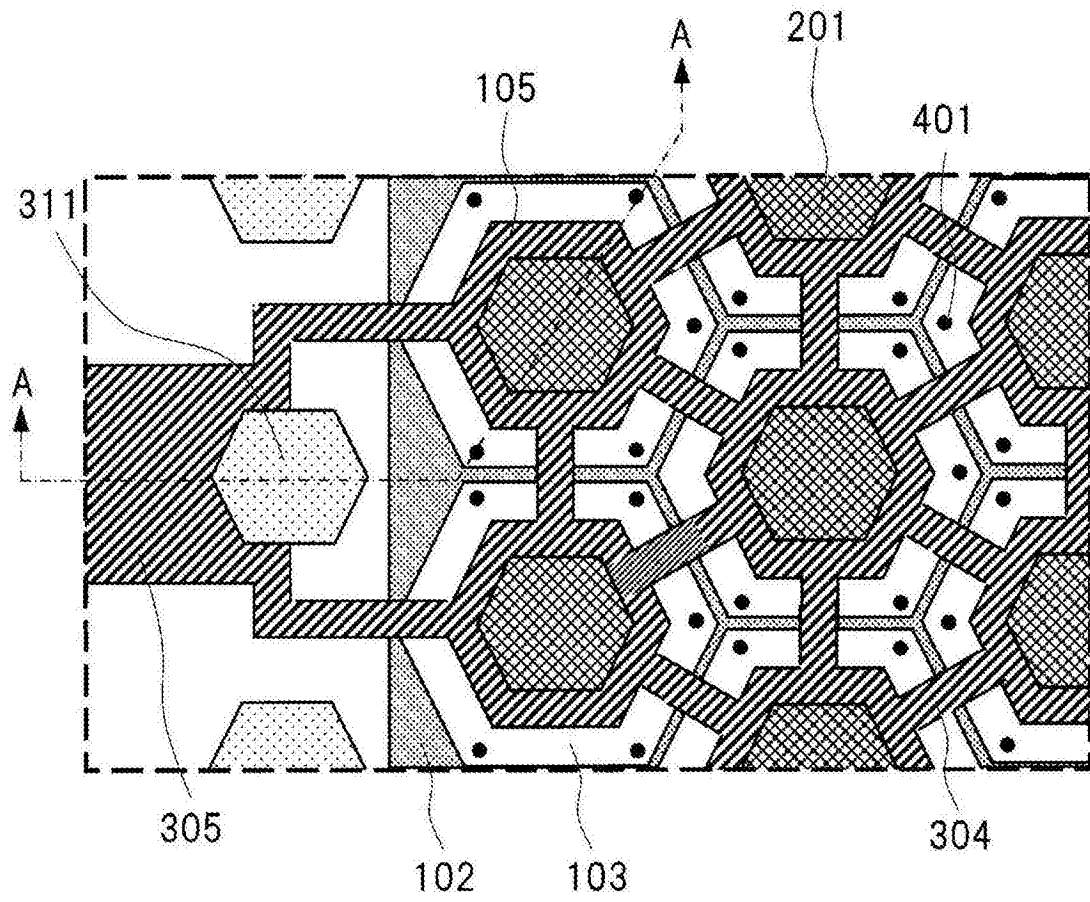


图4

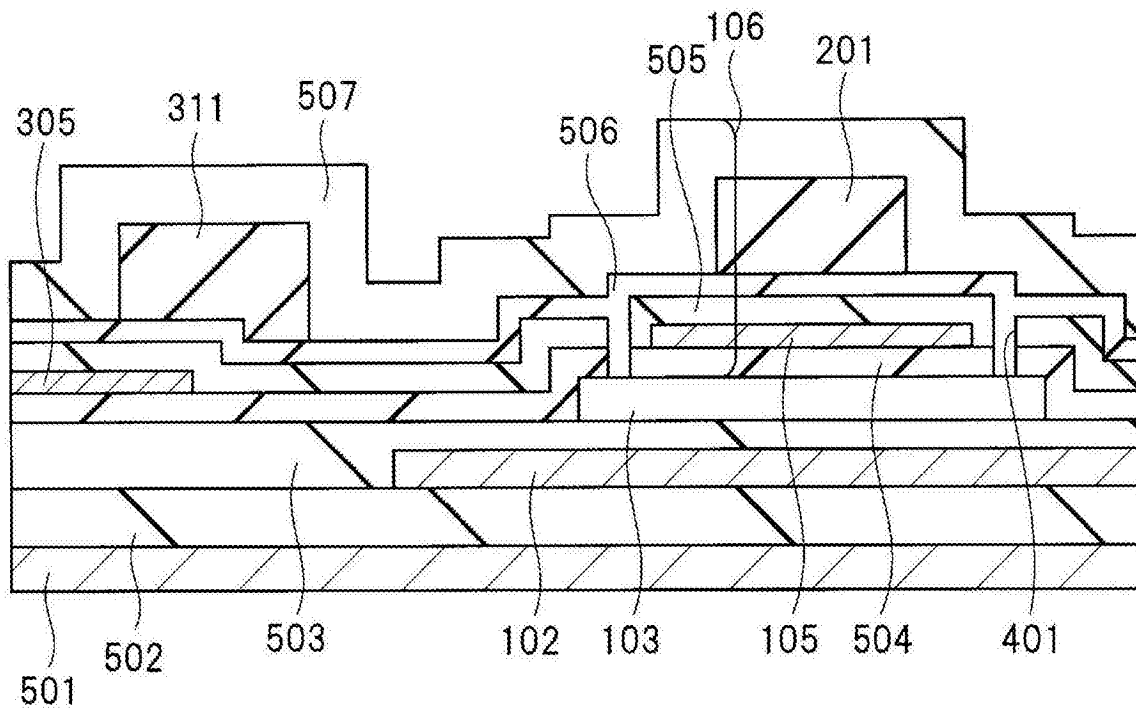


图5

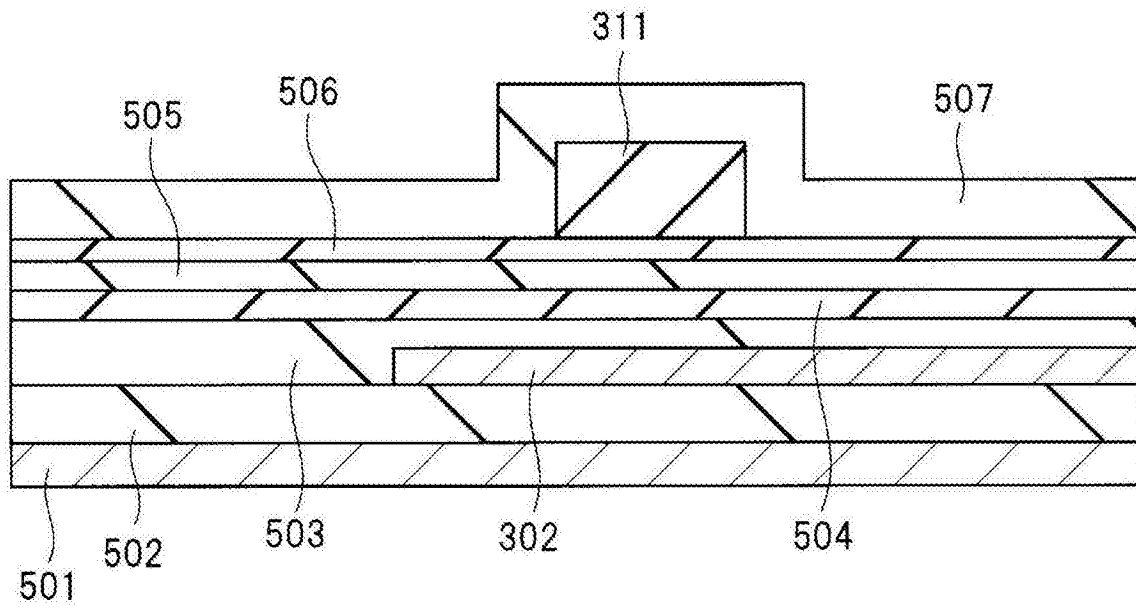


图6

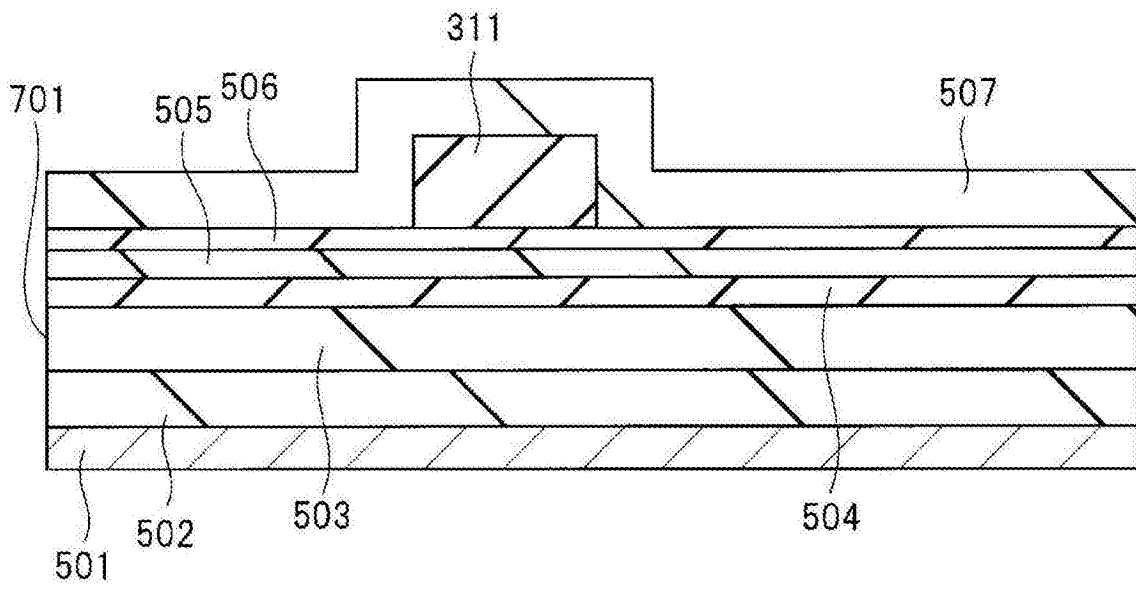


图7

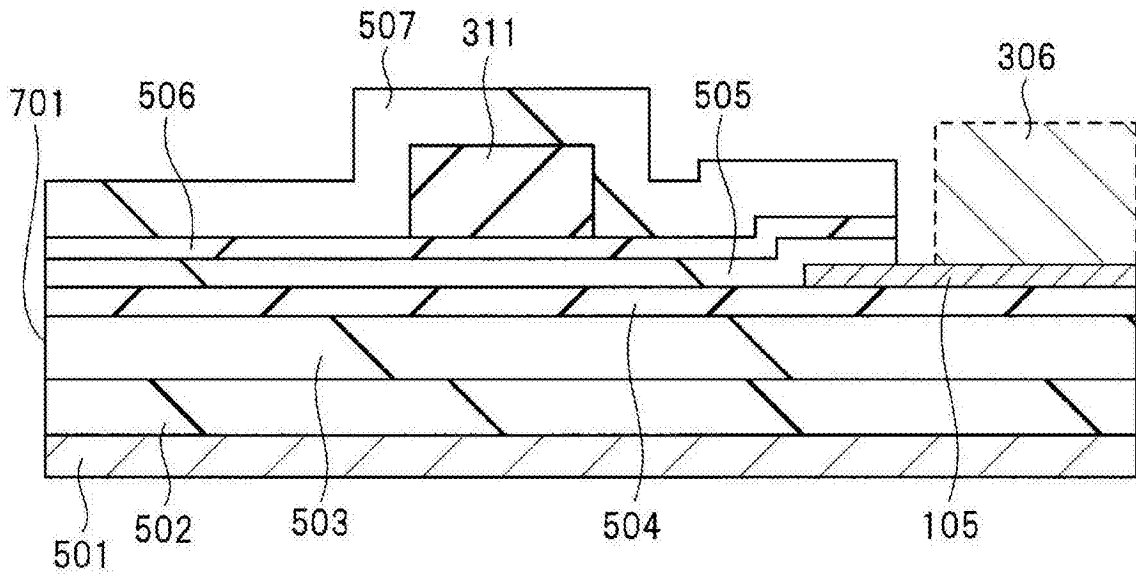


图8

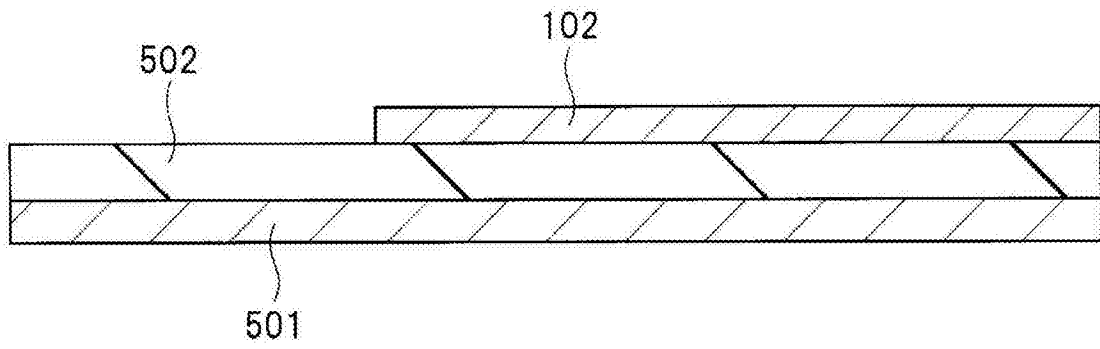


图9

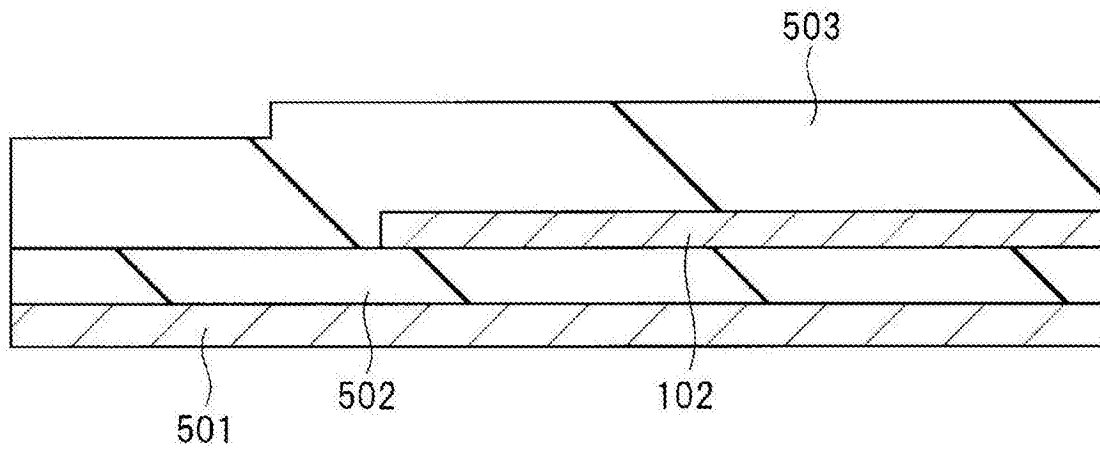


图10

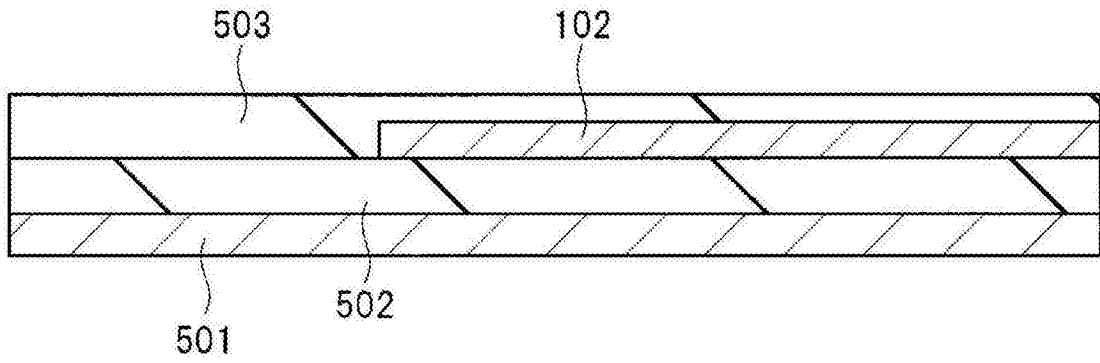


图11

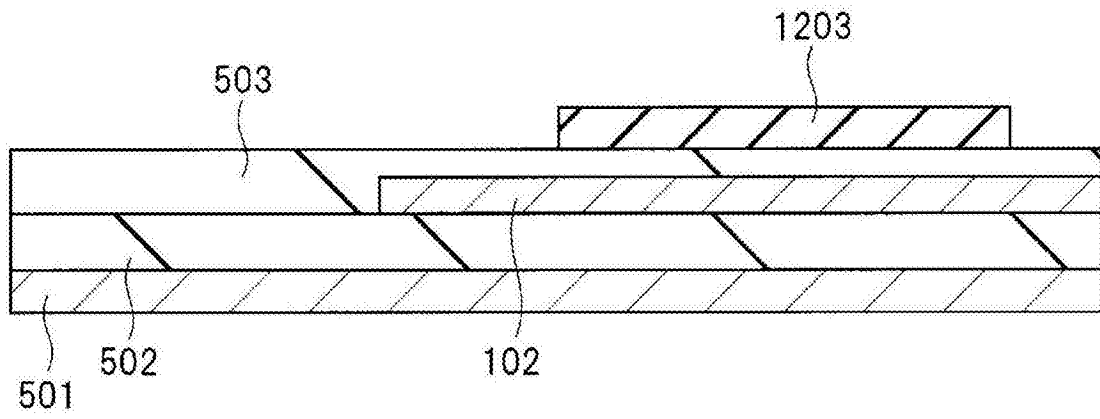


图12

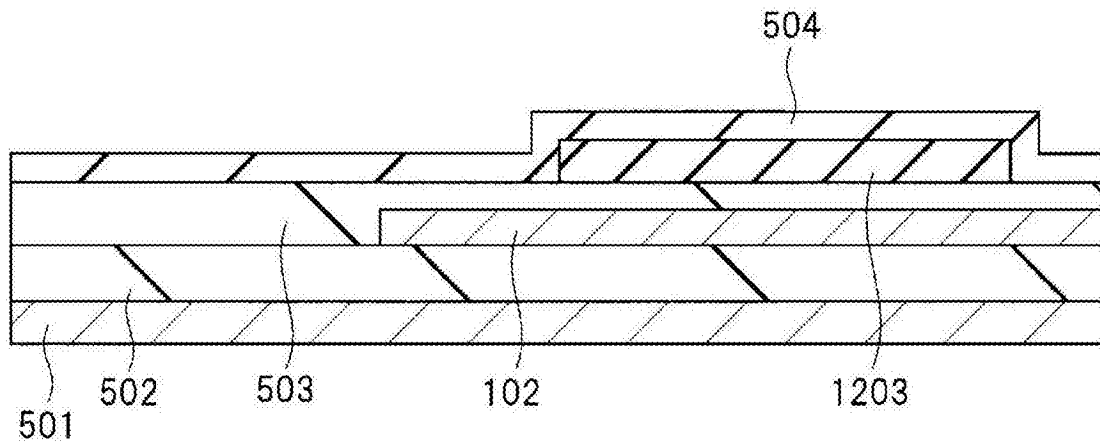


图13

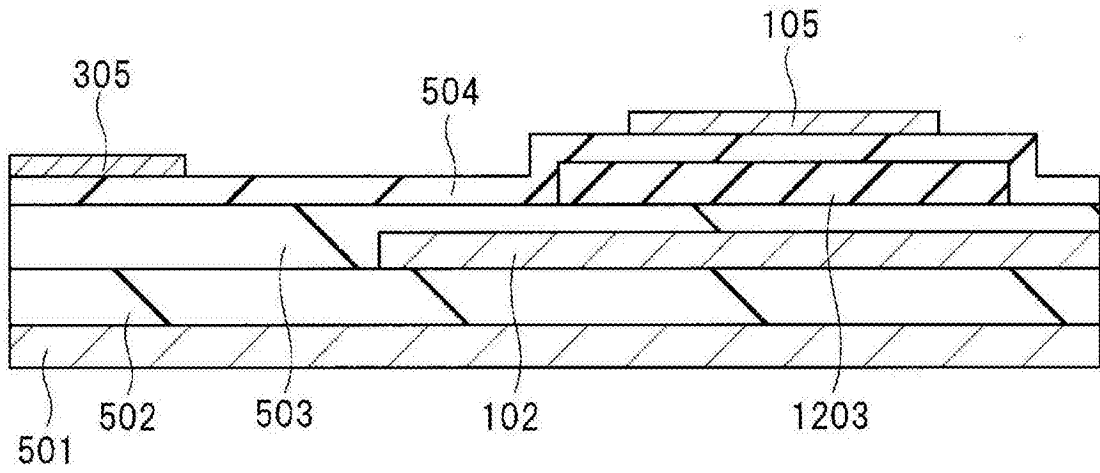


图14

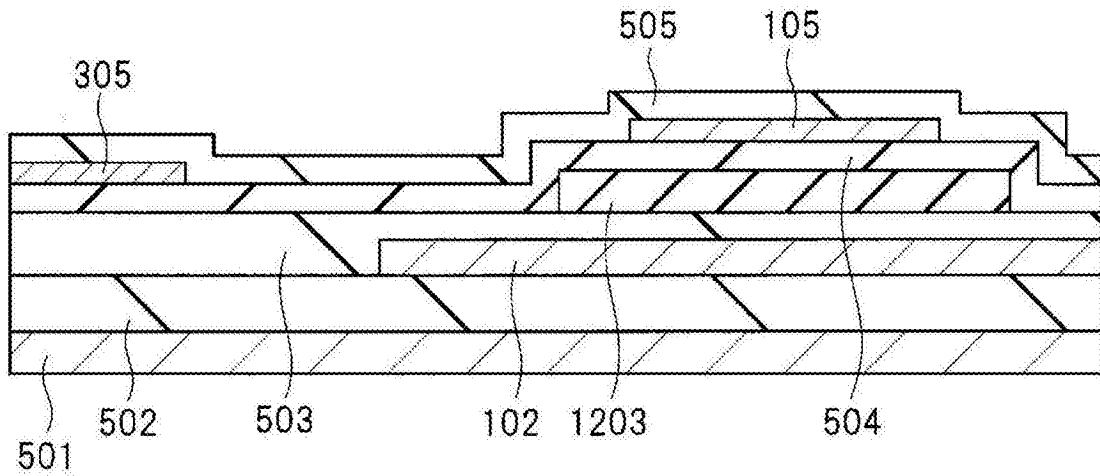


图15

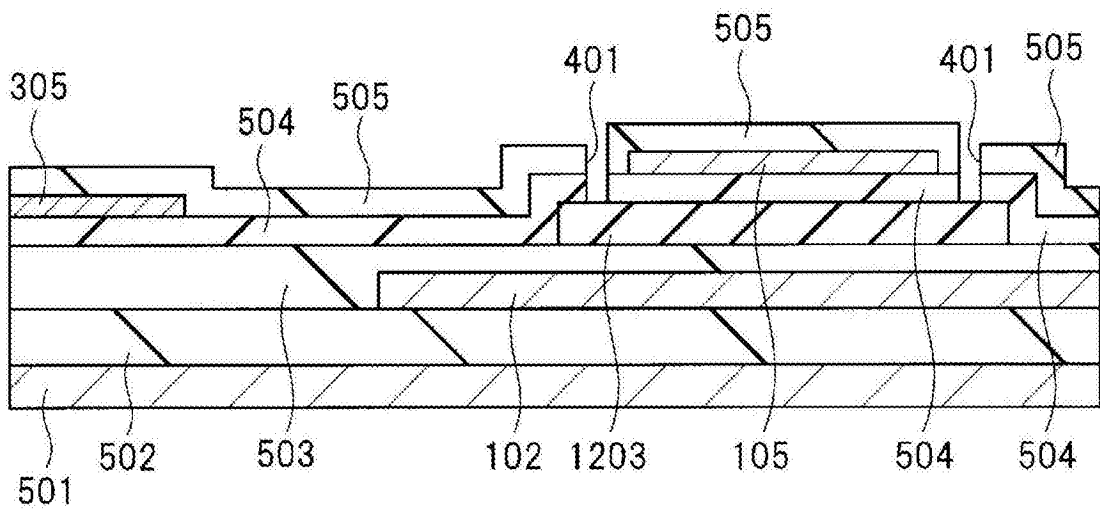


图16

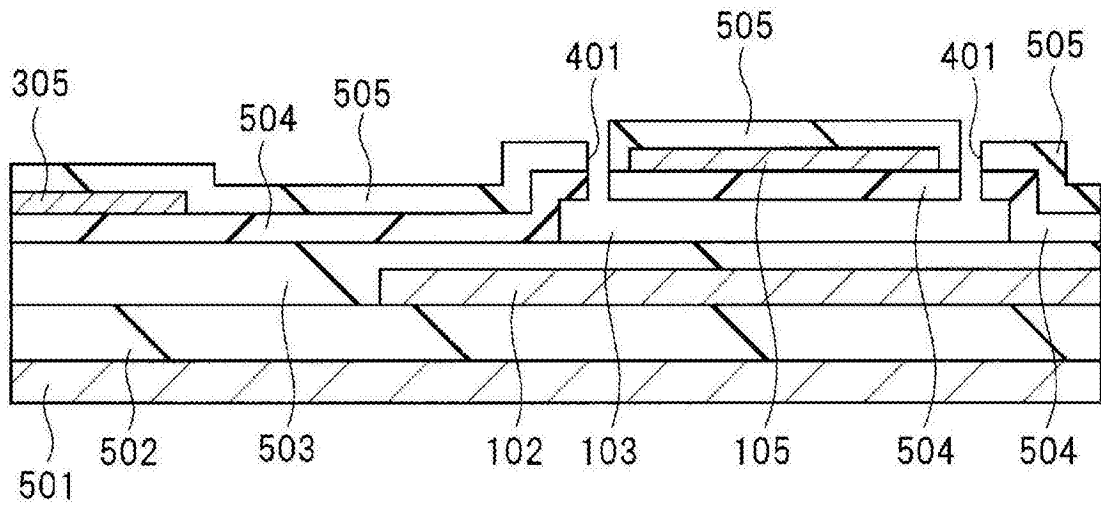


图17

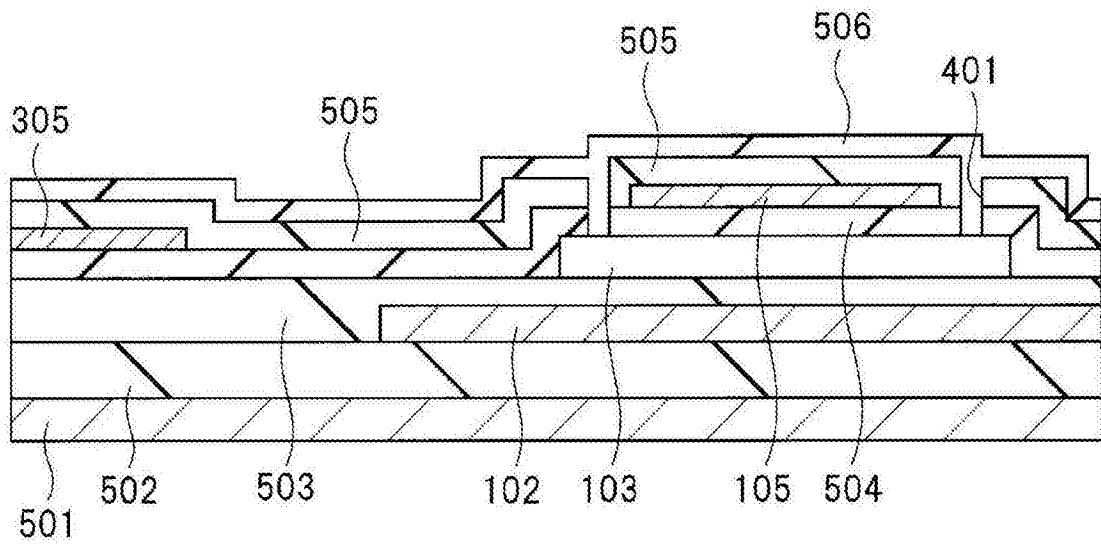


图18

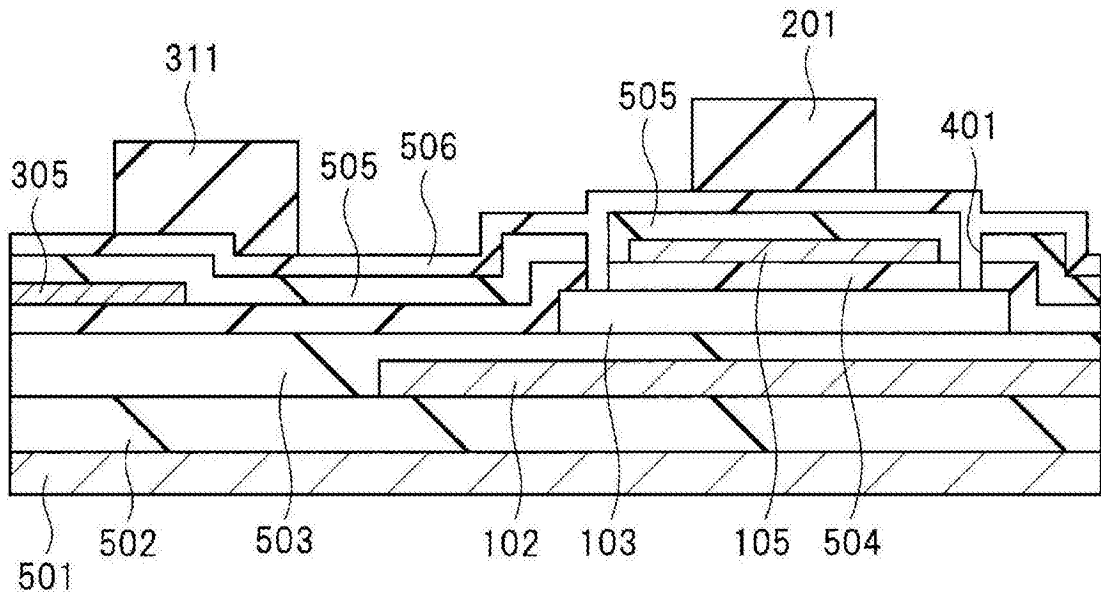


图19

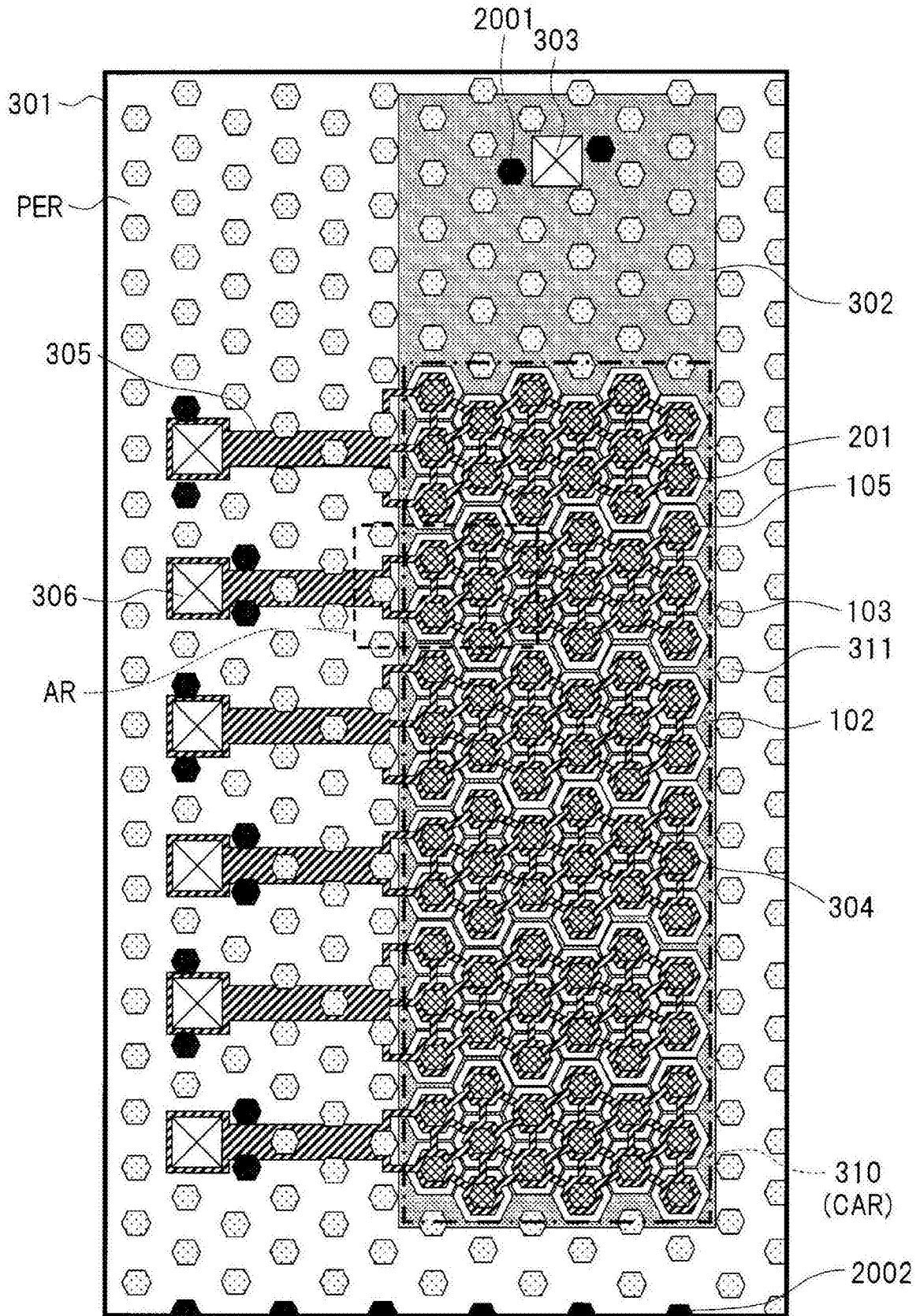


图20

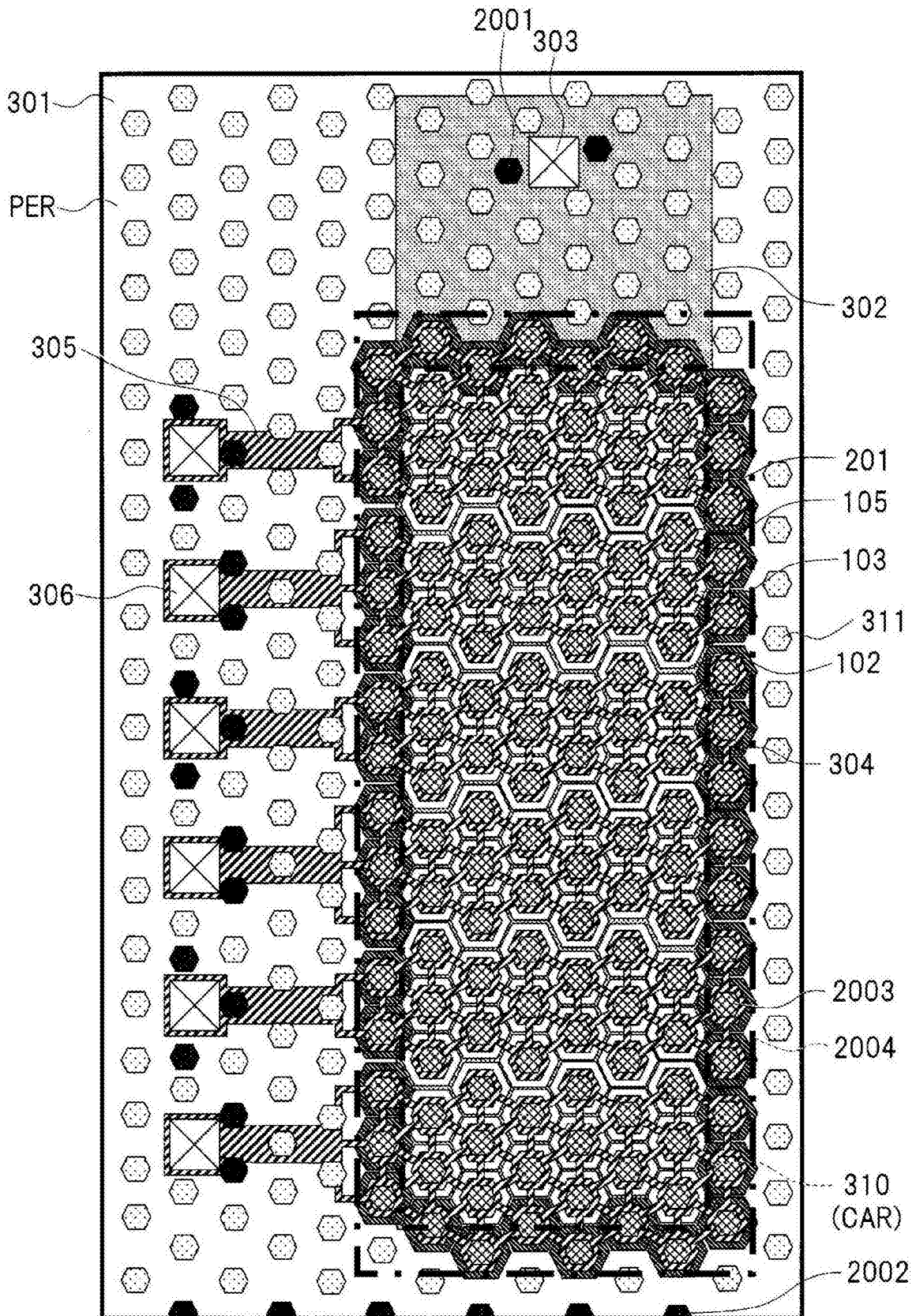


图21

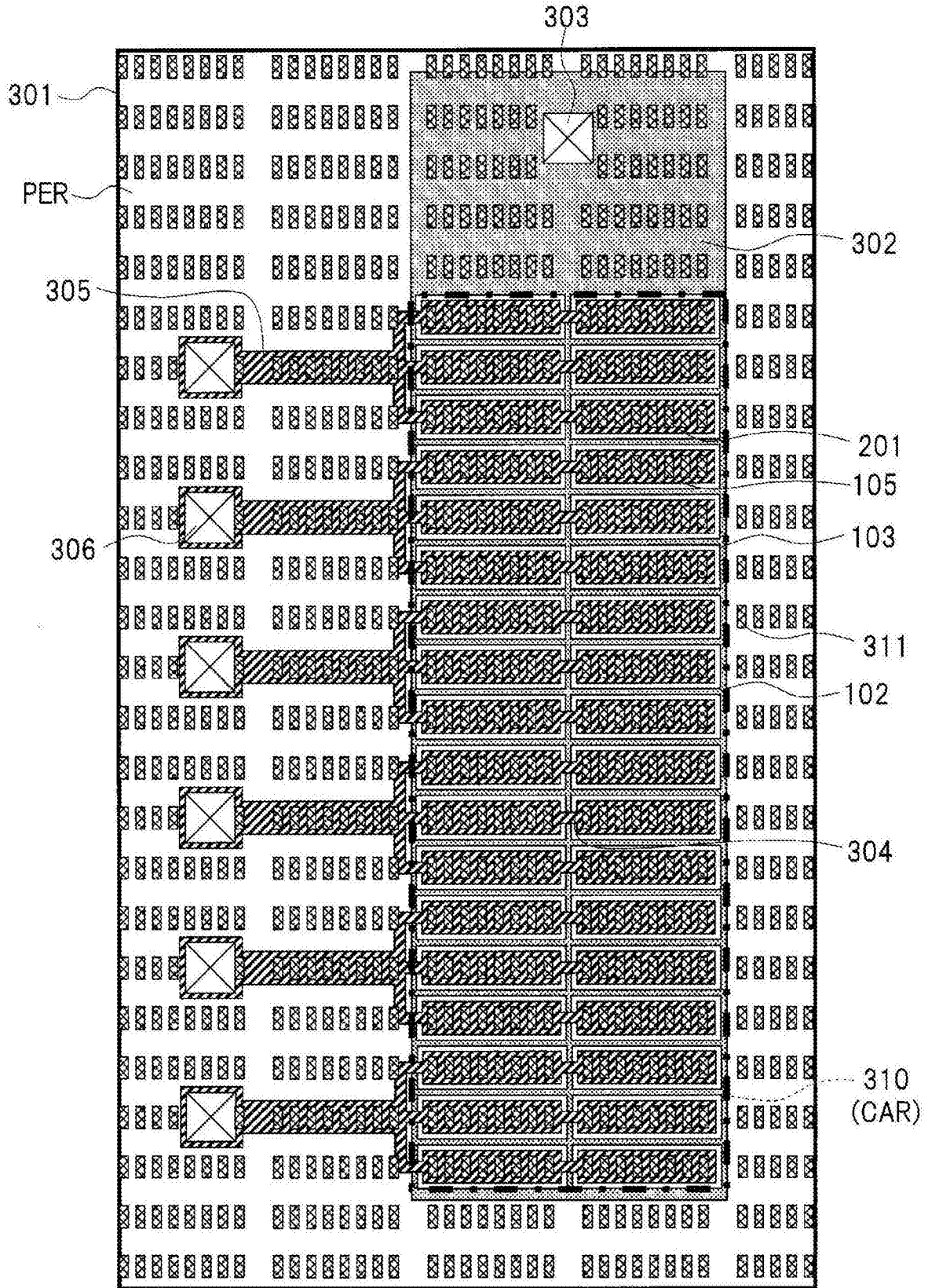


图22

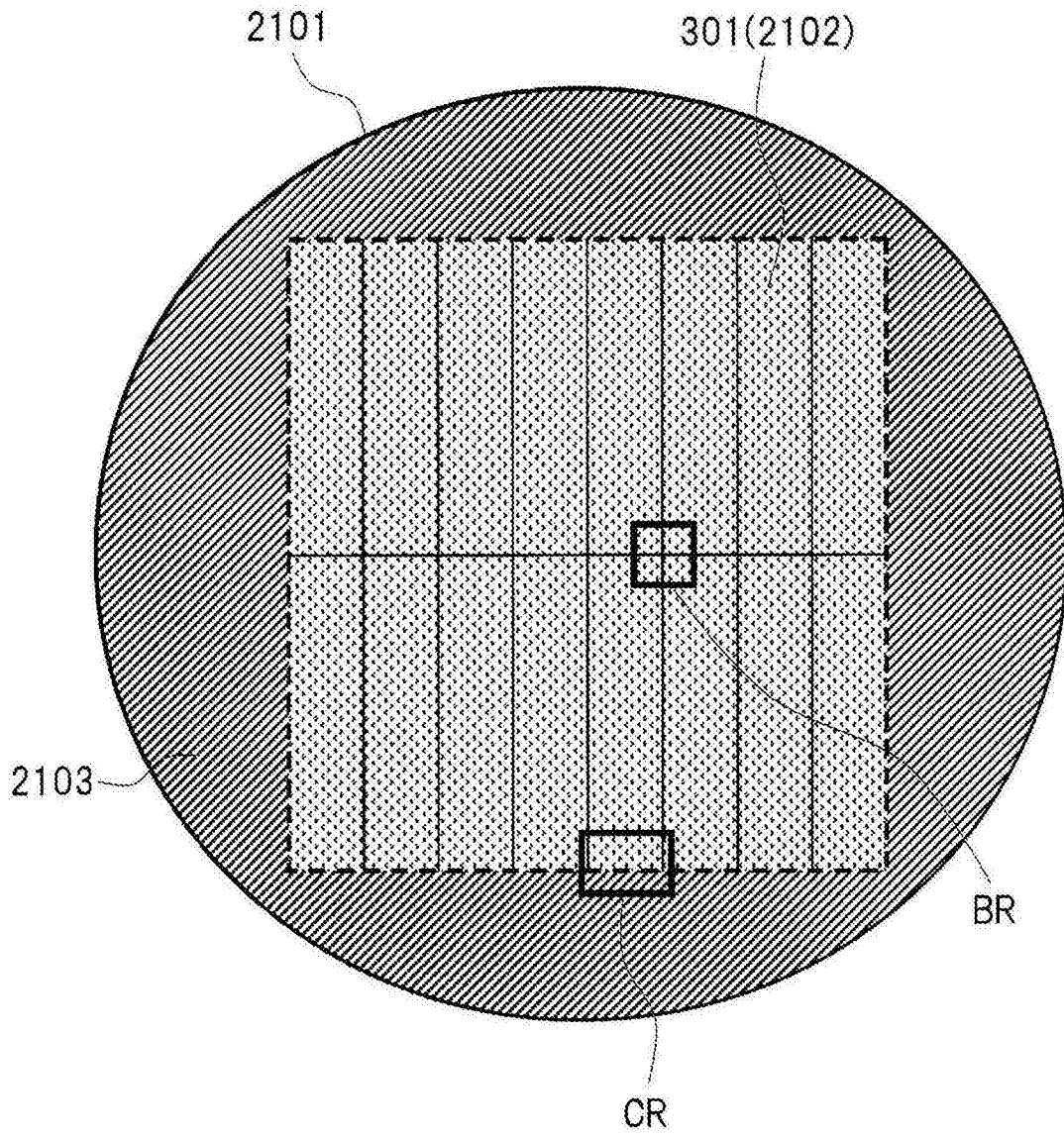


图23

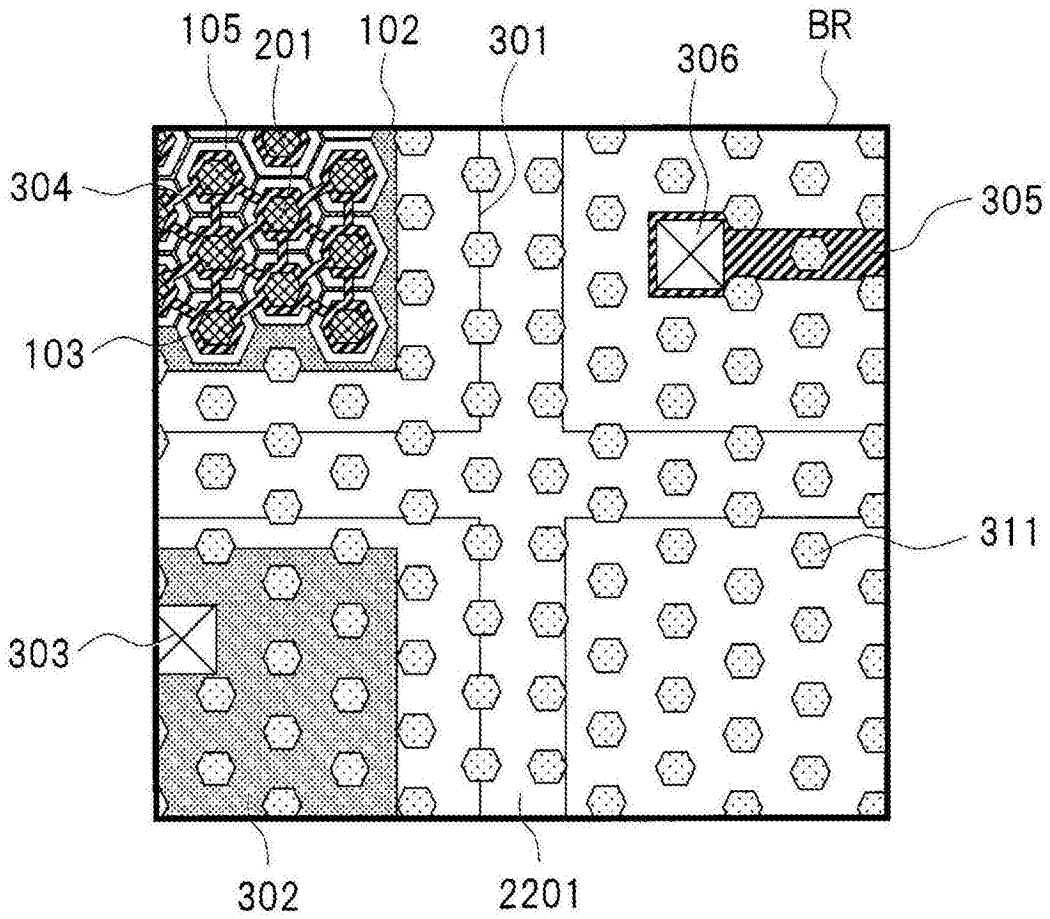


图24

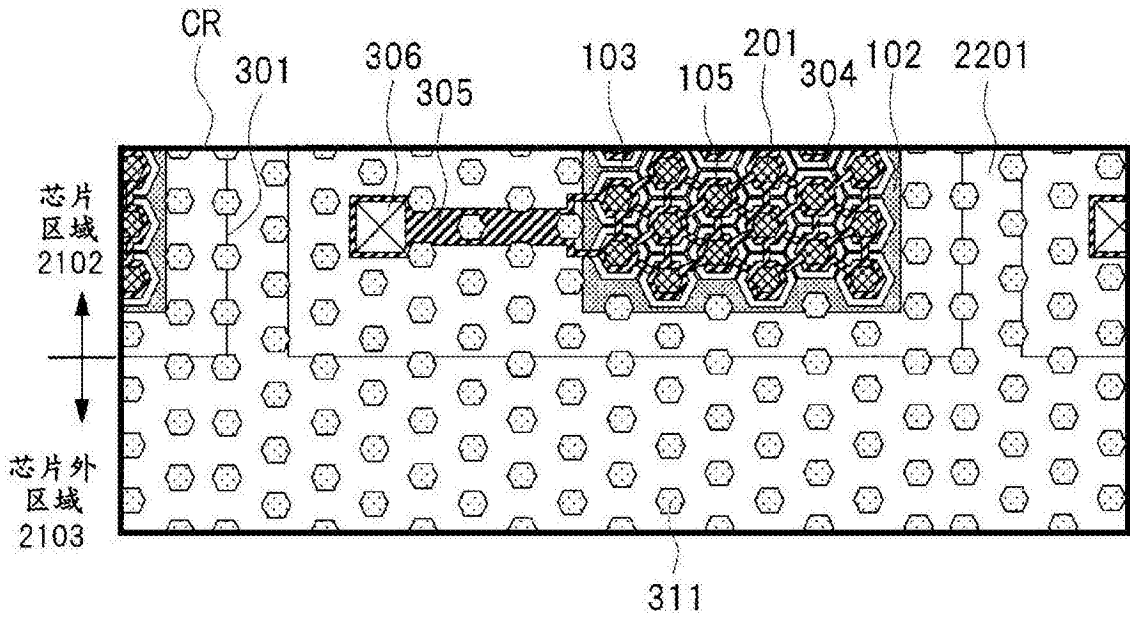


图25

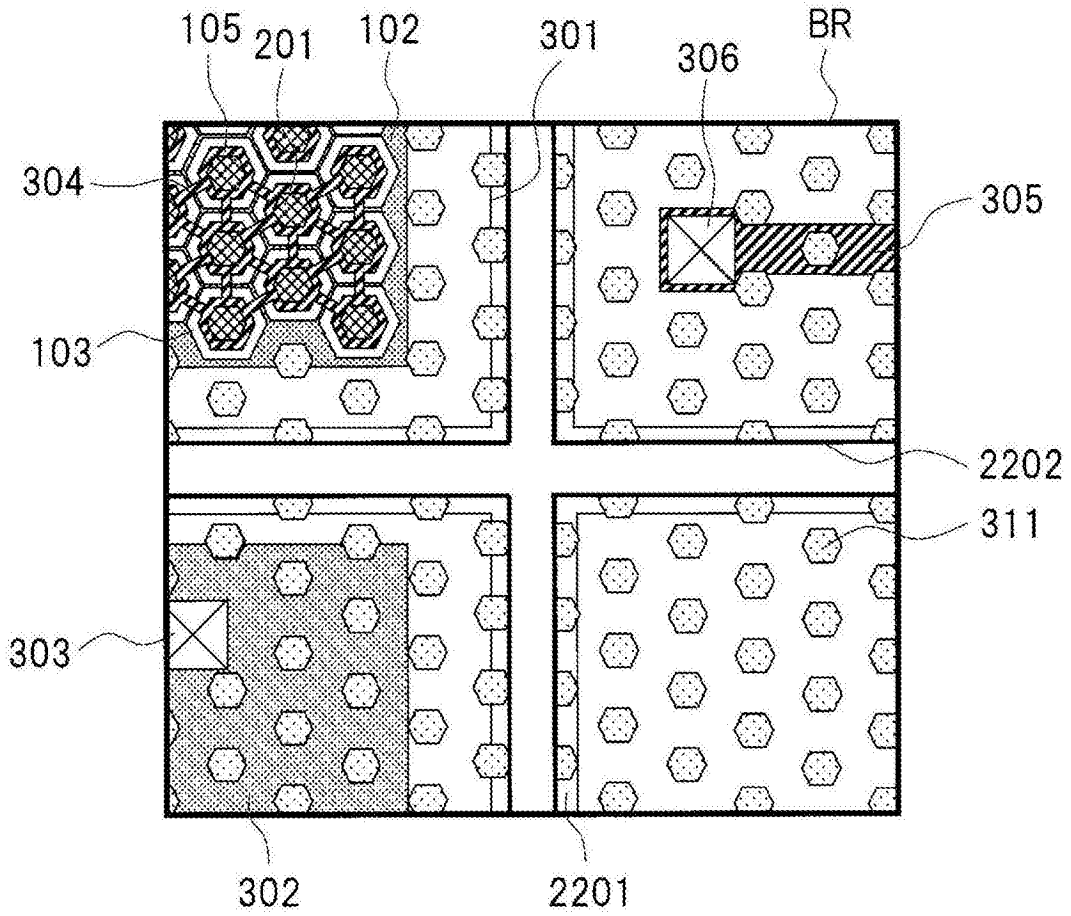


图26

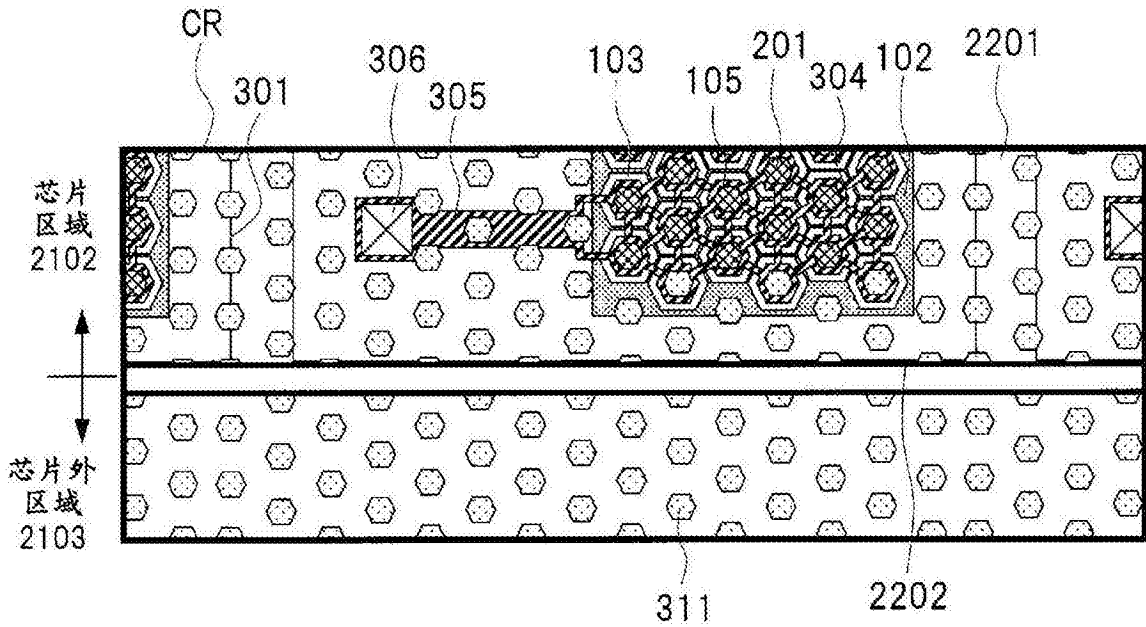


图27

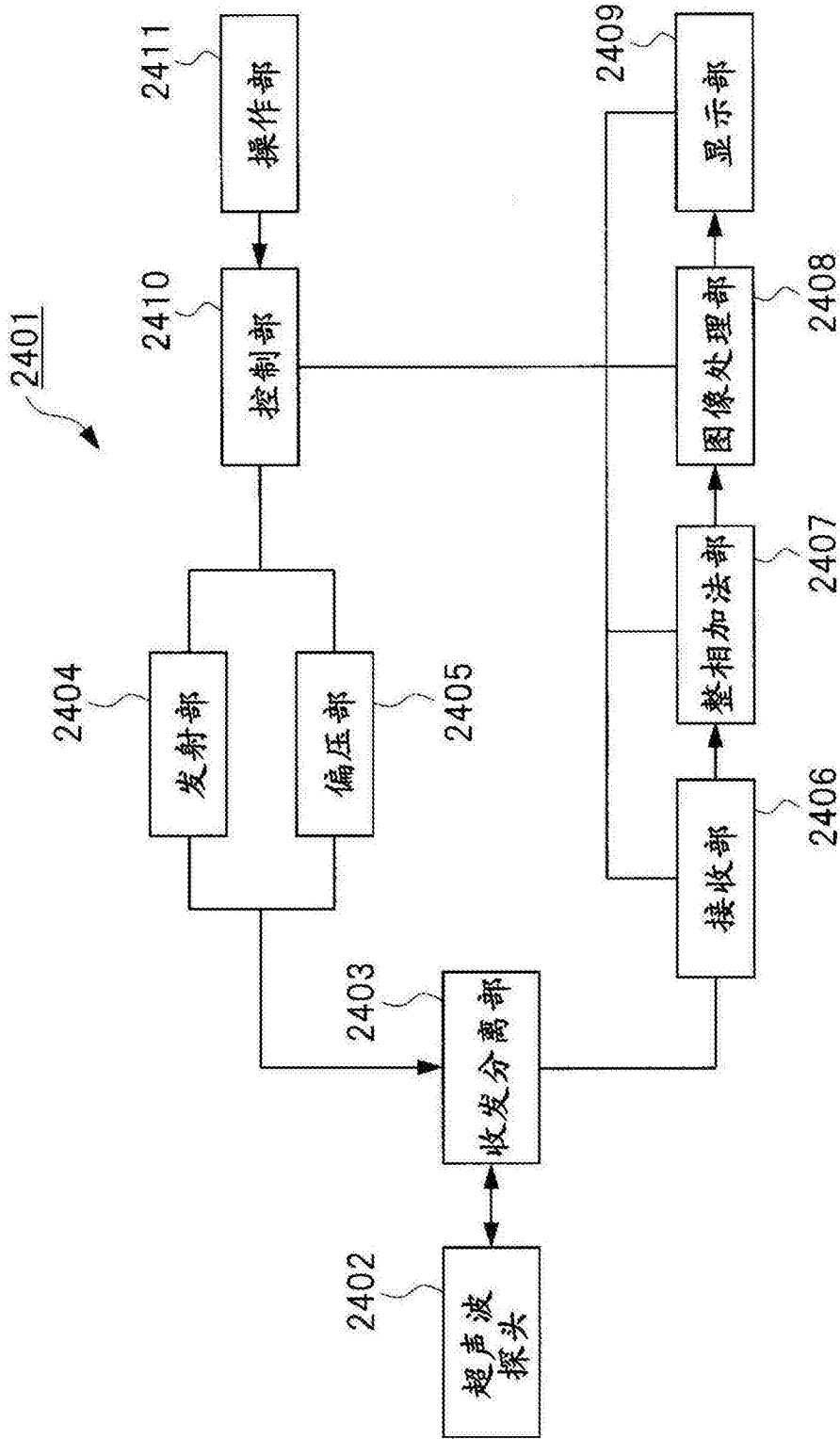


图28

专利名称(译)	超声波换能器及超声波检查装置		
公开(公告)号	CN107710787A	公开(公告)日	2018-02-16
申请号	CN201680038034.7	申请日	2016-05-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	町田俊太郎 峰利之 藤崎耕司 竹崎泰一 龙崎大介		
发明人	町田俊太郎 峰利之 藤崎耕司 竹崎泰一 龙崎大介		
IPC分类号	H04R19/00 A61B8/00 G01N29/06 G01N29/24 H04R1/40		
CPC分类号	A61B8/00 G01N29/06 G01N29/24 H04R1/40 H04R19/00		
代理人(译)	金鲜英 陈彦		
优先权	2015110530 2015-05-29 JP		
其他公开文献	CN107710787B		
外部链接	Espacenet SIPO		

摘要(译)

在静电电容检测型的超声波换能器中，由于超声波换能器的单元阵列的各单元的膜状物的膜厚偏差，导致单元阵列内的单元的器件特性变得不均匀。超声波换能器具备CMUT芯片(301)，CMUT芯片(301)包括：形成有多个单元的单元阵列区域CAR；以及与单元阵列区域CAR相邻接的周边区域PER，在单元阵列区域CAR配置梁结构体(201)，并且在周边区域PER配置相当于梁结构体(201)的多个图案结构体(311)。由此，将单元阵列区域CAR的单位表面积和周边区域PER的单位表面积的差减小。其结果，能够提高覆盖梁结构体(201)和图案结构体(311)的绝缘膜的膜厚的均匀性。

