



(12)发明专利申请

(10)申请公布号 CN 106061395 A

(43)申请公布日 2016. 10. 26

(21)申请号 201480076530.2

(51)Int.Cl.

(22)申请日 2014.02.26

A61B 8/00(2006.01)

(85)PCT国际申请进入国家阶段日

2016.08.25

(86)PCT国际申请的申请数据

PCT/JP2014/054756 2014.02.26

(87)PCT国际申请的公布数据

W02015/128974 JA 2015.09.03

(71)申请人 株式会社日立制作所

地址 日本东京都

(72)发明人 中川树生 罇泽裕 梶山新也

(74)专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 范胜杰 赵宇

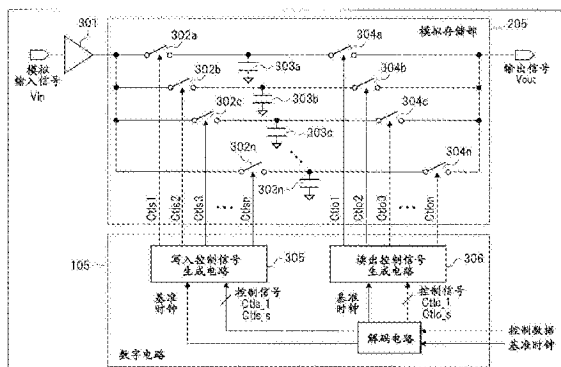
权利要求书3页 说明书17页 附图17页

(54)发明名称

超声波探头以及使用该超声波探头的超声波摄像装置

(57)摘要

构成能够动态地变更延迟时间且小型的延迟电路。探头具有：模拟存储部(205)，其将因声阻抗的差异而产生的与超声波的反射波对应的电荷积蓄在多个电容(303)中，依次输出蓄积在这些电容(303)中的电荷。在积蓄电荷时，在输入了使反射波的延迟时间变长的控制信号Ct1s_1时，在预先设定的期间，模拟存储部(205)在2以上的电容(303)中积蓄相同的电荷，或者，在输出电荷时，在输入了控制信号Ct1o_1时，在预先设定的期间，模拟存储部(205)输出积蓄在1个电容(303)中的电荷。



1. 一种超声波探头,其特征在于,

该超声波探头具有:延迟部,其将因声阻抗的差异而产生的超声波的反射波所对应的电荷蓄积到多个存储元件中,并依次输出在上述存储元件中蓄积的上述电荷,

上述延迟部在上述电荷的蓄积时,在输入了使上述反射波的延迟时间延长的第1控制信号时,在预先设定的期间,将相同的电荷蓄积到2个以上的上述存储元件中,或者,在上述电荷的输出时,在输入了上述第1控制信号时,在预先设定的期间,输出在1个上述存储元件中蓄积的电荷。

2. 根据权利要求1所述的超声波探头,其特征在于,

上述延迟部在上述电荷的蓄积时,在输入了使上述反射波的延迟时间缩短的第2控制信号时,在预先设定的期间,将相同的上述电荷蓄积到1个上述存储元件中,或者,在上述电荷的输出时,在输入了上述第2控制信号时,在预先设定的期间,不输出来自上述存储元件的电荷。

3. 一种超声波探头,其特征在于,

该超声波探头具备:多个收发部,其发送超声波,并接收因声阻抗的差异而产生的上述超声波的反射波,

上述收发部具备:延迟部,其蓄积与上述反射波对应的电压电平,并依次输出所积蓄的上述电压电平,

上述延迟部具有:

电压蓄积输出部,其根据写入控制信号蓄积与上述反射波对应的电压电平,并根据读出控制信号输出所蓄积的上述电压电平;以及

控制信号生成部,其生成上述写入控制信号和上述读出控制信号,

上述控制信号生成部在输入了改变延迟时间的延迟时间控制信号时,与上述延迟时间控制信号对应地,改变上述写入控制信号或上述读出控制信号的输出周期,来改变使上述反射波延迟的延迟时间。

4. 根据权利要求3所述的超声波探头,其特征在于,

上述电压蓄积输出部具有:

多个存储元件,其蓄积与上述反射波对应的电压电平;

多个第1开关,其根据上述写入控制信号,使上述存储元件蓄积上述电压电平;以及

多个第2开关,其根据上述读出控制信号,输出在上述存储元件中蓄积的上述电压电平。

5. 根据权利要求4所述的超声波探头,其特征在于,

向上述控制信号生成部输入的延迟时间控制信号具有使上述反射波的延迟时间延长的第1延迟时间控制信号,

上述控制信号生成部在输入了上述第1延迟时间控制信号时,与上述第1延迟时间控制信号的输入期间对应地,生成以使2个以上的上述存储元件蓄积相同的电压电平的方式控制上述第1开关的上述写入控制信号。

6. 根据权利要求4所述的超声波探头,其特征在于,

向上述控制信号生成部输入的延迟时间控制信号具有使上述反射波的延迟时间延长的第1延迟时间控制信号,

上述控制信号生成部在输入了上述第1延迟时间控制信号时,与上述第1延迟时间控制信号的输入期间对应地,生成以延长从1个上述存储元件输出的上述电压电平的输出期间的方式控制上述第2开关的上述读出控制信号。

7.根据权利要求4所述的超声波探头,其特征在于,

向上述控制信号生成部输入的延迟时间控制信号具有使上述反射波的延迟时间缩短的第2延迟时间控制信号,

上述控制信号生成部在输入了上述第2延迟时间控制信号时,与上述第2延迟时间控制信号的输入期间对应地,生成延长1个上述存储元件蓄积上述电压电平的期间的方式控制上述第1开关的上述写入控制信号。

8.根据权利要求4所述的超声波探头,其特征在于,

向上述控制信号生成部输入的延迟时间控制信号具有使上述反射波的延迟时间缩短的第2延迟时间控制信号,

上述控制信号生成部在输入了上述第2延迟时间控制信号时,与上述第2延迟时间控制信号的输入期间对应地,生成以不从1个以上的上述存储元件输出上述电压电平的方式控制上述第2开关的上述读出控制信号。

9.根据权利要求3所述的超声波探头,其特征在于,

向上述电压蓄积输出部输入的上述反射波是差动输入信号,

上述电压蓄积输出部具有:

多个存储元件,其蓄积上述差动输入信号的电压电平;

多个第1开关部,其根据上述写入控制信号,使上述存储元件蓄积上述差动输入信号的电压电平;

第2开关部,其根据上述读出控制信号,输出上述存储元件所蓄积的上述电压电平;以及

运算放大器,其输出与从上述第2开关部输出的上述电压电平对应的信号。

10.根据权利要求9所述的超声波探头,其特征在于,

向上述控制信号生成部输入的延迟时间控制信号具有使上述反射波的延迟时间延长的第1延迟时间控制信号,

上述控制信号生成部在输入了上述第1延迟时间控制信号时,与上述第1延迟时间控制信号的输入期间对应地,生成以使2个以上的上述存储元件蓄积相同的电压电平的方式控制上述第1开关部的上述读出控制信号;或者,在输入了上述第1延迟时间控制信号时,与上述第1延迟时间控制信号的输入期间对应地,生成以延长从1个上述存储元件输出的上述电压电平的输出期间的方式控制上述第2开关的上述读出控制信号。

11.根据权利要求9所述的超声波探头,其特征在于,

向上述控制信号生成部输入的延迟时间控制信号具有使上述反射波的延迟时间缩短的第2延迟时间控制信号,

上述控制信号生成部在输入了上述第2延迟时间控制信号时,与上述第2延迟时间控制信号的输入期间对应地,生成以延长1个上述存储元件蓄积上述电压电平的期间的方式控制上述第1开关部的上述写入控制信号;或者,在输入了上述第2延迟时间控制信号时,与上述第2延迟时间控制信号的输入期间对应地,生成以不从1个以上的上述存储元件输出上述

电压电平的方式控制上述第2开关部的上述读出控制信号。

12. 根据权利要求9所述的超声波探头, 其特征在于,

上述电压蓄积输出部还具有: 重置开关, 其在上述电压电平被蓄积到上述存储元件之前, 重置上述存储元件。

13. 一种超声波摄像装置, 其特征在于,

具有权利要求1~12中任一项所述的超声波探头。

超声波探头以及使用该超声波探头的超声波摄像装置

技术领域

[0001] 本发明涉及一种超声波探头以及使用该超声波探头的超声波摄像装置,尤其涉及一种对向超声波探头输入的超声波信号的动态延迟有效的技术。

背景技术

[0002] 超声波摄像装置与X射线诊断装置或MRI(Magnetic Resonance Imaging,磁共振成像)装置等其他医用图像诊断装置相比,装置规模小,此外,通过仅使超声波探头接触体表的简单操作,例如能够实时显示心脏的脉动、胎儿的动作等检查对象的运动情况。

[0003] 具体地,在超声波摄像装置中,向内置于超声波探头的多个振动元件分别提供驱动信号,由此向被检体内发送超声波。然后,在超声波摄像装置中,通过多个振动元件的每一个振动元件接收因生物体组织的声阻抗的差异而产生的超声波的反射波,根据超声波探头所接收到的反射波生成超声波图像。

[0004] 在此,在超声波摄像装置中,为了提高超声波图像的画质,针对向多个振动元件提供的驱动信号、从多个振动元件的每一个振动元件得到的反射波信号,进行延迟时间的控制。

[0005] 具体地,超声波摄像装置根据被检体内的预定焦点与各振动元件的距离所对应的延迟时间,控制向各振动元件提供的驱动信号的定时,由此向被检体的预定焦点发送呈光束的超声波。

[0006] 然后,根据被检体内的预定焦点与各振动元件之间的距离所对应的延迟时间,将在各振动元件中在不同时间接收到的来自预定焦点的信号与各自的时间相对应地进行加法运算,即进行整相加法运算。由此,超声波摄像装置生成聚焦后的1条接收信号。这样,为了使来自预定焦点的各个信号符合,需要模拟或数字的延迟电路。

[0007] 例如,在专利文献1中公开了如下的结构:在预定定时,向电容器组蓄积回波信号电流,提供延迟时间。此外,在专利文献2中记载了如下的技术:根据回波信号的样本,通过写指针或读出指针以优选的延迟时间生成电流信号。

[0008] 现有技术文献

[0009] 专利文献

[0010] 专利文献1:日本特开2013-106931号公报

[0011] 专利文献2:日本特开2009-528115号公报

发明内容

[0012] 发明要解决的课题

[0013] 为了得到三维立体图像而不是二维断层图像,在二维阵列状地排列振子(换能器)的二维探测器中,使用数千至一万通道的振子。

[0014] 在这样的二维探测器中,由于受到电缆条数的制约等,将全部振子连接至本体装置是不现实的,需要在探测器头部内减少通道数的处理。因此,需要使模拟信号延迟而进行

加法运算的电子电路。

[0015] 此外,在一维探测器中,也可以通过使模拟信号延迟而进行加法运算,来减少电缆条数、模拟/数字转换器的数量,能够实现低成本化、小型化。因此,需要使模拟信号延迟而进行加法运算的电子电路。

[0016] 当要在探测器头部内搭载使模拟信号延迟的电路的情况下,需要使该电路小型化。这是因为需要将与数千至一万通道的振子连接的电路安装在探测器头部内。此外,为了在各振子处高精度地聚焦接收光束,需要使由各电路提供的延迟时间不断经时地变化。

[0017] 作为改变延迟时间的结构,例如考虑如下的结构:设置多个延迟电路,以各自不同的延迟时间动作,在某定时切换要使用的延迟电路。

[0018] 在这样的结构的情况下,在某一电路动作的期间,能够将不同的延迟时间设定给不同的电路,在动态地变更延迟时间时,切换地使用与输出连接的电路,从而能够变更延迟时间。

[0019] 然而,在这样的电路中,需要多个同样的延迟电路,需要设置要求大面积的电路。因此,存在超声波探头变得大型化,成本变高的问题。

[0020] 本发明的目的是提供一种能够动态地变更延迟时间,并且能够构成小型的延迟电路的技术。

[0021] 根据本说明书的叙述以及附图,使本发明的上述以及其他目的和新特征变得更加明确。

[0022] 用于解决课题的手段

[0023] 若简单地说明本申请所公开的发明中的代表性的发明的概要,则如以下所示。

[0024] 代表性的超声波探头具有延迟部。延迟部将因声阻抗的差异而产生的超声波的反射波所对应的电荷蓄积在多个存储元件中,依次输出蓄积在存储元件中的电荷。

[0025] 并且,延迟部在蓄积电荷时,在输入了使反射波的延迟时间变长的第1控制信号时,在预先设定的期间,在2个以上的存储元件中蓄积相同的电荷。或者,在输出电荷时,在输入了第1控制信号时,在预先设定的期间,输出蓄积在1个存储元件中的电荷。

[0026] 此外,代表性的超声波探头中的延迟部在蓄积电荷时,在输入了使反射波的延迟时间变短的第2控制信号时,在预先设定的期间,在1个存储元件中蓄积相同电荷。或者,在输出电荷时,在输入了第2控制信号时,在预先设定的期间,不输出来自存储元件的电荷。

[0027] 并且,也可以应用于使用上述超声波探头的超声波摄像装置。

[0028] 发明效果

[0029] (1)能够使超声波探头中的动态地变更超声波信号的延迟时间的延迟电路小型化。

[0030] (2)通过上述(1),能够使超声波探头小型化。

[0031] (3)此外,通过上述(1),能够降低超声波探头的成本。

附图说明

[0032] 图1是表示本实施方式1中的超声波摄像装置的一例的结构图。

[0033] 图2是表示图1的探头所具有的1元件电路的结构的一例的框图。

[0034] 图3是表示图2的1元件电路所具有的模拟存储部以及数字电路的一例的框图。

- [0035] 图4是表示图3的模拟存储部的动作的一例的时序图。
- [0036] 图5是表示在图3的模拟存储部中动态地改变延迟时间时的一例的时序图。
- [0037] 图6是表示在图3的模拟存储部中通过使用写入侧的控制信号使延迟时间变短时的一例的时序图。
- [0038] 图7是表示在图3的模拟存储部中通过使用读出侧的控制信号使延迟时间变长时的一例的时序图。
- [0039] 图8是表示在图3的模拟存储部中通过使用读出侧的控制信号使延迟时间变短时的一例的时序图。
- [0040] 图9是表示图3的写入控制信号生成电路的一例的框图。
- [0041] 图10是表示图9的逻辑电路的电路结构的一例的说明图。
- [0042] 图11是表示图3的读出控制信号生成电路的一例的框图。
- [0043] 图12是表示图11的逻辑电路的电路结构的一例的说明图。
- [0044] 图13是表示本实施方式2的模拟存储部5以及加法运算电路中的电路结构的一例的说明图。
- [0045] 图14是表示图13的开关/容量部中的模拟存储器的采样时的等价电路的一例的说明图。
- [0046] 图15是表示图13的开关/容量部中的模拟存储器的保持时的等价电路的一例的说明图。
- [0047] 图16是表示图13的模拟存储部所具有的开关/容量部中的另一个结构例的说明图。
- [0048] 图17是表示生成使图16的开关/容量部所具有的重置用开关动作的重置控制信号的重置控制信号生成电路的一例的说明图。
- [0049] 图18是表示图17的重置控制信号生成电路中的各部的信号定时的一例的时序图。
- [0050] 图19是表示图17的重置控制信号生成电路的另一例的说明图。
- [0051] 图20是表示图19的重置控制信号生成电路中的各部的信号定时的一例的时序图。
- [0052] 图21是表示图13的模拟存储部中的电路结构的另一例的说明图。
- [0053] 图22是表示图21的开关/容量部中的模拟存储器的采样时的等价电路的一例的说明图。
- [0054] 图23是表示图21的开关/容量部中的模拟存储器的保持时的等价电路的一例的说明图。
- [0055] 图24是表示图21的开关/容量部中的重置时的等价电路的一例的说明图。

具体实施方式

[0056] 在以下的实施方式中,方便起见有必要时,分割为多个部分或实施方式而进行了说明,但除了特别明示的情况外,它们并不是相互毫无关系的,而是一方是另一方的一部分或全部的变形例、详细、补充说明等关系。

[0057] 此外,在以下的实施方式中,在提及要素的数等(包括个数、数值、量、范围等)的情况下,除了特别明示的情况以及原理上明确限定为特定数的情况等外,并非限定为该特定数,也可以是特定数以上或以下。

[0058] 并且,在以下的实施方式中,除了特别明示的情况以及认为原理上明确为必须的情况等外,该构成要素(包括要素步骤等)并非是必须的。

[0059] 同样,在以下的实施方式中,在提及构成要素等的形状、位置关系等时,除了特别明示的情况以及认为原理上明确为不是那样的情况等外,实质上包含与该形状等近似或类似的构成要素等。这对于上述数值和范围也同样。

[0060] 此外,在用于说明实施方式的所有附图中,作为原则对同一部件赋予相同的符号,省略其重复的说明。另外,为了容易理解附图,即使是平面图,有时也赋予阴影。

[0061] 以下,详细地说明实施方式。

[0062] (实施方式1)

[0063] 图1是表示本实施方式1中的超声波摄像装置的一例的结构图。

[0064] 如图1所示,超声波摄像装置具有探头100和本体装置106。此外,探头100具备:多个子阵101a、101b、…;以及作为控制信号生成部的数字电路105。

[0065] 子阵101各自具有:多个1元件电路102a、102b、…;加法运算电路103;以及缓冲器104。例如,设置有128个子阵101。1元件电路102为大约 $8 \times 8 = 64$ 个以矩阵状排列的结构。

[0066] 本体装置106具有多个模拟前端电路(在图1中,表示为AFE)107a、107b、…。分别针对1个子阵101设置有1个模拟前端电路107。另外,以下,后缀a、b、c、…表示是同一构成要素,在无特别需要的情况下进行省略。

[0067] 图2是表示图1的探头100所具有的1元件电路102的结构的一例的框图。

[0068] 如图所示,作为收发部的1元件电路102由换能器201、发送部203、收发分离部202、接收模拟前端部(在图2中,表示为接收AFE)204、以及作为电压蓄积输出部的模拟存储部205构成。此外,延迟部由数字电路105和模拟存储部205构成。

[0069] 从发送部203输出的信号被收发分离部202分离,并被提供给换能器201。从换能器201输出超声波信号。此外,从换能器201输出并被反射的超声波信号被换能器201接收。

[0070] 换能器201接收到的超声波信号被收发分离部202分离,并被输入到接收模拟前端部204。在接收模拟前端部204中,对接收到的信号进行放大以及滤波等处理。

[0071] 向模拟存储部205输入从接收模拟前端部204输出的信号。该模拟存储部205根据从数字电路105输出的控制信号,对模拟输入信号进行采样并蓄积到存储器中,在某延迟时间后输出。

[0072] 在数字电路中根据来自本体装置106的基准时钟以及控制数据来设定用于设定延迟时间的控制信号。从模拟存储部205输出的信号从1元件电路102输出到加法运算电路103,通过该加法运算电路103进行加法运算。

[0073] 通过加法运算电路103进行加法运算而得的信号经由图1的缓冲器104而被发送到本体装置106的模拟前端电路。

[0074] 图3是表示图2的1元件电路102所具有的模拟存储部205以及数字电路105的一例的框图。

[0075] 如图所示,模拟存储部205具有:作为存储元件的电容303a、303b、303c、…;作为第1开关的开关302a、302b、302c、…;作为第2开关的开关304a、304b、304c、…;以及缓冲器301。此外,数字电路105具有:写入控制信号生成电路305、读出控制信号生成电路306、以及解码电路307。

[0076] 缓冲器301的输出部与开关302的一端公共连接。开关302的另一端分别与开关304的一端、以及电容303的一方的连接部连接。

[0077] 此外,电容303的另一方的连接部上连接有基准电位VSS。开关304的另一端进行公共连接,该公共连接部成为模拟存储部205的输出部。

[0078] 连接成分别将从写入控制信号生成电路305输出的写入控制信号CtIs1~CtIsn输入到开关302的控制端子。写入控制信号生成电路305根据从本体装置106输出的基准时钟生成写入控制信号CtIs1~CtIsn。

[0079] 连接成分别将从读出控制信号生成电路306输出的读出控制信号CtIo1~CtIon输入到开关304的控制端子。读出控制信号生成电路306根据从本体装置106输出的基准时钟生成读出控制信号CtIo1~CtIon。

[0080] 从接收模拟前端部204输出的模拟输入信号Vin被缓冲器301放大、或进行阻抗变换后,经由开关302被输入到电容303,蓄积与模拟输入信号Vin对应的电荷。

[0081] 经由开关304从模拟存储部205的输出部输出蓄积在电容303中的电荷,作为输出信号Vout。

[0082] 模拟存储部205为延迟生成电路。在模拟存储部205中进行如下的动作:并联连接多个电容303,对模拟输入信号Vin采样并依次存储于电容中,在预定时间后依次输出所存储的信号。另外,缓冲器301也可以兼做前级的接收模拟前端部204的电路。

[0083] 通过开关302控制向电容303充电信号的定时,通过开关304控制从电容303输出信号的定时。通过数字电路105的写入控制信号生成电路305生成用于控制开关302的动作用的写入控制信号CtIs1~CtIsn。通过数字电路105的读出控制信号生成电路306生成用于控制开关304的动作用的读出控制信号CtIo1~CtIon。

[0084] 解码电路307对从本体装置106输出的控制数据进行解码,并将该解码结果作为控制信号输出给写入控制信号生成电路305和读出控制信号生成电路306。

[0085] 从解码电路307输出的控制信号有:控制信号CtIs_I、控制信号CtIs_s、控制信号CtIo_I以及控制信号CtIo_s。这些控制信号CtIs_I、控制信号CtIs_s、控制信号CtIo_I以及控制信号CtIo_s成为延迟时间控制信号。此外,控制信号CtIs_I、CtIo_I为第1控制信号,控制信号CtIs_s、CtIo_s为第2控制信号。

[0086] 控制信号CtIs_I、CtIs_s被输出到写入控制信号生成电路305,控制信号CtIo_I、CtIo_s被输出到读出控制信号生成电路306。

[0087] 控制信号CtIs_I是为了使模拟存储部205的写入侧的延迟时间变长而设定的信号。控制信号CtIs_s是为了使模拟存储部205的写入侧的延迟时间缩短而设定的信号。

[0088] 控制信号CtIo_I是为了使模拟存储部205的读出侧的延迟时间变长而设定的信号。控制信号CtIo_s是为了使模拟存储部205的读出侧的延迟时间缩短而设定的信号。

[0089] 写入控制信号生成电路305和读出控制信号生成电路306根据从解码电路307输出的控制信号,生成写入控制信号CtIs1~CtIsn和读出控制信号CtIo1~CtIon。

[0090] 图4是表示图3的模拟存储部205的动作的一例的时序图。

[0091] 在图4中,从上到下分别表示:向模拟存储部205输入的模拟输入信号Vin、从模拟存储部205输出的输出信号Vout、向写入控制信号生成电路305和读出控制信号生成电路306输入的基准时钟、写入控制信号CtIs1~CtIsn、以及读出控制信号CtIo1~CtIon中的各

信号定时。

[0092] 如图3所示通过写入控制信号CtIs1来控制开关302a。在此,表示在写入控制信号CtIs1为高电平的情况下,开关302a接通,但并不限定为该极性。

[0093] 在开关302a接通时,在电容303a中蓄积与模拟输入信号Vin对应的电荷。在电容303a中积蓄当开关302a从接通变为断开的定时的模拟输入信号的值(图4的401a)。

[0094] 在开关304a接通的状态下,蓄积在电容303a中的电荷被输出到输出信号Vout(图4的402a)。通过控制信号CtIo1控制开关304a接通/断开的定时。即,在控制信号CtIo1接通的定时,输出在写入控制信号CtIs1的定时采样到电容303a中的信号,作为输出信号Vout。

[0095] 在其他并联排列的电容303b、303c、…中也同样地,通过各个写入控制信号CtIs2、CtIs3、…的定时,蓄积与模拟输入信号Vin对应的电荷,在控制信号CtIo2、CtIo3、…接通的定时,输出与蓄积的电荷对应的信号作为输出信号Vout。

[0096] 这样,为了通过控制信号CtIo输出通过写入控制信号CtIs采样的信号,与模拟输入信号Vin相比较,输出信号Vout输出以写入控制信号CtIs与读出控制信号CtIo之间的延迟时间量而延迟后的信号。

[0097] 如上所述,分别通过写入控制信号生成电路305和读出控制信号生成电路306生成写入控制信号CtIs和读出控制信号CtIo。对于延迟时间,例如以基准时钟的时钟周期TcIk为1单位,设定其整数倍的延迟时间。即,生成基于时钟的延迟时间 $T_{dc} = M \cdot T_{cIk}$ 的延迟时间。其中,M为整数。

[0098] 在接收超声波信号时,为了高精度地接收在生物体内反射回的超声波信号,需要一边使焦点位置经时地移动,一边进行接收。在探头100内的电路中,为了使焦点动态地变化,在超声波信号的接收中需要动态地改变延迟时间。具体地,需要将延迟时间与设定的时间相比较,将其延长或缩短。

[0099] 因此,使用图5~图8说明动态地改变延迟时间时的动作。

[0100] 图5是表示在图3的模拟存储部205中动态地改变延迟时间时的一例的时序图。

[0101] 在图5中,从上到下分别表示:向模拟存储部205输入的模拟输入信号Vin、从模拟存储部205输出的输出信号Vout、基准时钟、从解码电路307输出的控制信号CtIs_I、写入控制信号CtIs1~CtIs6、以及读出控制信号CtIo1~CtIo6中的各信号定时。

[0102] 首先,在预定的延迟时间后,通过控制信号CtIo2输出通过写入控制信号CtIs2采样的图5的信号501a(图5的502a)。

[0103] 在此,在控制写入侧的控制信号CtIs而使延迟时间变长时,将同一输入信号Vin写入到多个电容303中。在从解码电路307输出了使延迟时间变长的控制信号CtIs_I的情况下,多个写入控制信号CtIs同时成为高电平,多个开关302同时接通。

[0104] 该情况示出了输出控制信号CtIs_I以便控制信号CtIs3、CtIs4同时成为高电平的例子。由此,将输入信号Vin的信号(图5的501b)采样到2个电容303c、303d中。

[0105] 在读出控制信号CtIo3接通的定时输出蓄积在电容303c中的数据(图5的502b)。

[0106] 此外,在读出控制信号CtIo4接通的定时输出蓄积在电容303d中的数据(图5的502c)。蓄积在电容303c、303d中的信号为同一定时信号(图5的501b),因此,成为改变时间地输出同一信号的情况。

[0107] 通过读出控制信号CtIo5输出通过写入控制信号CtIs5采样的图5的信号501c(图5

的502d)。与输出使延迟时间变长的控制信号CtIs_I之前相比,输出2个采样(样本)的量的同一定时信号,因此能够使延迟时间变长。

[0108] 在控制写入控制信号的情况下,按照如下方式进行控制:即使在使延迟时间变化的情况下也向电容写入信号,以便不会读出未写入数据的电容的数据。此外,在变更了延迟时间时,也输出信号,切换时的噪声的影响也减少。

[0109] 另外,在本实施方式1中,说明了同时将信号采样到2个电容中,但进行采样的电容的个数并不限于于此。同时可以将信号采样到3个或3个以上的电容中。

[0110] 图6是表示在图3的模拟存储部205中通过使用写入侧的控制信号CtIs将延迟时间变短时的一例的时序图。

[0111] 在图6中,从上到下分别表示:向模拟存储部205输入的模拟输入信号Vin、从模拟存储部205输出的输出信号Vout、基准时钟、从解码电路307输出的控制信号CtIs_s、写入控制信号CtIs1~CtIs6、以及读出控制信号CtIo1~CtIo6中的各信号定时。

[0112] 如上所述,在使延迟时间变短的情况下,通过控制信号CtIs_s进行控制。首先,通过写入控制信号CtIs1将输入信号Vin采样到电容303a中(图6的601a)。在预定的延迟时间后,在读出控制信号CtIo1的定时输出被采样的信号(图6的602a)。

[0113] 在输入了控制信号CtIs_s时,对控制信号CtIs进行控制以便缩短延迟时间。即,在输入了控制信号CtIs_s时,以使写入控制信号CtIs的脉冲宽度变宽的方式进行控制。

[0114] 具体地,例如将写入控制信号CtIs2的脉冲宽度设为基准时钟的2倍的宽度。在该情况下,通过写入控制信号CtIs2进行控制,在电容303b中蓄积写入控制信号CtIs2将要下降之前的信号(图6的601c)。在读出控制信号CtIo2的定时输出蓄积在电容303b中的信号(图6的602b)。

[0115] 此外,在读出控制信号CtIo3的定时,输出通过读出控制信号CtIs3采样到电容303c中的信号。通过控制信号CtIs_s使写入控制信号CtIs2的脉冲宽度变宽,由此与之前相比,能够使之后的延迟时间缩短。此外,将对电容303充电的缓冲器301的输出设为电压输出,由此,即使脉冲宽度变宽,也不会对特性产生影响。

[0116] 图7是表示在图3的模拟存储部205中通过使用读出侧的控制信号CtIo将延迟时间变长时的一例的时序图。

[0117] 在图7中,从上到下分别表示:向模拟存储部205输入的模拟输入信号Vin、从模拟存储部205输出的输出信号Vout、基准时钟、从解码电路307输出的控制信号CtIo_I、写入控制信号CtIs1~CtIs6、以及读出控制信号CtIo1~CtIo6中的各信号定时。

[0118] 在改变读出侧的控制信号使延迟时间变长的情况下,通过控制信号CtIo_I进行控制。通过写入控制信号CtIs2将输入信号Vin采样到电容303b中(图7的701a)。

[0119] 在预定的延迟时间后,在控制信号CtIo2的定时输出被采样的信号(图7的702a)。此外,通过写入控制信号CtIs3将输入信号Vin采样到电容303c中(图7的701b)。

[0120] 在输入了控制信号CtIo_I时,对控制信号CtIo进行控制以便使延迟时间变长。即,在向读出控制信号生成电路306输入了控制信号CtIo_I时,进行控制以便使控制信号CtIo的脉冲宽度变宽。

[0121] 具体地,例如将读出控制信号CtIo3的脉冲宽度设为基准时钟的2倍左右的宽度。在该情况下,在读出控制信号CtIo3的定时输出蓄积在电容303c中的信号,但该输出的时间

成为基准时钟的2个时钟量的时间。

[0122] 因此,可以以多个采样量输出同一数据。将后级的电路设为以高阻抗进行接受的电路,与基准时钟同步地进行多次采样,由此可以输出多个采样信号。

[0123] 这样,根据控制信号CtIo_I使读出控制信号CtIo3的脉冲宽度变宽,由此,与之前相比,能够使之后的延迟时间变长。

[0124] 图8是表示在图3的模拟存储部205中通过使用读出侧的控制信号CtIo将延迟时间变短时的一例的时序图。图8的各信号与图7相同,因此省略说明。

[0125] 在改变读出侧的控制信号使延迟时间变短的情况下,通过控制信号CtIo_s进行控制。通过写入控制信号CtIs1将输入信号Vin采样到电容303a中(图8的801a)。

[0126] 在预定的延迟时间后,在读出控制信号CtIo1的定时输出被采样的信号(图8的802a)。此外,分别通过写入控制信号CtIs2、CtIs3将输入信号Vin采样到电容303b、303c中(图8的701b、701c)。

[0127] 在向读出控制信号生成电路306输入了控制信号CtIo_I时,进行控制以便使延迟时间变短。即,在向读出控制信号CtIo输入了控制信号CtIo_I时,跳过1个读出控制信号CtIo的输出,使下一个读出控制信号接通。

[0128] 具体地,读出控制信号生成电路306不输出读出控制信号CtIo2,而输出读出控制信号CtIo3。在该情况下,不将蓄积在电容303b中的信号作为输出信号而输出。在该定时,输出蓄积在电容303c中的信号。

[0129] 因此,跳过1个地输出采样而得的数据。在控制读出控制信号的情况下,当同时读出来自多个电容303的信号时输出发生冲突,成为非期待的数据,因此即使在改变延迟时间的情况下,也控制为不同时读出多个电容303的数据。

[0130] 图9是表示图3的写入控制信号生成电路305的一例的框图。

[0131] 如图9所示,写入控制信号生成电路305由逻辑电路901a、901b、901c、…;非重叠缓冲器(在图9中表示为NOBUF)902a、902b、902c、…而构成。

[0132] 分别向逻辑电路901输入基准时钟和控制信号CtIs_s、CtIs_I,并根据它们而输出读出控制信号CtIs1、CtIs2、CtIs3、…。

[0133] 此外,图10是表示图9的逻辑电路901c的电路结构的一例的说明图。

[0134] 另外,在图10中,作为代表示出了逻辑电路901c的电路结构,在其他逻辑电路901中也是相同的结构。

[0135] 逻辑电路901c具有:作为“与”电路的AND电路903;作为“或非”电路的NOR电路904、905;以及触发器(flip flop)906。

[0136] 关于逻辑电路901的基本动作,通过触发器906使所输入的信号延迟1时钟地输出。

[0137] 在不使延迟时间动态地变化的情况下,按照写入控制信号CtIs1、CtIs2、CtIs3、…的顺序输出高电平的控制信号不断移动。然后,在输入了高电平的控制信号CtIs_I时,取前1级的逻辑电路和2级前的逻辑电路的输出的NOR(或非),并反映到触发器906的输入中。

[0138] 这样,从2个连续的逻辑电路901同时输出高电平。此外,在输入了高电平的控制信号CtIs_s的情况下,进行保持触发器906的输出的动作。由此,延长输出写入控制信号CtIs的脉冲宽度。

[0139] 来自逻辑电路901的输出通过NOBUF 902被输出为写入控制信号CtIs。该NOBUF

902是为了在进行向电容303充电时的写入控制信号CtIs的切换时不同时接通开关302,而设置非重叠期间的电路。通过由NOBUF 902非重叠化的信号,控制开关302。

[0140] 通过使用这样结构的写入控制信号生成电路305,能够生成使延迟时间动态地变化的写入控制信号CtIs。

[0141] 图11是表示图3的读出控制信号生成电路306的一例的框图。

[0142] 如图所示,读出控制信号生成电路306由逻辑电路1001a、1001b、1001c、…;非重叠缓冲器(在图11中表示为NOBUF)1002a、1002b、1002c、…而构成。

[0143] 向逻辑电路1001分别输入基准时钟和控制信号CtIo_s、CtIo_I,输出读出控制信号CtIo1、CtIo2、CtIo3、…。

[0144] 图12是表示图11的逻辑电路1001c的电路结构的一例的说明图。

[0145] 另外,在图12中,作为代表示出了逻辑电路1001c的电路结构,在其他逻辑电路1001中也是相同的结构。

[0146] 如图所示,逻辑电路1001c具有:选择器1003、逆变器1004、作为“或非”电路的NOR电路1005、以及触发器1006。

[0147] 关于逻辑电路1001的基本动作,通过触发器1006使所输入的信号延迟1时钟地输出。

[0148] 在不使延迟时间动态地变化的情况下,按照读出控制信号CtIo1、CtIo2、CtIo3…的顺序输出高电平的控制信号不断移动。根据控制信号CtIo_s的电压电平或极性,选择向选择器1003输入的前级的逻辑电路1001和2级前的逻辑电路1001的输出中的某一个。

[0149] 在要使延迟时间变短的情况下,输入高电平的控制信号CtIo_s,选择2级前的逻辑电路1001的输出。作为读出控制信号CtIo的输出,跳过1个地输出读出控制信号。

[0150] 此外,在向控制信号CtIo_I输入了高电平的情况下,进行保持触发器1006的输出的动作,由此进行使输出读出控制信号CtIo的脉冲宽度变宽的动作。

[0151] 来自逻辑电路1001的输出通过NOBUF 1002被输出为读出控制信号CtIo。

[0152] 通过使用这样结构的读出控制信号生成电路306,能够生成使延迟时间动态地变化的读出控制信号CtIo。

[0153] 如上所述,从图1的本体装置106将用于变更延迟时间的控制数据发送至探头100所具有的数字电路105,在根据需要通过数字电路105的图3所示的解码电路307进行解码等处理后,提供给图3所示的写入控制信号生成电路305、读出控制信号生成电路306。

[0154] 这样,向多个电容303写入同一数据或使1个电容303的读出时间变长,由此能够使延迟时间变长。此外,使向1部电容303的写入时间变长或在读出数据时不执行来自1部电容303的数据读出,由此能够使延迟时间变短。

[0155] 这样,使用向同一电容列的数据的写入、读出控制来实施延迟时间的切换,因此能够仅通过模拟存储部205来实施延迟时间的切换。因此,能够通过小面积的电路来实现动态的延迟时间的变更。

[0156] 基于模拟存储部205的延迟电路的输出通过图2的加法运算电路103进行加法运算,并通过未图示的缓冲器等被发送给本体装置106。在本体装置106中,通过图1所示的逻辑前端电路107接收来自探头100的信号。

[0157] 逻辑前端电路107由未图示的低噪声放大器、可编程增益放大器、抗混叠滤波器、

以及模拟/数字转换器(ADC模拟/数字转换器)等构成。对来自探头100的信号进行放大以及滤波处理后,转换为数字信号。

[0158] 在模拟/数字转换器的采样中使用的时钟,例如使用由与从本体装置106发送至探头100的基准时钟相同的振荡源生成的时钟。

[0159] 与基准时钟同步地输出子阵101的各1元件电路102的延迟电路的输出,因此,在模拟/数字转换器中,也与该基准时钟同步地进行数字转换。

[0160] 另外,也可以根据需要使用对基准时钟进行加倍或分频而得到的时钟。此外,也可以考虑电缆中的延迟时间,错开进行模拟/数字转换的相位。

[0161] 在探头100的模拟存储部205中,与基准时钟同步地输出信号。因此,在基准时钟上升/下降的定时产生尖峰状的噪声。

[0162] 在本体装置106侧的模拟/数字转换器中与基准时钟同步地进行采样,由此能够避免时钟边缘的噪声地进行数字化。将被模拟/数字转换器数字化而得的信号进行数字整相等信号处理,并显示超声波图像。

[0163] 另外,在本实施方式1中说明了使用电容作为存储模拟信号的元件,使用蓄积在该电容中的电荷来存储模拟信号的结构,但并不限于此。

[0164] 例如,也可以使用MOS(金属氧化物半导体)等晶体管来存储模拟信号作为电流。在存储模拟信号作为电流的情况下,与电容的情况相比,消耗电力变大,另一方面,具有可削减占有面积的优点。

[0165] 另外,在图2的加法运算电路103中,不需要对所有的1元件电路102的输出进行加法运算,也可以是分为多个模块而分别进行加法运算的结构。例如,在192个通道、即1元件电路102为192个情况下,每4个通道进行加法运算,得到进行加法运算后的48个输出。或者,也可以对8192个通道的1元件电路102的信号以每 8×8 阵列的64个通道地进行加法运算,得到128个输出等。从探头100经由电缆与本体装置106连接并发送该信号。

[0166] 此外,也可以是对各模拟存储部205的输出信号分别设置低通滤波器的结构。例如,若设为可去除时钟周期的噪声的滤波器,则能够消除时钟周期的噪声。此外,也可以对加法运算电路103的输出设置同样的低通滤波器。此外,也可以在接收模拟前端部204的输出上连接用于进行频带限制的电容。

[0167] 这样,使多个通道的信号延迟并进行加法运算,由此,能够相对于换能器的元件数量削减输出的信号的数量。由此,能够削减电缆的条数、削减将模拟信号转换为数字信号的A/D转换器的数量,能够实现低成本化。

[0168] 此外,在二维的换能器阵列中,将全部通道的信号从探头连接到本体是不现实的,但如本实施方式所示,通过高精度地延迟并进行加法运算,能够以可实现的电缆条数将探头与装置本体连接。此外,通过动态地变更延迟时间,能够得到更聚焦的接收数据。

[0169] 由此,能够实现超声波摄像装置的小型化,能够降低该超声波摄像装置的成本。

[0170] 写入控制信号CtIs以及读出控制信号CtIo由数字电路105生成,并连接到各1元件电路102a、102b、…。连接到各1元件电路102的控制信号既可以利用不同的配线,也可以是公共的。

[0171] 具体地,例如,延迟时间是因写入控制信号CtIs与读出控制信号CtIo的差而产生的,因此也可以利用全部的1元件电路使单侧的控制信号公共化。在利用各1元件电路使读

出控制信号CtIo公共化的情况下,利用各1元件电路改变写入控制信号CtIs,并利用各1元件电路生成不同的延迟时间。通过使控制信号公共化,能够减少配线数量,能够实现小面积化。

[0172] 或者,对于二维地配置的1元件电路,例如也可以在长轴方向使写入控制信号CtIs公共化,在短轴方向使读出控制信号公共化。在该情况下,能够减少与各1元件电路连接的配线数量,能够实现小面积化。

[0173] 在本实施方式中,使用写入控制信号以及读出控制信号中的某一个来延长或缩短延迟时间,因此即使在这种共享配线的情况下,也可以通过选择其中的某个来动态地变更延迟时间。

[0174] 另外,在本实施方式1中,说明了在接收电路侧装入作为延迟电路的模拟存储部205的结构,但也可以在发送侧使用延迟电路。此外,也可以在发送侧和接收侧共享延迟电路,在发送时和接收时切换地使用。

[0175] (实施方式2)

[0176] 在上述实施方式1中说明了,如图3所示,在模拟存储部205中,在对地(基准电位VSS)地接地的电容303中蓄积模拟信号的电路结构,但模拟存储部205的结构并不限于此。

[0177] 因此,在本实施方式2中说明模拟存储部205的另一种结构。

[0178] 作为模拟存储部205的另一种结构,例如考虑向不是对地而是相对于运算放大器的虚拟接地充电电容、不是单端而是进行差动化、并设置重置期间等的电路结构等。

[0179] 此外,通过设为闭环电路而不是开环电路,能够提高输出电压的精度。

[0180] 图13是表示本实施方式2的模拟存储部205以及加法运算电路103中的电路结构的一例的说明图。

[0181] 如图13所示,模拟存储部205由运算放大器1101;开关/容量部1102a、1102b、...而构成。此外,加法运算电路103由多个电荷加法运算部SS构成。开关/容量部1102由电容1103;开关1104p、1104n、1105p、1105n而构成。

[0182] 在此,开关的后缀p、n表示差动电路的正侧、负侧,不特别需要的情况下进行省略。此外,电荷加法运算部1109由电容1106a、1106b;开关1107a、1107b、1108a、1108b而构成。

[0183] 模拟存储部205是多个开关/容量部并联连接而进行采样和蓄积,并在预定的延迟时间后进行输出的电路。在此,差动信号Vinp、Vinn为从接收模拟前端部204输出的信号。此外,向运算放大器1101的正(+)侧输入部输入的电压Vcm为基准电压。

[0184] 图14是表示图13的开关/容量部1102中的模拟存储器的采样时的等价电路的一例的说明图。此外,图15是表示图13的开关/容量部1102中的模拟存储器的保持时的等价电路的一例的说明图。

[0185] 采样时,接通开关1104,断开开关1105。因此,电容1103连接在输入差动信号之间,与输入差动信号对应的电荷被蓄积到电容1103中。

[0186] 在经过预定延迟时间而输出所蓄积的数据时,接通开关1105。由电容1103和运算放大器1101构成反馈电路,在采样时,蓄积在电容1103中的电荷所对应的信号作为输出信号Vout而输出。

[0187] 将延迟地输出的输出信号Vout通过加法运算电路103所具有的电荷加法运算部1109作为电荷而蓄积。电荷加法运算部1109例如以基准时钟的2倍周期的时钟进行动作。在

第1相位中,开关1107a接通,开关1108a断开,在电容1106a中蓄积与输出电压 V_{out} 对应的信号作为电荷。同时,开关1107b断开,开关1108b接通,将蓄积在电容1106b中的电荷输出到与图1的缓冲器104的输入部连接的 V_{add} 。

[0188] 在第2相位中,开关1107a断开,开关1108a接通,将蓄积在电容1106a中的电荷输出到与图1的缓冲器104的输入部连接的端子 V_{add} 。

[0189] 同时,开关1107b接通,开关1108b断开,在电容1106b中蓄积与输出信号 V_{out} 对应的信号作为电荷。这样,在2个相位中重复将延迟后的信号 V_{out} 作为电荷而积蓄、输出的动作。

[0190] 通过这样作为电荷而输出信号,在加法运算电路103中,若对各1元件电路102的输出信号进行加法运算时直接连接配线,则可进行电荷的平均化,并可对信号进行加法运算。不需要使用特别的加法运算电路,仅通过配线的连接能够进行加法运算,因此能够实现小面积化。

[0191] 对于使电荷加法运算部1109的开关动作的控制信号,在输出延迟后的信号的开关1105马上要从接通变为断开之前进行采样。通过设为这样的定时,能够去除开关时产生的噪声,并准确地采样信号。

[0192] 通过决定向电容采样的定时的开关1104的控制信号、与决定从电容输出的定时的开关1105的控制信号之间的时间差,来决定延迟时间。

[0193] 作为开关1104的控制信号,使用在上述实施方式1中说明的写入控制信号 $CtIs1$ 、 $CtIs2$ 、…。此外,作为开关1105的控制信号,使用读出控制信号 $CtIo1$ 、 $CtIo2$ 、…。当动态切换延迟时间时,通过改变控制信号 $CtIs$ 、 $CtIo$,使延迟时间变长或变短。

[0194] 如本实施方式所示,通过将输入信号作为差动信号而采样到电容中,由此能够高精度地采样模拟信号并使其延迟。尤其,通过设为差动电路,能够抑制失真。此外,通过构成使用运算放大器的闭环电路而保持所采样的信号,由此能够得到高精度的信号。

[0195] 并且,通过对控制开关的控制信号设置延迟时间,由此能够使模拟信号延迟。通过动态地改变控制信号,能够动态地变更延迟时间。

[0196] 此外,电荷加法运算部1109以基准时钟单位重复电荷的蓄积和输出,由此即使在使用读出控制信号变长的情况下,也能够得到与基准时钟同步的输出。

[0197] 图16是表示图13的模拟存储部205所具有的开关/容量部1102的另一种结构例的说明图。

[0198] 在该情况下,如图16所示,开关/容量部1102由电容1103和开关1104p、1104n、1105p、1105n、1201而构成。与图13所示的结构相比,新追加了开关1201。将该开关1201用作重置用开关。

[0199] 分别向开关1104p、1104n的控制端子输入写入控制信号 $CtIs$,并分别向开关1105p、1105n的控制端子输入读出控制信号 $CtIo$ 。此外,向开关1201的控制端子输入重置控制信号 $CtIr$ 。

[0200] 因此,通过写入控制信号 $CtIs$ 来控制开关1104p、1104n的接通/断开。通过读出控制信号 $CtIo$ 来控制开关1105p、1105n的接通/断开。通过重置控制信号 $CtIr$ 来控制开关1201的接通/断开。

[0201] 当在模拟存储器中蓄积数据时,在依存于初始状态而积蓄的电荷中发生变化。因

此,希望在存储数据前、或在输出数据后进行重置。

[0202] 在不动态地改变延迟时间的情况下,进行采样的定时以及进行输出的定时是固定且周期性的,因此只要实施周期性的重置即可。

[0203] 具体地,将第 n 个电容的写入控制信号和读出控制信号分别设为写入控制信号 $Ct1s<n>$ 、读出控制信号 $Ct1o<n>$,将使开关1201动作的信号设为重置控制信号 $Ct1r<n>$ 。

[0204] 在这样的情况下,对于重置控制信号 $Ct1r<n>$,使用前1个的电容的写入控制信号 $Ct1s<n-1>$ 即可。或者,使用后1个的电容的读出控制信号 $Ct1o<n+1>$ 即可。

[0205] 如以上所示的实施方式那样,在要动态地改变延迟时间的情况下,作为重置控制信号,无法直接使用写入控制信号、读出控制信号。因此,说明在要动态地改变延迟时间时生成重置控制信号的技术。

[0206] 图17是表示生成使图16的开关/容量部1102所具有的重置用开关1201动作的重置控制信号的重置控制信号生成电路的一例的说明图。

[0207] 重置控制信号生成电路是使用写入控制信号生成重置控制信号的电路,例如设置在模拟存储部205等中。如图17所示,重置控制信号生成电路由逆变器延迟部1202、“或”电路即OR电路1203以及“与”电路即AND电路1204而构成。

[0208] 逆变器延迟部1202由串联连接多个逆变器而构成。向逆变器延迟部1202的输入部输入写入控制信号 $Ct1s<n>$,且其输出部与AND电路1204的一个输入部连接。

[0209] 连接成向OR电路1203的一个输入部输入前1个写入控制信号 $Ct1s<n-1>$,并连接成向该OR电路1203的另一个输入部输入向前数第2个写入控制信号 $Ct1s<n-1>$ 。

[0210] OR电路1203的输出部与AND电路1204的另一个输入部连接,从该AND电路1204的输出输出重置控制信号 $Ct1r<n>$ 。

[0211] 此外,图18是表示图17的重置控制信号生成电路中的各部的信号定时的一例的时序图。

[0212] 在图18中,从上到下分别表示:基准时钟;控制信号 $Ct1s_1$ 、 $Ct1s_s$;写入控制信号 $Ct1s1 \sim Ct1s7$;以及读出控制信号 $Ct1r1 \sim Ct1r7$ 的信号定时。

[0213] 首先,为了在采样到电容中之前进行重置,取前1级和2级前的控制信号 $Ct1s<n-1>$ 、 $Ct1s<n-2>$ 的OR(“或”)。

[0214] 此外,在要动态地改变延迟时间时,有时 $Ct1s<n>$ 和 $Ct1s<n-1>$ 会同时成为高电平,因此通过逆变器延迟部1202使 $Ct1s<n>$ 反向,取与OR电路1203的输出的AND(“与”)来生成重置控制信号 $Ct1r<n>$ 。这是因为,在控制信号 $Ct1s<n>$ 为高电平的状态下,需要对输入信号 V_{in} 进行采样,因此不应当将重置用开关1201设为接通。

[0215] 此外,在控制开关1104而对信号进行采样后,为了保证不将重置用开关1201设为接通,通过逆变器延迟部1202使 $Ct1s<n>$ 延迟。这样,能够防止毛刺(glitch),保持所采样的电荷。

[0216] 图19是表示图17的重置控制信号生成电路的又一个例子的说明图。

[0217] 在该情况下,重置控制信号生成电路使用读出控制信号来生成重置控制信号。如图19所示,重置控制信号生成电路由OR(“或”)电路1205构成。

[0218] 图20是表示图19的重置控制信号生成电路中的各部的信号定时的一例的时序图。

[0219] 在图20中,从上到下分别表示:基准时钟;控制信号Ctlo_l、Ctlo_s;写入控制信号Ctls1~Ctls7;以及读出控制信号Ctlr1~Ctlr7的信号定时。

[0220] 在该情况下,图20的重置控制信号生成电路在输出被采样到电容中的数据之后,进行存储在电容中的数据的重置。具体地,取1级和2级后的读出控制信号Ctlo<n+1>、Ctlo<n+2>的OR(“或”),生成重置控制信号Ctlr<n>。

[0221] 在要动态地改变延迟时间的情况下,有时不输出读出控制信号Ctlo<n+1>,因此,这样取2个控制信号的OR(“或”),保证进行重置。

[0222] 作为电路结构,如图19所示的使用读出控制信号而生成的电路简单且具有优点。另一方面,在读出之后立即进行了重置的情况下,重置后,直到再次对信号采样为止存在一段时间,若考虑在该期间因电容耦合等导致蓄积的电荷可能成为噪声,则希望在将要成为噪声之前进行重置。在该情况下,使用图17所示的写入控制信号来生成重置控制信号是具有优点的。

[0223] (实施方式3)

[0224] 在本实施方式3中,说明上述实施方式2的图13所示的模拟存储部205的另一种结构。

[0225] 图21是表示图13的模拟存储部205中的电路结构的又一个例子的说明图。

[0226] 如图21所示,模拟存储部205由运算放大器1501以及开关/容量部1510a、1510b、...而构成。此外,开关/容量部1510由电容1502p、1502n以及开关1503p、1503n、1504p、1504n、1505p、1505n、1506p、1506n、1507p、1507n而构成。

[0227] 在此,后缀p、n表示差动电路的正侧、负侧,不特别需要的情况下进行省略。与实施方式2的电路相比,是完成差动化的电路结构,具有共模噪声较强的特性。差动信号Vinp、Vinn为动作信号的输入信号。公共电压(Commonvoltage)Vcm为基准电压。

[0228] 在开关/容量部1510a中,连接成向开关1504n、1504p、1505p、1505n的一端提供公共电压Vcm。连接成,向开关1503p的一端输入动作信号Vinp,向开关1503n的一端输入动作信号Vinn。

[0229] 开关1503p的另一端分别与开关1507p的一端、开关1505p的另一端以及电容1502p的一端连接。电容1502p的另一端分别与开关1506p的一端以及开关1504p的另一端连接。开关1505n的另一端分别与开关1503n的另一端、开关1507n的一端以及电容1502n的一端连接。电容1502n的另一端分别与开关1504n的另一端以及开关1506n的一端连接。

[0230] 开关1506p的另一端与运算放大器1501的一个输入部连接,开关1506n的另一端与运算放大器1501的另一个输入部连接。开关1507p的另一端与运算放大器1501的一个输出部连接。开关1507n的另一端与运算放大器的另一个输出部连接。

[0231] 运算放大器1501的一个输出部为输出差动输出信号Voutp的输出端子,该运算放大器1501的另一个输出部为输出差动输出信号Voutn的输出端子。

[0232] 另外,在此说明了开关/容量部1510a的连接关系,但对于其他开关/容量部1510,也成为同样的连接关系。

[0233] 图22是表示图21的开关/容量部1510中的模拟存储器的采样时的等价电路的一例的说明图。图23是表示图21的开关/容量部1510中的模拟存储器的保持时的等价电路的一例的说明图。图24是表示图21的开关/容量部1510中的重置时的等价电路的一例的说明图。

[0234] 在开关/容量部1510的采样时,开关1503、1504分别为接通,开关1505、1506、1507分别为断开。因此,电容1502连接在差动信号 V_{inp} 、 V_{inn} 和共模电压 V_{cm} 之间。

[0235] 采样时,与差动信号 V_{inp} 、 V_{inn} 对应的电荷被蓄积在电容1502中。保持时,开关1503、1504、1505断开,开关1506、1507接通。

[0236] 由电容1502和运算放大器1501构成反馈电路,在采样时,蓄积在电容1502中的电荷所对应的信号作为差动输出信号 V_{outp} 、 V_{outn} 而输出。此外,在重置积蓄在电容中的信号时,接通开关1504、1505。

[0237] 通过决定向电容采样的定时的开关1504的写入控制信号、以及决定从电容输出的定时的开关1506和开关1507的读出控制信号之间的时间差,决定延迟时间。

[0238] 作为开关1503以及开关1504的动作控制信号,例如使用在上述实施方式1中示出的写入控制信号 $Ct1s1$ 、 $Ct1s2$ 、…。此外,作为开关1506以及开关1507的动作控制信号,同样使用在上述实施方式1中示出的读出控制信号 $Ct1o1$ 、 $Ct1o2$ 、…。

[0239] 分别通过图3所示的写入控制信号生成电路305和读出控制信号生成电路306来生成这些写入控制信号 $Ct1s1$ 、 $Ct1s2$ 、…以及读出控制信号 $Ct1o1$ 、 $Ct1o2$ 、…。

[0240] 此外,在要动态地切换延迟时间时,与上述实施方式1同样地,通过改变向控制信号生成电路305以及读出控制信号生成电路306输入的控制信号 $Ct1s$ 、 $Ct1o$,使延迟时间变长或变短。

[0241] 这样,通过将开关/容量部1510设为差动输入差动输出的电路,能够高精度地采样模拟输入信号并使其延迟,此外,能够设为共模噪声较强的电路。

[0242] 以上,根据实施方式具体地说明了本发明人实施的发明,但本发明并不限于上述实施方式,在不脱离其宗旨的范围内能够进行各种变更。

[0243] 另外,本发明并不限于上述实施方式,还可以包括各种变形例。例如,上述的实施方式是为了便于理解本发明而进行的详细说明,并不一定必须具备说明的所有结构。

[0244] 此外,也可以将某实施方式的结构的一部分置换成其他实施方式的结构,并且,也可以对某实施例的结构增加其他实施例的结构。此外,可以对各实施方式的结构的一部分进行其他结构的追加、删除、置换。

[0245] 符号说明

[0246] 100 探头

[0247] 101 子阵

[0248] 102 1元件电路

[0249] 103 加法运算电路

[0250] 104 缓冲器

[0251] 105 数字电路

[0252] 106 本体装置

[0253] 107 逻辑前端电路

[0254] 201 换能器

[0255] 202 收发分离部

[0256] 203 发送部

[0257] 204 接收模拟前端部

- [0258] 205 模拟存储部
- [0259] 301 缓冲器
- [0260] 302 开关
- [0261] 303 电容
- [0262] 304 开关
- [0263] 305 控制信号生成电路
- [0264] 306 控制信号生成电路
- [0265] 307 解码电路
- [0266] 901 逻辑电路
- [0267] 902 非重叠缓冲器
- [0268] 903 AND电路
- [0269] 904 NOR电路
- [0270] 906 触发器
- [0271] 1001 逻辑电路
- [0272] 1002 非重叠缓冲器
- [0273] 1003 选择器
- [0274] 1004 逆变器
- [0275] 1005 NOR电路
- [0276] 1006 触发器
- [0277] 1101 运算放大器
- [0278] 1102 开关/容量部
- [0279] 1103 电容
- [0280] 1104 开关
- [0281] 1105 开关
- [0282] 1106 电容
- [0283] 1107 开关
- [0284] 1108 开关
- [0285] 1109 电荷加法运算部
- [0286] 1201 开关
- [0287] 1202 逆变器延迟部
- [0288] 1203 OR电路
- [0289] 1204 AND电路
- [0290] 1205 OR电路
- [0291] 1501 运算放大器
- [0292] 1510 开关/容量部
- [0293] 1502 电容
- [0294] 1503 开关
- [0295] 1504 开关
- [0296] 1505 开关

[0297] 1506 开关

[0298] 1507 开关

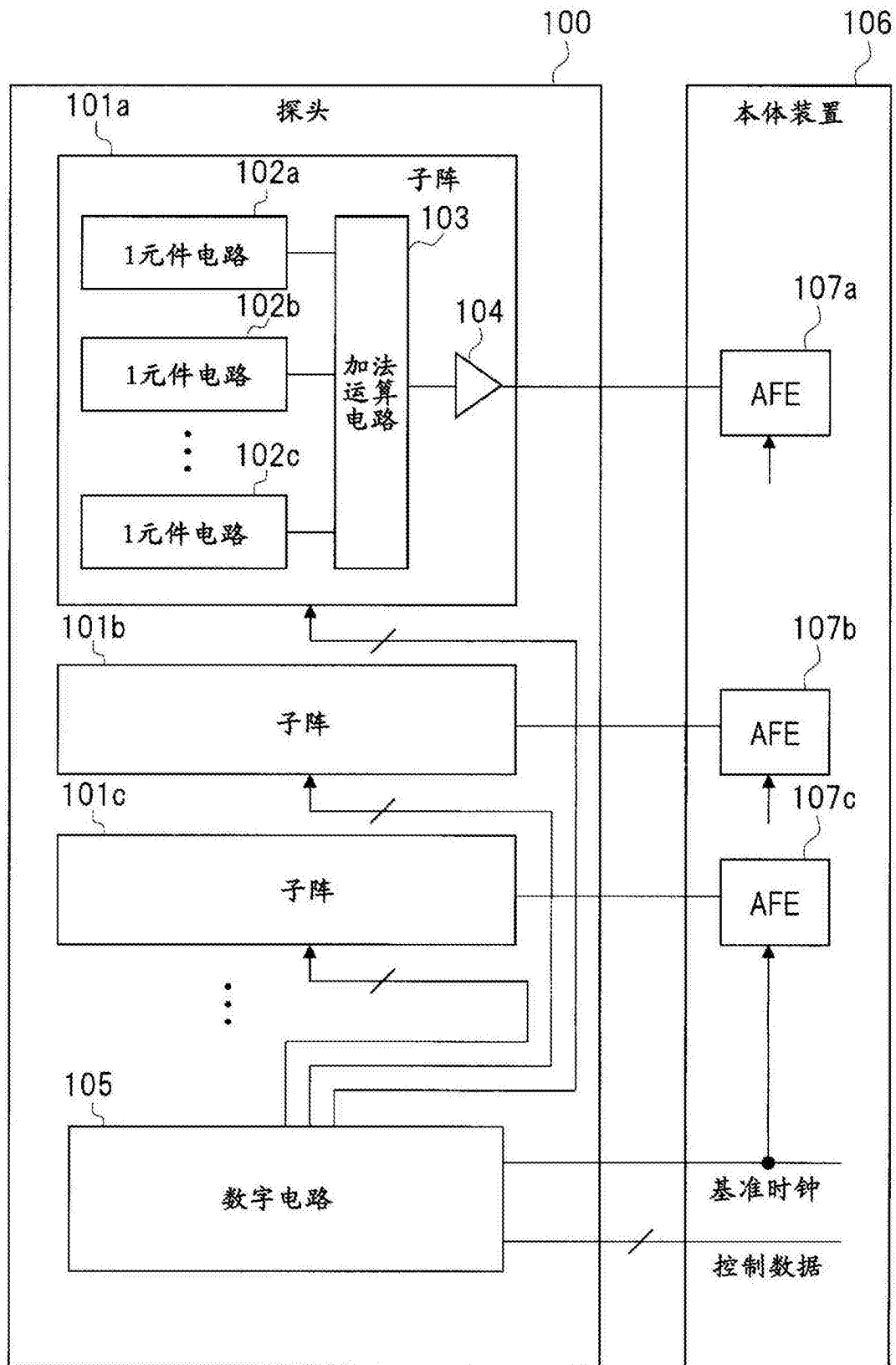


图1

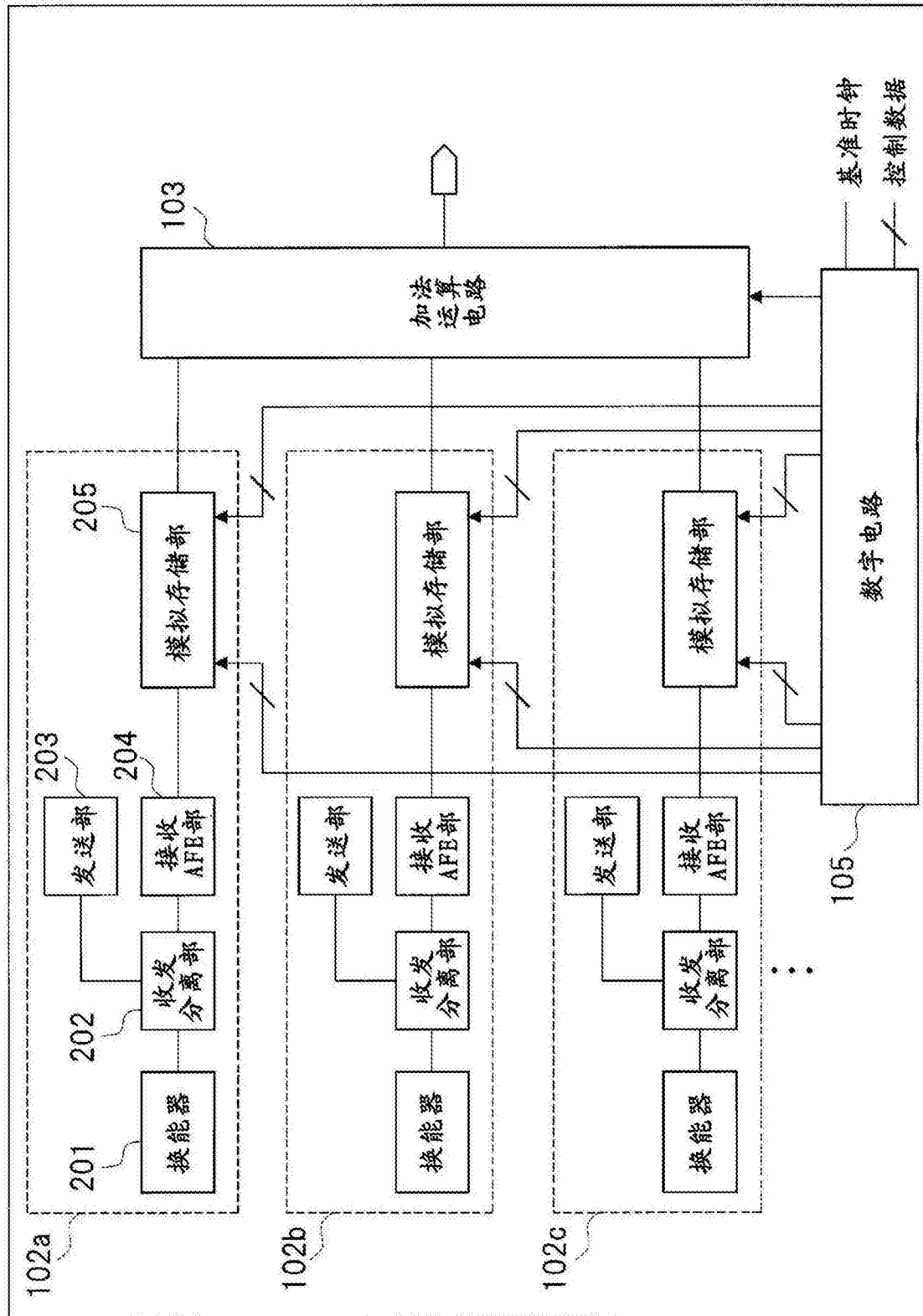


图2

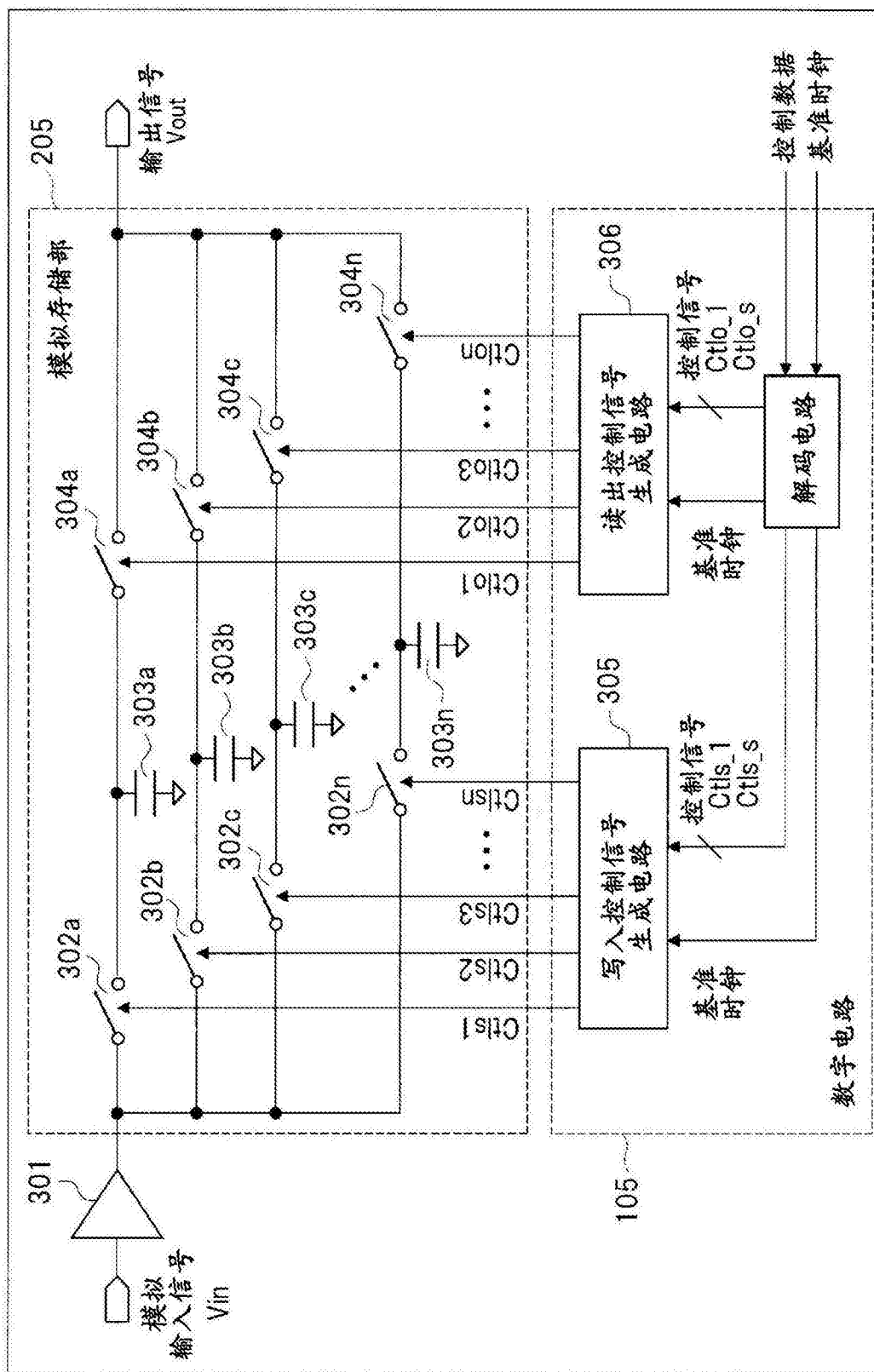


图3

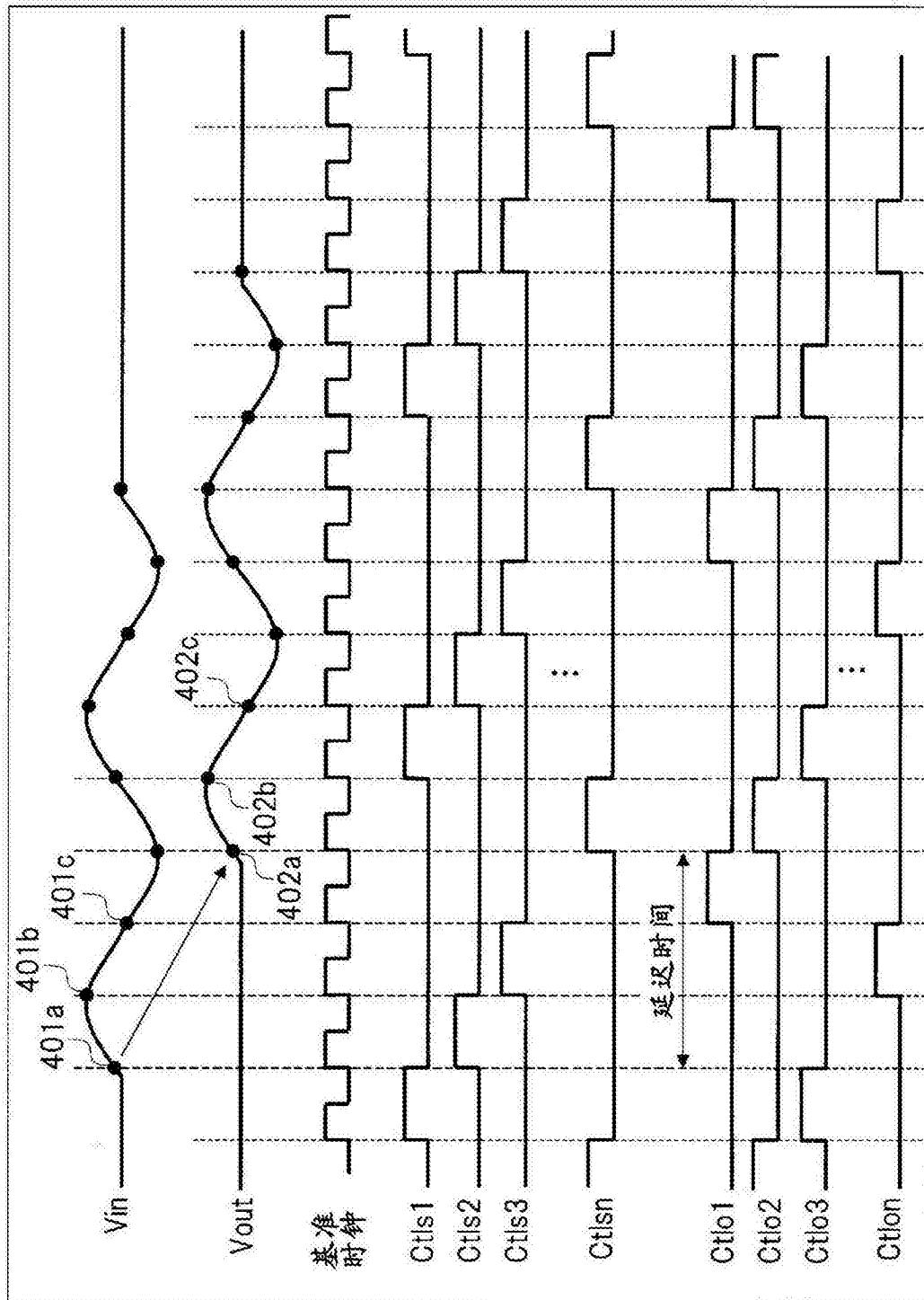


图4

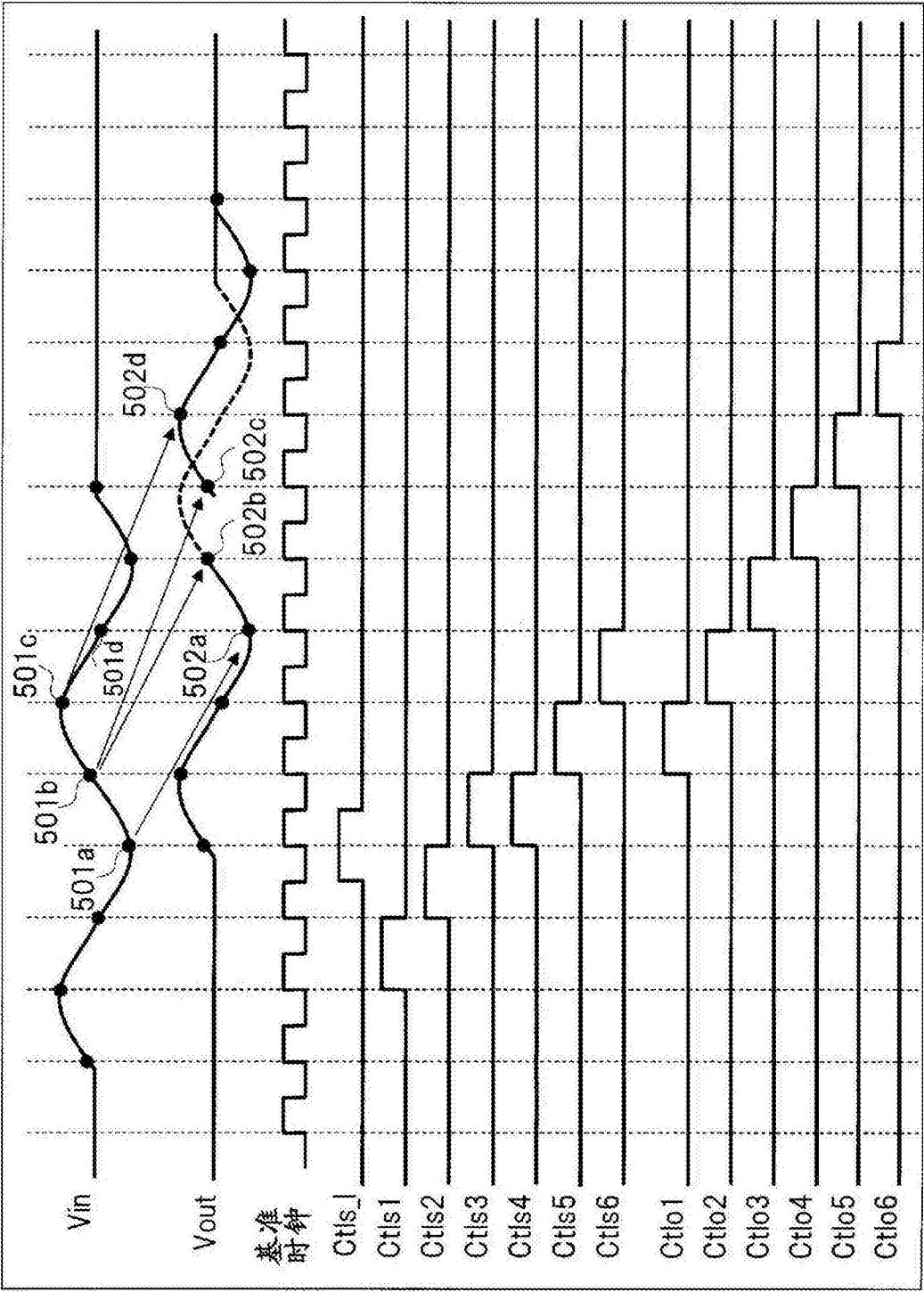


图5

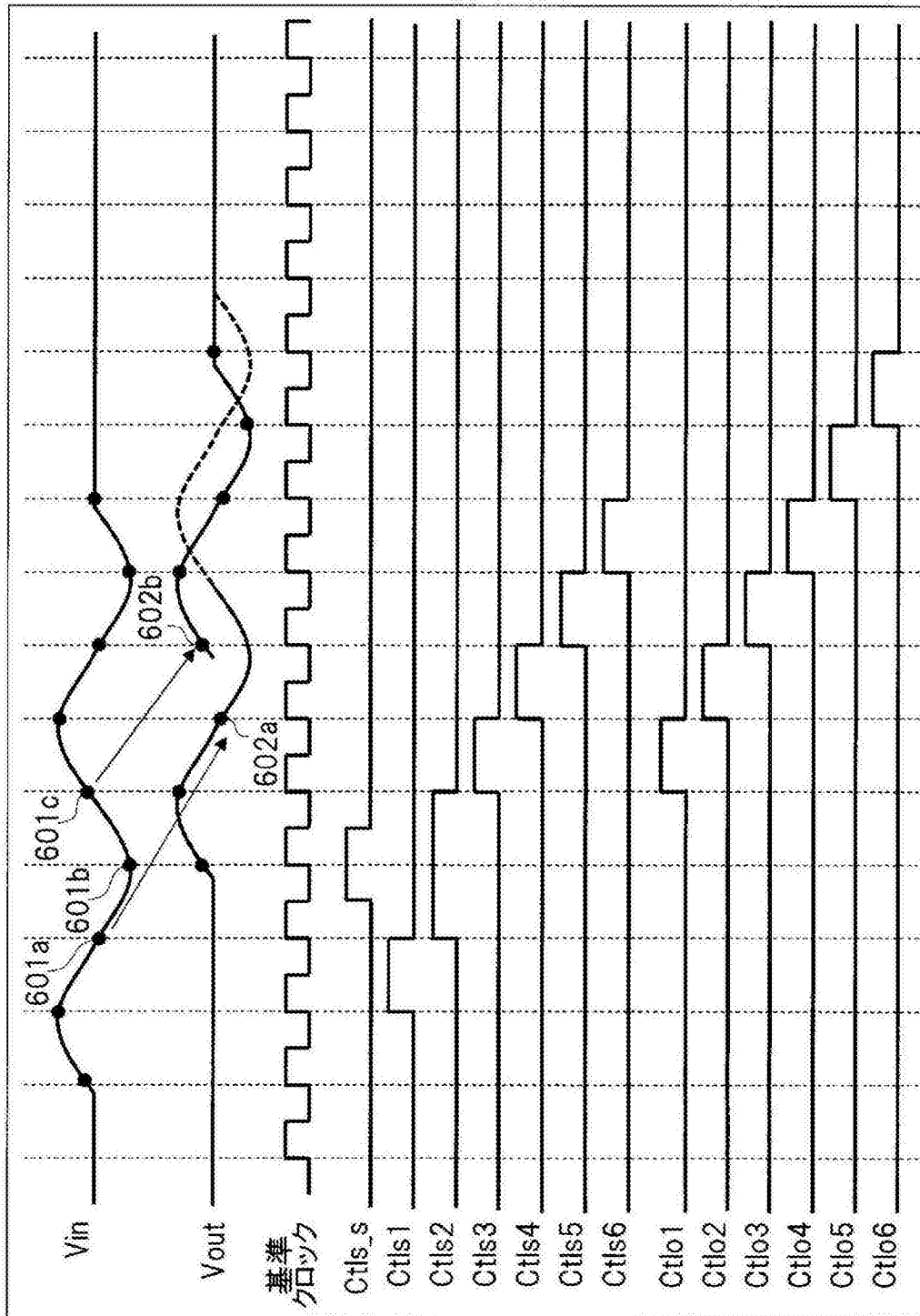


图6

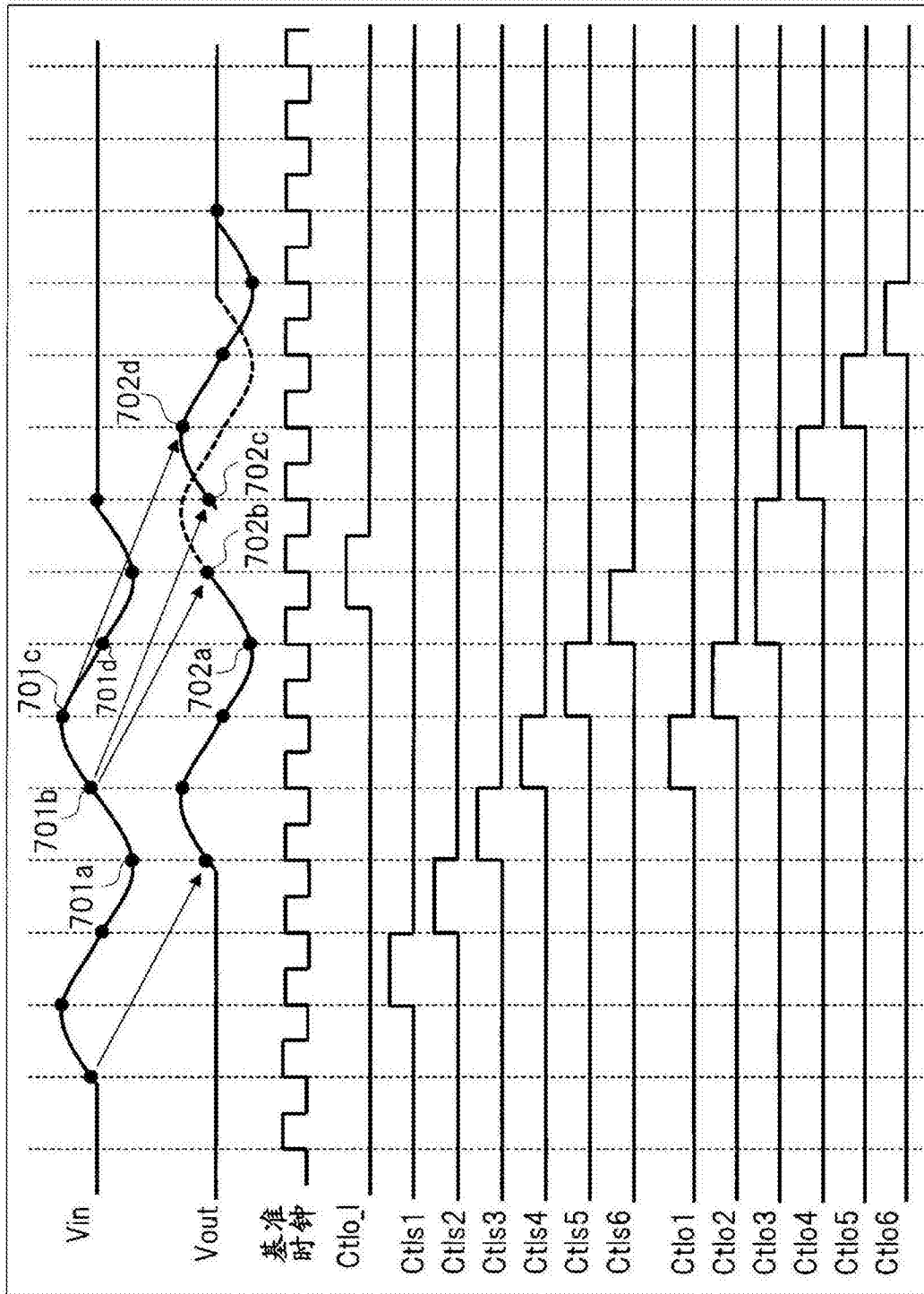


图7

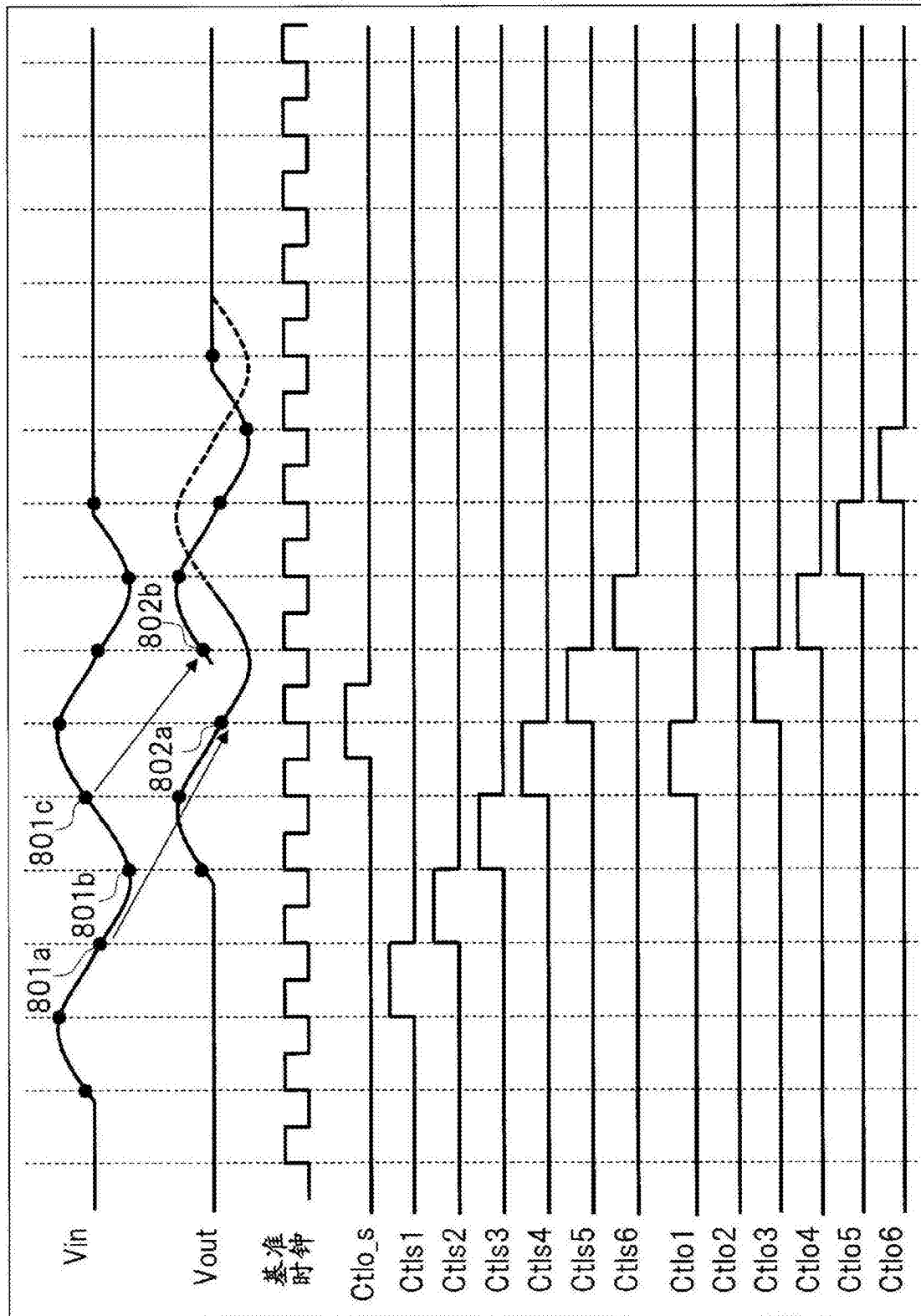


图8

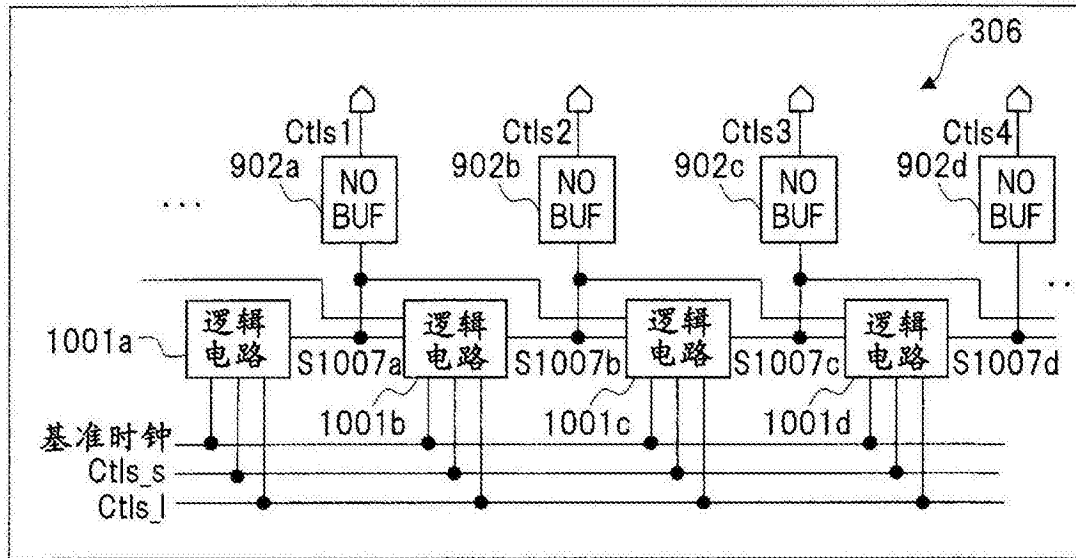


图11

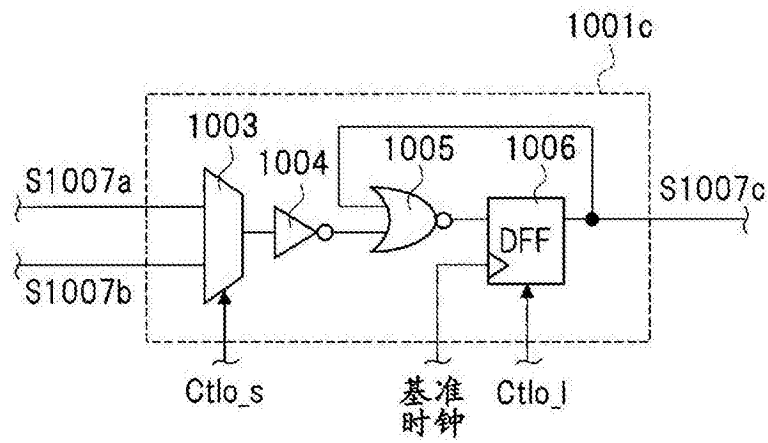


图12

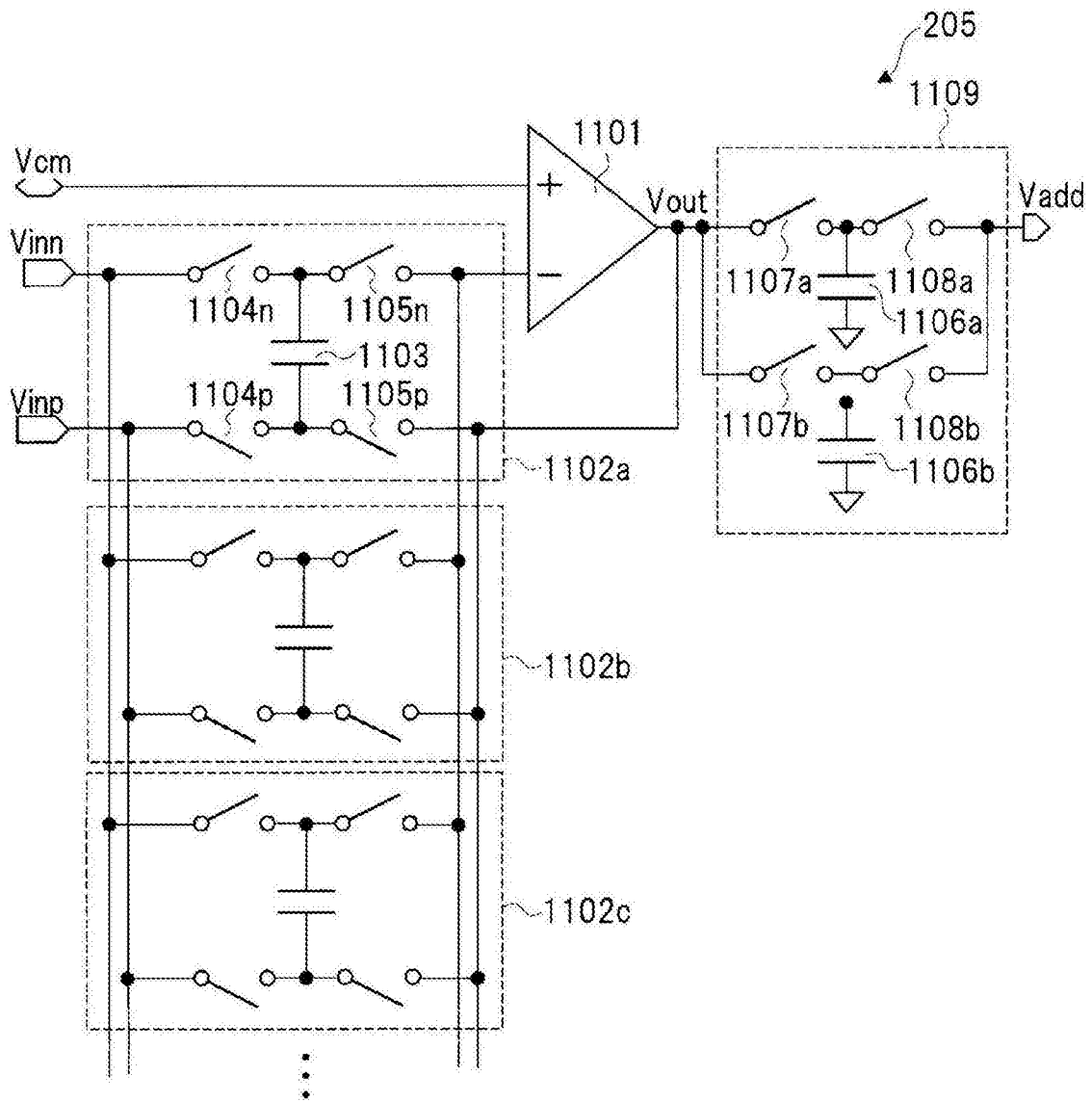


图13

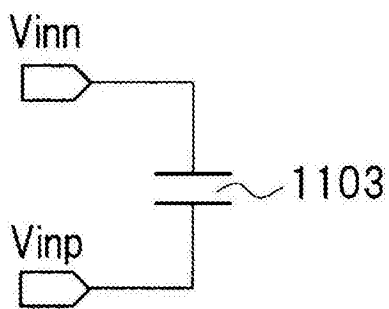


图14

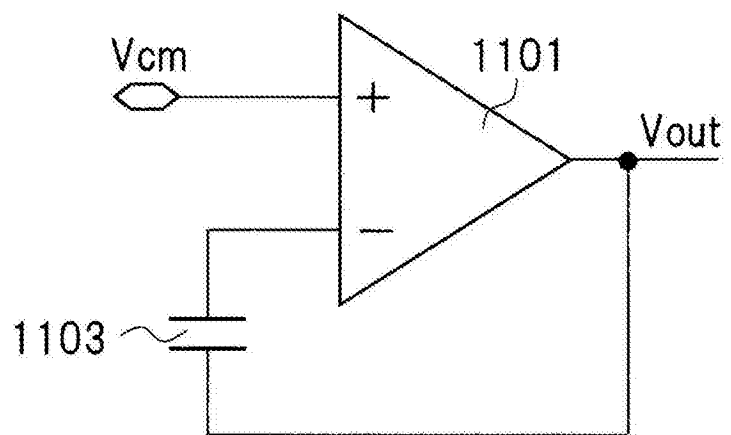


图15

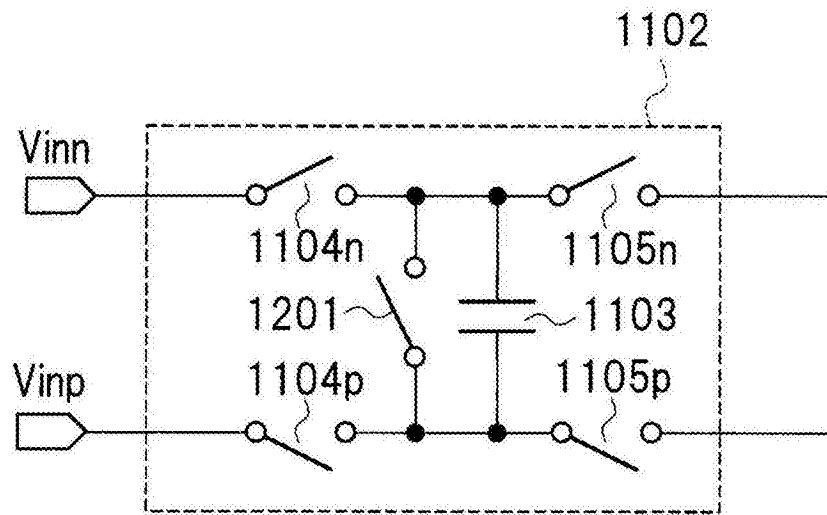


图16

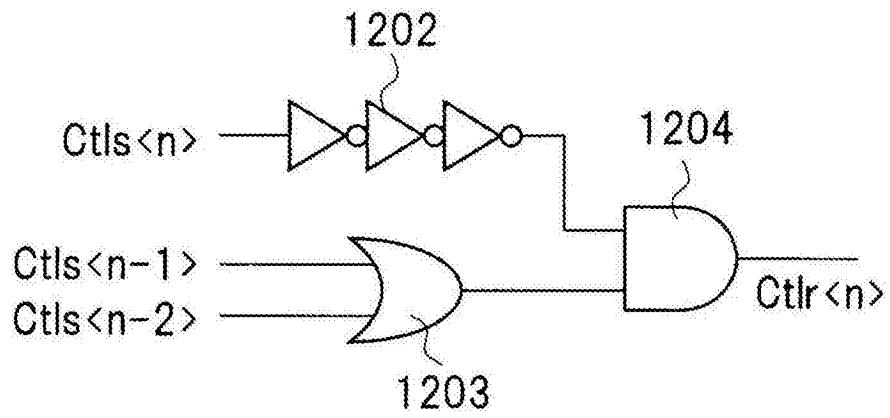


图17

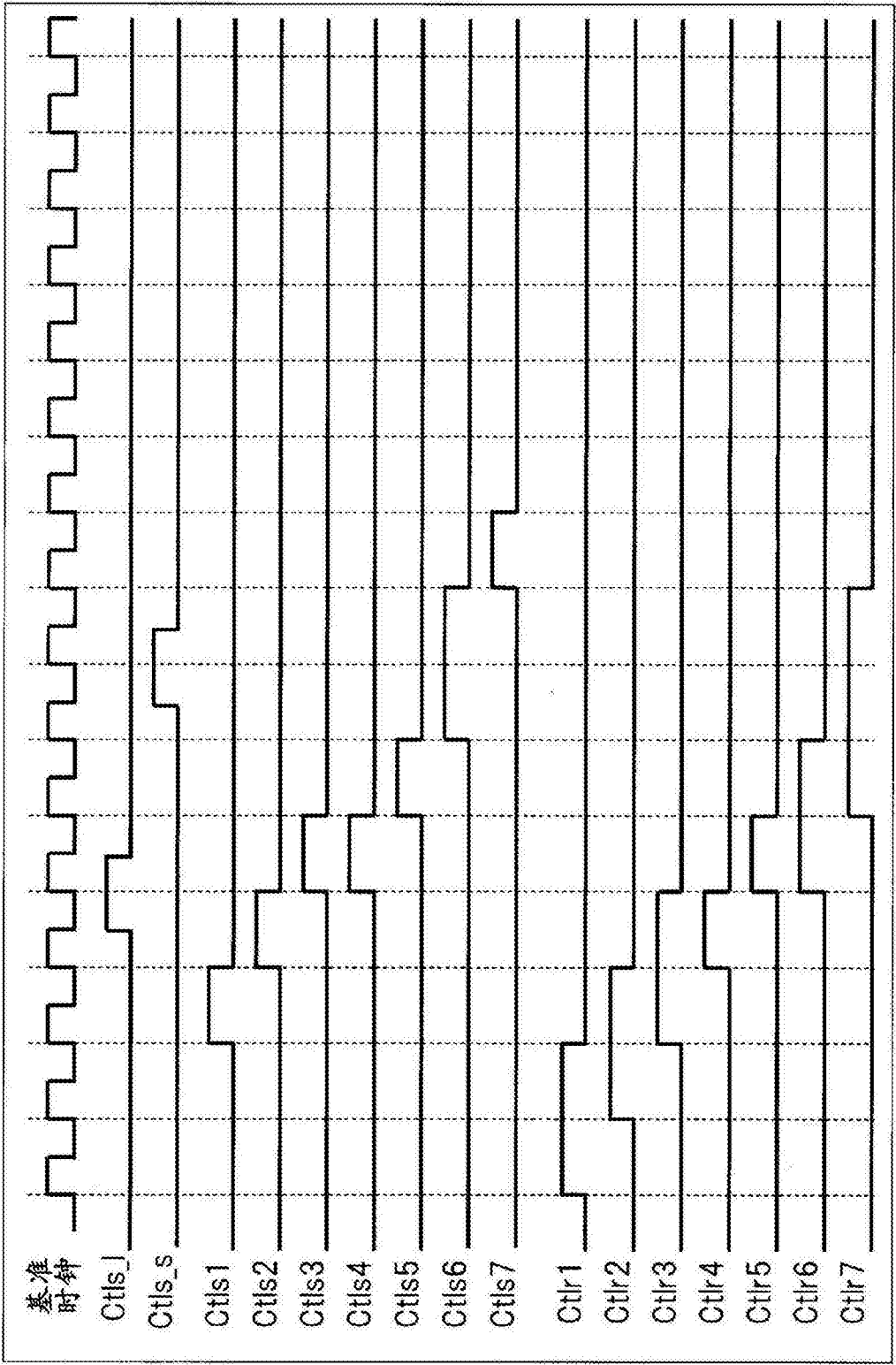


图18

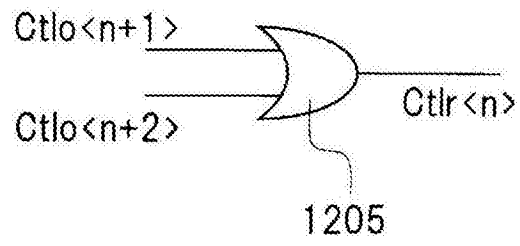


图19

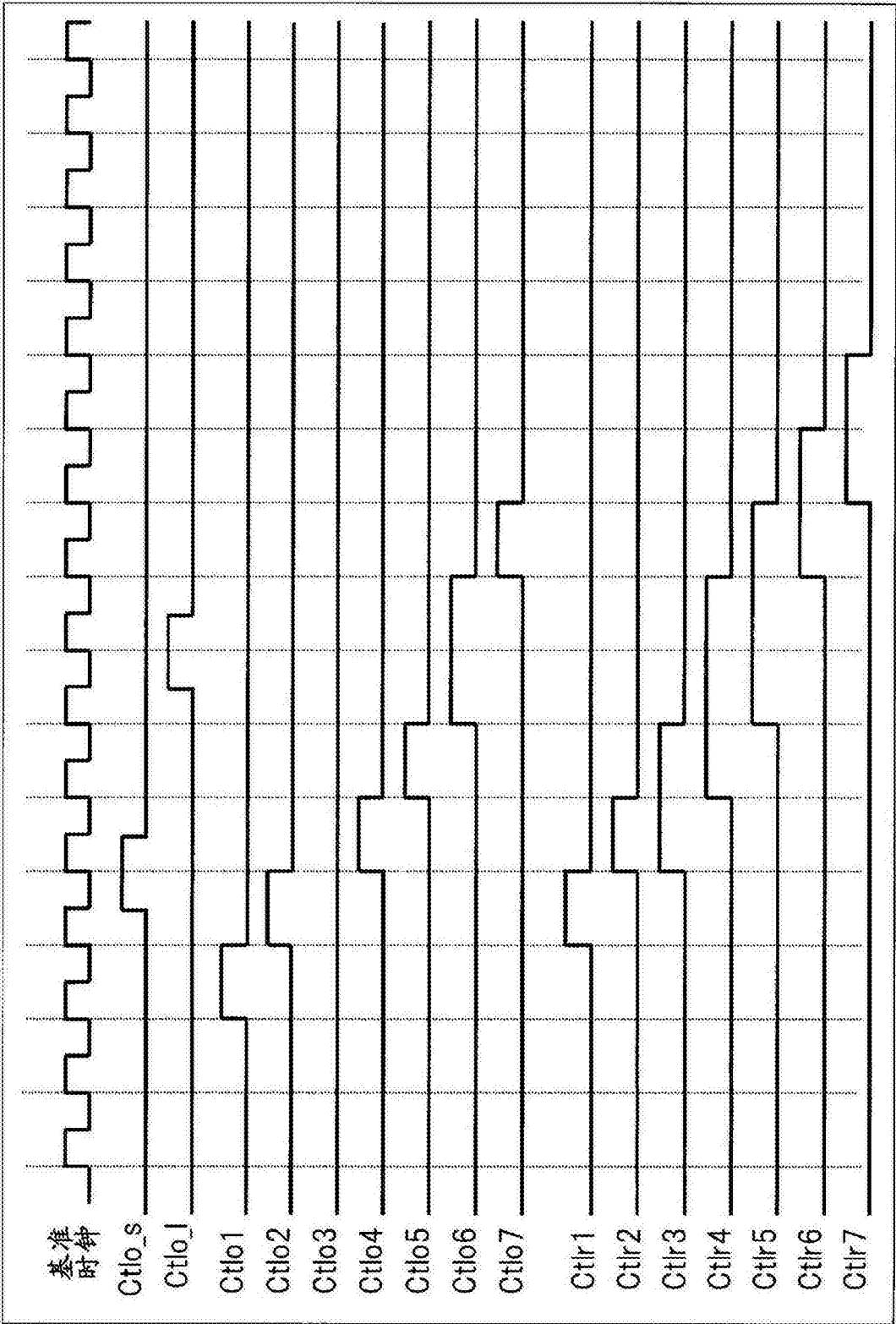


图20

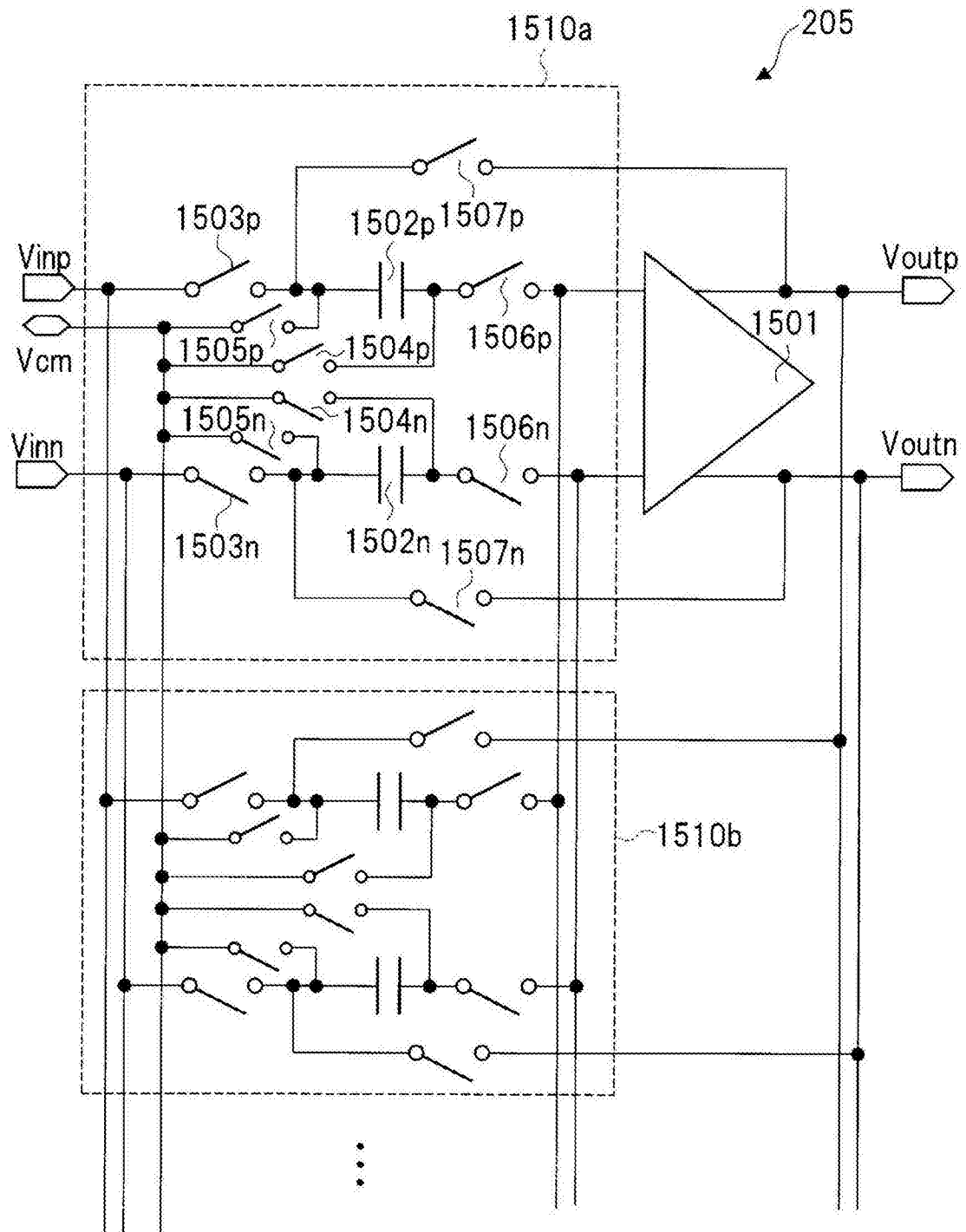


图21

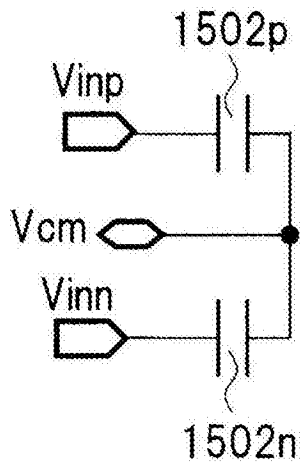


图22

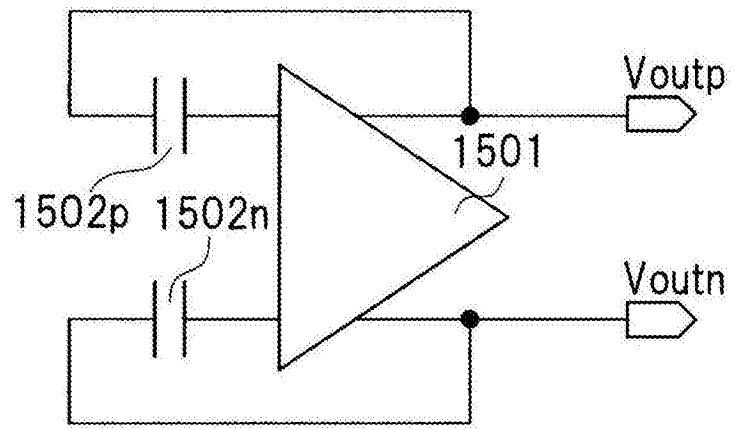


图23

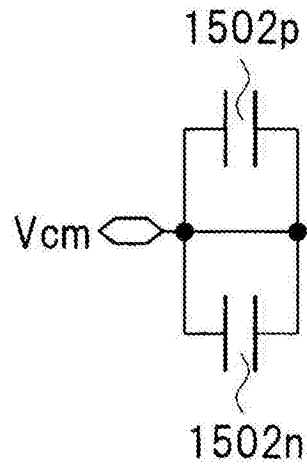


图24

专利名称(译)	超声波探头以及使用该超声波探头的超声波摄像装置		
公开(公告)号	CN106061395A	公开(公告)日	2016-10-26
申请号	CN201480076530.2	申请日	2014-02-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	中川树生 罇泽裕 梶山新也		
发明人	中川树生 罇泽裕 梶山新也		
IPC分类号	A61B8/00		
CPC分类号	A61B8/5207 G01S7/52025 G01S7/5208 G01S15/8915 G10K11/346 A61B8/145 A61B8/4444 A61B8/4494 G01S7/52046		
代理人(译)	赵宇		
其他公开文献	CN106061395B		
外部链接	Espacenet SIPO		

摘要(译)

构成能够动态地变更延迟时间且小型的延迟电路。探头具有：模拟存储部(205)，其将因声阻抗的差异而产生的与超声波的反射波对应的电荷积蓄在多个电容(303)中，依次输出积蓄在这些电容(303)中的电荷。在积蓄电荷时，在输入了使反射波的延迟时间变长的控制信号CtIs_I时，在预先设定的期间，模拟存储部(205)在2以上的电容(303)中积蓄相同的电荷，或者，在输出电荷时，在输入了控制信号CtIo_I时，在预先设定的期间，模拟存储部(205)输出积蓄在1个电容(303)中的电荷。

