



# [12] 发明专利说明书

[21] ZL 专利号 03104762.9

[45] 授权公告日 2005 年 6 月 15 日

[11] 授权公告号 CN 1206598C

[22] 申请日 2003.2.28 [21] 申请号 03104762.9

[71] 专利权人 清华大学

地址 100084 北京市北京 100084 - 82 信箱

[72] 发明人 彭旗宇 高上凯

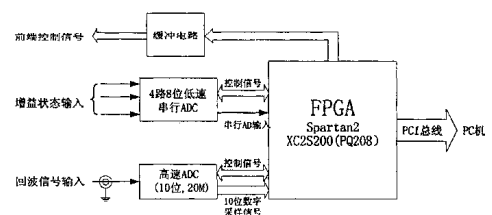
审查员 郭姝梅

权利要求书 1 页 说明书 5 页 附图 4 页

[54] 发明名称 基于 PC 机的医学超声成像系统

[57] 摘要

基于 PC 机的医学超声成像系统属于医学超声成像技术领域，所述的系统含有：前端硬件控制电路，它用一块现场可编程门阵列即 FPGA 芯片实现，内含有扫描控制电路，系统控制电路，外部输出接口电路和数据缓存电路；和上述 FPGA 芯片相连的缓冲电路、串行模/数转换和高速模/数转换电路；和上述前端硬件控制电路相连的 PC 机。所述系统具有成本低、升级易、图像和数据便于传送、存储和管理的优点。



1. 医学超声成像系统，含有 PC 机，其特征在于，它含有：

共同做在一块现场可编程门阵列即 FPGA 芯片上的前端硬件控制电路，它含有：扫查控制电路，与该扫查控制电路互连的系统控制电路，与该系统控制电路互连的外部输出即 PCI 接口电路，同时与该 PCI 接口电路和系统控制电路互连的数据缓存电路；

PC 机：它与上述 FPGA 芯片中的 PCI 接口相连；

缓冲电路：输入端与上述 FPGA 芯片中的扫查控制电路相连，输出为前端控制信号；

串行模/数转换即串行 ADC 电路：输入为增益状态输入信号，输出端与上述 FPGA 芯片中的扫查控制电路互连；

高速模/数转换即高速 ADC 电路：输入为回波信号，输出端与上述 FPGA 芯片中的扫查控制电路互连。

2. 根据权利要求 1 所述的医学超声成像系统，其特征在于：所述的 FPGA 是 Spartan2 XC2S200 即 PQ208 芯片。

3. 根据权利要求 1 所述的医学超声成像系统，其特征在于：所述的串行 ADC 是 4 路 8 位低速的。

4. 根据权利要求 1 所述的医学超声成像系统，其特征在于：所述的高速 ADC 是 10 位 20M 的。

## 基于 PC 机的医学超声成像系统

### 技术领域

基于 PC 机的医学超声成像系统属于医学超声成像技术领域。

### 背景技术

现有的医学超声成像系统大多是专用系统，通过专用的探头、发射和接收电路、控制电路、成像电路来获取医学超声图像。专用系统的缺点是：成本较高、不易升级、不易实现各种复杂的图像变换和测量、不易实现病人信息和图像数据的存储、传送和管理。在市场上也有少量采用 PC 机的医学超声成像系统的，但在技术上尚未成为公知的技术。

### 发明内容

本发明的目的在于提供一种基于 PC 机的医学超声成像系统。

本发明所述的医学超声成像系统其特征在于，它含有：

共同做在一块现场可编程门阵列即 FPGA 芯片上的前端硬件控制电路，它含有：扫查控制电路，与该扫查控制电路互连的系统控制电路，与该系统控制电路互连的外部输出即 PCI 接口电路，同时与该 PCI 接口电路和系统控制电路互连的数据缓存电路；

PC 机：它与上述 FPGA 芯片中的 PCI 接口相连；

缓冲电路：输入端与上述 FPGA 芯片中的扫查控制电路相连，输出为前端控制信号；

串行模/数转换即串行 ADC 电路：输入为增益状态输入信号，输出端与上述 FPGA 芯片中的扫查控制电路互连；

高速模/数转换即高速 ADC 电路：输入为回波信号，输出端与上述 FPGA 芯片中的扫查控制电路互连。所述的 FPGA 是 Spartan2 XC2S200 (PQ208) 芯片。

所述的串行 ADC 是 4 路 8 位低速的。

所述的高速 ADC 是 10 位 20M 的。

实验证明：本发明具有成本低、升级易、图像变换和测量易于实现、病人信息和图像数据易于存储传送和管理的优点。

### 附图说明

图 1. 系统的层次结构框图。

图 2. 数据缓存和传输示意图。

图 3. 系统总框图。

图 4. 前端控制和 PCI 接口电路框图。

图 5. FPGA 的电路框图。

图 6. 双线性插补示意图。

图 7. 四次查表的高速算法示意图。

图 8. 数字扫描转换的程序流程框图。

图 9. 图像数据的 DSC、对数压缩和  $\gamma$  校正的程序流程框图。

### 具体实施方式

本发明所述的医学超声成像系统的基本层次结构请见图 1 所示, 现把各部分功能简述如下:

前端硬件实现超声的发射、接收、解调和 ADC 等功能。

FPGA 电路直接控制前端的硬件。按功能划分, 主要由四部分组成。第一部分是 PCI 接口电路, 主要负责从 PCI 接口接收控制命令和将状态参数和图像数据传到 PC 机; 第二部分是数据缓存电路, 主要功能是缓存图像数据; 第三部分是系统控制电路, 主要功能是控制系统时序和协调系统的工作; 第四部分是扫描控制电路, 主要功能是控制前端的扫描时序, 控制远场增益、近场增益、总增益和视频信号的 AD 采样。

FPGA 电路和 PC 机通过 PCI 总线交换数据的协议为: ① FPGA 电路从方式读 IO 操作, 接收 PC 机写入的控制命令和 PC 机内存地址; ② FPGA 电路主方式猝发读内存操作, 从 PC 机读取扫描参数; ③ FPGA 电路主方式猝发写内存操作, 将图像数据入 PC 机。

Windows2000 的系统驱动程序是连接 Windows2000 上层应用软件与 FPGA 电路的桥梁。系统驱动程序主要实现下面的功能: ① 识别 PCI 插卡; ② 开辟参数内存块、状态内存块和数据内存块; ③ 将内存块的首地址以 IO 写方式, 传到 PCI 插卡; ④ 将系统启动命令发到 PCI 插卡。

上层应用软件实现的功能包括: ① 通过系统驱动程序, 控制 FPGA 电路和前端电路; ② B 型和 M 型图像功能, 包括 DSC、图像显示、图像的放大缩小、图像翻转、图像测量、图像打印、体标设置等功能; ③ 用户接口, 处理用户通过键盘和轨迹球鼠标输入的命令和信息; ④ 病人信息管理和数据存储功能。

上层应用软件通过系统驱动程序, 执行下面的操作与 FPGA 电路交互: ① 以 IO 写方式控制系统的启动和冻结; ② 将参数控制字写入参数内存块, PCI 插卡主方式猝发读内存, 读取参数控制字; ③ 从数据内存块读取图像数据。

系统共使用了两个的块状 RAM 模块。在设定的系统工作模式下, 不管扫描深度为多少, 每条扫描线上的采样点数都是 1024 点 (包括采样数据和线号等参数), 当 AD 的采样精度为 8bits 时, 每个块状 RAM 恰好可以存储两条扫描线的数据。采用两个块状 RAM 的目的是为了

更方便的实现数据的无间隙传输。图 2 是这种传输方式的示意图。

在控制逻辑的控制下，首先 K1, K4 闭合, K2, K3 断开, 两条扫描线的数据缓存在 RAM1 中; 然后 K2、K3 闭合, K1、K4 断开, 新的两条扫描线的数据缓存在 RAM2 中, RAM1 中的数据通过 PCI 总线传入 PC 机。这种传输方式可以保证数据流无间隙的传入 PC 机。

I/O 读写采用从方式非猝发实现, 对数据的传输没有时间上的要求, 因此没有采用特殊的纠错处理。

状态和图像数据采用主方式猝发写传输, 因此采用对成功发送的数据进行计数的方法来判别猝发传输是否成功, 如果传输失败则重新突发传输当前数据, 直至数据传输成功。

参数数据以主方式猝发读传输, 数据采用 FIFO 接收, 利用设置数据的保留位来判别接收是否成功。如果数据的保留位不是事先设定的值 (全 1), 则说明参数数据传输失败, 此次接收的全部参数数据被丢弃, 新的参数数据需要等到扫描完 64 条扫描线后再重新主方式猝发读取, 延迟时间最多为 20ms, 不会使用户产生参数设定滞后的感觉。为了保证能够通过保留位识别出所有可能的传输失败, 需要仔细设定数据保留位的位置。

本系统中的核心器件是 FPGA (请见图 3~4)。其中, 它具有以下功能:

- (1) 通过 PCI 总线与 PC 机通信, 读取 PC 机 (主要配置为: 为 Intel Pentium III 550 的 CPU, 256M 内存) 的设置和控制命令;
  - (2) 从前端读取状态信息, 通过 PCI 总线传给 PC 机;
  - (3) 向前端发布控制命令, 实时控制前端的工作;
  - (4) 控制高速 ADC, 将前端来的模拟回波信号转换成数字信号通过 PCI 总线传给 PC 机;
- 现在介绍图 5:

第一部分是 PCI 接口电路, 主要负责从 PCI 接口接收控制命令和将状态参数和图像数据传到 PC 机。这部分电路中缓存内存地址、扫描参数、状态参数和图像数据的 RAM 均用片内的分布式 RAM 实现。

第二部分是数据缓存电路, 主要功能是缓存图像数据。由于 XC2S200 的片内分布式 RAM 资源有限, 只有 75,264bits, 因此数据缓存电路用片内块状 RAM 实现。

第三部分是系统控制电路, 主要功能是控制系统时序和协调系统的工作。

第四部分是扫描控制电路, 主要功能是控制前端的扫描时序, 控制远场增益、近场增益、总增益和视频信号的 AD 采样。

FPGA 电路和 PC 机通过 PCI 总线交换数据的协议如下:

- ① FPGA 电路从方式读 IO 操作, 接收 PC 机写入的控制命令和 PC 机内存地址;
- ② FPGA 电路主方式猝发读内存操作, 从 PC 机读取扫描参数;
- ③ FPGA 电路主方式猝发写内存操作, 将图像数据入 PC 机。

基于软件的数字扫描变换器（即 DSC）采用平面二维插补的方法，其实现采用四次查表的高速算法。

平面二维插补的描述如图 6 所示。扇形图像上超声扫查线按等角增量  $V\theta$  均匀分布，扫查线上的采样点按等间隔  $Vr$  均匀分布，与落在栅格上的显示像素  $Z$  最近邻的四个样本值分别为  $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i,j+1}$  和  $P_{i+1,j+1}$ 。

扇面中的平面二维插补可以分别由模方向和角度方向两次一维线性插补来完成。模方向的插补运算如下：

$$Z' = P_{i,j} \left(1 - \frac{r_e}{Vr}\right) + P_{i+1,j} \frac{r_e}{Vr} \quad (1)$$

$$Z'' = P_{i,j+1} \left(1 - \frac{r_e}{Vr}\right) + P_{i+1,j+1} \frac{r_e}{Vr} \quad (2)$$

式中  $Z'$  和  $Z''$  两点位于相邻的两条超声扫描线上且具有与显示像素  $Z$  相同的模。 $r_e$  为待插值的  $Z$  点相对于  $P_{i,j}$  点在模方向上的偏差。

完成模方向的插补后再进行一次角度方向的插补。运算公式如下：

$$Z = Z' \left(1 - \frac{\theta_e}{V\theta}\right) + Z'' \frac{\theta_e}{V\theta} \quad (3)$$

式中  $\theta_e$  为  $Z$  点相对于  $P_{i,j}$  点在角度方向的偏差。

(1)、(2) 两式代入 (3) 式，得：

$$Z = P_{i,j} \left(1 - \frac{r_e}{Vr}\right) \left(1 - \frac{\theta_e}{V\theta}\right) + P_{i+1,j} \frac{r_e}{Vr} \left(1 - \frac{\theta_e}{V\theta}\right) + P_{i,j+1} \left(1 - \frac{r_e}{Vr}\right) \frac{\theta_e}{V\theta} + P_{i+1,j+1} \frac{r_e}{Vr} \frac{\theta_e}{V\theta} \quad (4)$$

令  $w_{i,j} = \left(1 - \frac{r_e}{Vr}\right) \left(1 - \frac{\theta_e}{V\theta}\right)$ ,  $w_{i+1,j} = \frac{r_e}{Vr} \left(1 - \frac{\theta_e}{V\theta}\right)$ ,  $w_{i,j+1} = \left(1 - \frac{r_e}{Vr}\right) \frac{\theta_e}{V\theta}$ ,  $w_{i+1,j+1} = \frac{r_e}{Vr} \frac{\theta_e}{V\theta}$ ，得：

$$Z = w_{i,j} P_{i,j} + w_{i+1,j} P_{i+1,j} + w_{i,j+1} P_{i,j+1} + w_{i+1,j+1} P_{i+1,j+1} \quad (5)$$

图 7 是四次查表的高速算法的示意图。图中的五个表分别是图像数据表、地址权重映射表、扫查数据表、乘法表、对数压缩和  $\gamma$  校正表（ $\gamma$  校正：校正显示器灰度的非线性）。

图像数据表存储的是待显示的图像数据。图像数据经过了 DSC、对数压缩和  $\gamma$  校正，可以直接拷贝到显示内存显示。在  $512 \times 512$  的显示模式下，图像数据表中的点  $A(x, y)$ ， $x$  的范围是  $0 \sim 511$ ， $y$  的范围是  $0 \sim 511$ 。

地址权重映射表存储的是图像数据表中各点最近邻的四个样本中的第一个的座标  $i, j$  和四个样本的权重  $w_{i,j}$ 、 $w_{i+1,j}$ 、 $w_{i,j+1}$  和  $w_{i+1,j+1}$ 。

扫查数据表存储的是扇形扫查得到的扫查数据。在 192 条扫查线，每条扫查线 1024 个采样点的情况下，扫查数据表的大小为  $192 \times 1024$ 。扫查数据表中的点  $B(i, j)$ ， $i$  表示  $\theta$  方向，其范围是  $0 \sim 191$ ， $j$  表示  $R$  方向，其范围是  $0 \sim 1023$ 。

乘法表存储的是两个数相乘的结果。采用乘法表取代乘法运算可以提高 DSC 的速度。在

采样精度为 8bits,  $\theta_e = \sqrt{\theta}/32$ ,  $r_e = \sqrt{r}/8$  的情况下, 乘法表的大小为  $256 \times 256$ 。

对数压缩和  $\gamma$  校正表是一维线性表, 存储的是对数据进行对数压缩运算和  $\gamma$  校正运算得到的结果。

四次查表的算法把平面二维插补 DSC、对数压缩和  $\gamma$  校正简化为四次查表运算。例如, 当需要计算图像数据表中点 A ( $x, y$ ) 的图像数据时, 先根据 ( $x, y$ ) 在地址权重映射表中查出 A 点最近邻的四个样本中的第一个的座标  $i, j$  和四个样本的权重  $w_{i,j}$ 、 $w_{i+1,j}$ 、 $w_{i,j+1}$ 、 $w_{i+1,j+1}$ 。再根据 ( $i, j$ ) 在扫描数据表中查出四个样本的值  $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i,j+1}$  和  $P_{i+1,j+1}$ 。然后在乘法表中分别查出  $w_{i,j}P_{i,j}$ 、 $w_{i+1,j}P_{i+1,j}$ 、 $w_{i,j+1}P_{i,j+1}$ 、 $w_{i+1,j+1}P_{i+1,j+1}$  的值, 并相加得到  $P_{x,y}$ 。最后, 根据  $P_{x,y}$  的值从对数压缩和  $\gamma$  校正表查得最后的结果, 并存入图像数据表。

四次查表的算法的优点除了运算速度快, 插补精度高外, 还能很方便的实现图像的放大和翻转、 $\gamma$  校正曲线的修改操作。进行图像的放大和翻转时, 需要修改地址权重映射表。而修改  $\gamma$  校正曲线时, 需要修改对数压缩和  $\gamma$  校正表。

系统可以实现的功能包括: (1) B 模式 (B 超)、M 模式 (M 超)、B/B 模式 (同时显示两个 B 超图像, 一个活动, 一个冻结)、B/Z 模式 (同时显示两个 B 超图像, 一个正常显示, 一个放大显示)、B/M (同时显示一个 B 超图像和一个 M 超图像) 显示; (2) 可变孔径、4 焦点电子聚焦; (3) 4 级边缘增强, 4 级帧相关, 8 种  $\gamma$  灰度校正; (4) 任意局部放大, 左/右、上/下翻转,  $90^\circ$  旋转; (5) 图像的软盘存储, MOD 或刻录光盘存储; (6) 标尺, 测量距离、周长、面积、角度和时间等测量功能。

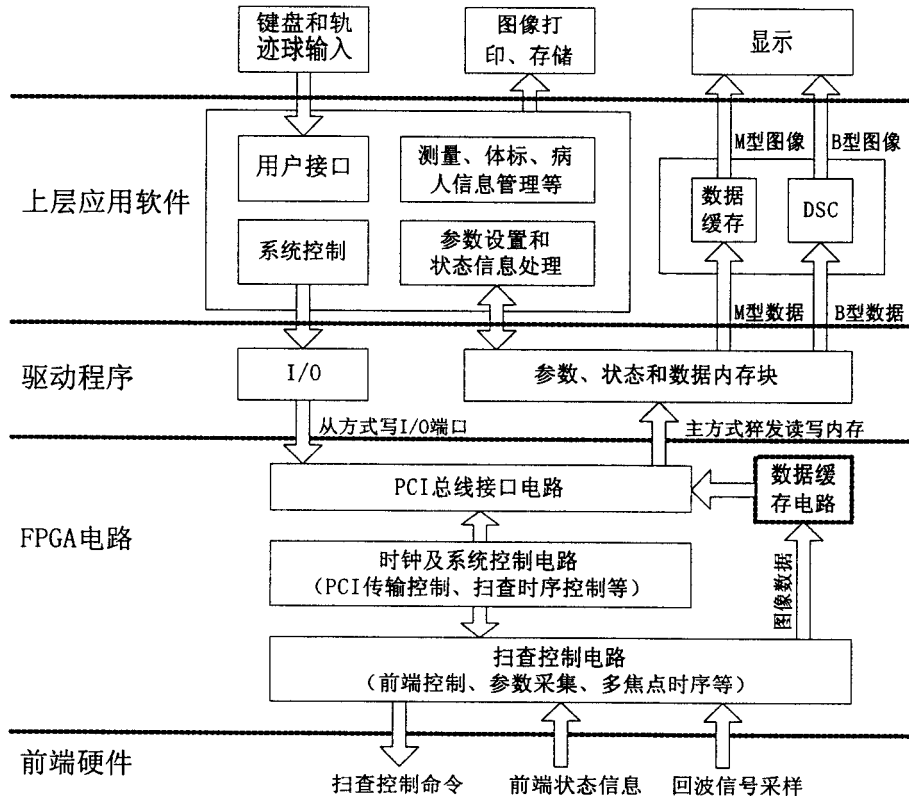


图 1

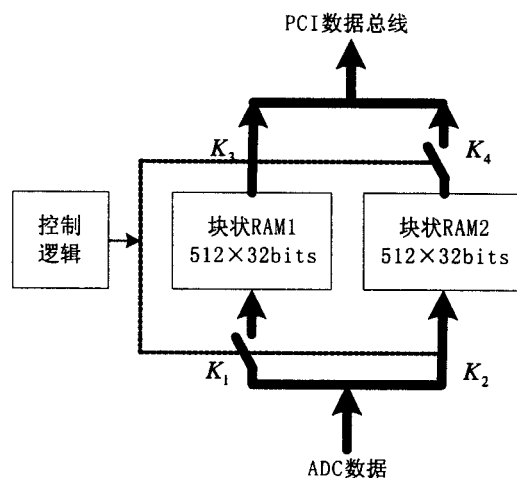


图 2

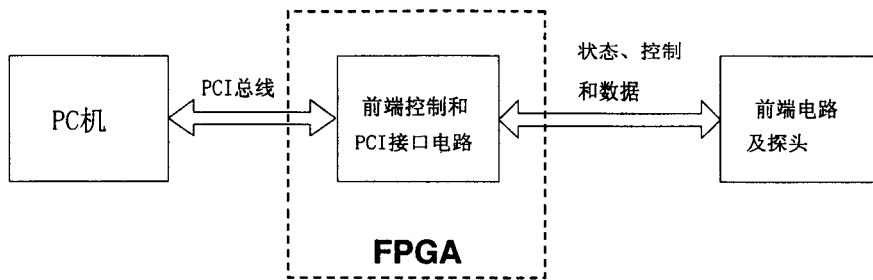


图 3

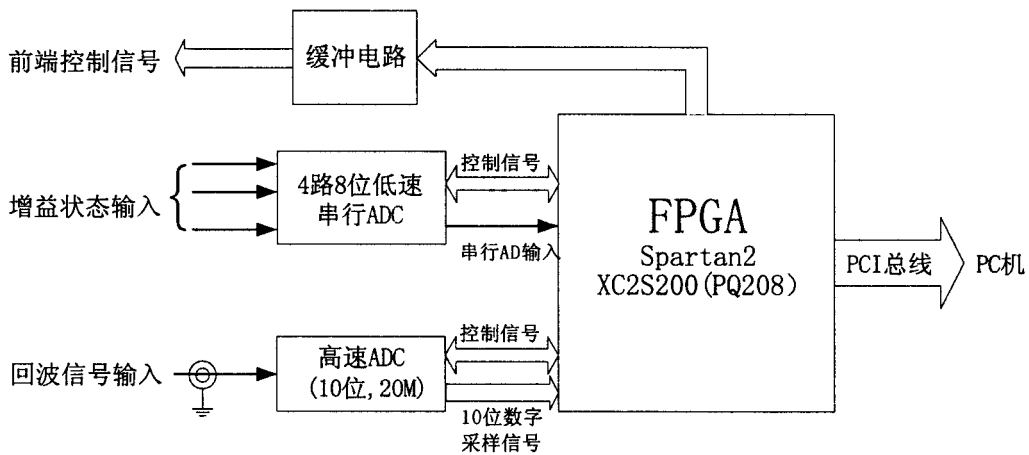


图 4

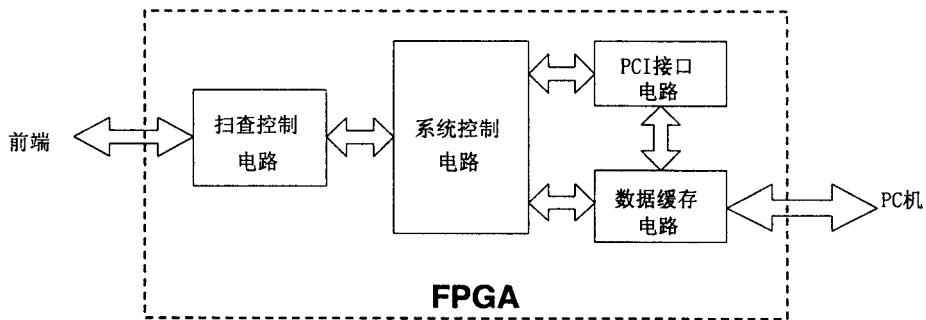


图 5

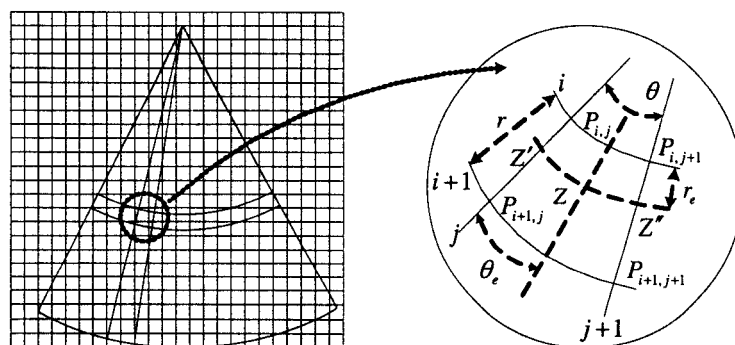


图 6

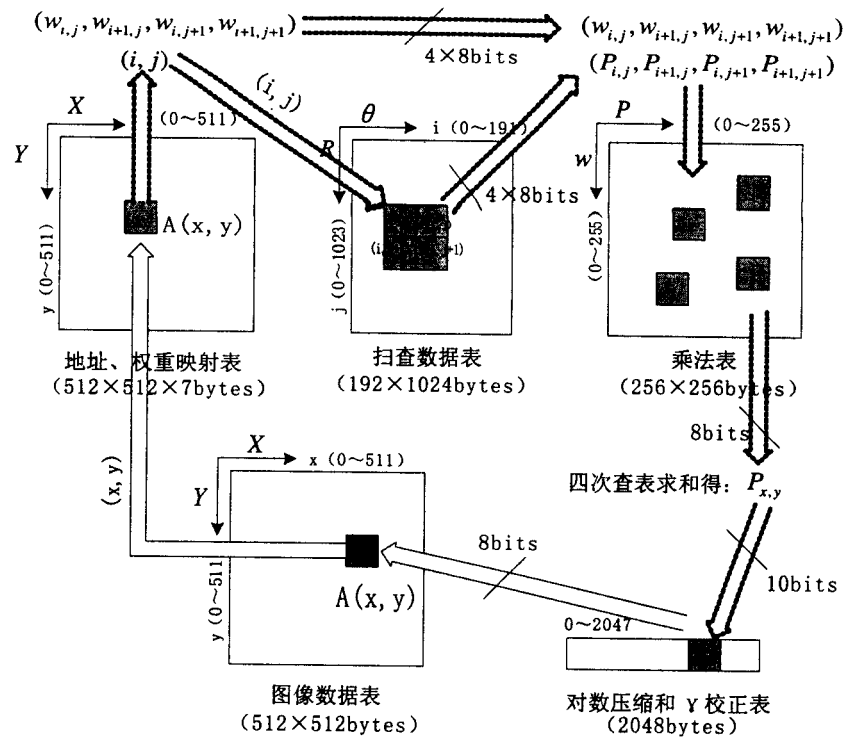


图 7

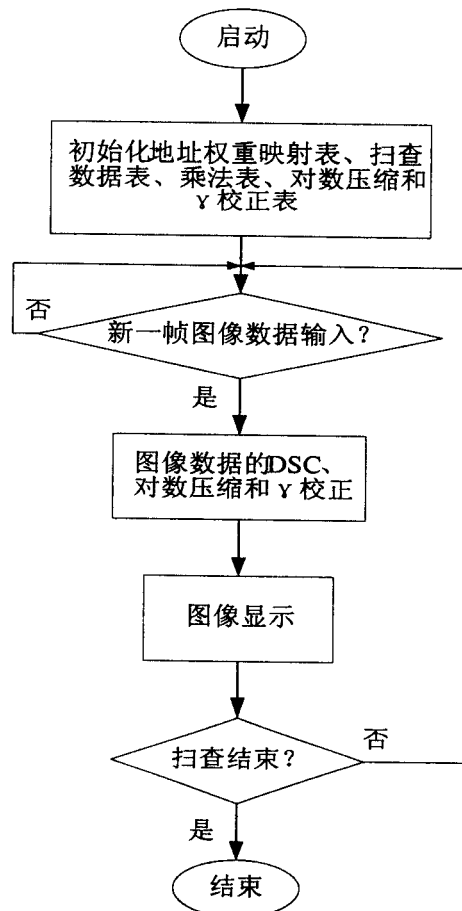


图 8

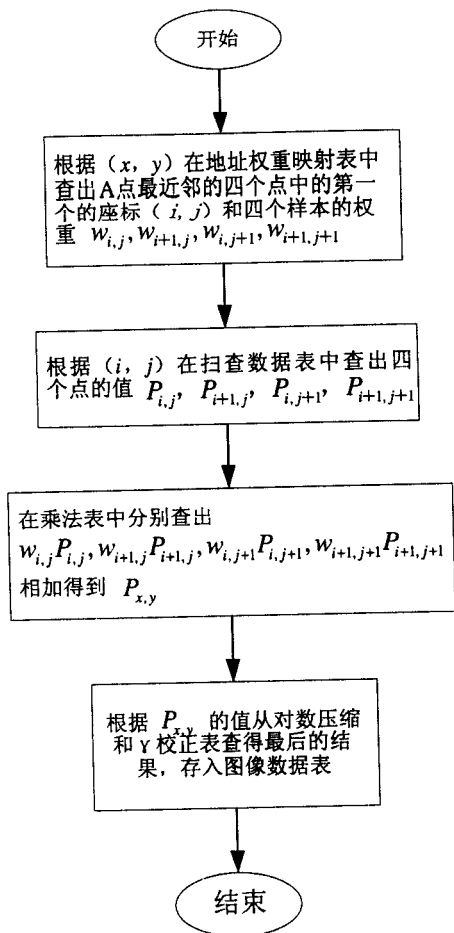


图 9

专利名称(译)	基于PC机的医学超声成像系统		
公开(公告)号	<a href="#">CN1206598C</a>	公开(公告)日	2005-06-15
申请号	CN03104762.9	申请日	2003-02-28
[标]申请(专利权)人(译)	清华大学		
申请(专利权)人(译)	清华大学		
当前申请(专利权)人(译)	清华大学		
[标]发明人	彭旗宇 高上凯		
发明人	彭旗宇 高上凯		
IPC分类号	A61B8/00 G06F7/38 G06F13/14		
其他公开文献	CN1431602A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

基于PC机的医学超声成像系统属于医学超声成像技术领域，所述的系统含有：前端硬件控制电路，它用一块现场可编程门阵列即FPGA芯片实现，内含有扫描控制电路，系统控制电路，外部输出接口电路和数据缓存电路；和上述FPGA芯片相连的缓冲电路、串行模/数转换和高速模/数转换电路；和上述前端硬件控制电路相连的PC机。所述系统具有成本低、升级易、图像和数据便于传送、存储和管理的优点。

