



(12)发明专利申请

(10)申请公布号 CN 110507353 A

(43)申请公布日 2019. 11. 29

(21)申请号 201910426465.6

(22)申请日 2019.05.22

(30)优先权数据

62/675,002 2018.05.22 US

16/395,945 2019.04.26 US

(71)申请人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72)发明人 M·R·普赖斯 E·G·内斯特勒

M·莫尔滕森 A·萨德

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 张鑫

(51)Int.Cl.

A61B 8/00(2006.01)

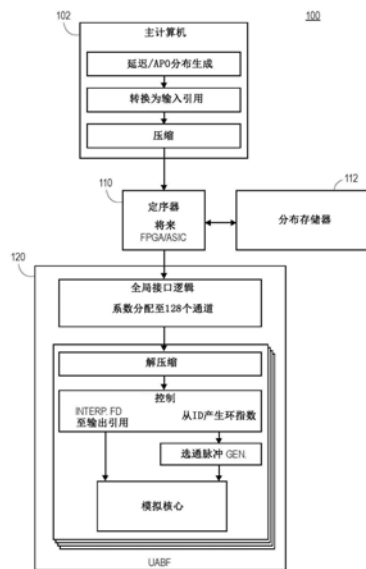
权利要求书2页 说明书19页 附图11页

(54)发明名称

超声波束形成器的延迟和变迹控制接口

(57)摘要

本公开涉及超声波束形成器的延迟和变迹控制接口。提供用于在超声波束形成器中压缩和解压缩数据的系统和方法。系统和方法包括编码器,用于至少部分地基于延迟分布的平滑度来压缩延迟数据,并且用于至少部分地基于变迹分布的平滑度来压缩变迹数据。



1. 一种用于在超声波束形成器中压缩和解压缩数据的系统,包括:  
编码器,被配置为至少部分地基于延迟分布的平滑度来压缩延迟数据,并且被配置为至少部分地基于变迹分布的平滑度来压缩变迹数据;  
解码器,包括乘法器、加法器和多路复用器,其中所述解码器被配置为解压缩所述压缩的延迟数据,并且其中所述解码器被配置为解压缩所述压缩的变迹数据。
2. 权利要求1所述的系统,其中所述编码器和所述解码器包括用于连接到波束形成器的简单源同步并行接口。
3. 权利要求1所述的系统,其中所述编码器使用低阶多项式拟合来捕获跨越超声波束形成器传感器的延迟数据随时间的变化。
4. 权利要求1所述的系统,其中所述编码器使用局部校正来补偿多项式拟合误差。
5. 权利要求1所述的系统,还包括传感器通道,其中传感器通道的传感器通道延迟是选择的输出采样时间与从发射起源到焦点并返回传感器元件的飞行时间之间的差。
6. 权利要求5所述的系统,其中所述编码器压缩传感器通道延迟。
7. 权利要求1所述的系统,其中所述编码器使用空间拟合技术来压缩延迟数据。
8. 权利要求1所述的系统,其中所述编码器被配置为使用空间平滑多项式拟合来生成延迟分布,以捕获跨越超声波束形成器传感器的延迟数据随时间的变化。
9. 权利要求1所述的系统,其中所述编码器被配置为使用缩放系数来生成变迹分布,以捕获跨越超声波束形成器传感器的变迹数据随时间的变化。
10. 一种压缩超声波束形成器中数据的方法,包括:  
编码样本之间的延迟的差异;  
使用空间平滑多项式拟合来生成延迟分布,以捕获跨越超声波束形成器传感器的延迟数据随时间的变化;  
使用缩放系数来生成变迹分布,以捕获跨越超声波束形成器传感器的变迹数据随时间的变化;和  
将所述延迟分布和所述变迹分布发送到波束形成器。
11. 权利要求10所述的方法,还包括定期更新所述延迟分布和所述变迹分布。
12. 权利要求10所述的方法,其中生成延迟分布包括提取延迟数据中的时间差。
13. 权利要求10所述的方法,其中生成变迹分布包括提取变迹数据中的形状参数。
14. 权利要求10所述的方法,还包括至少部分地基于延迟分布的平滑度来压缩延迟分布。
15. 权利要求14所述的方法,还包括在压缩延迟分布之前将延迟分布转换为输入参考形式。
16. 权利要求10所述的方法,还包括至少部分地基于变迹分布的平滑度来压缩变迹分布。
17. 权利要求10所述的方法,还包括解压缩压缩的延迟数据。
18. 权利要求10所述的方法,还包括解压缩压缩的变迹数据。
19. 一种用于在超声波束形成器中压缩和解压缩数据的系统,包括:  
定序器,被配置为生成多个延迟分布和多个变迹分布,每个延迟分布和每个变迹分布对应于多个通道中的一个,

其中所述定序器还被配置为压缩所述多个延迟分布中的每一个和所述多个变迹分布中的每一个;和

超声波束形成器,包括多个解码器,其中所述多个解码器中的每一个被配置为解压缩相应压缩的延迟分布和相应压缩的变迹分布。

20. 权利要求19所述的系统,其中所述定序器被配置为至少部分地基于延迟分布的平滑度来压缩所述多个延迟分布中的每一个,并且至少部分地基于变迹分布的平滑度来压缩所述多个变迹分布中的每一个。

## 超声波束形成器的延迟和变迹控制接口

[0001] 相关申请的交叉引用

[0002] 本申请要求2018年5月22日提交的美国专利申请序列号62/675,002的优先权,该申请通过引用结合到本申请的公开内容中。

### 技术领域

[0003] 本发明涉及超声波束形成领域。

### 背景技术

[0004] 超声波使用回声定位进行检测和成像。超声波被传输到组织中,并且那些超声波的回波反射回发射器。反射的超声波取决于组织的类型而变化。超声波机器使用麦克风和扬声器阵列来激励和记录来自被研究物品的回声。包括超声能量的信号以短脉冲通过超声传感器传输。在每个脉冲之后,在与超声能量到达目标并反射回传感器的时间量相关的短时间内,超声波机器接收反射信号。在短时间内接收的信号经过附加信号处理以确定信号反射的目标的源位置。

[0005] 具有动态接收焦点的超声波束形成器对每个通道和每个样本使用唯一的延迟和变迹(增益)命令。然而,考虑到超声波束形成器中的大量通道,命令可以达到超过80千兆比特(Gb)/秒的未压缩数据速率。对于压缩数据,一些超声系统使用简单的“ $\Delta$ ”编码来进行精确的延迟,但提供非常低的压缩比。

### 发明内容

[0006] 提供用于压缩和解压缩超声波束形成器中的数据的方法和系统。提供电路架构用于解压缩延迟和变迹命令,以用于控制具有动态接收焦点的波束形成器。这里讨论的方法和系统降低输入/输出要求并实施方式了大约五十倍的压缩比。另外,用于减压的数字电路区域和功率被最小化。

[0007] 根据一些实施方式,一种用于在超声波束形成器中压缩和解压缩数据的系统包括:编码器,被配置为至少部分地基于延迟分布的平滑度来压缩延迟数据,并且被配置为至少部分地基于变迹分布的平滑度来压缩变迹数据;和解码器,包括乘法器、加法器和多路复用器,其中所述解码器被配置为解压缩所述压缩的延迟数据,并且其中所述解码器被配置为解压缩所述压缩的变迹数据。

[0008] 在一些实施方式中,编码器和解码器包括用于连接到波束形成器的简单源同步并行接口。在一些实施方式中,所述编码器使用低阶多项式拟合来捕获跨越超声波束形成器传感器的延迟数据随时间的变化。在一些实施方式中,编码器使用局部校正来补偿多项式拟合误差。

[0009] 在一些实施方式中,一种用于在超声波束形成器中压缩和解压缩数据的系统包括多个传感器通道,并且每个传感器通道的传感器通道延迟是选择的输出采样时间与从发射起源到焦点并返回传感器元件的飞行时间之间的差。

[0010] 根据一些实施方式,一种压缩超声波束形成器中数据的方法,包括:编码样本之间的延迟的差异,使用空间平滑多项式拟合来生成延迟分布,以捕获跨越超声波束形成器传感器的延迟数据随时间的变化,使用缩放系数来生成变迹分布,以捕获跨越超声波束形成器传感器的变迹数据随时间的变化,和将所述延迟分布和所述变迹分布发送到波束形成器。

[0011] 在一些实施方式中,该方法还包括定期更新所述延迟分布和所述变迹分布。在一些实施方式中,生成延迟分布包括提取延迟数据中的时间差。在一些实施方式中,生成变迹分布包括提取变迹数据中的形状参数。

[0012] 在一些实施方式中,该方法还包括至少部分地基于延迟分布的平滑度来压缩延迟分布。在一些实施方式中,该方法还包括在压缩延迟分布之前将延迟分布转换为输入参考形式。在一些实施方式中,该方法还包括至少部分地基于变迹分布的平滑度来压缩变迹分布。

[0013] 在一些实施方式中,该方法还包括解压缩压缩的延迟数据。在一些实施方式中,该方法还包括解压缩压缩的变迹数据。在一些例子中,解压缩包括每个通道使用单个固定点乘法器的解压缩块。在一些例子中,解压缩包括使用固定点加法器的解压缩块。

[0014] 在一些方面中,一种用于在超声波束形成器中压缩和解压缩数据的系统包括:定序器,被配置为生成多个延迟分布和多个变迹分布;和超声波束形成器。每个延迟分布对应于多个通道中的一个,并且每个变迹分布对应于多个通道中的一个。定序器还被配置为压缩所述多个延迟分布中的每一个和所述多个变迹分布中的每一个。超声波束形成器包括多个解码器,其中多个解码器中的每一个被配置为解压缩相应压缩的延迟分布和相应压缩的变迹分布。

[0015] 在一些实施方式中,定序器被配置为至少部分地基于延迟分布的平滑度来压缩所述多个延迟分布中的每一个,并且至少部分地基于变迹分布的平滑度来压缩所述多个变迹分布中的每一个。

## 附图说明

[0016] 为了更完整地理解本公开及其特征和优点,结合附图参考以下描述,其中相同的附图标记表示相同的部分,其中:

[0017] 图1是示出根据本公开的一些实施例的包括超声模拟波束形成器(UABF)的系统的组件的图;

[0018] 图2是示出根据本公开的一些实施例的飞行时间坐标的图示;

[0019] 图3是示出根据本公开的一些实施例的定序器和超声模拟波束形成器之间的连接的图;

[0020] 图4是说明根据本发明的一些实施例的解压缩(解码器)逻辑的图;

[0021] 图5是说明根据本发明的一些实施例的从输出参考到输入参考的分数延迟的变换的图。

[0022] 图6是说明根据本发明的一些实施例的延迟控制块的图示;

[0023] 图7是说明根据本发明的一些实施例的在波束形成器内使用的时钟相位和从那些时钟相位导出的选通脉冲的图。

[0024] 图8是说明根据本发明的一些实施例的选通脉冲发生器和延迟环之间的连接的图示；

[0025] 图9是说明根据本发明的一些实施例的选通脉冲发生器架构的图示；

[0026] 图10是示出根据本公开的一些实施例的用于压缩超声波束形成器中的数据的方法的流程图；和

[0027] 图11是示出根据本公开的一些实施例的用于压缩超声波束形成器中的数据的方法的流程图。

### 具体实施方式

[0028] 超声传感器发射超声波并接收超声波的反射回波。波束成形技术用于缩小传感器的视场。超声成像产品使用延迟和求和波束成形来聚焦发射和接收压力波。采样模拟技术 (SAT) 可以在模拟域中执行延迟和求和波束成形功能,从而减少诸如存储器和功率之类的资源的使用。然而,为每个通道和每个样本指定延迟和变迹(增益)命令,并且在超声分量之间传递命令可以达到超过80千兆比特 (Gb) 每秒 (Gb/s) 的未压缩数据速率。提供了用于编码器和解码器的系统和方法,以在超声波束成形中压缩延迟和变迹数据,导致数据量比原始数据小约五十倍。

[0029] 在传统系统中,动态接收聚焦技术可用于将超声数据聚焦在整个图像的所有点上。动态接收聚焦技术产生最高分辨率的超声图像。具有动态接收焦点的超声波束形成器需要为每个通道和每个样本指定唯一的延迟和变迹(增益)命令,因此具有非常高的数据速率。在一个示例中,波束形成器具有128个通道、11比特延迟和5比特变迹精度,以及40兆赫兹 (MHz) 采样率,并且未压缩数据速率是82千兆比特每秒 (Gb/s)。延迟和变迹命令由定序器计算,该定序器可以驻留在与波束形成器不同的芯片上。在两个芯片之间传输如此大量的数据会导致接口工程挑战(包括封装/PCB寄生、均衡和纠错)和高输入/输出 (I/O) 相关的功耗。

[0030] 大量数据用于控制波束形成器中的各种延迟线。如上所述,波束形成器具有许多模拟输入(例如,32个模拟输入、64个模拟输入、128个模拟输入或256个模拟输入)。波束形成器包括用于每个通道或模拟输入的延迟线,其可以将每个模拟输入延迟指定数量的采样,并且每个通道的延迟是几何和成像场景的函数,例如传感器的种类和成像目标的形状。因为传感器的每个元件的延迟是不同的并且随着时间的推移而不断变化,所以存在大量的数据用于传输。

[0031] 在一个示例中,使用CMOS技术制造波束形成器,其中基于模拟设计考虑(例如,0.18微米)选择工艺节点,因此在与波束形成器相同的芯片上的数字逻辑可能存在有限的空间。因此,有两个独立的芯片—一个是波束形成器,另一个是控制波束形成器。另外,压缩和解压缩数据允许减少芯片上的存储器和减少进入芯片的I/O信号的数量。

[0032] 根据各个方面,提供了用于编码器(算法)和解码器(算法和架构)的系统和方法,以压缩延迟和变迹数据,导致数据量比原始数据小大约五十倍。随着用于传输延迟和变迹数据的带宽的减少,可以在定序器和波束形成器之间使用简单的源同步并行接口。

[0033] 这里公开的编码器使用超声成像中的延迟和变迹分布的平滑度来压缩延迟和变迹数据。特别地,延迟和变迹分布仅在超声传感器的不同相邻元件之间略微变化,并且随着

时间从一个样本到下一个样本。在一个实施方式中,使用低阶多项式拟合来捕获传感器上的延迟随时间的变化,并且局部校正可以补偿拟合误差。

[0034] 采样模拟技术(SAT)是指输入模拟信号直接在系统中使用而不首先转换为数字信号的系统。通过仅使用电子开关和电容器元件的电容器之间的电荷共享,在模拟域中执行采样模拟技术信号处理。采样模拟滤波器对不首先对信号进行数字化处理的输入的模拟信号滤波。采样模拟技术使用离散时间滤波器架构与模拟信号处理相结合,消除了任何数据路径量化噪声问题以及模数转换和数模转换步骤。

[0035] 图1是示出根据本公开的一些实施例的包括超声模拟波束形成器(UABF)120的系统100的组件的图。主计算机102离线准备控制序列并将它们存储在存储器112中以供以后使用。存储器112存储当前成像场景中的扫描线的压缩系数。数字定序器110实时地将命令输出到UABF 120。

[0036] 根据一种实施方式,UABF 120是具有128个延迟线的延迟求和波束形成器。128个延迟线的输出加在一起(通过电荷共享)以构成输出电荷。当信号路径在(采样的)模拟域中操作时,它是数字控制的。控制信号表示每个延迟线的延迟和变迹(增益)。这些变量跨通道协调(并与发射脉冲发生器同步),因此波束形成器输出为成像体积中某个焦点处的散射体(从选定焦点反射的信号)提供最大增益,并在其他地方提供最小增益。对于每条扫描线,焦点从传感器附近开始,以大约一半的声速(动态接收焦点)移开。因此,逐行构建图像,每个扫描线具有一个发送脉冲。控制流水线是一系列算法步骤,它们将传感器和图像几何变换为数字命令,最终将一系列脉冲(选通脉冲)转换为控制模拟核心中的开关。飞往和来自焦点的飞行时间确定了所需的延迟,并且焦点的位置决定了变迹。每个通道都有自己的延迟和变迹命令序列。延迟和变迹命令序列的集合是延迟/变迹分布(“分布”)。每个成像方案中的每条扫描线使用不同的配置文件。在其他实施方式中,UABF 120是具有64个延迟线的延迟求和波束形成器。

[0037] 根据各种实施方式,使用开关和电容器执行延迟、变迹和求和操作。通过称为闪光灯的控制信号打开和关闭开关。许多开关用于将共享总线连接到单个电容器单元(tile)。称为选通发生器的数字电路用于将数字延迟命令转换为选通脉冲,其使用特定的tile来对输入进行采样并应用所需的延迟。在一些实施方式中,tile以2-D阵列布局。选通发生器提供识别所需图块的行和列的位向量,并且每个图块在本地将其行和列使能与逻辑AND操作组合。

[0038] UABF有两个独特的方面使管道复杂化。首先,该配置文件表示相对于输出样本的时间(输出参考)的延迟。延迟命令被成分数延迟(FD)和整数延迟(ID)分量。与数字波束形成器不同,FD在ID之前执行。在执行FD时已知所需的延迟,其在输入样本的到达处。由于延迟随时间变化,因此这些输入参考延迟在数值上与等效的输出参考延迟不同。但是,为了获得与数字波束形成器等效的结果,延迟命令的小数部分被转换回输出参考表示。本文公开了一种用于在延迟(整数样本部分)之前执行延迟(分数延迟)的子样本部分而不是之后执行用于校正正确结果的延迟命令的方法。

[0039] 可以使管道复杂化的UABF的第二个方面是配置文件的计算。在一些实施方式中,芯片使用0.18微米工艺制造,这使得数字计算在面积和功率方面昂贵。因此,不在片上计算轮廓。相反,配置文件通过外部输入/输出(I/O)传送。但由于数据量很大(70-90Gb/s),因此

该配置文件在片外压缩,然后在片上解压缩。这为管道的片外部分增加了两个步骤(输入参考转换和压缩)。然后,这些步骤基本上在芯片上反转。全局接口块缓冲输入并将它们广播到所有128个通道。每个通道独立地重建其延迟和变迹分布的切片,并转换延迟命令以匹配核心的需要。一旦计算出适当的FD、ID和变迹值,其他片上逻辑就会为模拟核心开关生成选通脉冲。

[0040] 根据各种实施方式,大多数逻辑在降低的电压(1.2V)下操作以节省功率。选通发生器和模拟内核在1.8V电压下运行。电平转换器位于I/O和全局接口模块之间,以及控制模块和选通发生器之间。

[0041] 在传统的波束形成器中,所有输入样本被加载到缓冲器中,并且在输出处,从存储器读取样本,并且使用内插来完成延迟的小数部分。相反,在采样模拟波束形成中,在输入处确定分数延迟,在接收输入样本时执行每个样本的分数延迟,并且如上所述将分数延迟的输出存储在缓冲器中。

[0042] 在一个示例中,分数延迟首先出现并且具有采样周期的1/8的精度-对于分数延迟命令为3位,对于整数延迟命令为8位。在一些示例中,延迟可以多达192个样本。因此,有11位延迟信息和5位变迹(增益),这导致16位进入每个采样的每个通道。使用128个通道,采样率为40MHz时,16位 $\times$ 128通道 $\times$ 40MHz采样率等于82G比特/秒。在控制芯片和波束形成器之间传输82G比特/秒的信息使用大量功率。因此,对于低功率系统,使用压缩算法来压缩数据。

[0043] 在各种实施方式中,压缩算法被设计为利用延迟分布的特性。特别是,压缩算法的设计取决于被压缩的数据类型。传感器上的延迟变化平缓,随着时间的推移缓慢变化。在各种实施方式中,对从一个样本到下一个样本的延迟的差异进行编码,并且利用该差异来生成空间平滑多项式拟合。然后重新评估拟合。在一些示例中,传感器中的每个通道具有关于其在传感器上的位置的信息,并且在指定位置处评估多项式拟合。

[0044] 通过参数化传感器元件坐标和期望窗函数的域(例如Hamming)之间的时变仿射变换来处理变迹。设计该表示使得重建误差与波束形成器结构中固有的量化误差相当。也就是说,重建误差足够小以避免显着的成像伪像。

[0045] 根据各种实施方式,延迟分布的特征用于设计有效的压缩算法。特别地,压缩算法的设计可以利用关于被压缩的数据类型的先验知识。在超声波束形成中,延迟在传感器上平滑地变化并且随着时间缓慢变化。编码器对从一个样本到下一个样本的延迟差异进行编码。在一些示例中,编码器使用多项式拟合来利用延迟差的空间平滑度。根据各种示例,每个通道具有关于其在传感器上的位置的信息并且评估该位置处的多项式拟合。在一些示例中,多项式是具有五个参数(四个多项式系数和常数)的四阶多项式。在其他示例中,可以基于诸如拟合精度和溢出防止之类的数值考虑来动态地选择多项式阶数。使用如本文所述的压缩,压缩比约为50倍。也就是说,大约1.6Gb/s的数据被发送到芯片而不是压缩前的82Gb/s。

[0046] 根据一些实施方式,系统具有与采样频率相同的更新周期。根据其他实施方式,系统具有与采样频率不同的更新周期。为每个周期确定一组新的延迟和变迹系数。在一个示例中,更新周期是十个样本(更新速率是采样率的1/10)。在其他示例中,更新时段包括任何选定数量的样本。针对每个周期确定用于变迹的延迟和缩放系数的多项式系数的集合,并

且将系数在一个分组中一起发送到UABF。每个更新周期至少传输八个固定点值。因此，更新周期至少为八个周期。在其他示例中，更新周期大于八个周期，并且在一个示例中，更新周期是32个周期。更新周期越长，功耗越大，但精度会降低。在一些实施方式中，更新时段可以在系统中预先设置，并且在其他实施方式中，更新时段可以是用户控制的。

[0047] 图2是示出根据本公开的一些实施例的飞行时间坐标的图200。飞行时间坐标用于确定延迟。为了计算延迟，假设发射波形是 $\delta(t)$  (即在时间0的理想脉冲)。从时间0开始，在波束形成器的输入处接收样本。在时间0之后，采样从波束形成器的输出开始。输出样本索引n处的波束形成器输出将为：

$$[0048] \quad y[n] = y(nT_s) = \sum_i A_{ni} x_i(nT_s - \Delta t_{ni}) \quad (1)$$

[0049] 其中i是传感器元件(通道)的索引， $x_i(t)$ 是通道i的接收信号。 $\Delta t_{ni}$ 是输出样本n处的通道i的延迟。一条扫描线的 $\Delta t$ 值的集合是2-D阵列(延迟分布)。延迟分布因每个图像中不同的传感器几何形状、成像模式、配置参数和扫描线而异。

[0050]  $A_{ni}$ 是变迹系数，它也构成二维阵列(变迹分布)。孔径和变迹系数的选择可以与延迟分布分开处理。在给定焦点( $A_{ni}=0$ )的孔径之外，延迟是无关紧要的。这有助于压缩，因为系统对边界附近的延迟误差不太敏感。另外，系统对孔径外的延迟误差不敏感。

[0051] 每个传感器通道的延迟是所需输出采样时间与从发射原点 $x_T$ 到焦点 $x_{FP}$ 并返回到传感器元件在 $x_{R,i}$ 的飞行时间之间的差。这些距离如图2所示。当焦点以与输出采样率成比例的恒定速度 $v$ 移动时，延迟行为最直观：

$$[0052] \quad x_{FP}(t) = x_{FP,0} + vt \quad (2)$$

[0053] 其中 $x_{FP,0}$ 是扫描线的近端， $x_{FP}(t)$ 是输出采样时间t的焦点。对于源自阵列中间的径向扫描线， $v$ 与 $x_{FP,0}$ 的方向相同。假设 $x_T = (0, 0)$ ，传出距离和传入距离分别为：

$$[0054] \quad |x_{FP} - x_T| = |x_{FP,0}| + |v|t \quad (3)$$

[0055]

$$|x_{R,i} - x_{FP}| = \sqrt{\left(\frac{2i-N_i-1}{2}\Delta x - (|x_{FP,0}| + |v|t) \cos \theta\right)^2 + \left((|x_{FP,0}| + |v|t) \sin \theta\right)^2} \quad (4)$$

[0056] 其中 $\theta$ 是传感器和扫描线之间的角度。从传感器元件i到阵列中心的x偏移是 $\frac{2i-N_i-1}{2}\Delta x$  (元件从左到右编号)。为了获得延迟，我们从输出采样时间中减去飞行时间：

$$[0057] \quad \Delta t_{ni} = t - \frac{1}{c} (|x_{FP} - x_T| + |x_{R,i} - x_{FP}|) \quad (5)$$

[0058] 延迟分布中的自变量是输出采样时间t(也驱动 $x_{FP}$ 的运动)，而不是输入采样到达的时间。但是，可以在这些配方之间进行转换。对于径向扫描线，如果焦点以声速的一半移动，则传感器中心的延迟(假设等于发射起源)是恒定的。这接近于最小化传感器上的整个延迟范围以及随着时间的推移。因此，在一个示例中， $|v| = c/2$ 。延迟可以表征为绝对延迟(即，输出采样时间减去飞行时间)或者表示为传感器元件之间的相对延迟。绝对延迟可用于更容易地将每个延迟引用到特定输出样本索引。在一些示例中，将全局(标量)偏移应用于延迟分布，使得所有延迟命令都是正的。

[0059] 延迟分布

[0060] 传感器阵列的延迟在传感器元件上变化。在一些实施方案中，延迟值的向量是存

储在波束形成器中并随时间更新的状态变量。延迟分布从扫描线的开始到结束变化。对于非导向扫描线,远场中使用的延迟接近常数。对于导向扫描线,远场中使用的延迟接近一条线。在一些示例中,近场中的延迟分布是抛物线或双曲线,其中峰值以最靠近第一焦点的元素为中心。这是因为最接近的元素更早地接收反射,因此需要更长的延迟来匹配其他元素。延迟是通道索引和时间的平滑函数。

#### [0061] 变迹分布

[0062] 变迹系数随时间演变,以在整个成像体积中保持聚焦性能。在一些实施方式中,空间窗口函数被变换为时变孔径。孔径是一组传感器元件,其变迹系数非零,换言之,传感器的有效部分。许多应用使用恒定的 $f$ 值,其中孔径宽度与焦点深度成比例。通常, $f$ 数是相机镜头的焦距与用于特定镜头的光圈直径的比率。在一个例子中, $f$ 值为1,第一焦点深度为 $10\lambda$ ,此深度的光圈宽度为 $10\lambda$ 。 $10\lambda$ 孔径通常为10个元件宽度(相位阵列为20个)。光圈随时间增加。在各种示例中,孔径不会扩展以覆盖扫描线的远端之前的整个阵列。光圈的扩展和它所覆盖的阵列的数量取决于 $f$ 值、水平偏移和转向。如果转向,则将光圈的中心设置为跟随焦点。

[0063] 在相控阵列的情况下,不允许孔径的中心移动到传感器的边缘之外。不允许孔径的中心移动到传感器的边缘之外防止变迹系数在远场中接近零。使用 $f/1.0$ 或更窄的孔径会减小波束形成器的延迟范围,因为当焦点位于近场并且延迟范围最宽时,较少的通道处于活动状态。

[0064] 在一些实施方式中,变迹分布具有等于扫描线长度除以焦点速度加上延迟范围的长度。如果焦点以 $c/2$ 移动并且采样率为 $F_s = 4F_c$ ,则在8个采样周期内覆盖一个波长。在各种示例中,图像覆盖 $10\lambda - 300\lambda$ 的深度范围,因此最大延迟范围为192个样本,最大轮廓长度为2592个样本。在一些示例中,硬件使用12位计数器并且可以扩展到4095个样本。

#### [0065] 输出参考和输入参考延迟

[0066] 查看输入样本和输出样本之间的给定映射有两种不同的方法。在下面的表达式中, $\Delta[n]$ 是输出参考延迟命令:

$$[0067] \quad y[n] = x[n - \Delta[n]] \quad (6)$$

[0068] 因此,为了在样本 $n$ 处生成输出 $y$ ,检索过去的 $\Delta[n]$ 个样本处的 $x$ 的值。相反,这是一个输入参考的延迟命令:

$$[0069] \quad y[n + \Delta[n]] = x[n] \quad (7)$$

[0070] 因此,输入 $x$ 中的每个样本 $n$ 将来被复制到 $\Delta[n]$ 个样本的输出 $y$ 。

[0071] 这两种配方都代表延迟线。但即使序列 $\Delta[n]$ 相同,等式(6)和等式(7)的结果也会不同,因为延迟随时间变化。输出样本索引(索引到 $y$ )意味着与输入样本索引(索引到 $x$ )不同。

[0072] 在各种实施方式中,可以使用内插将输出参考延迟分布转换为输入参考延迟分布。

#### [0073] 定序器到UABF接口

[0074] 根据各种实施方式,使用与UABF接口的定序器来实施方式UABF的延迟和变迹分布的压缩,允许更简单和更低功率的I/O接口。

[0075] 如上所述,延迟分布是波束形成器中的通道的一系列延迟命令,被计算以实施方

式沿给定扫描线的动态接收聚焦。在一些示例中,延迟命令具有1/8周期精度,波束形成器具有128个通道,并且对于波束形成器中的128个通道中的每个通道存在延迟命令。变迹分布是为了空间分辨率和旁瓣抑制的期望权衡而选择的一系列增益命令。在一些示例中,增益命令具有5位分辨率,波束形成器具有128个通道,并且对于波束形成器中的128个通道中的每个通道存在增益命令。

[0076] 由于传统系统中的面积和功率限制,在UABF内无法即时生成延迟和变迹分布。此外,由于数据量大,通过外部接口向UABF提供原始数据是不可行的。例如,为40MHz的128个通道中的每个通道提供一个11位延迟命令和一个5位变迹命令,总计82Gb/s的数据。向UABF提供82Gb/s会显着提高功耗,包括串行链路IP或大量I/O引脚。因此,提供了用于压缩和解压缩延迟和变迹数据的系统和方法。

[0077] 这里描述的一个实施方式提供了编码器(用于压缩)和解码器(用于解压缩)。组合的编码器和解码器(“编解码器”)传达延迟和变迹分布,同时保持超声图像的质量。解码器是UABF芯片的一部分。

[0078] 根据一种实施方式,该设计使用36个I/O引脚,其与采样时钟(即40MHz)同步操作,提供大约五十倍的压缩比。每条扫描线总共使用大约10kB的压缩数据(因此128行图像序列为1.2MB)。下面更详细地描述I/O故障。

[0079] 为每个扫描线生成配置文件。每个图像都是从一组扫描线生成的。创建扫描线组具有一致的传感器和波束形成器参数配置,在此称为成像场景。这里定义的技术可以用在许多成像场景中。一些示例性成像场景包括:

[0080] 1. 线性阵列(10MHz,128个元素, $\lambda$ 间距)

[0081] (a) 矩形图像;128条扫描线

[0082] (b) 倾斜的矩形图像(20°转向);128条扫描线

[0083] 2. 曲线阵列(5MHz,105个元素, $\lambda$ 间距)

[0084] (a) 扇形图像( $\pm 25^\circ$ ,与传感器的曲率相匹配);105条扫描线

[0085] 3. 相控阵(2MHz,80个元素, $\lambda/2$ 间距)

[0086] (a) 部门形象( $\pm 45^\circ$ );128条扫描线

[0087] (b) 矩形图像;80条扫描线

[0088] 在一个示例中,重建精度通常是延迟的 $\pm 1/16$ 周期和变迹系数的 $\pm 1/32$ 周期。考虑到UABF中这些命令的量化,这些误差等于 $\pm 1/2$ LSB。

[0089] 根据各种实施方式,编解码器分别处理延迟和变迹。延迟和变迹的单独处理简化了UABF控制逻辑,并允许在压缩之前将延迟分布转换为输入参考形式。(输入参考延迟命令告诉延迟线“将来有多远”存储每个输入样本,而输出参考延迟命令告诉延迟线“过去多远”以检索每个输出样本。)在延迟线的输出处执行变迹,因此它保持输出参考。因此,由编解码器处理的延迟和变迹分布彼此不同步。

[0090] 编解码器处理延迟和变迹分布的另一个好处是各种延迟和变迹分布具有不同的形状、数值范围和精度要求。

[0091] 延迟表示

[0092] 几何计算所需的延迟。延迟是采样时间与飞行焦点的双向飞行时间之间的差异。延迟随着时间的推移和传感器的变化缓慢。两个轴的变化在近场中最大。

[0093] 有限延迟环施加最小和最大可实施方式的延迟。根据一种实施方式,该设计具有192个元件的延迟环。在一个示例中,由于Farrow结构中的5抽头FIR滤波器的等待时间,最小整数延迟是4个样本。最大整数延迟是191个样本,因为在任何给定周期中,输入都是从与传送的输出不同的块中采样的。给定最小和最大整数延迟,包括分数延迟的延迟范围是3.5 (ID4,FD-0.5) 到191.375 (ID191,FD+0.375)。在一些示例中,系统限于4.0到191.0的延迟限制,使得来自编解码器的错误不会将延迟推到范围之外。因此,在各种示例中,实际可实施方式的延迟范围是187个样本。根据各种实施方式,延迟范围的长度是延迟环的长度减去5个样本。

[0094] 根据各种实施方式,在压缩之前,剪切延迟以避免环绕。通过偏移轮廓使得最大延迟等于最大支持延迟,然后从孔中移除元素,其中延迟小于最小支持延迟来实施方式剪切。这可以缩小扫描线开始处的孔径(如果f值低且孔径快速扩展),并且在某些情况下,它还减少了可用于远场的通道数量。延迟分布的平滑性质(在时间和空间上)提供了许多压缩机会。算法旨在优先考虑电路面积和功率,并使通道尽可能独立。为了使通道更加独立,通道之间的通信被最小化。在一些示例中,算法主要在解码器中对电路区域和功率进行优先级排序。

[0095] 根据各种实施方式,输出样本索引n处的通道i的延迟命令是 $\Delta t_i[n]$ 。根据以下等式,低阶多项式适合于传感器上的延迟时间差:

$$[0096] \quad \Delta t_i[n+1] - \Delta t_i[n] \approx \sum_{k=0}^K a_{nk} x_i^k \quad (8)$$

[0097] 其中 $x_i$ 是传感器元件i的坐标。系数 $a_{nk}$ 用最小二乘拟合估计。这些系数与通道索引i无关。根据各种示例,对于每个通道使用相同的系数集。

[0098] 根据各种实施方式,延迟命令(小于1个样本)之间的时间差异小于延迟命令本身(大约100个样本),因此该方法容忍相对误差。然而,由于重建的延迟命令是累积和,因此误差随时间累积。解码器以比延迟线接受的精度更高的精度存储延迟命令。一种实施方式使用11个小数位,延迟线接受3个小数位。在一些实施方式中,选择内部数字格式以使用尽可能少的比特而不引入不可接受的错误。在一些示例中,多项式不是在每个周期更新,这减少了带宽和解码器区域。在每个更新间隔期间,重建的时间差保持不变。在各种示例中,更新间隔是多个周期长。因此,每个通道的延迟命令是分段线性的,尽管每个通道都有自己的斜率。如果多项式的更新周期是 $T_p$ 周期,则表示为:

$$[0099] \quad \Delta t_i[n+1] - \Delta t_i[n] \approx \sum_{k=0}^K a_{pk} x_i^k \quad (9)$$

$$[0100] \quad p = \lfloor \frac{n}{T_p} \rfloor \quad (10)$$

[0101] 可以调整更新间隔的长度以在功耗和精度之间进行交换。此外,如果多项式由单个乘法器计算,每个周期计算一个乘积,这节省了面积,则更新间隔超过多项式的阶数。乘法和加法可以在相同的周期内执行,而不会违反时序约束。(如果在不同的周期中执行乘法和加法,则更新间隔至少是多项式的两倍)。系数与每个更新间隔内的延迟差共同拟合。

[0102] 在各种实施方式中,每个传感器元件的x坐标存储在使用SPI接口编程的寄存器中。在一些示例中,坐标不是元素的确切位置(以米为单位);可以使用坐标刻度的任何静态变形。这有利于低阶拟合的准确性,特别是对于曲线传感器。

[0103] 使用此编码,延迟误差会随着时间的推移而累积。通过存储每个通道处于活动状态(孔径内)的第一个样本和此时延迟的“初始”值,可以最大限度地减少累积误差。在更改延迟之前,解码器等待通道变为活动状态。

[0104] 当执行多项式拟合时,考虑在更新间隔期间有效(在孔径内)的传感器元件。这减少了活动元素的错误并增加了非活动元素的错误。但是,当加载(精确)初始值时,非活动元素的延迟错误将重置为零。在一个示例中,延迟差与4阶多项式拟合并且每8个周期更新。在此示例中,延迟误差在采样周期的 $\pm 1/16$ 范围内。每个通道在近场中累积其大部分误差,然后误差稳定。

[0105] 目标延迟分布不是由低阶多项式精确描述的。此方法的准确性取决于高阶项中包含多少目标延迟分布文件。最困难的延迟分布来自曲线和相控阵。

[0106] 为了使误差在 $1/16$ 采样周期内,可以使用延迟分布(和误差)的变化,特别是延迟分布中随时间的缓慢变化。定义了一个小的“修正”项,为每个通道指定(为了处理高阶项),但不经常更新。校正是连续传输的。例如,128个元件传感器的校正每128个周期更新一次。在校正更新周期 $T_c$ 的情况下,延迟差近似为

$$[0107] \quad \Delta t_i[n+1] - \Delta t_i[n] \approx \sum_{k=0}^K a_{pk} x_i^k + c_{im} \quad (11)$$

$$[0108] \quad p = \lfloor \frac{n}{T_p} \rfloor \quad (12)$$

$$[0109] \quad m = \lfloor \frac{n}{T_c} \rfloor \quad (13)$$

[0110] 其中为每个通道i单独指定校正 $c_{im}$ 并更新间隔 $m$ 。 $T_c$ 大于 $T_p$ 。多项式比校正更频繁地更新。

[0111] 将等式(11)的校正应用于曲线的结果是每个通道的延迟误差随时间被驱动为零,而不是随着曲线变得更平滑而稳定。(剩余误差的“窗口”取决于更新速率和校正的LSB大小。)近场中仍然存在一些错误尖峰,因为校正没有足够快地改变以捕获错误的变化。

[0112] 变迹表示

[0113] 变迹命令 $a_i[n]$ 只有一些参数,但在时间和空间上可能不平滑。在各种实施方式中,轮廓生成器至少支持具有恒定孔径或恒定f数的Hanning、Hamming和矩形窗口。Hamming和矩形窗口在孔的边缘处具有不连续性(当它向外扩展时)。在孔径外,变迹命令为零。在光圈内,任何“升余弦”窗函数都可表示为:

$$[0114] \quad a_i[n] = (1-\alpha) + \alpha \cos(\pi x_{si}[n]) \quad (14)$$

$$[0115] \quad x_{si}[n] = \frac{2}{W[n]}(x_i - x_0[n]) \quad (15)$$

[0116] 其中 $\alpha=0$ 表示矩形窗口, $\alpha=0.46$ 表示Hamming窗口, $\alpha=0.5$ 表示Hanning窗口。

[0117] 缩放的x坐标 $x_{si}[n]$ 考虑了孔径的变化宽度和水平运动(跟随焦点)。样本n处的孔径包括 $-1 < x_{si}[n] < 1$ 的通道。 $W[n]$ 是光圈的宽度。在一些示例中,变迹解码器使用余弦查找

表,其具有相对小的面积开销但是相对于二次拟合提高了准确度。通过指定窗口类型(以 $\alpha$ 为单位)以及其中心位置 $x_0[n]$ 和宽度比例 $2/W[n]$ 作为时间的函数来直接评估变迹分布似乎是明智的。该方法的一个难点是评估 $\cos(x)$ 。根据一些示例,5位精度对于变迹命令是足够的,因此使用64项查找表来评估余弦。查找表有64个条目而不是32个,因为余弦的斜率在 $x=0$ 附近较小而在 $x=\pi/2$ 附近较大。如在延迟解码器中那样,变迹解码器以有限的速率(例如,每 $T_a$ 个周期)更新拟合参数以减少带宽:

$$[0118] \quad x_{si}[n] = \frac{2}{W_m}(x_i - x_{m,0}) \quad (16)$$

$$[0119] \quad m = \lfloor \frac{n}{T_a} \rfloor \quad (17)$$

[0120] 当参数不经常更新时,通过使它们成为时间的分段线性函数(而不是在更新之间保持它们不变)来减少错误。解码器存储 $x_0[n]$ 和 $2/W[n]$ 的当前值,并累积它从定序器每 $T_a$ 周期接收的时间差。这类似于延迟命令,即使每个 $T_P$ 周期更新多项式拟合,也会在每个周期更新。

[0121] 在该方案下,变迹解码器每个通道每次更新使用两次乘法:计算缩放的 $x$ 坐标并乘以 $\alpha$ 。在一个实施方式中,变迹拟合与延迟解码器共享单个乘法器,并且更新是同步的( $T_P = T_a$ ),尽管计算是独立的。对重构的变迹值进行扭曲(预失真)以补偿电容变迹DAC的非线性传递函数。

[0122] 硬件架构

[0123] 图3是示出根据本公开的一些实施例的定序器302和超声模拟波束形成器304之间的连接的示图300。定序器302包括时钟310、处理器312、数据获取/解包模块314、存储器316、SPI主模块318和总线320。超声模拟波束形成器304包括接口逻辑330和多个通道模块332a-332n。每个通道332a-332n包括延迟/变迹解码器、选通脉冲发生器和模拟核心。根据一个示例,在定序器302和超声模拟波束形成器304之间存在大约42个连接。在其他实施方式中,在定序器302和超声模拟波束形成器304之间存在少于约42个连接,或者在定序器302和超声模拟波束形成器304之间存在多于约42个连接。

[0124] 根据各种实施方式,定序器302的时钟310将clk信号和重置信号输出到超声模拟波束形成器304的接口逻辑330。

[0125] 定序器302向超声模拟波束形成器304输出延迟/变迹分布。在一些示例中,定序器302的数据获取/解包模块314将延迟/变迹分布输出到超声模拟波束形成器304的接口逻辑330。在一些实施方式中,延迟/变迹分布由36位并行接口传送。接口是单端的,与采样时钟clk同步。在分布\_开始上的脉冲之后,时间相关的延迟和变迹参数被移位到比数据总线宽的寄存器中。\*\_sync信号将当前移位寄存器内容加载到全局寄存器中(其中一些寄存器可以为每个通道复制)。同步脉冲的频率决定了每个配置文件组件的更新速率。在操作期间使用数据\_初始和sync\_初始线流入下一扫描线的静态参数(例如,初始延迟),以便减少脉冲之间的死区时间。

[0126] SPI主模块318还与接口逻辑330通信。具体地,SPI主模块318将静态配置值(诸如传感器元件 $x$ 坐标)提供给接口逻辑330。在一些实施方式中,SPI接口的运行频率低于采样时钟。

[0127] 图4是说明根据本发明的一些实施例的解码器400的逻辑的图。图4示出了用于一

个通道的解码器400的主要架构元件。根据各种实施方式,图4的解码器400包括在图3中所示的超声模拟波束形成器304的每个通道332a-332n中的解码器中。解码器400接收来自接口逻辑的输入,例如图3的接口逻辑330。具体地,解码器400的输入包括分布\_开始信号402、延迟初始时间信号404和延迟初始值信号406。分布\_开始信号402、延迟初始时间信号404和延迟初始值信号406用于产生延迟命令信号408。解码器400还接收多项式系数410和x坐标412作为输入。解码器400具有分布解压缩块,其使用每个通道的单个固定点乘法器420。在一个示例中,固定点乘法器420是 $12 \times 12$ 位乘法器。解码器400还使用固定点加法器422。在一个示例中,固定点加法器422是12位加法器。根据各种实施方式,解码器400使用资源共享来减少区域。解码器400将信号输出到延迟控制块,并输出到变迹DAC。

[0128] 解码器400还包括控制有限状态机(FSM) 440和多个变迹寄存器450。根据各种示例,变迹寄存器450存储指定中心坐标的运动和孔径的宽度尺度的变化的量。解码器400还可以包括其他中间结果寄存器452。

[0129] 在一个示例中,使用由FSM440控制的输入和输出多路复用器在延迟和变迹解码器之间共享一个乘法器420和一个加法器422。乘法器420左侧的图4中的逻辑在适当的时间处理延迟命令初始化为预编程的初始值。

[0130] 根据各种实施方式,使用4阶多项式拟合。延迟和变迹拟合每10个周期同步更新一次。延迟拟合过程中的大多数数值都是12位格式。在一个示例中,延迟拟合过程中的大多数数值是Q2.10带符号格式。在一些实施方式中,变迹输出具有5位精度。在各种示例中,在变形之前在内部使用超过5位的精度。

#### [0131] 延迟线控制

[0132] 图5是示出根据本公开的一些实施例的分数延迟的图500。分数延迟包括输入参考延迟502a-502c和输出参考延迟504-a504c。来自解压缩块的输出之一是输入参考延迟命令。对于每个输入样本,指定在输出之前延迟样本的时间量。但延迟命令不直接用于控制延迟线。在每个周期期间,选通脉冲发生器(下面描述)使用输入采样信息、分数延迟信息和输出采样信息来驱动Farrow结构和延迟环。

[0133] 在各种示例中,选通发生器使用的输入采样信息可以包括关于输入电压存储在哪个延迟环的区块(索引)的信息。选通脉冲发生器使用的分数延迟信息可以包括关于Farrow结构的等待时间的信息,例如哪个tile在先前周期中对输入进行采样。例如,选通脉冲发生器可以使用关于在三个周期之前对输入进行采样的tile的信息。在一些示例中,选通脉冲发生器使用关于应用于输入样本的分数延迟命令的信息。选通脉冲发生器使用的输出采样信息包括从哪个tile中采样输出电荷。

[0134] 在各种实施方式中,延迟线中存在许多潜在的变化。在一个示例中,输出区块顺序是固定的,并且输入区块顺序可以基于每个通道变化。在另一示例中,输入图块顺序是固定的,并且输出图块顺序是变化的。在一些实施方式中,固定输出图块次序和改变输入图块次序最小化所使用的存储器的量。在一个实施方式中,输出tile围绕延迟环顺序地从扫描线的开始处的0开始旋转。每个通道的输入磁贴初始化为初始整数延迟(ID)。如果在时间0处将输入采样到区块k上,则该区块将用于稍后输出k个样本,因为输出从区块0开始计数。然后递增输入区块索引以跟踪ID命令中的变化。如果ID命令没有改变,则tile索引将增加1。如果ID命令增加,tile索引将增加2。如果ID命令减少,则tile索引将保持不变。根据一些实

施方式,该架构限制了ID命令可以从一个周期改变到下一个周期的量。在一个示例中,ID命令只能从一个循环到下一个循环改变一个或少于一个。

[0135] 图5示出了用于从解压缩(输入参考)延迟序列恢复输出参考分数延迟(FD)命令的内插方案。在一个示例中,ID是零,并且输入参考的分数延迟箭头502a-502c(源自采样时间)表示输入参考的FD。输出参考的分数延迟箭头504a-504c(在采样时间结束)表示输出参考的FD。因为延迟是时变的,所以输入参考FD和输出参考FD不相等。但是,我们可以通过线性插值来近似输出参考FD。图500中标记为b的时间长度是两个输入样本之间的输出时间。请注意,在输入时间刻度上,这些样本相隔一个周期,但在输出时间刻度上,它们相隔b个周期。标记为a的时间长度是第二输入样本的输入参考FD。我们可以通过将其除以b来将a重新缩放到输出时间刻度。因此,a/b是第二样本的输出参考FD。来自该插值算法的FD命令利用这里描述的架构提供正确的结果。

[0136] 图6是说明根据本发明的一些实施例的延迟控制块602的图600。图600示出了延迟控制块602和选通脉冲发生器650之间的连接。延迟控制块602包括控制逻辑604、计数器606、第一内插模块608、控制/计数器模块610、第二内插模块612、第一延迟模块614和第二延迟模块616。从解压缩块(解码器)输出输入620、622和624。在一个示例中,第一输入620是延迟\_apo\_有效输入,第二输入622是延迟\_ir\_激活输入,并且第一输入620和第二输入622输入到控制逻辑块604。第三输入624是延迟[20:0]输入并输入到计数器606、第一608和第二612插值模块,以及控制/计数器模块610。

[0137] 根据一种实施方式,输出632是pri\_环\_索引[7:0]输出,并且输出632选择用于输入采样的延迟区块。这延迟了3个周期以产生输出636,这是pri\_fd\_索引[7:0]输出。输出636选择Farrow结构输出的延迟tile(包括延迟,因为Farrow结构具有3个周期延迟)。从输入环索引中减去FD环索引以生成偏移640,其中偏移640是pri\_fd\_环\_偏移[2:0]。

[0138] 输出630、632、634、636、638、640、642、644和646被输出到选通脉冲发生器650。根据各种实施方式,在选通脉冲发生器650内,偏移640被加回到输出632,pri\_环\_索引[7:0]。根据各种实施方式,上述设计将接口线(以及因此电平移位器)的数量减少了5。

[0139] 在各种实施方式中,输出630、632、634、636、638是基线选通发生器控制信号。输出640是第一次变换。发送偏移以减少控制信号的数量。输出642、644、646是第二变换,并且用于计算次级分数延迟并向选通脉冲发生器650指示哪个延迟区块将接收次级FD。

[0140] 图7是示出根据本公开的一些实施例的在波束形成器的开关电容器核心中使用的非重叠时钟相位以及用于控制具有各种功能的开关的选通脉冲(开关控制信号)的示图700。第一时钟相位(未示出)用于将内部节点重置为已知电压。第二时钟相位702跨越采样时钟周期的大部分。在一些示例中,第二时钟相位702用于对输入波形进行采样。第二时钟相位702进一步细分为第三时钟相位704和第四时钟相位706。第三时钟相位704使得内部电荷共享操作(例如变迹)成为可能,并且第四时钟相位706使得能够执行变迹、计算分数延迟以及对波束形成器输出处的通道求和的电荷共享操作。在第一时钟相位与第三704和第四706时钟相位之间没有重叠。

[0141] 图6中所示的第二修改有助于UABF处理时变延迟。当延迟命令恒定时,每个周期使用一个延迟tile。然而,特别是在近场中,延迟命令增加。当ID命令增加时,其中一个图块被跳过-没有输入电荷被采样到它上面。跳过时,如果选择跳过的磁贴,则会在输出中出现毛

刺。跳过的tile发生是因为参考配置文件要求从相同的输入样本(具有不同的FD值)导出两个输出样本,但是存在一个用于执行FD的Farrow结构。为了缓解这个问题,数字逻辑能够在在一个周期内将输入采样到两个不同的tile上,而不改变模拟核心电路。如果配置(通过SPI),则使用第四时钟相位706对主输入进行采样,并且使用第三时钟相位704对次级输入进行采样。根据一些示例,第三时钟相位704是短的,因此tile电压不能准确地稳定到输入。此外,不计算适当的分数延迟。相反,时钟阶段之间的时间用于FD。这确保了输出至少接近所需的序列,从而减小了毛刺的幅度。根据各种实施方式,使用本文描述的系统和方法改善了近场中的图像质量。

[0142] 此外,不计算适当的分数延迟。相反,时钟阶段之间的时间用于FD。这确保了输出至少接近所需的序列,从而减小了毛刺的幅度。根据各种实施方式,使用本文描述的系统和方法改善了近场中的图像质量。

#### [0143] 选通脉冲发生器

[0144] 图8是示出根据本公开的一些实施例的选通脉冲发生器802和延迟环804之间的连接的示图800。选通脉冲发生器802是为模拟核心中的开关电容器产生关键栅极驱动信号的电路。一些信号由核心内的逻辑进一步操纵。这里描述延迟环804采样信号。根据一种实施方式,延迟环被组织为16行12列,总共192个tile。每个延迟tile电容器具有三个端口,其对应于图7所示的选通信号:

[0145] 1. 第一端口用于对输入进行采样,并且包括第一行选择线710和第一列选择线712。在一些例子中,第一端口选择用于输入采样的延迟tile。在一个例子中,第一个端口是bfidel端口,第一行选择线是bfidelr<15:0>,第一个列选择线是bfidelc<11:0>。

[0146] 2. 第二端口用于利用过去3个周期的输入对所选择的FIR滤波器抽头进行电荷共享,从而形成Farrow结构的输出,并包括第二行选择线714和第二列选择线716。在一些例子中,第二端口选择用于分数延迟计算的延迟tile。在一个例子中,第二个端口是bfideln3端口,第二个行选择线是bfideln3r<15:0>,第二个列选择线是bfideln3c<11:0>。

[0147] 第三端口用于对输出进行采样,并且包括第三行选择线718和第三列选择线720。在一些例子中,第三端口选择用于输出采样的延迟tile。在一个例子中,第三个端口是一个idelay端口,第三行选择线是idelayr<15:0>,第三个列选择线是idelayc<11:0>。

[0148] 图8示出了选通脉冲发生器802与延迟环804的连接。三个端口中的每一个都由行和列选择线访问。根据各种实施方式,idelay端口在所有通道上被相同地采样,因此它由在4个通道的组内共享的单独的选通脉冲发生器806驱动。

[0149] 图9是说明根据本发明的一些实施例的选通脉冲发生器架构900的图。图9示出了驱动延迟环的第一端口的通道专用选通脉冲发生器802逻辑的一部分。在各种示例中,驱动第二和第三端口的电路几乎相同。来自延迟控制块的二进制环索引在902处输入,并且被分成列904和行906索引(遵循列-主要顺序)。在一个示例中,列索引是最高有效位,行索引是最低有效位。二进制到单热解码器914和916将索引转换为对于一次最多一行和一系列有效的选通脉冲。行选通脉冲与时钟进行“与”运算,以便所选磁贴的开关控制是与第二个时钟相位926对齐的明确定义的脉冲。由于行和列选通脉冲在磁贴内与行进行“与”运算,因此列选通脉冲不与时钟进行“与”运算。此外,时钟输入由通道范围的使能信号门控,以在通道未使用时节省功率。

[0150] 图10是示出用于压缩超声波束形成器中的数据的方法1000的流程图。在步骤1002,对样本之间的延迟差异进行编码。在步骤1004,使用空间平滑多项式拟合生成延迟分布,以捕获超声波束形成器传感器上的延迟随时间的变化。在步骤1006,使用缩放系数生成变迹分布以捕获跨越超声波束形成器传感器的变迹数据随时间的变化。在步骤1008,将延迟分布和变迹分布发送到波束形成器。

[0151] 图11是示出根据本公开的一些实施例的用于压缩超声波束形成器中的数据的方法1100的流程图。在步骤1102,将成像场景规范输入到压缩算法。在步骤1104,成像场景规范用于生成分布。配置文件包括延迟分布和变迹分布。可以并行生成延迟分布和变迹分布。

[0152] 为了生成延迟分布,在步骤1110,提取时间差异。在步骤1112,执行多项式拟合。在步骤1114,确定拟合误差并进行校正。为了生成变迹分布,在步骤1120,提取形状参数。在步骤1122,提取时间差异。在步骤1130,合并、量化和格式化延迟分布和变迹分布。在步骤1132,输出压缩分布。

#### [0153] 替代实施

[0154] 可以应用于本文的示例实施例的许多调整和增强,以使实施例适应不同的应用、改进性能、以及利用不同的处理和封装技术。下面描述几个替代实施例。

[0155] 当前模拟波束形成器每个时钟周期产生一个输出样本,对应于一个扫描线。替代实施例可以通过同时产生多个输出样本来增加成像帧速率(并行接收波束成形)。下面描述了向UABF添加并行功能的两种方法。

#### [0156] 并行波束成形

[0157] 在第一种方法中,为每个所需的并行输出复制解码逻辑和模拟核心,并且每个输出由单独的ADC数字化。在一些实施方式中,并行输出由单个波束形成器芯片内的非重叠通道组生成,或者由单独的波束形成器芯片生成。并行输出可以通过单独的ADC或以更高采样率(时间交错)运行的单个ADC进行数字化。配置和逻辑变化,包括但不限于为每个核心中的通道设置不同的 $x_i$ 坐标和延迟校正,用于独立控制焦点,同时共享用于单个核心的相同数字接口和数据速率。两个内核同时对输入波形进行采样。在一些实施方式中,数据速率增加但是一些参数被共享。在其他实施方式中,并行波束形成器是完全独立的;接口不变,但功率与并行输出的数量呈线性关系。

[0158] 在第二种方法中,使用单个核心,但改变数字逻辑以允许以时间交错的方式捕获两个或更多个扫描线。该逻辑跟踪所有有源扫描线所需的延迟和变迹,并向单个模拟核心馈送控制信号,该控制信号以规则模式(例如,1,2,1,2.....)循环通过扫描线。输出样本由单个ADC捕获并在数字域中解交织。在这种方法中,整数延迟环大小和时钟频率(UABF和ADC)按所需并行输出的数量进行缩放。

#### [0159] 2阶段合成孔径波束形成

[0160] 在一些实施方式中,合成孔径(SA)波束形成用于应用回顾性发射聚焦,相对于传统的延迟求和波束形成器改善图像质量。取决于期望的帧速率和图像特性,发射脉冲可以被成形为平面波或发散光束,而不是在成像体积内聚焦。通常,在SA波束成形中,所有通道都被数字化。根据一些实施方式,超声系统依赖于波束成形的两个阶段,其中第一阶段用于减少来自许多传感器元件的数据量,第二阶段使用SA技术构建图像。在一些示例中,模拟波束形成技术应用于这种系统中的第一级波束形成器,第二级使用数字输入。在一些实施方

式中,波束形成器以固定接收焦点操作,使得其输出对应于可馈送到第二级的虚拟源(VS)或虚拟接收元件(VRE)。在整个扫描线中使用初始延迟,并且动态更新变迹参数。

#### [0161] 二维(矩阵)阵列

[0162] 在各种实施方式中,延迟压缩方案使用空间拟合技术来近似延迟分布。在一些实施方式中,空间拟合在1-D中执行以捕获跨越1-D传感器的飞行时间差异,如用于构建2-D图像。在替代实施方式中,空间拟合在2-D中执行,如2-D传感器所需,用于构建3-D图像。如果使用多项式拟合,则动态选择的 $(N+1)(N+2)/2$ 个可能系数的子集(其中N是多项式阶数)可以用于每个拟合。调整延迟线中的开关电容器单元的数量以反映传感器几何形状所需的延迟范围(对于给定数量的通道,具有2-D阵列,需要更少的单元)。在其他实施方式中,波束形成器可以被配置用于在运行时的1-D或2-D操作。

#### [0163] 多个/序列化控制链接

[0164] 通过本文描述的方法实施方式的高压缩比允许使用简化的和低功率的I/O电路。特别地,在一些示例中,可以使用采样时钟频率的单端CMOS信令。在其他实施方式中,这里描述的并行数据传输协议被串行化为一个或多个高速物理链路以减少引脚数和布线复杂性。在一些示例中,高速物理链路是低压差分信令链路(LVDS)。在其他实施方式中,用于并行波束形成器的多个控制链路聚合在一个或多个高速物理链路上。

[0165] CMOS技术可用于一系列可能的“工艺节点”,为设计人员提供不同的特征尺寸和性能折衷。可以使用比 $0.18\mu\text{m}$ 更小的工艺节点开发UABF的替代版本。在具有较小特征(例如65nm或28nm)的工艺节点处,相对于保持相同功能的模拟电路,数字电路可以更密集地封装并且消耗更少的功率。以下架构变体利用了这些权衡。

[0166] 在一个示例实施例中,每个通道具有其自己的延迟和变迹能力,并且来自所有通道的时间对准信号被求和(通过电荷共享)以构建波束形成器输出。这种“扁平化”架构提供了最大的灵活性,代价是不能随工艺扩展的大型模拟电路区域。通过切换到在两个或更多个阶段中执行求和、延迟和/或变迹的“分层”架构,可以获得模拟核心中的面积减小。例如,8个通道的子阵列可以进行波束成形并馈送到具有16个输入的第二级,产生一个两级波束形成器,总共128个通道。可以根据求和中包括的通道数减少每级的延迟范围(以及因此的电路面积)。在该示例中,通道根据它们在传感器上的物理位置进行分组,并且延迟分布在传感器上缓慢变化。附加的编码和解码逻辑对各级的延迟进行分区,并相应地控制模拟内核。

[0167] 在现代数字电路中,与互连相关的能量损失相对于计算和存储器的能量损失增加。替代实施例重新分配选通发生器以产生更靠近相关模拟开关的控制信号。在一些实施方式中,逻辑在通道专用和共享选通发生器之间移位。在其他实施方式中,通道专用选通脉冲发生器被划分为用于模拟核心的不同部分的子块。在一些实施方式中,消除了共享选通脉冲发生器。

[0168] 更高密度的数字逻辑还可用于降低用于向UABF提供压缩延迟/变迹分布的片外带宽和系统复杂性。较高密度的数字逻辑基本上在编码(压缩)和解码(解压缩)之间重新平衡工作量。一个示例是提供期望延迟和/或变迹值的稀疏样本,并使用解码器内的内插技术来重建完整的分布。另一个例子是使用不同的算法(例如,由ZIP和PNG文件格式使用的“Deflate”)合并第二级压缩以进一步降低数据速率。在极限情况下,参考上面的段落

[0042],可以直接从成像场景的几何参数在UABF内生成延迟和变迹值。

[0169] 未来的UABF产品的设计者可以使用其他设计选项。在一个替代实施方式中,在整数分量之后计算延迟的分数分量(反转示例实施例使用的顺序)。对输出参考的延迟分布执行压缩和解压缩,而没有从输入参考到输出参考的变换(如段落[0030]中所述)。在另一种情况下,使用不同的拟合技术(更高的多项式阶数,或诸如傅里叶或切比雪夫系列的不同基础)来提高精度或定制特定成像场景的延迟分布。

#### [0170] 变化和实施

[0171] 在上述实施例的讨论中,电容器、时钟、DFF、分频器、电感器、电阻器、放大器、开关、数字核心、晶体管和/或其他部件可以容易被替换、代替或以其他方式修改,以便适应特定的电路需求。此外,应该注意,互补电子设备、硬件、软件等的使用为实施方式本公开的教导提供了同样可行的选择。

[0172] 在一个示例性实施方案中,图中的任何数量的电路可以在相关电子设备的板上实施方式。该板可以是通用电路板,其可以保持电子设备的内部电子系统的各种组件,并且还提供用于其他外围设备的连接器。更具体地,电路板可以提供电连接,系统的其他部件可以通过电连接进行电气通信。任何合适的处理器(包括数字信号处理器、微处理器、支持芯片组等),计算机可读非暂时存储器元件等可以基于特定配置需求、处理需求、计算机设计等适当地耦合到板。诸如外部存储器、附加传感器、用于音频/视频显示器的控制器和外围设备的其他组件可以作为插入式卡,通过电缆或者集成到板本身中而附接到板上。在各种实施例中,本文描述的功能可以以仿真形式实施方式为在支持这些功能的结构布置的一个或多个可配置(例如,可编程)元件内运行的软件或固件。提供仿真的软件或固件可以在非暂时性计算机可读存储介质上提供,该非暂时性计算机可读存储介质包括允许处理器执行那些功能的指令。

[0173] 在另一示例性实施方案中,图中的电路可以实施方式为独立模块(例如具有相关组件和电路的设备,其被配置为执行特定应用或功能)或作为插件模块实施方式为电子设备的专用硬件。注意,本公开的特定实施例可以部分地或整体地容易地包括在片上系统(SOC)封装中。SOC表示将计算机或其他电子系统的组件集成到单个芯片中的IC。它可以包含数字、模拟、混合信号以及通常的射频功能:所有这些功能都可以在单个芯片衬底上提供。其他实施例可以包括多芯片模块(MCM),其中多个单独的IC位于单个电子封装内并且被配置为通过电子封装彼此紧密地交互。在各种其他实施例中,时钟和滤波功能可以在专用集成电路(ASIC)、现场可编程门阵列(FPGA)和其他半导体芯片中的一个或多个硅芯中实施方式。

[0174] 还必须注意,本文概述的所有规范、维度和关系(例如,处理器的数量、逻辑操作等)仅出于示例和教导的目的而提供。在不脱离本公开的精神或所附权利要求的范围的情况下,可以显著改变这样的信息。该说明书仅适用于一个非限制性示例,因此,它们应被解释为如此。在前面的描述中,已经参考特定处理器和/或组件布置描述了示例实施例。在不脱离所附权利要求的范围的情况下,可以对这些实施例进行各种修改和改变。因此,说明书和附图应被视为说明性的而非限制性的。

[0175] 注意,上面参考附图讨论的活动适用于涉及信号处理的任何集成电路,特别是那些使用采样模拟的集成电路,其中一些可能与处理实时数据有关。某些实施例可以涉及多

DSP信号处理、浮点处理、信号/控制处理、固定功能处理、微控制器应用等。

[0176] 在某些情况下,本文讨论的特征可适用于医疗系统、科学仪器、无线和有线通信、雷达、工业过程控制、音频和视频设备、电流感测、仪器(可以是高度精确的)、以及其他基于数字-处理的系统。

[0177] 此外,上面讨论的某些实施例可以在用于医学成像、患者监测、医疗仪器和家庭医疗保健的数字信号处理技术中提供。这可以包括肺部监视器、加速度计、心率监视器、起搏器等。其他应用可以涉及用于安全系统的汽车技术(例如,稳定性控制系统、驾驶员辅助系统、制动系统、信息娱乐和任何类型的内部应用)。此外,动力总成系统(例如,混合动力和电动车辆)可以在电池监控、控制系统、报告控制、维护活动等中使用高精度数据转换产品。

[0178] 在其他示例场景中,本公开的教导可适用于包括有助于提高生产率、能量效率和可靠性的过程控制系统的工业市场。在消费者应用中,上面讨论的信号处理电路的教导可以用于图像处理、自动聚焦和图像稳定(例如,用于数字静态照相机、便携式摄像机等)。其他消费者应用可以包括用于家庭影院系统、DVD录像机和高清电视的音频和视频处理器。其他消费者应用程序可涉及高级触摸屏控制器(例如,用于任何类型的便携式媒体设备)。因此,这些技术可以很容易地成为智能手机、平板电脑、安全系统、PC、游戏技术、虚拟现实、模拟培训等的一部分。

[0179] 注意,利用本文提供的众多示例,可以根据两个、三个、四个或更多个电子组件来描述交互。然而,这仅出于清楚和示例的目的而进行。应该理解,系统可以以任何合适的方式合并。沿着类似的设计替代方案,附图中所示的任何组件、模块和元件可以以各种可能的配置组合,所有这些配置显然都在本说明书的广泛范围内。在某些情况下,仅通过参考有限数量的电气元件来描述给定流程集的一个或多个功能可能更容易。应当理解,附图及其教导的电路易于扩展,并且可以容纳大量部件,以及更复杂/复杂的布置和配置。因此,所提供的示例不应限制范围或抑制可能应用于无数其他架构的电路的广泛教导。

[0180] 注意,在本说明书中,对“一个实施例”、“示例实施例”、“实施例”、“另一个实施例”、“一些实施例”、“各种实施例”、“其他实施例”、“替代实施例”等中包括的各种特征(例如,元件,结构,模块,组件,步骤,操作,特性等)的引用旨在表示任何这样的特征包括在本公开的一个或多个实施例中,但是可以或可以不必在相同的实施例中组合。

[0181] 同样重要的是要注意,与采样模拟系统中的时钟相关的功能仅示出了可由图中所示系统执行或在其内执行的一些可能的时钟功能。在适当的情况下可以删除或移除这些操作中的一些,或者可以在不脱离本公开的范围的情况下显着地修改或改变这些操作。此外,这些操作的时间可能会大大改变。出于示例和讨论的目的提供了前述操作流程。本文描述的实施例提供了实质的灵活性,因为可以提供任何合适的布置、时间顺序、配置和定时机制而不脱离本公开的教导。

[0182] 本领域技术人员可以确定许多其他改变、替换、变化、代替和修改,并且本公开旨在涵盖落入所附权利要求的范围内的所有这样的改变、替换、变化、代替和修改。为了协助美国专利商标局(USPTO)以及本申请中发布的任何专利的任何读者在解释所附权利要求时,申请人希望注意到申请人:(a)除非在特定权利要求中特别使用“用于.....的手段”或“用于.....的步骤”,否则并不意图任何所附权利要求援引在其提交之日存在的35U.S.C.第112条的第六(6)段;并且(b)不希望通过说明书中的任何陈述以任何未在所附权利要求

中反映的方式限制本公开。

[0183] 其他说明、示例和实施

[0184] 注意,上述装置的所有可选特征也可以关于本文描述的方法或过程来实施方式,并且示例中的细节可以在一个或多个实施例中的任何地方使用。

[0185] 在第一示例中,提供了一种系统(其可以包括任何合适的电路、分频器、电容器、电阻器、电感器、ADC、DFF、逻辑门、软件、硬件、链路等),其可以是任何类型的计算机的一部分,其可以进一步包括耦合到多个电子组件的电路板。该系统可以包括用于使用第一时钟将数据从数字核心计时到宏的第一数据输出的装置,第一时钟是宏时钟;用于使用第二时钟将数据从宏的第一数据输出计时到物理接口的装置,第二时钟是物理接口时钟;用于使用宏时钟将来自数字核的第一复位信号计时到宏的复位输出的装置,第一复位信号输出用作第二复位信号;用于使用第三时钟对第二复位信号进行采样的装置,其提供大于第二时钟速率的时钟速率,以产生采样的复位信号;以及用于响应于采样的重置信号的转变,将第二时钟重置为物理接口中的预定状态的装置。

[0186] 在这些实例(上文)中的“用于...的手段”可包括(但不限于)使用本文所讨论的任何合适的组件,以及任何合适的软件、电路、集线器、计算机代码、逻辑、算法、硬件、控制器、接口、链接、总线、通讯路径等。在第二示例中,该系统包括存储器,该存储器还包括机器可读指令,该机器可读指令在被执行时使系统执行上述任何活动。

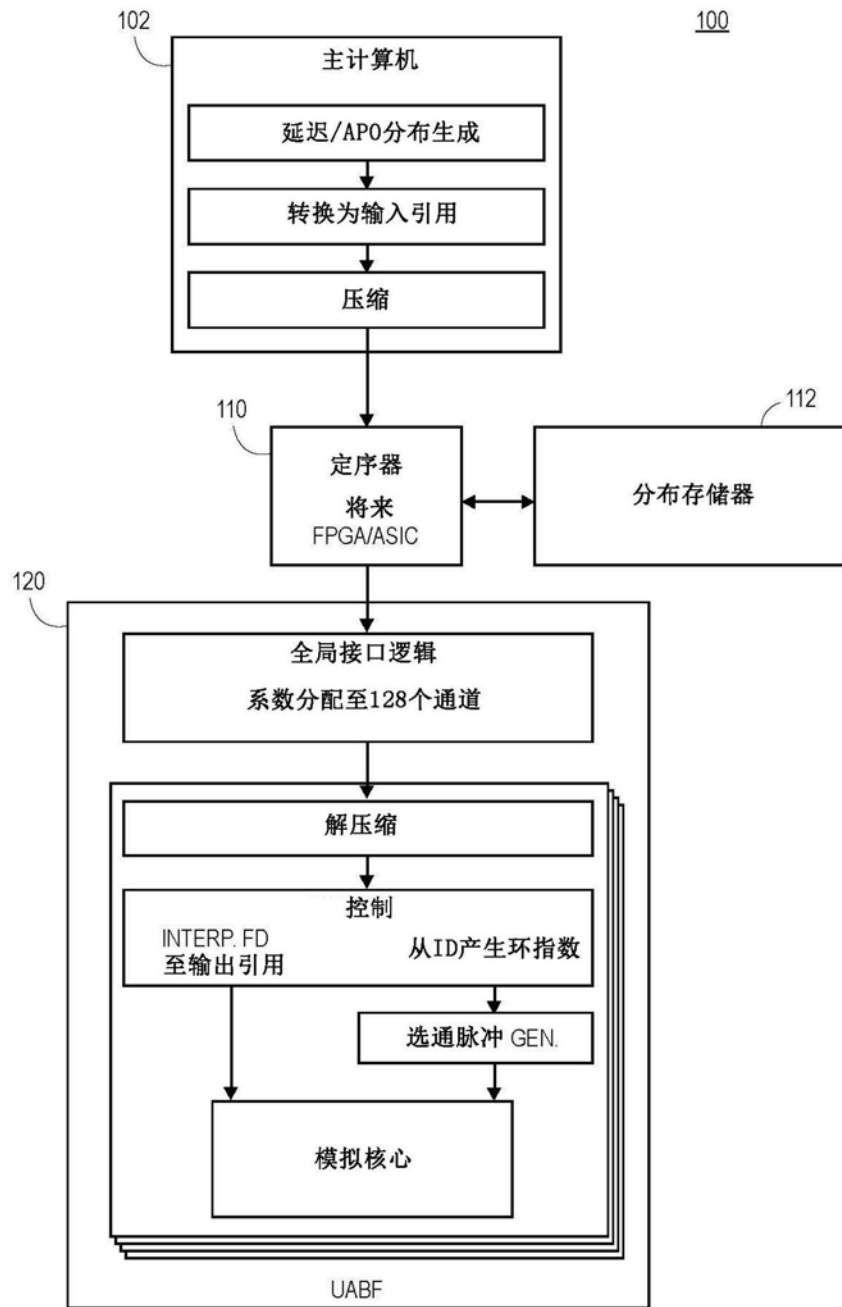


图1

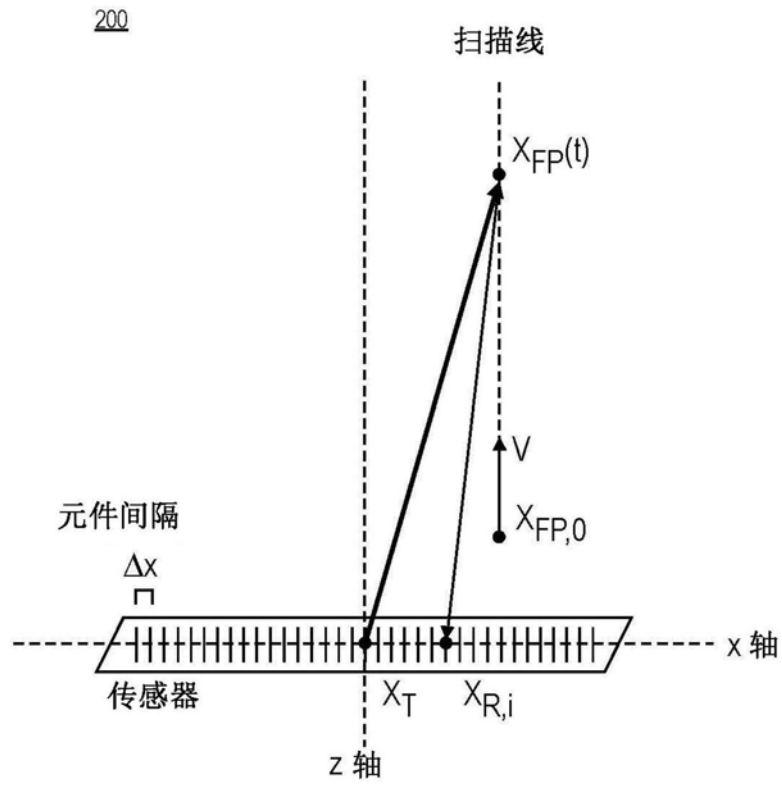


图2

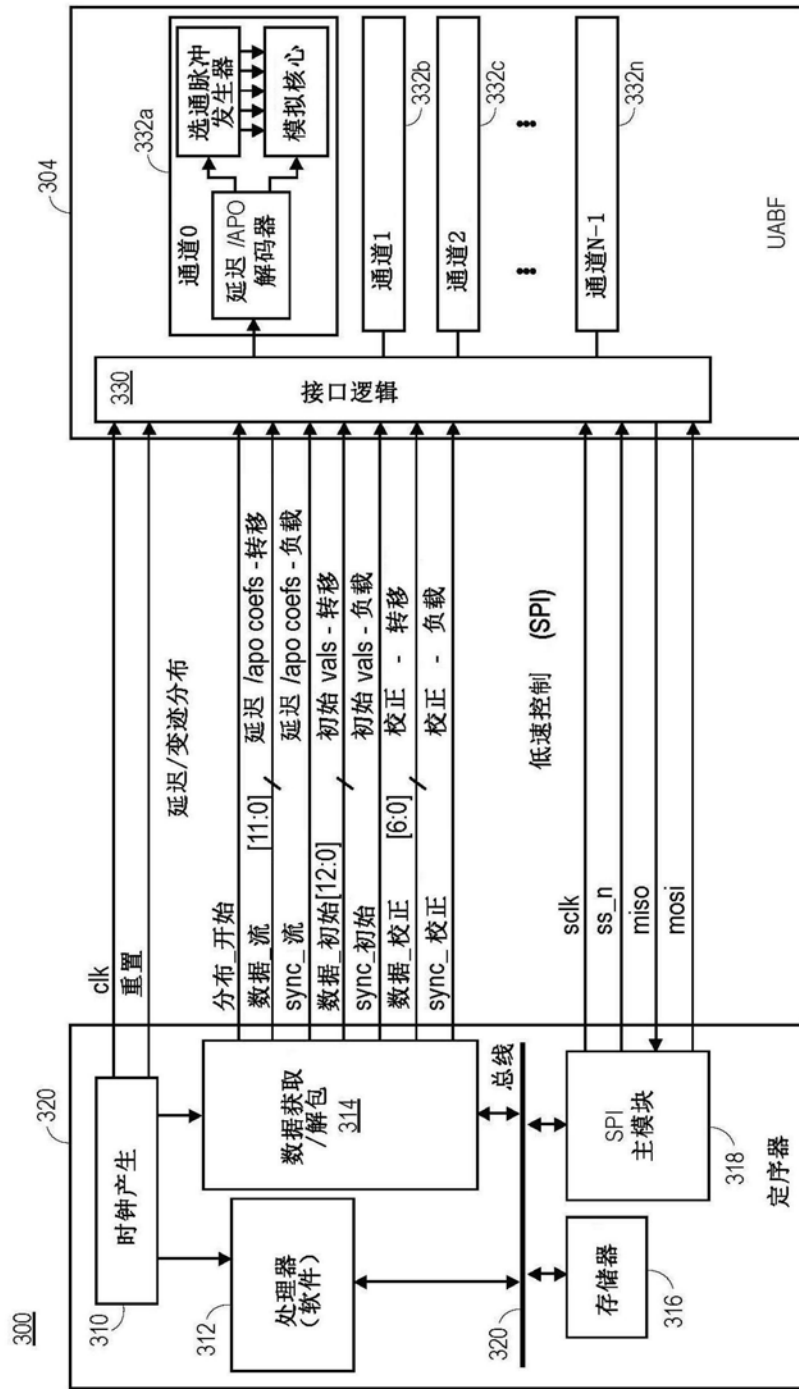


图3

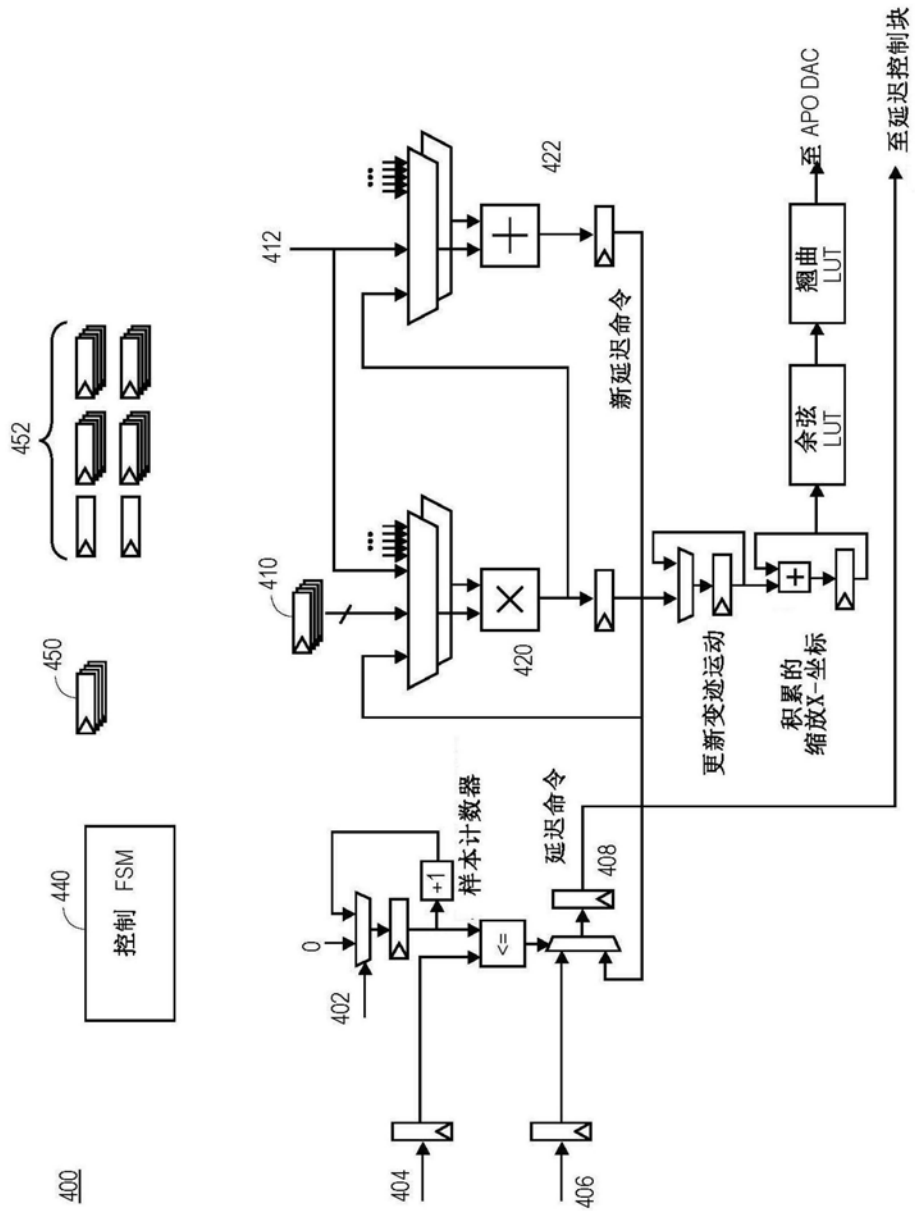


图4

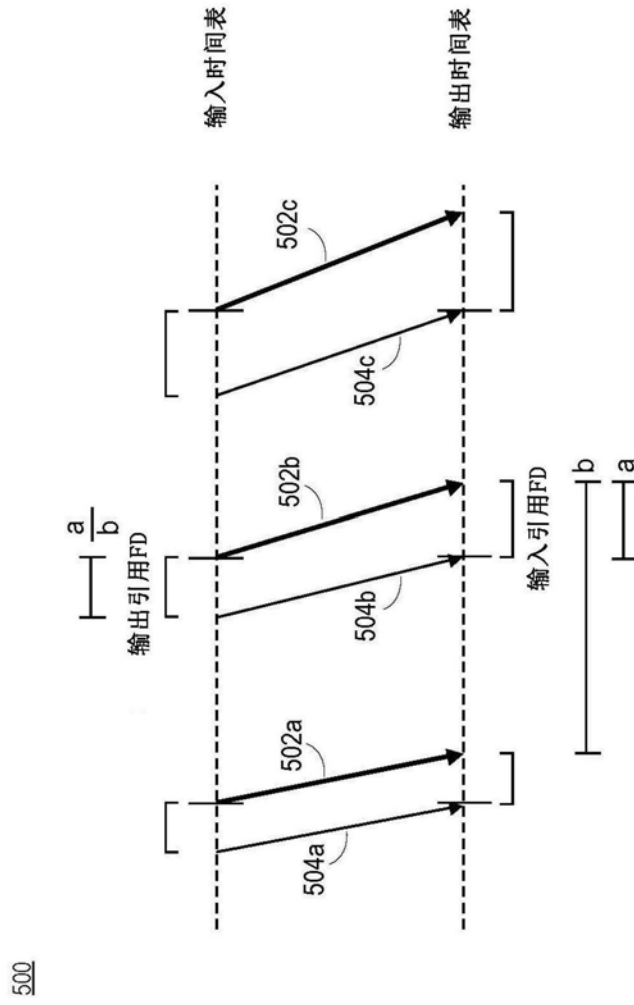


图5

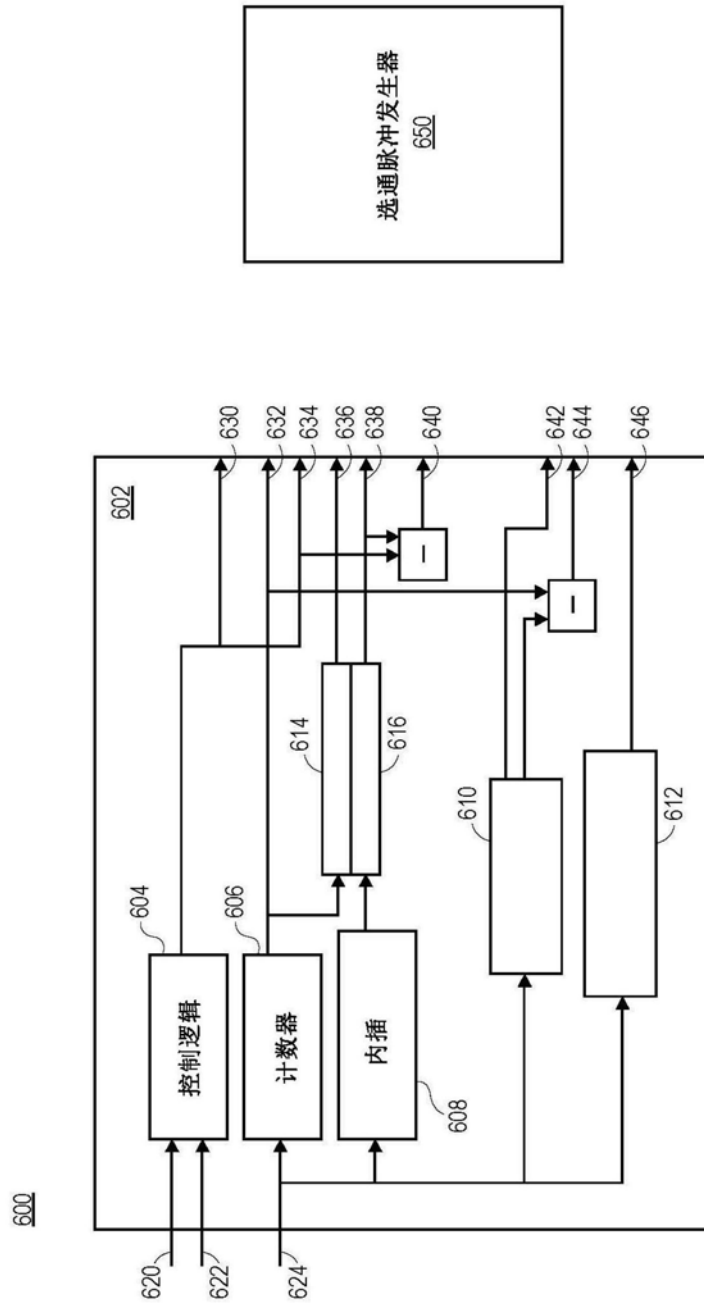
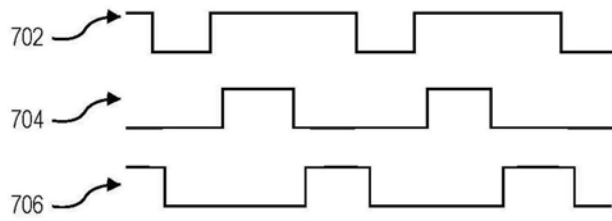


图6

700

时钟



选通脉冲

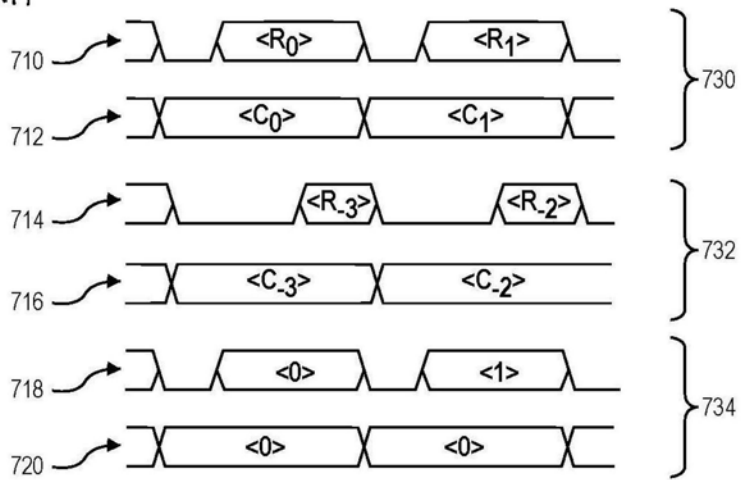


图7

800

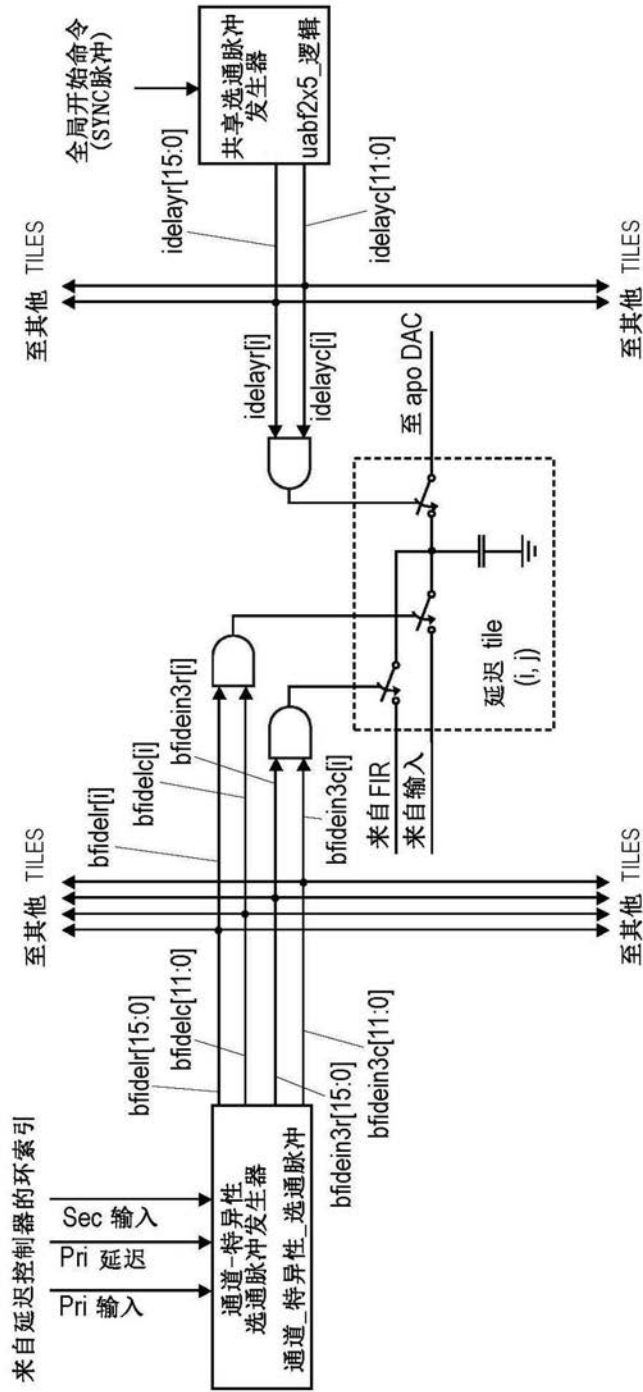


图8

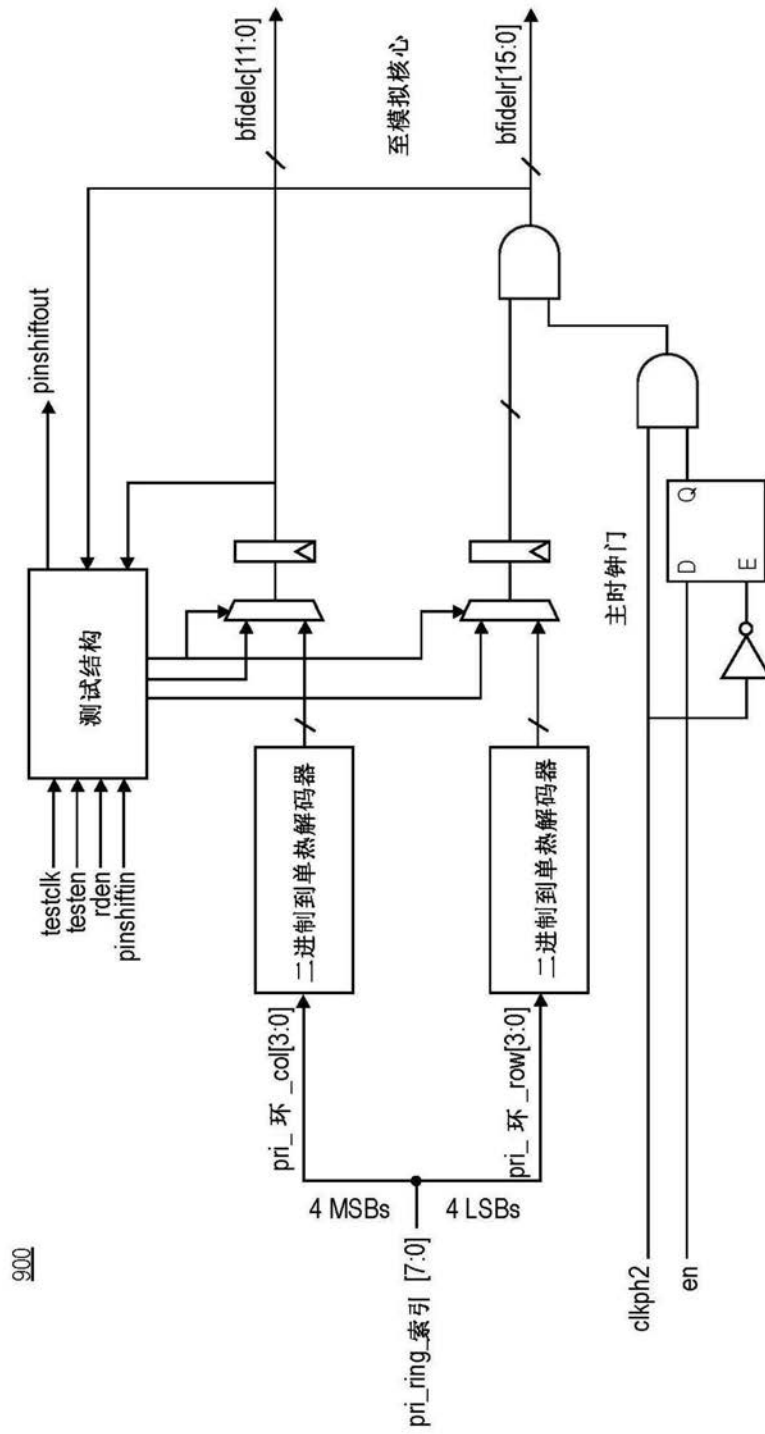


图9

1100

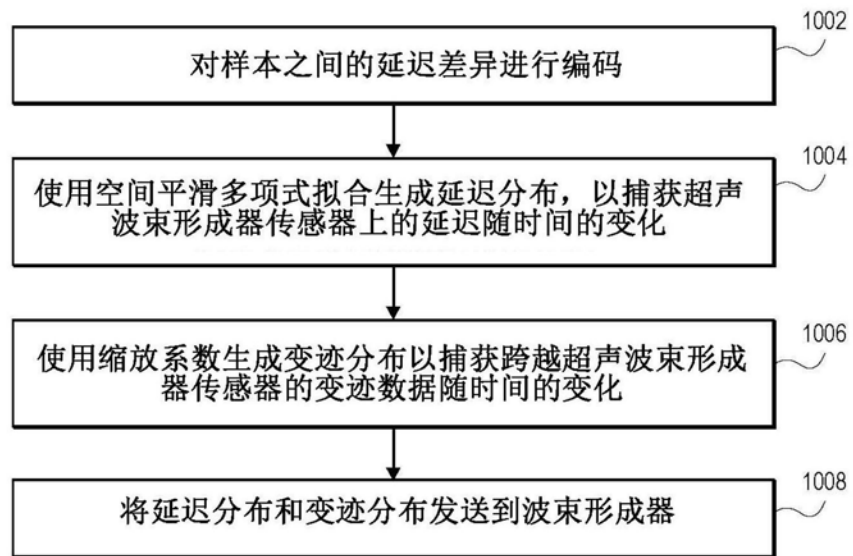


图10

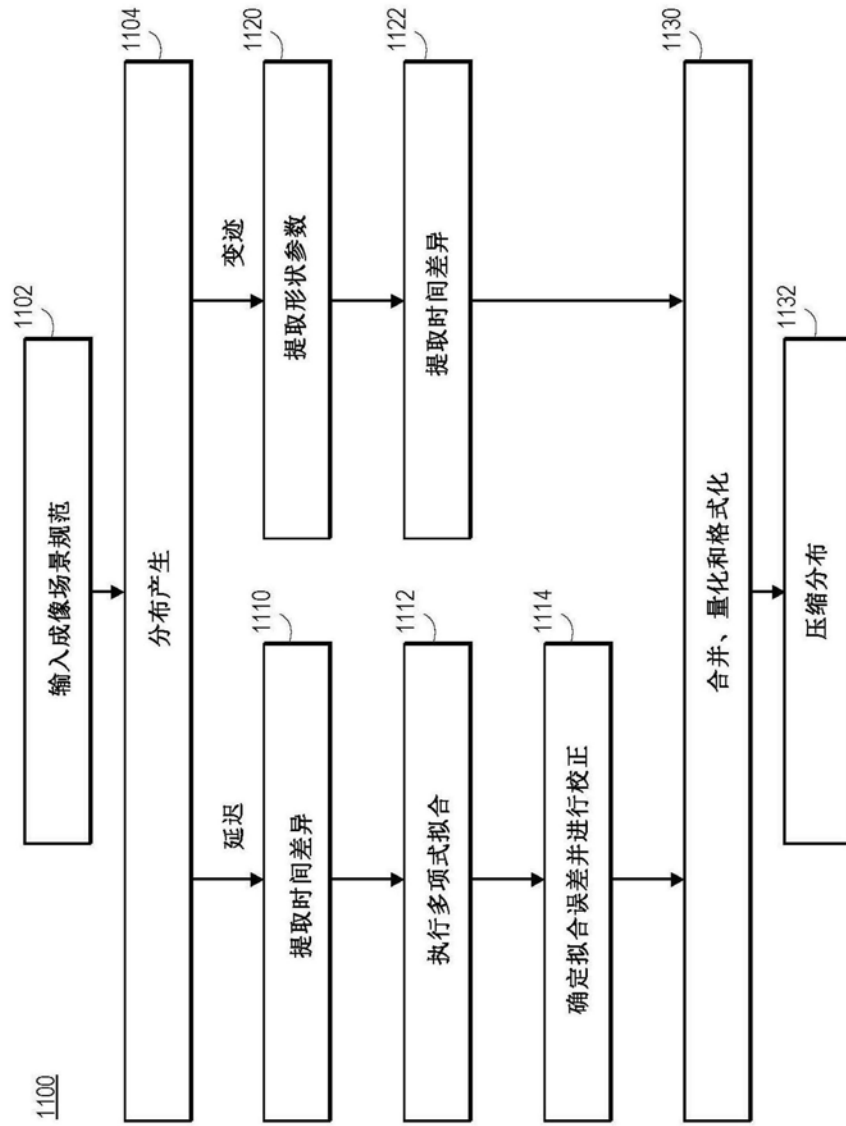


图11

专利名称(译)	超声波束形成器的延迟和变迹控制接口		
公开(公告)号	<a href="#">CN110507353A</a>	公开(公告)日	2019-11-29
申请号	CN201910426465.6	申请日	2019-05-22
[标]申请(专利权)人(译)	美国亚德诺半导体公司		
申请(专利权)人(译)	美国亚德诺半导体公司		
当前申请(专利权)人(译)	美国亚德诺半导体公司		
[标]发明人	M R 普赖斯 E G 内斯特勒 M莫尔滕森 A萨德		
发明人	M·R·普赖斯 E·G·内斯特勒 M·莫尔滕森 A·萨德		
IPC分类号	A61B8/00		
CPC分类号	A61B8/5207 G01S7/52034 G01S15/8915 G01S15/8927		
代理人(译)	张鑫		
优先权	62/675002 2018-05-22 US 16/395,945 2019-04-26 US		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本公开涉及超声波束形成器的延迟和变迹控制接口。提供用于在超声波束形成器中压缩和解压缩数据的系统和方法。系统和方法包括编码器，用于至少部分地基于延迟分布的平滑度来压缩延迟数据，并且用于至少部分地基于变迹分布的平滑度来压缩变迹数据。

