



(12) 发明专利

(10) 授权公告号 CN 101919706 B

(45) 授权公告日 2014. 05. 07

(21) 申请号 200910107969. 8

文.

(22) 申请日 2009. 06. 12

WO 2005/065547 A1, 2005. 07. 21, 全文.

CN 101064502 A, 2007. 10. 31, 全文.

(73) 专利权人 深圳迈瑞生物医疗电子股份有限公司

CN 101190136 A, 2008. 06. 04, 全文.

CN 1992517 A, 2007. 07. 04, 全文.

地址 518057 广东省深圳市南山区高新技术产业园区科技南 12 路迈瑞大厦

审查员 谢楠

(72) 发明人 靳珊 李勇

(74) 专利代理机构 广州华进联合专利商标代理有限公司 44224

代理人 何平

(51) Int. Cl.

A61B 8/00 (2006. 01)

A61B 8/06 (2006. 01)

(56) 对比文件

EP 0977360 A2, 2000. 02. 02, 全文.

JP 特许第 3486243 号 B2, 2004. 01. 13, 全

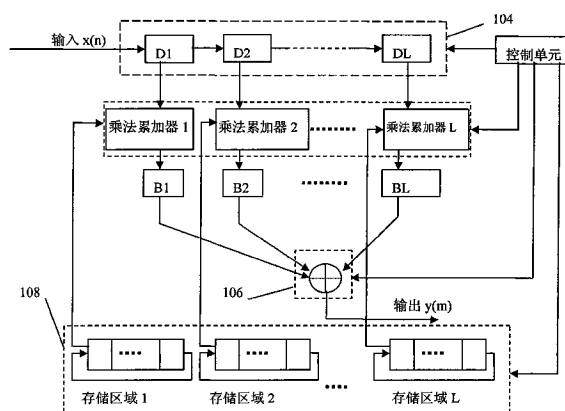
权利要求书2页 说明书14页 附图4页

(54) 发明名称

抽取滤波的方法及装置

(57) 摘要

本发明公开了一种用于超声成像的抽取滤波方法及装置,包括:存储滤波器系数;将输入信号进行L级锁存,其中L为滤波中使用的乘法累加器个数;对每一级锁存后的输入信号,从系数存储器中读取其中存储的序号为K的滤波器系数,与该级锁存后的输入信号进行乘累加计算,其中读取的滤波器系数的序号K由当前锁存级的输入信号的序号num、当前计算的输出信号的序号m、抽取因子D、插值因子I计算获得;将L级锁存的乘累加计算结果累加,得到滤波后的输出信号。本发明的抽取滤波方法及装置剔除了插值插入的零值与滤波系数乘累加的项,由原始输入信号直接与与其对应的滤波器系数乘累加,不仅实现了任意分数比率的抽取滤波,也减少了计算量。



1. 一种用于超声成像的抽取滤波方法,包括:

存储滤波器系数至系数存储器中;

将输入信号进行 L 级锁存,其中 L 为滤波中使用的乘法累加器个数;

对每一级锁存后的输入信号,从所述系数存储器中读取其中存储的序号为 K 的滤波器系数,与该级锁存后的输入信号进行滤波计算,其中读取的滤波器系数的序号 K 由当前锁存级的输入信号的序号 num、当前计算的输出信号的序号 m、抽取因子 D、插值因子 I 计算获得;

将 L 级锁存的乘累加计算结果累加,得到滤波后的输出信号。

2. 如权利要求 1 所述的抽取滤波方法,其特征在于,所述系数存储器包含 L 个存储区域;

所述存储滤波器系数至系数存储器的步骤中,将所述滤波器系数存储在 L 个存储区域,每个存储区域存储与 L 级锁存中其中一级锁存后的输入信号进行乘累加计算的滤波器系数。

3. 如权利要求 2 所述的抽取滤波方法,其特征在于:每个存储区域存储 T 个滤波器系数,其中 T 为 D/I 约分后最简式的分子,其中存储与第 t 级锁存后的输入信号进行乘累加计算的滤波器系数的存储区域中,存储的滤波器系数的序号 k 满足: $k = u \times D - v \times I$, 其中 u、v 为大于或等于零的整数,且 $g_{u-t} - [N_{u-t} - 1] \leq v \leq g_{u-t}$, 其中 g_{u-t} 为 $\frac{(u-t)D}{I}$ 的整数部分, $N_{u-t} = g_{u-t} - g_{u-t-1}$, D 为抽取因子, I 为插值因子, t 为当前锁存级的级数,其中锁存级的级数由 0 到 L-1 依次增加。

4. 如权利要求 3 所述的抽取滤波方法,其特征在于:

所述存储区域中,存储的滤波器系数的序号 k 由所述 u 从零开始由小到大的顺序依次取值、对于每个 u 的取值其中所述 v 按从小到大的顺序依次取值计算,所述滤波器系数按照所述序号计算的顺序在所述存储区域中顺序存储,读取所述滤波器系数时,按照所述存储的顺序依次循环读取。

5. 如权利要求 1 所述的抽取滤波方法,其特征在于:所述存储滤波器系数中,存储的滤波器系数的序号 k 满足: $k = u \times D - v \times I$, 其中 u、v 为大于或等于零的整数, D 为抽取因子, I 为插值因子。

6. 如权利要求 1 至 5 任意一项所述的抽取滤波方法,其特征在于:所述从系数存储器中读取的滤波器系数的序号 $K = m \times D - \text{num} \times I$, 其中 num 为当前锁存级的输入信号的序号、m 为当前计算的输出信号的序号、D 为抽取因子、I 为插值因子。

7. 如权利要求 1 所述的抽取滤波方法,其特征在于:进一步包括:

将每一级的锁存后的输入信号与所述滤波器系数的乘累加结果缓冲存储到数据缓存器。

8. 如权利要求 1 或 5 所述的抽取滤波方法,其特征在于:进一步包括:当第 t 级锁存后的输入信号的序号等于 $\frac{(m-t)D}{I}$ 的整数部分时,此输入信号乘累加计算后输出该第 t 级锁存的乘累加计算结果,然后将该第 t 级锁存的乘累加计算结果清零,其中 m 为当前计算的输出信号的序号、D 为抽取因子、I 为插值因子, t 为当前锁存级的级数,其中锁存级的级数由

0 到 L-1 依次增加。

9. 如权利要求 1 所述的抽取滤波方法,其特征在于:当第 0 级锁存级锁存后的输入信号的序号等于 $\frac{mD}{I}$ 的整数部分时,此输入信号乘累加计算完成后,将 L 级锁存的乘累加计算结果累加并输出。

10. 一种用于超声成像的抽取滤波装置,包括:

系数存储器,所述系数存储器存储滤波器系数;

移位寄存器,对输入信号进行 L 级锁存,其中 L 为滤波器中使用的乘法累加器个数,所述移位寄存器包括串联的 L 个触发器,所述 L 个触发器输出端分别与 L 个乘法累加器的输入端相连,每个触发器对输入信号进行一级锁存;

L 个乘法累加器,所述乘法累加器输入端与所述系数存储器和所述触发器的输出端相连,每个乘法累加器完成 L 级锁存中其中一级锁存后的输入信号与滤波器系数的乘累加计算;

控制单元,所述控制单元与系数存储器、移位寄存器和乘法累加器相连,对每一级锁存后的输入信号,控制单元控制从系数存储器中读取其中存储的序号为 K 的滤波器系数,并将所述滤波器系数输出到进行该级锁存的乘累加计算的乘法累加器中进行乘累加计算,其中读取的滤波器系数的序号 K 由当前锁存级的输入信号的序号 num、当前计算的输出信号的序号 m、抽取因子 D、插值因子 I 计算获得;

累加器,用于 L 个累加乘法累加器的乘累加计算结果。

11. 如权利要求 10 所述的抽取滤波装置,其特征在于:所述系数存储器包括 L 个存储区域,每个存储区域的输出端分别与一个乘法累加器的输入端连接,每个存储区域存储与 L 级锁存中其中一级锁存后的输入信号进行乘累加计算的滤波器系数。

12. 如权利要求 11 所述的抽取滤波装置,其特征在于:所述每个存储区域存储 T 个滤波器系数,其中 T 为 D/I 约分后最简式的分子,其中存储的滤波器系数的序号 k 满足: $k = u \times D - v \times I$, 其中 u、v 为大于或等于零的整数,且 $g_{u-t} - [N_{u-t} - 1] \leq v \leq g_{u-t}$, 其中 g_{u-t} 为 $(u - It)$ D 的整数部分, $N_{u-t} = g_{u-t} - g_{u-t-1}$, D 为抽取因子, I 为插值因子, t 为当前锁存级的级数,其中锁存级的级数由 0 到 L-1 依次增加。

13. 如权利要求 12 所述的抽取滤波装置,其特征在于:所述每个存储区域的 T 个滤波器系数循环读取。

14. 如权利要求 13 所述的抽取滤波装置,其特征在于:所述系数存储器中存储的滤波器系数的序号 k 满足: $k = u \times D - v \times I$, 其中 u、v 为大于或等于零的整数, D 为抽取因子, I 为插值因子。

15. 如权利要求 10 至 14 任意一项所述的抽取滤波装置,其特征在于:所述从系数存储器中读取的滤波器系数的序号为 $K = m \times D - \text{num} \times I$, 其中 num 为当前锁存级的输入信号的序号、m 为当前计算的输出信号的序号、D 为抽取因子、I 为插值因子。

16. 如权利要求 10 所述的抽取滤波装置,其特征在于:还包括 L 个数据缓存器,每个数据缓存器的输入端分别与一个乘法累加器的输出端相连,且每个数据缓存器与控制单元相连,乘法累加器乘累加计算结果输出到数据缓存器中缓存。

抽取滤波的方法及装置

技术领域

[0001] 本发明涉及超声成像中的滤波方法及装置,尤其涉及一种实现任意分数比率抽取的抽取滤波的方法及装置。

背景技术

[0002] 在数字超声诊断系统中,经过波束合成后得到的射频 RF (radiofrequency) 回波信号在进行彩色血流成像、脉冲频谱多普勒成像和二维剖面成像之前,均需要对射频信号进行正交解调处理,射频回波信号首先分别与余弦和正弦相乘,然后经过低通滤波,得到解调后的 I (inphase), Q (quadrature) 两路信号,最后对 I、Q 两路信号进行彩色血流成像、脉冲多普勒成像和二维剖面成像处理。

[0003] 由于最后用于显示图像的视频采样率比前端数字射频采样率小很多,所以在后续数字信号处理中不需要使用和射频采样率相同的采样率。高采样率会增大系统软件和硬件上的负担,却不能够较大改善图像的性能,因此在正交解调过程中,可以将低通滤波器设计成为抽选低通滤波器,这个滤波器在实现低通滤波的同时降低信号采样率,低通抽选滤波器针对射频采样率进行了调整,又称为二次采样。

[0004] 当一个数字滤波器的输入采样率是输出采样率的 M 倍时,我们称其为抽选滤波器,并称 M 为抽选比率 (decimation rate)。现有的抽选滤波器中,通常是实现整数倍的抽选,也就是抽选比率 M 为整数。

[0005] 抽选比率为整数的抽选滤波器的不足是不能够满足超声图像对于抽选比率的精细调节。在实际情况中,很难保证抽选比率 M 为整数,尤其是在探测深度较浅的情况下,不妨假设数字超声成像系统中射频采样率是 f_s ,那么抽选滤波的抽选比率从 1 变化到 2 时,进行信号处理的采样率变化了 $1/2f_s$;抽选比率从 2 变化到 3 时,进行信号处理的采样率变化了 $1/6f_s$;抽选比率从 3 变化到 4 时,进行信号处理的采样率变化了 $1/12f_s$ 。在深度比较浅的情况下,信号处理的采样率可以选择档位之间变化太大。在超声图像上表现为深度调节时,深度的档位跨度较大,不均匀,不能够满足超声图像对于抽选比率的精细调节。因此,需要一种可以任意分数抽取比率抽取的滤波器,实现抽选比率为任意分数的抽选滤波。

发明内容

[0006] 本发明的目的在于提供一种能实现任意分数比率抽取的抽取滤波方法和装置,其可以根据需要实现任意分数比率的抽取滤波,满足超声图像对于精细调节抽选比率的要求。

[0007] 为了解决上述问题,本发明的一个实施例中,提供了一种用于超声成像的抽取滤波方法包括:存储滤波器系数;将输入信号进行 L 级锁存,其中 L 为滤波中使用的乘法累加器个数;对每一级锁存后的输入信号,从系数存储器中读取其中存储的序号为 K 的滤波器系数,与该级锁存后的输入信号进行乘累加计算,其中读取的滤波器系数的序号 K 由当前锁存级的输入信号的序号 num、当前计算的输出信号的序号 m、抽取因子 D、插值因子 I 计算

获得；将 L 级锁存的乘累加计算结果累加，得到滤波后的输出信号。

[0008] 针对上述方法，本发明的另一个实施例中，提供了一种用于超声成像的抽取滤波装置，包括：系数存储器，所述系数存储器存储滤波器系数；移位寄存器，对输入信号进行 L 级锁存，其中 L 为滤波器中使用的乘法累加器个数，所述移位寄存器包括串联的 L 个触发器，所述 L 个触发器输出端分别与 L 个乘法累加器的输入端相连，每个触发器对输入信号进行一级锁存；L 个乘法累加器，所述乘法累加器输入端与所述系数存储器和所述触发器的输出端相连，每个乘法累加器完成 L 级锁存中其中一级锁存后的输入信号与滤波器系数的乘累加计算；控制单元，所述控制单元与系数存储器、移位寄存器和乘法累加器相连，对每一级锁存后的输入信号，控制单元控制从系数存储器中读取其中存储的序号为 K 的滤波器系数，并将所述滤波器系数输出到进行该级锁存的乘累加计算的乘法累加器中进行乘累加计算，其中读取的滤波器系数的序号 K 由当前锁存级的输入信号的序号 num、当前计算的输出信号的序号 m、抽取因子 D、插值因子 I 计算获得；累加器，用于 L 个累加乘法累加器的乘累加计算结果。

[0009] 本发明的实施例中，由当前锁存级的输入信号的序号 num、当前计算的输出信号的序号 m、抽取因子 D、插值因子 I 计算与输入信号进行滤波计算的滤波器系数的序号，用这些滤波器系数与输入信号进行滤波计算，而不是所有的滤波器系数与所有插入零值之后的输入信号进行滤波计算。这样，剔除了插值插入的零值与滤波系数进行滤波计算的项，由原始输入信号直接与与其对应的滤波器系数乘累加，不仅实现了任意分数比率的抽取滤波，也减少了计算量，降低了实现这种抽取滤波需要的资源开销。

附图说明

[0010] 图 1 为本发明一个实施例的超声成像系统结构示意图；

[0011] 图 2 为输入信号插值 I 后抽取 D 的示意图；

[0012] 图 3 为整数 D 抽取滤波器示意图；

[0013] 图 4 为本发明任意分数比率抽取滤波器的示意图；

[0014] 图 5 为本发明一个实施例的任意分数比率抽取滤波器的结构框图；

[0015] 图 6 为本发明实施例一的抽取比率为 $9/4$ 的抽取滤波器的结构框图；

[0016] 图 7 为本发明实施例一的抽取比率为 $9/4$ 的抽取滤波器的时序图；

[0017] 图 8 为本发明实施例一的抽取比率为 $9/4$ 的抽取滤波器的另一种结构框图；

具体实施方式

[0018] 在数字超声诊断系统的信号处理流程中，彩色血流成像，脉冲多普勒成像和二维剖面成像等均需要对射频信号进行正交解调处理。射频回波信号首先分别与余弦和正弦相乘，然后经过低通滤波，得到解调后的 I、Q 两路信号，再分别对两路 IQ 信号进行彩色血流成像，脉冲多普勒成像和二维剖面成像处理。为了减少系统的计算量，需要降低射频信号的采样率。如图 1 所示，可以将其中两个低通滤波器设计为两个抽选低通滤波器（其抽选比率为射频采样率与视频采样率之比，一般大于 1），在实现低通滤波的同时实现抽选滤波。

[0019] 不妨假设抽选比率为非整数，即 $M = D/I$ 时，其中 D 大于 I。为了达到此抽选比率，设计该抽选滤波器时可以考虑先插值 I（在相邻两个抽样点之间插入 I-1 个抽样值），再抽

取 D (每隔 $D-1$ 个抽取出一个)。滤波器结构框图如图 2 所示。 $x(n)$ 为输入的信号。其中 $\uparrow I$ 表示在 $x(n)$ 的相邻抽样点间补 $I-1$ 个零点,也就是零值插值, $x_0(k)$ 表示插零后的信号, $\downarrow D$ 表示在补零后的信号中抽取 D , $y(m)$ 表示经过滤波和抽取后的信号, $h_0(n)$ 代表一个非抽选滤波器。其中,图 2 中的滤波和抽取部分可以用一个抽选滤波器代替,如图 3 所示。其中 $h_d(n)$ 代表抽选滤波器,此时抽选比率为整数 D 。

[0020] 假设滤波器的参数已定,并用其单位冲击响应表示为 $\{h(n), n = 0, 1, 2, \dots, N-1\}$, 则非抽选滤波器的算法可以表示为:

$$[0021] \quad z(n) = \sum_{k=0}^{N-1} h(k) \cdot x(n-k) \quad n = 0, 1, 2, \dots \quad (1)$$

[0022] 抽选比率为 D 的抽选滤波器的算法可以表示为:

$$[0023] \quad y(m) = \sum_{k=0}^{N-1} h(k) \cdot x(m \cdot D - k), \quad m = 0, 1, 2, \dots \quad (2)$$

[0024] 即

$$[0025] \quad y(m) = z(n) \big|_{n=m \cdot D} \quad (3)$$

[0026] 由上式可知,抽选比率为 D 的抽选滤波器的输出实际上相当于在非抽选滤波器的所有输出中每 D 个中抽选一个。

[0027] 以上表达式可以继续分解为

$$[0028] \quad y(m) = z(mD) = \sum_{k=0}^{D-1} x(mD-k)h(k) + \sum_{k=D}^{2D-1} x(mD-k)h(k) + \dots + \sum_{k=(L-1)D}^{LD-1} x(mD-k)h(k)$$

[0029]

$$= \sum_{k=0}^{D-1} x(mD-k)h(k) + \sum_{k=0}^{D-1} x(mD-D-k)h(k+D) + \dots + \quad (4)$$

$$[0030] \quad \sum_{k=0}^{D-1} x(mD-(L-1)D-k)h(k+(L-1)D)$$

[0031] 其中 L 为整数, $L \times D = N$ 。

[0032] 这样分解的好处在于,每个分项均可以用一个乘法累加器实现,一共只需要 L 个乘法累加器。一个 $2L$ 阶非抽选有限冲击响应 (FIR) 滤波器要用 L 个乘法器实现。而对于一个抽选比率为 D 的 FIR 滤波器,用 L 个乘法累加器可以实现 $L \times D$ 阶的 FIR 滤波。

[0033] 图 3 所示系统实际上输出 $y(m)$ 仅与输入 $x(n)$ 相关而与中间结果 $x_0(k)$ 无关,因此可以设计为一个抽选比率为 M (M 为非整数) 的抽选滤波器,如图 4 所示。

[0034] 根据前述公式 (4),插零后的中间信号序列 $x_0(k)$ 经过抽选比率 D 的抽选滤波器后输出序列 $y(m)$ 的表达式可整理为:

$$[0035] \quad y(m) = \sum_{k=0}^{D-1} x_0(mD-k)h(k) + \sum_{k=0}^{D-1} x_0(mD-D-k)h(k+D) + \dots +$$

$$[0036] \quad \quad \quad (5)$$

$$[0037] \quad \sum_{k=0}^{D-1} x_0(mD-(L-1)D-k)h(k+(L-1)D)$$

[0038] 先考察其中第 1 项乘累加项 $\sum_{k=0}^{D-1} x_0(mD-k)h(k)$ 。

[0039] 根据上述插值规则,原始信号序列 $x(n)$ 在每相邻信号序列之间插入 $I-1$ 个零值后得到中间信号序列 $x_0(k)$,因此 $x_0(k)$ 中有许多零点,中间信号序列只有在 $x_0(0)$, $x_0(I)$, $x_0(2I)$, $x_0(3I)\dots$ 等序号为 I 的整数倍时才为非零,此时对应原始输入 $x(0)$, $x(1)$, $x(2)$, $x(3)\dots$ 。在此累加项中,其中的 $h(k)$ 与插入的零值相乘的结果为零,因此,可以把上式中 $h(k)$ 与插入的零值相乘的项省略。

[0040] 由插值后的中间序列与原始序列的关系可知,当 $(mD-k)$ 为 I 的整数倍时, $x_0(mD-k)$ 项不为零,此时记 $\frac{mD-k}{I}$ 的整数部分为 $p_{m,k}$,当当前计算的输出序列序号 m 确定时,其为 k 的函数。

[0041] 设第 1 项乘累加项中计算当前输出信号 $y(m)$ 时参与计算的输入信号的项数为 N_m ,则第 1 项乘累加项可表示为:

$$[0042] \quad \sum_{k=0}^{D-1} x_0(mD-k)h(k) = \sum_{k=0}^{N_m-1} x_0(p_{m,k}I)h(mD-p_{m,k}I) \quad (6)$$

$$[0044] \quad = \sum_{k=0}^{N_m-1} x(p_{m,k})h(mD-p_{m,k}I)$$

[0045] 其中 $\sum_{k=0}^{N_m-1}$ 表示将上述 N_m 个参与计算的输入信号项与其各自对应的 $h(k)$ 相乘后的

乘积累加, $p_{m,k} = \left\lfloor \frac{mD-k}{I} \right\rfloor$ 表示向下取整,即 $p_{m,k}$ 为 $\frac{mD-k}{I}$ 的整数部分,当输出序列序号 m 确定时,其为 k 的函数。由式 (6) 可见,计算结果与中间结果 $x_0(k)$ 无关,仅与输入信号 $x(n)$ 有关。

[0046] 显然 $k=0$ 时 $p_{m,k}$ 值最大,又因为 $p_{m,k}$ 为整数,令 g_m 为 $\frac{mD}{I}$ 的整数部分,则 $p_{m,k}$ 的最大值与 g_m 相等。因此,对应于当前输出序列 $y(m)$,参与第 1 项乘累加项的输入信号中最后一个输入信号为 $x(g_m)$,当 $x(g_m)$ 输入后,意味着第 1 项乘累加项对应当前输出信号 $y(m)$ 的计算结束,当前计算结果输出并清空缓存。下一个输入信号 $x(g_m+1)$ 输入时,第 1 项乘累加项对应的计算过程属于 $y(m+1)$ 的计算过程。

[0047] 计算时输入信号序列 $x(n)$ 是按顺序依次输入的,第 1 个乘累加项中,对应当前输出信号 $y(m)$,参与计算的输入信号共有 N_m 个,最后一个为 $x(g_m)$,即对应当前计算的输出信号 $y(m)$,参入第一个乘累加项计算的输入信号序列为: $x[g_m-(N_m-1)]$, $x[g_m-(N_m-2)]$, $\dots$, $x[g_m-1]$, $x(g_m)$ 。

[0048] 参与计算的每个输入信号对应与冲击响应序列的一个系数(即本发明实施例的非整数抽选滤波器的系数)相乘,序号为 num (比如 $g_m-(N_m-1)$ 、 $g_m-(N_m-2)\dots g_m-1$ 、 g_m 等)的输入信号序列对应的冲击响应序列的序号 K 为 $mD-\text{num}I$,因此,由当前输入信号 $x(n)$ 的序号 num ,按照 $m \times D - \text{num} \times I$ 即可计算出与当前输入信号相乘的滤波器系数的序号 K ,其中 m 为当前计算的输出信号 $y(m)$ 的序号。相乘的结果与之前的输入信号和其对应的滤波器系数的

乘积累加,累加结果缓存到缓冲存储器。当计算当前的输出信号 $y(m)$ 时参与第 1 个乘累加项的最后一个输入信号 $x(g_m)$ 输入并乘累加后,将计算结果输出,并将缓冲存储器清零。下一个输入信号 $x(g_m+1)$ 输入后,开始输出信号 $y(m+1)$ 的计算过程。

[0049] 其中,参与第 1 项乘累加项的输入信号项数 N_m 可以用下式得到:

$$[0050] \quad N_m = g_m - g_{m-1}。$$

[0051] 其中 g_m 为计算当前输出信号 $y(m)$ 时参与第 1 项乘累加项计算的最后一个输入信号的序号,即 $\frac{mD}{I}$ 的整数部分, g_{m-1} 为计算输出信号 $y(m-1)$ 时参与第 1 项乘累加项计算的最后一个输入信号的序号,即 $\frac{(m-1)D}{I}$ 的整数部分。

[0052] 类似地,可以得到其它各项的计算过程:

$$[0053] \quad \text{对于第 2 项乘累加项} \sum_{k=0}^{D-1} x_0(mD - D - k)h(k + D)。$$

[0054] 由插值后的中间序列与原始序列的关系可知,当 $(mD-D-k)$ 为 I 的整数倍时, $x_0(mD-D-k)$ 项不为零,此时记 $\frac{mD-D-k}{I} = \frac{(m-1)D-k}{I}$ 的整数部分为 $p_{m-1,k}$,当输出序列序号 m 确定时,其为 k 的函数。

[0055] 设第 2 项乘累加项中计算当前输出信号 $y(m)$ 时参与计算的输入信号的项数为 N_{m-1} ,则第 2 项乘累加项可表示为:

$$[0056] \quad \sum_{k=0}^{D-1} x_0(mD - D - k)h(k + D) = \sum_{k=0}^{N_{m-1}-1} x_0(p_{m-1,k}I)h(mD - p_{m-1,k}I)$$

$$[0057] \quad (7)$$

$$[0058] \quad = \sum_{k=0}^{N_{m-1}-1} x(p_{m-1,k})h(mD - p_{m-1,k}I)$$

[0059] 其中 $\sum_{k=0}^{N_{m-1}-1}$ 表示将上述 N_{m-1} 个参与计算的输入信号项与其各自对应的 $h(k)$ 相乘后

的乘积累加, $p_{m-1,k} = \left\lfloor \frac{(m-1)D-k}{I} \right\rfloor$, $\lfloor \cdot \rfloor$ 表示向下取整,即 $p_{m-1,k}$ 为 $\frac{(m-1)D-k}{I}$ 的整数部分,当输出序列序号 m 确定时,其为 k 的函数。由式 (7) 可见,计算结果也与中间结果 $x_0(k)$ 无关,仅与输入信号 $x(n)$ 有关。

[0060] 同样,当 $k=0$ 时 $p_{m-1,k}$ 值最大,又因为 $p_{m-1,k}$ 为整数,令 g_{m-1} 为 $\frac{(m-1)D}{I}$ 的整数部分,则 $p_{m-1,k}$ 的最大值与 g_{m-1} 相等。因此,对应于当前输出序列 $y(m)$,参与第 2 项乘累加项的输入信号中最后一个输入信号为 $x(g_{m-1})$,当 $x(g_{m-1})$ 输入后,意味着第 2 项乘累加项对应当前输出信号 $y(m)$ 的计算结束,当前计算结果输出并清空缓存。下一个输入信号 $x(g_{m-1}+1)$ 输入时,第 2 项乘累加项对应的计算过程属于 $y(m+1)$ 的计算过程。

[0061] 计算时输入信号序列 $x(n)$ 按顺序输入,第 2 个乘累加项中,对应当前输出信号 $y(m)$,参与计算的输入信号共有 N_{m-1} 个,最后一个为 $x(g_{m-1})$,即对应当前计算的输出信号 $y(m)$,参入第 2 个乘累加项计算的输入信号序列为: $x[g_{m-1}-(N_{m-1}-1)]$, $x[g_{m-1}-(N_{m-1}-2)]$, ..., $x[g_{m-1}-1]$, $x(g_{m-1})$ 。

[0062] 参与计算的每个输入信号对应与冲击响应序列的一个系数（即本发明实施例的非整数抽选滤波器的系数）相乘，序号为 num（比如 $g_{m-1}-(N_{m-1}-1)$ 、 $g_{m-1}-(N_{m-1}-2)\dots g_{m-1}-1$ 、 g_{m-1} 等）的输入信号序列对应的冲击响应序列的序号 K 为 $mD-\text{num}I$ ，因此，由当前输入信号 $x(n)$ 的序号 num，按照 $m \times D - \text{num} \times I$ 即可计算出与当前输入信号相乘的滤波器系数的序号 K，其中 m 为当前计算的输出信号 $y(m)$ 的序号。相乘的结果与之前的输入信号和其对应的滤波器系数的乘积累加，累加结果缓存到缓冲存储器。当计算当前的输出信号 $y(m)$ 时参与第 2 个乘累加项的最后一个输入信号 $x(g_{m-1})$ 输入并乘累加后，即将计算结果输出，并将缓冲存储器清零。下一个输入信号 $x(g_{m-1}+1)$ 输入后，第 2 项乘累加项开始输出信号 $y(m+1)$ 的计算过程。

[0063] 其中，参与第 2 项乘累加项的输入信号项数 N_{m-1} 可以用下式得到：

$$[0064] \quad N_{m-1} = g_{m-1} - g_{m-2}$$

[0065] 其中 g_{m-1} 为计算当前输出信号 $y(m)$ 时参与第 2 项乘累加项计算的最后一个输入信号的序号，即 $\frac{(m-1)D}{I}$ 的整数部分， g_{m-2} 为计算输出信号 $y(m-1)$ 时参与第 2 项乘累加项计算的最后一个输入信号的序号，即 $\frac{(m-2)D}{I}$ 的整数部分。

[0066] 同理，可以得到，设第 L 项乘累加项中计算当前输出信号 $y(m)$ 时参与计算的输入信号的项数为 $N_{m-(L-1)}$ ，第 L 项乘累加项可表示为：

$$[0067] \quad \sum_{k=0}^{D-1} x_0(mD - (L-1)D - k)h(k + (L-1)D) = \sum_{k=0}^{N_{m-(L-1)}-1} x_0(p_{m-(L-1),k}I)h(mD - p_{m-(L-1),k}I)$$

$$[0068] \quad (8)$$

$$[0069] \quad = \sum_{k=0}^{N_{m-(L-1)}-1} x(p_{m-(L-1),k})h(mD - p_{m-(L-1),k}I)$$

[0070] 其中 $\sum_{k=0}^{N_{m-(L-1)}-1}$ 表示将上述 $N_{m-(L-1)}$ 个参与计算的输入信号项与其各自对应的 $h(k)$

相乘后的乘积累加， $p_{m-(L-1),k} = \left\lfloor \frac{(m-(L-1))D - k}{I} \right\rfloor$ ， $\lfloor \rfloor$ 表示向下取整，即 $p_{m-(L-1),k}$ 为 $\frac{(m-(L-1))D - k}{I}$ 的整数部分，当输出序列序号 m 确定时，其为 k 的函数。由式 (8) 可见，计算结果也与中间结果 $x_0(k)$ 无关，仅与输入信号 $x(n)$ 有关。

[0071] 同样，当 $k=0$ 时 $p_{m-(L-1),k}$ 值最大，又因为 $p_{m-(L-1),k}$ 为整数，令 $g_{m-(L-1)}$ 为 $\frac{(m-(L-1))D}{I}$

的整数部分，则 $p_{m-(L-1),k}$ 的最大值与 $g_{m-(L-1)}$ 相等。因此，对应于当前输出序列 $y(m)$ ，参与第 L 项乘累加项的输入信号中最后一个输入信号为 $x(g_{m-(L-1)})$ ，当 $x(g_{m-(L-1)})$ 输入后，意味着第 L 项乘累加项对应当前输出信号 $y(m)$ 的计算结束，当前计算结果输出并清空缓存。下一个输入信号 $x(g_{m-(L-1)}+1)$ 输入时，第 L 项乘累加项对应的计算过程属于 $y(m+1)$ 的计算过程。

[0072] 计算时输入信号序列 $x(n)$ 按顺序输入，第 L 个乘累加项中，对应当前输出信号 $y(m)$ ，参与计算的输入信号共有 $N_{m-(L-1)}$ 个，最后一个为 $x(g_{m-(L-1)})$ ，即对应当前计算的输出信号 $y(m)$ ，参与第 L 个乘累加项计算的输入信号序列为： $x[g_{m-(L-1)}-(N_{m-(L-1)}-1)]$ ，

$x[g_{m-(L-1)}-(N_{m-(L-1)}-2)], \dots, x[g_{m-(L-1)}-1], x(g_{m-(L-1)})$ 。

[0073] 参与计算的每个输入信号对应与冲击响应序列的一个系数（即本发明实施例的非整数抽选滤波器的系数）相乘，序号为 hum （比如 $g_{m-(L-1)}-(N_{m-(L-1)}-1)$ 、 $g_{m-(L-1)}-N_{m-(L-1)}-2$ ）... $g_{m-(L-1)}-1$ 、 $g_{m-(L-1)}$ 等）的输入信号序列对应的冲击响应序列的序号 K 为 $mD-numI$ ，因此，由当前输入信号 $x(n)$ 的序号 num ，按照 $m \times D - num \times I$ 即可计算出与当前输入信号相乘的滤波器系数的序号 K ，其中 m 为当前计算的输出信号 $y(m)$ 的序号。相乘的结果与之前的输入信号和其对应的滤波器系数的乘积累加，累加结果缓存到缓冲存储器。当计算当前的输出信号 $y(m)$ 时参与第 L 项乘累加项的最后一个输入信号 $x(g_{m-(L-1)})$ 输入并乘累加后，将计算结果输出，并将缓冲存储器清零。下一个输入信号 $x(g_{m-(L-1)}+1)$ 输入后，第 L 项乘累加项开始输出信号 $y(m+1)$ 的计算过程。

[0074] 其中，参与第 L 项乘累加项的输入信号项数 $N_{m-(L-1)}$ 可以用下式得到：

$$[0075] \quad N_{m-(L-1)} = g_{m-(L-1)} - g_{m-L}$$

[0076] 其中 $g_{m-(L-1)}$ 为计算当前输出信号 $y(m)$ 时参与第 L 项乘累加项计算的最后一个输入信号的序号，即 $\frac{(m-(L-1))D}{I}$ 的整数部分， g_{m-L} 为计算输出信号 $y(m-1)$ 时参与第 L 项乘累加项计算的最后一个输入信号的序号，即 $\frac{(m-L)D}{I}$ 的整数部分。

[0077] 如前所述，当各个乘累加项的参与计算当前输出信号 $y(m)$ 的最后一个输入信号输入并乘累加后，各个乘累加项的计算结果输出，各缓冲存储器清零。将各个乘累加项输出的计算结果累加，即得到当前输出信号 $y(m)$ 的计算结果。

[0078] 因此，如图 4 所示，可以直接设计为非整数抽选比率的抽选滤波器 $h(n)$ 。其输出 $y(m)$ 可以表示为：

$$[0079] \quad y(m) = \sum_{k=0}^{N_m-1} x(p_{m,k})h(mD - p_{m,k}I) + \sum_{k=0}^{N_{m-1}-1} x(p_{m-1,k})h(mD - p_{m-1,k}I) + \dots$$

[0080] (9)

$$[0081] \quad + \sum_{k=0}^{N_{m-(L-1)}-1} x(p_{m-(L-1),k})h(mD - p_{m-(L-1),k}I)$$

[0082] 式 (9) 中各符号的意义与前文中相同。

[0083] 如图 5 所示，为本发明任意比率抽选滤波器的一个实施例的框图，其中式 (9) 中每一个乘累加项用一个乘法累加器实现，乘法累加器 1 实现第 1 项乘累加项的计算，乘法累加器 2 实现第 2 项乘累加项的计算，以此类推，乘法累加器 L 实现第 L 项乘累加项的计算。

[0084] 由前述各累加项的计算说明可以看出，计算当前输出信号 $y(m)$ 时，参与第 2 累加项的输入信号与计算输出信号 $y(m-1)$ 时参与第 1 累加项计算的输入信号相同，参与第 3 累加项计算的输入信号与计算输出信号 $y(m-1)$ 时参与第 2 累加项计算的输入信号相同，以此类推，同样的，计算当前输出信号 $y(m)$ 时参与每个累加项计算的输入信号都与相邻的前一累加项计算 $y(m-1)$ 时参与的输入信号相同。也就是第 2 项累加项的输入信号是第一项累加项的输入信号锁存后的信号，第 3 项累加项的输入信号是第 2 项累加项输入信号锁存后的信号，以此类推，每个累加项的输入信号都是前一累加项的输入信号锁存后的信号。

[0085] 因此，在本实施例中，对输入信号进行 L 级锁存。如图 5 所示，输入序列 $x(n)$ 按顺

序依次输入移位寄存器 104, 然后分别进入各个乘法累加器。移位寄存器 104 包括 L 个触发器, 输入的 $x(n)$ 通过触发器 D1, 触发器 D1 完成第 0 级锁存, 经过了触发器 D1 (即经过了第 0 级锁存) 后的输入信号输入第 1 个乘法累加器, 同时也输入到触发器 D2 后, 触发器 D2 完成第 1 级锁存, 经过了触发器 D2 (即经过了第 1 级锁存) 后的输入信号输入乘法累加器 2, 同时也输入至触发器 D3. 以此类推, 直到经过触发器 DL 输入乘法累加器 L, 触发器 DL 完成第 L-1 级锁存。每一级锁存后的输入信号均在对应的乘法累加器中与相应的滤波器系数进行乘累加计算, L 级锁存中其中一级锁存后的输入信号与相应滤波器系数的乘累加计算, 即对应完成式 (9) 中的一项乘累加项的计算, 第 0 级锁存后的乘累加计算对应式 (9) 中第 1 项乘累加项, 第 1 级锁存后的乘累加计算对应式 (9) 中第 2 项乘累加项, 以此类推, 第 L-1 级锁存的乘累加计算对应式 (9) 中第 L 项乘累加项。

[0086] 其中, 触发器 D1 ~ DL 可以是 D 触发器, 也可以是其它可以实现输入信号锁存的触发器。

[0087] 本发明的一个实施例中, 把滤波器系数存储于系数存储器 108 中, 对每一级锁存后的输入信号, 从系数存储器 108 中读取其中存储的与当前输入信号对应的序号为 K 的滤波器系数, 与该级锁存后的输入信号进行乘累加计算, 其中对于某一级锁存后的输入信号, 读取的对应的滤波器系数的序号 K 可以由当前锁存级的输入信号的序号 num、当前计算的输出信号的序号 m、抽取因子 D、插值因子 I 计算获得。这样, 在计算的时候, 并不是所有的滤波器系数与所有插入零值之后的输入信号乘累加, 而是剔除了插值插入的零值与滤波器系数乘累加的项, 由原始输入信号直接与与其对应的滤波器系数乘累加, 不仅实现了任意分数比率的抽取滤波, 也减少了计算量, 降低了实现这种抽取滤波需要的资源开销。

[0088] 本发明的一个实施例中, 可以把滤波器的系数 (即冲击响应序列) 分为 L 组, 设 $\frac{D}{I}$ 约分后的最简式的分子为 T, 则每组 T 个系数, 一组滤波器系数存储于一个系数存储区域中, 共包括 L 个系数存储区域, 每个系数存储区域对应一个乘法累加器, 也就是对应一级锁存后的乘累加计算, 每个系数存储区域中存储的系数为其对应的锁存后的乘累加计算 (即该级锁存对应的乘法累加器) 需要使用的滤波器系数。其中, 每个存储区域中存储的滤波器系数的序号 k 可以按照下面的方式计算:

$$[0089] \quad k = u \times D - v \times I \quad (10)$$

[0090] 其中 u、v 为大于或等于零的整数, 且 $g_{u-t} - [N_{u-t} - 1] \leq v \leq g_{u-t}$, 其中 g_{u-t} 为 $\frac{(u-t)D}{I}$ 的整数部分, $N_{u-t} = g_{u-t} - g_{u-t-1}$ 。

[0091] 这样, 在存储区域中只存储了在滤波过程中需要使用到的滤波器系数 (即与原始输入信号对应的滤波器系数), 而不包括仅与插值插入的零值对应的滤波器系数, 减少了滤波器需要的存储空间。

[0092] 系数存储器中存储了其对应的乘法累加器使用的滤波器系数。输入信号输入乘法累加器, 从系数存储器中读出相应的序号为 K 的滤波器系数与输入信号相乘, 并和之前的输入信号与与其对应的滤波系数相乘的乘积累加。如前文所述, 可以由当前输入信号 $x(n)$ 的序号 num, 按照 $m \times D - \text{num} \times I$ 计算出与当前输入信号相乘的滤波器系数的序号 K, 其中 m 为当前计算的输出信号 $y(m)$ 的序号。

[0093] 本发明的一个实施例中, 每个乘法累加器对应有一个缓冲存储器 (B1、B2、... BL),

每个乘法累加器的乘累加计算结果缓存在缓冲存储器中。

[0094] 由前文所述可以看出, 对于一个乘法累加器或乘累加项, 随着输入信号的依次输入, 其使用的滤波器系数是循环的, 因此, 在本发明的一个实施例中, 可以按照式 (10) 的方法, 按照所述 u 从零开始由小到大的顺序依次取值、同时对于每个 u 的取值其中的 v 按从小到大的顺序依次取值计算滤波器系数的序号, 然后按照序号计算的顺序将计算出的序号对应的滤波器系数在存储区域中依次存储, 当读取系数时, 对此存储区域中的滤波器系数从开始位置依次读取即可, 当最后一个系数读取后, 返回开始位置继续读取, 如此循环读取即可。这样, 可以很方便的对存储区域中的滤波器系数进行读取操作。

[0095] 由前文所述可知, 对于第 t 级锁存后的乘累加计算, 当输入信号的序号等于 g_{m-t} , 即等于 $\frac{(m-t)D}{I}$ 的整数部分时, 说明此输入信号为计算当前输入信号 $y(m)$ 时, 参与此第 t 级锁存后的乘累加计算的最后一个输入信号。此时, 将此输入信号进行乘累加计算后, 输出该第 t 级锁存的乘累加计算结果, 然后将该第 t 级锁存的乘累加计算结果清零

[0096] 当各个乘累加器中参与计算当前输出信号 $y(m)$ 的最后一个输入信号均输入并乘累加后, 各个缓冲存储器中存储的乘累加计算结果输出, 各缓冲存储器清零。然后将各个乘累加器输出的乘累加计算结果输入累加器 106 进行累加, 得到的结果即为当前输出信号 $y(m)$ 的计算结果。当第 0 级锁存级锁存后的输入信号的序号等于 $\frac{mD}{I}$ 的整数部分并乘累加完成时, 各个乘累加器中参与计算当前输出信号 $y(m)$ 的最后一个输入信号即均已输入并完成乘累加, 此时, 将所有 L 级锁存的乘累加计算结果 (即 L 个乘累加器的乘累加计算结果) 累加并输出, 此输出的累加值即为滤波后的输出信号 $y(m)$ 。然后, 随着下一个输入信号的输入, 开始输出信号 $y(m+1)$ 的计算过程。

[0097] 前述各个输入信号的寄存、滤波器系数的循环输出、乘累加器的计算、缓存、数据输出和缓冲存储器清零、结果累加输出等动作由其中的控制单元进行控制。

[0098] 另外, 在本发明另外的实施例中, 也可以将滤波器系数存储在一个存储器中, 每个滤波器系数对应一个存储地址。由前述可知, 与输入信号对应的滤波器系数的序号由 $m \times D - \text{num} \times I$ 计算得到, 其中 m 为当前计算的输出信号 $y(m)$ 的序号, num 为前输入信号 $x(n)$ 的序号。因此, 此存储器中存储的滤波器系数的序号满足条件: $k = u \times D - v \times I$, 其中 u, v 为大于或等于零的整数。

[0099] 当输入信号输入时, 由控制单元按照前述计算当前输入信号对应的滤波器系数序号的方法 (即按照 $m \times D - \text{num} \times I$ 计算出与当前输入信号相乘的滤波器系数的序号, 其中 m 为当前计算的输出信号 $y(m)$ 的序号) 计算对应的滤波器系数的序号 K , 并从存储器中存储此序号 K 对应的滤波器系数的存储地址中读取此序号对应的滤波器系数, 输出到各自的乘法累加器中进行计算。

[0100] 当然, 也可以将所有的滤波器系数均存储于存储器中, 当输入信号输入时, 由控制单元按照前述计算当前输入信号对应的滤波器系数序号的方法 (即按照 $m \times D - \text{num} \times I$ 计算出与当前输入信号相乘的滤波器系数的序号, 其中 m 为当前计算的输出信号 $y(m)$ 的序号) 计算对应的滤波器系数的序号 K , 并从存储器中存储此序号 K 对应的滤波器系数的存储地址中读取此序号对应的滤波器系数, 输出到各自的乘法累加器中进行计算。

[0101] 下面通个四个具体实施例来说明本发明所述实现分数抽选比率的数字抽选滤波方法。

[0102] 实施例一

[0103] 不妨假设输入信号 $x(n)$ 的采样率为 40MHz, 现需要降低采样率至 160/9MHz, 累加器个数 $L = 2$, 则该抽选滤波器的抽选比率 $M = 9/4$, 即插值 $I = 4$, 抽取 $D = 9$, 根据上述相关推导出的公式可知:

[0104] 1) 对于第 1 个乘累加项, g_m 为 $\frac{mD}{I} = \frac{9m}{4}$ 的整数部分, 第 m 个输出序列 $y(m)$ 对应的最后一个输入信号序列为 $x(g_m)$;

[0105] $g_0 = 0$, 故第 0 个输出 $y(0)$ 对应最后一个输入序列为 $x(0)$

[0106] $g_1 = 2$, 故第 1 个输出 $y(1)$ 对应最后一个输入序列为 $x(2)$

[0107] $g_2 = 4$, 故第 2 个输出 $y(2)$ 对应最后一个输入序列为 $x(4)$

[0108] $g_3 = 6$, 故第 3 个输出 $y(3)$ 对应最后一个输入序列为 $x(6)$

[0109] $g_4 = 9$, 故第 4 个输出 $y(4)$ 对应最后一个输入序列为 $x(9)$

[0110] $g_5 = 11$, 故第 5 个输出 $y(5)$ 对应最后一个输入序列为 $x(11)$

[0111] $g_6 = 13$, 故第 6 个输出 $y(6)$ 对应最后一个输入序列为 $x(13)$

[0112] $g_7 = 15$, 故第 7 个输出 $y(7)$ 对应最后一个输入序列为 $x(15)$

[0113] 对于第二个乘累加项, g_{m-1} 为 $\frac{(m-1)D}{I}$ 的整数部分, 第 m 个输出序列 $y(m)$ 对应的最后一个输入信号序列为 $x(g_{m-1})$;

[0114] $m = 0$ 时, $g_{m-1} = g_{-1}$, 无意义, 因此第 0 个输出 $y(0)$ 时第二个乘累加项没有输入;

[0115] $m = 1$ 时, $g_{m-1} = g_0 = 0$, 故第 1 个输出 $y(1)$ 对应最后一个输入序列为 $x(0)$;

[0116] $m = 2$ 时, $g_{m-1} = g_1 = 2$, 故第 2 个输出 $y(2)$ 对应最后一个输入序列为 $x(2)$;

[0117] $m = 3$ 时, $g_{m-1} = g_2 = 4$, 故第 3 个输出 $y(3)$ 对应最后一个输入序列为 $x(4)$;

[0118] $m = 4$ 时, $g_{m-1} = g_3 = 6$, 故第 4 个输出 $y(4)$ 对应最后一个输入序列为 $x(6)$;

[0119] $m = 5$ 时, $g_{m-1} = g_4 = 9$, 故第 5 个输出 $y(5)$ 对应最后一个输入序列为 $x(9)$;

[0120] $m = 6$ 时, $g_{m-1} = g_5 = 11$, 故第 6 个输出 $y(6)$ 对应最后一个输入序列为 $x(11)$;

[0121] $m = 7$ 时, $g_{m-1} = g_6 = 13$, 故第 7 个输出 $y(7)$ 对应最后一个输入序列为 $x(13)$;

[0122] $m = 8$ 时, $g_{m-1} = g_7 = 15$, 故第 8 个输出 $y(8)$ 对应最后一个输入序列为 $x(15)$;

[0123] 2) 第 1 个乘累加项中, 第 m 个输出序列 $y(m)$ 对应非零项为 $N_m = g_m - g_{m-1}$;

[0124] 第 1 个输出 $y(1)$ 对应非零项项数为: $N_1 = g_1 - g_0 = 2 - 0 = 2$;

[0125] 第 2 个输出 $y(2)$ 对应非零项项数为: $N_2 = g_2 - g_1 = 4 - 2 = 2$;

[0126] 第 3 个输出 $y(3)$ 对应非零项项数为: $N_3 = g_3 - g_2 = 6 - 4 = 2$;

[0127] 第 4 个输出 $y(4)$ 对应非零项项数为: $N_4 = g_4 - g_3 = 9 - 6 = 3$;

[0128] 第 5 个输出 $y(5)$ 对应非零项项数为: $N_5 = g_5 - g_4 = 11 - 9 = 2$;

[0129] 第 6 个输出 $y(6)$ 对应非零项项数为: $N_6 = g_6 - g_5 = 13 - 11 = 2$;

[0130] 第 7 个输出 $y(7)$ 对应非零项项数为: $N_7 = g_7 - g_6 = 15 - 13 = 2$;

[0131] 第 2 个乘累加项中, 第 m 个输出序列 $y(m)$ 对应非零项为 $N_{m-1} = g_{m-1} - g_{m-2}$;

[0132] 第 2 个输出 $y(2)$ 对应非零项项数为: $N_1 = g_1 - g_0 = 2 - 0 = 2$;

[0133] 第 3 个输出 $y(3)$ 对应非零项项数为: $N_2 = g_2 - g_1 = 4 - 2 = 2$;

- [0134] 第 4 个输出 $y(4)$ 对应非零项项数为： $N_3 = g_3 - g_2 = 6 - 4 = 2$ ；
- [0135] 第 5 个输出 $y(5)$ 对应非零项项数为： $N_4 = g_4 - g_3 = 9 - 6 = 3$ ；
- [0136] 第 6 个输出 $y(6)$ 对应非零项项数为： $N_5 = g_5 - g_4 = 11 - 9 = 2$ ；
- [0137] 第 7 个输出 $y(7)$ 对应非零项项数为： $N_6 = g_6 - g_5 = 13 - 11 = 2$ ；
- [0138] 第 8 个输出 $y(8)$ 对应非零项项数为： $N_7 = g_7 - g_6 = 15 - 13 = 2$ ；
- [0139] 3) 第 1 个累加项对应的输入信号序列为： $x[g_m - (N_m - 1)]$, $x[g_m - (N_m - 2)]$, ..., $x[g_m - 1]$, $x(g_m)$ ；
- [0140] 第 2 个累加项对应的输入信号序列为： $x[g_{m-1} - (N_{m-1} - 1)]$, $x[g_{m-1} - (N_{m-1} - 2)]$, ..., $x[g_{m-1} - 1]$, $x(g_{m-1})$ 。
- [0141] 4) 输入信号 $x(n)$ 的序号为 num , 对应冲击响应序列的序号可以表示为： $mD - numI$, 对应冲击响应可表示为 $h(m \times D - num \times I)$ ；
- [0142] 对于第 1 个乘累加项：
- [0143] 第 0 个输出 $y(0)$ 对应第 1 个乘累加项的输入信号序列为： $x(0)$, 其对应系数为 $h(0)$ ；
- [0144] 第 1 个输出 $y(1)$ 对应输入信号序列为： $x(1)$, $x(2)$ ；对应系数分别为 $h(5)$, $h(1)$ ；
- [0145] 第 2 个输出 $y(2)$ 对应输入信号序列为： $x(3)$, $x(4)$ ；对应系数分别为 $h(6)$, $h(2)$ ；
- [0146] 第 3 个输出 $y(3)$ 对应输入信号序列为： $x(5)$, $x(6)$ ；对应系数分别为 $h(7)$, $h(3)$ ；
- [0147] 第 4 个输出 $y(4)$ 对应输入信号序列为： $x(7)$, $x(8)$, $x(9)$ ；对应系数分别为 $h(8)$, $h(4)$, $h(0)$ ；
- [0148] 第 5 个输出 $y(5)$ 对应输入信号序列为： $x(10)$, $x(11)$ ；对应系数分别为 $h(5)$, $h(1)$ ；
- [0149] 第 6 个输出 $y(6)$ 对应输入信号序列为： $x(12)$, $x(13)$ ；对应系数分别为 $h(6)$, $h(2)$ ；
- [0150] 第 7 个输出 $y(7)$ 对应输入信号序列为： $x(14)$, $x(15)$ ；对应系数分别为 $h(7)$, $h(3)$ ；
- [0151] 对于第 2 个乘累加项：
- [0152] 第 0 个输出 $y(0)$ 第 2 个乘累加项没有输入信号序列；
- [0153] 第 1 个输出 $y(1)$ 对应第 2 个乘累加项输入信号序列为： $x(0)$, 其对应系数为 $h(9)$ ；
- [0154] 第 2 个输出 $y(2)$ 对应输入信号序列为： $x(1)$, $x(2)$ ；对应系数分别为 $h(14)$, $h(10)$ ；
- [0155] 第 3 个输出 $y(3)$ 对应输入信号序列为： $x(3)$, $x(4)$ ；对应系数分别为 $h(15)$, $h(11)$ ；
- [0156] 第 4 个输出 $y(4)$ 对应输入信号序列为： $x(5)$, $x(6)$ ；对应系数分别为 $h(16)$, $h(12)$ ；
- [0157] 第 5 个输出 $y(5)$ 对应输入信号序列为： $x(7)$, $x(8)$, $x(9)$ ；对应系数分别为 $h(17)$, $h(13)$, $h(9)$ ；
- [0158] 第 6 个输出 $y(6)$ 对应输入信号序列为： $x(10)$, $x(11)$ ；对应系数分别为 $h(14)$, $h(10)$ ；

[0159] 第 7 个输出 $y(7)$ 对应输入信号序列为 $x(12)$, $x(13)$; 对应系数分别为 $h(15)$, $h(11)$;

[0160] 第 8 个输出 $y(8)$ 对应输入信号序列为 $x(14)$, $x(15)$; 对应系数分别为 $h(16)$, $h(12)$;

[0161] 根据上面公式计算得知, 第 1 个乘法累加器和第 2 个乘法累加器的输出序列和输入序列关系可以用下面的式子表示:

[0162] 乘法累加器 1	乘法累加器 2
[0163] $y(0) = x(0)h(0)$	+0
[0164] $y(1) = x(2)h(1)+x(1)h(5)$	+ $x(0)h(9)$
[0165] $y(2) = x(4)h(2)+x(3)h(6)$	+ $x(2)h(10)+x(1)h(14)$
[0166] $y(3) = x(6)h(3)+x(5)h(7)$	+ $x(4)h(11)+x(3)h(15)$
[0167] $y(4) = x(9)h(0)+x(8)h(4)+x(7)h(8)$	+ $x(6)h(12)+x(5)h(16)$
[0168] $y(5) = x(11)h(1)+x(10)h(5)$	+ $x(9)h(9)+x(8)h(13)+x(7)h(17)$
[0169] $y(6) = x(13)h(2)+x(12)h(6)$	+ $x(11)h(10)+x(10)h(14)$
[0170] $y(7) = x(15)h(3)+x(14)h(7)$	+ $x(13)h(11)+x(12)h(15)$
[0171] .	.
[0172] .	.
[0173] .	.

[0174] 本实施例的框图如图 6 所示。其中乘法累加器 1 计算第 1 项乘累加项, 乘法累加器 2 计算第 2 项乘累加项。

[0175] 由前所述, 滤波器系数分为 L 组, 每组 T 个系数, 本实施例中, $L = 2$, $T = 9$ 。因此, 本实施例中, 滤波器系数分为 2 组, 每组 9 个系数。第一组系数包括: $h(0)$ 、 $h(5)$ 、 $h(1)$ 、 $h(6)$ 、 $h(2)$ 、 $h(7)$ 、 $h(3)$ 、 $h(8)$ 、 $h(4)$, 存储于系数存储器 1, 按照 $h(0)$ 、 $h(5)$ 、 $h(1)$ 、 $h(6)$ 、 $h(2)$ 、 $h(7)$ 、 $h(3)$ 、 $h(8)$ 、 $h(4)$ 的顺序存储, 随着输入信号的输入, 按照 $h(0)$ 、 $h(5)$ 、 $h(1)$ 、 $h(6)$ 、 $h(2)$ 、 $h(7)$ 、 $h(3)$ 、 $h(8)$ 、 $h(4)$ 的顺序依次输出至乘法累加器 1, 即 $x(0)$ 输入乘法累加器 1 时, 输出 $h(0)$ 至乘法累加器 1, $x(1)$ 输入乘法累加器 1 时, 输出 $h(5)$ 至乘法累加器 1, $x(2)$ 输入乘法累加器 1 时, 输出 $h(1)$ 至乘法累加器 1, 依次类推, 当最后一个 $h(4)$ 输出至乘法累加器 1 后, 下一次输出的系数又从 $h(0)$ 开始一次输出。如此循环输出。

[0176] 第二组系数包括 $h(9)$ 、 $h(14)$ 、 $h(10)$ 、 $h(15)$ 、 $h(11)$ 、 $h(16)$ 、 $h(12)$ 、 $h(17)$ 、 $h(13)$, 存储于系数存储器 2, 与系数存储器 1 中的系数类似, 系数存储器 2 中的系数随着输入乘法累加 2 的输入信号, 按照 $h(9)$ 、 $h(14)$ 、 $h(10)$ 、 $h(15)$ 、 $h(11)$ 、 $h(16)$ 、 $h(12)$ 、 $h(17)$ 、 $h(13)$ 的顺序循环输出至乘法累加器 2。

[0177] 本实施例的时序图如图 7 所示。其中 CLK 为寄存器的时钟, 这里设定系统起始时钟 $CLK = 0$, 系数存储器 1 的控制时钟 CH1 高电平时, 系数存储器 1 中的滤波器系数开始循环输出, 当 $CLK = 0$ 时刻 CH1 开始变成高电平; 系数存储器 2 的控制时钟 CH2 高电平时, 系数存储器 2 中的滤波器系数开始循环输出, CH2 相对于 CH1 延迟一个时钟变成高电平, 即当 $CLK = 1$ 时刻开始变成高电平; 乘法累加器 1 在 ALUCLK1 上升沿输出并清零, 乘法累加器 2 在 ALUCLK2 上升沿输出并清零, 加法器在 ADDCLK 上升沿进行加法运算, 本实施例中, 当 $CLK = g_m + 1$, $g_m = 0, 2, 4, 6, 9, 11, 13, 15, \dots$, $m = 0, 1, 2, 3, \dots$ 时乘法累加器 1 输出并清零, 在 CLK

$= g_m+2$ 时乘法累加器 2 输出并清零, 在 $CLK = g_m+1$ 时加法器进行加法运算并输出。

[0178] 图 8 所示为本实施例中可以采用的另一种结构的抽选滤波器, 考虑到滤波器系数的对称性, 第二组滤波系数 $h(9)$ 、 $h(14)$ 、 $h(10)$ 、 $h(15)$ 、 $h(11)$ 、 $h(16)$ 、 $h(12)$ 、 $h(17)$ 、 $h(13)$ 的值实际上是分别与 $h(8)$ 、 $h(3)$ 、 $h(7)$ 、 $h(2)$ 、 $h(6)$ 、 $h(1)$ 、 $h(5)$ 、 $h(0)$ 、 $h(4)$ 相等的, 因此, 此时, 仅需在系数存储器中存储 9 个系数, 由控制单元通过选择存储单元的地址来控制滤波器系数的输出。对于乘法累加器 1 和乘法累加器 2, 分别根据其从触发器 D1 和 D2 输入的输入信号的序号 num , 以及当前计算的输出信号的序号 m 按照 $K = m \times D - num \times I$ 计算需要输出的滤波器系数的序号。比如, 当前计算的输出信号为 $y(1)$, 则 $m = 1$, 对于第 1 个乘法累加器, 输入信号为 $x(1)$ 时, $num = 1$, 本实施例中, $D = 9$, $I = 4$, 则 $K = 1 \times 9 - 1 \times 4 = 5$, 因此, 从系数存储器中读取 $h(5)$ 输入到乘法累加器 1; 当输入信号为 $x(2)$ 时, $num = 2$, 则 $K = 1 \times 9 - 2 \times 4 = 1$, 则从系数存储器中读取 $h(1)$ 输入到乘法累加器 1。对于第 2 个乘法累加器, 输入信号为 $x(0)$ 时, $num = 0$, 则 $K = 1 \times 9 - 0 \times 4 = 9$, 则从系数存储器中读取 $h(9)$ 输入到乘法累加器 2。

[0179] 这样, 仅需要存储 9 个系数即可, 可以减少滤波器系数的存储单元。

[0180] 当然, 也可以所有 18 个系数均存储于系数存储器中, 然后由控制单元分别选择读取相应的系数输出至乘法累加器 1 和乘法累加器 2。

[0181] 实施例二

[0182] 不妨假设输入信号 $x(n)$ 的采样率为 40MHz, 现需要降低采样率至 160/10MHz, 累加器个数 $L = 2$, 则该抽选滤波器的抽选比率 $M = 10/4$, 即插值 $I = 4$, 抽取 $D = 10$, $M = 10/4$ 约分后为 $5/2$, 因此 $T = 5$, 该抽选滤波器的结构与图 6 所示的实施例一的结构类似, 仅滤波器系数不同。滤波器系数的计算方法参照实施例一, 每组滤波器系数包含 5 个系数, 第一组滤波器系数为 $h(0)$ 、 $h(6)$ 、 $h(2)$ 、 $h(8)$ 、 $h(4)$, 第 2 组滤波器系数包含 $h(10)$ 、 $h(16)$ 、 $h(12)$ 、 $h(18)$ 、 $h(14)$ 。各组滤波器系数分别存储于系数存储器 1 和系数存储器 2, 并按顺序循环输出至乘法累加器 1 和乘法累加器 2。

[0183] 当然, 此实施例也可以将所有系数存储于一个存储器中, 由控制单元从中读取当前各乘法累加器当前输入信号对应的系数。

[0184] 实施例三

[0185] 假设输入信号 $x(n)$ 的采样率为 40MHz, 现需要降低采样率至 160/11MHz, 累加器个数 $L = 2$, 则该抽选滤波器的抽选比率 $M = 11/4$, 即插值 $I = 4$, 抽取 $D = 11$, $M = 11/4$ 约分后仍为 $11/4$, 因此, $T = 11$ 。

[0186] 同理, 该抽选滤波器的结构也与图 6 类似, 但是滤波器系数不同, 系数的计算方法参照实施例一, 第一组滤波器系数按照顺序 $h(0)$, $h(7)$, $h(3)$, $h(10)$, $h(6)$, $h(2)$, $h(9)$, $h(5)$, $h(1)$, $h(8)$, $h(4)$ 循环, 第二组滤波器系数按照顺序 $h(11)$, $h(18)$, $h(14)$, $h(21)$, $h(17)$, $h(13)$, $h(20)$, $h(16)$, $h(12)$, $h(19)$, $h(15)$ 循环。

[0187] 实施例四

[0188] 假设输入信号 $x(n)$ 的采样率为 40MHz, 现需要降低采样率至 160/8MHz, 累加器个数 $L = 2$, 则该抽选滤波器的抽选比率 $M = 8/4$, 即插值 $I = 4$, 抽取 $D = 8$, $M = 8/4$ 约分后为 $2/1$, 因此, $T = 2$ 。

[0189] 同理, 系数的计算方法参照实施例一, 第一组滤波器系数按照顺序 $h(0)$, $h(4)$ 循

环,第二组滤波器系数按照顺序 $h(8)$, $h(12)$ 循环。

[0190] 以上通过具体的实施例对本发明进行了说明,但本发明并不限于这些具体的实施例。本领域技术人员应该明白,还可以对本发明做各种修改、等同替换、变化等等,这些变换只要未背离本发明的精神,都应在本发明的保护范围之内。此外,以上多处所述的“一个实施例”表示不同的实施例,当然也可以将其全部或部分结合在一个实施例中。

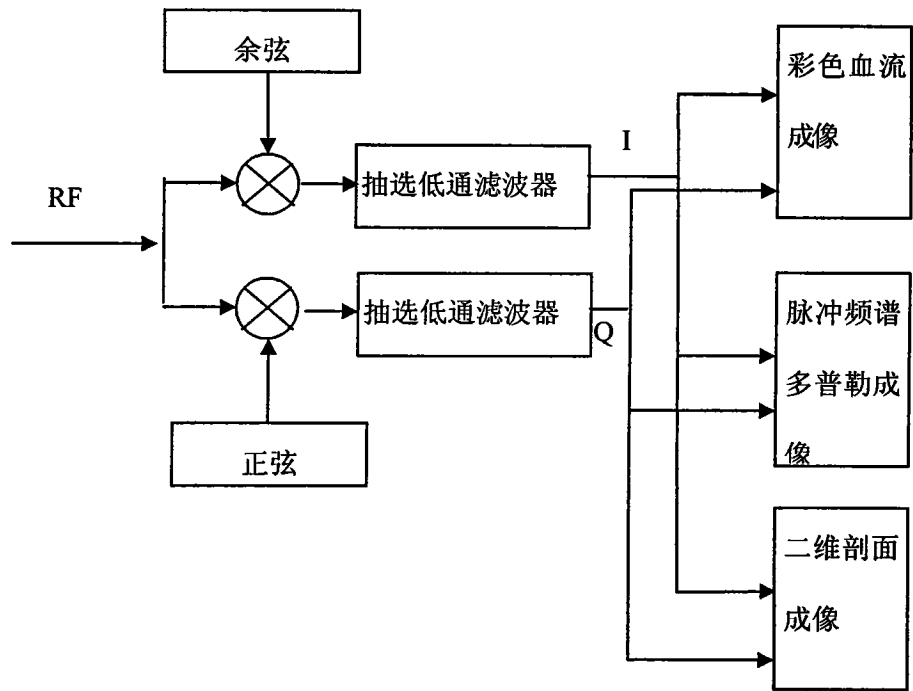


图 1

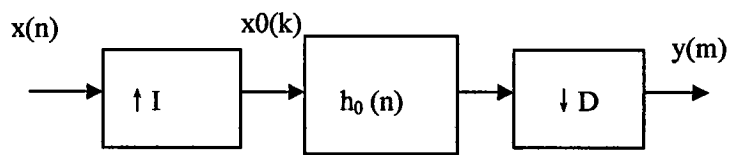


图 2

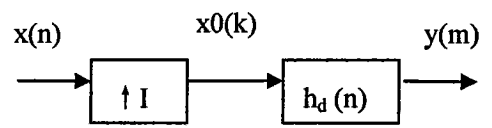


图 3

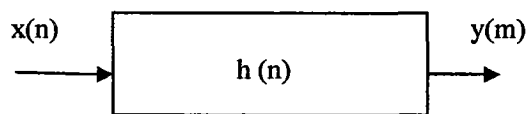


图 4

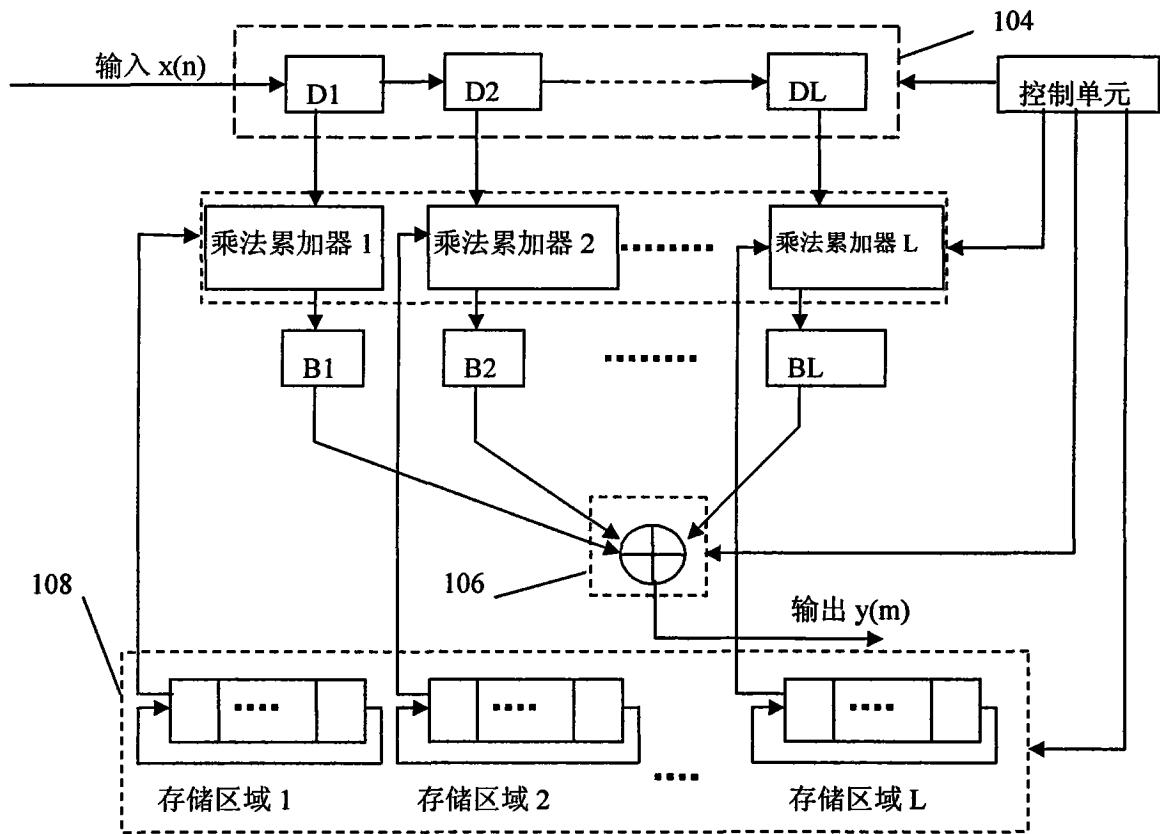


图 5

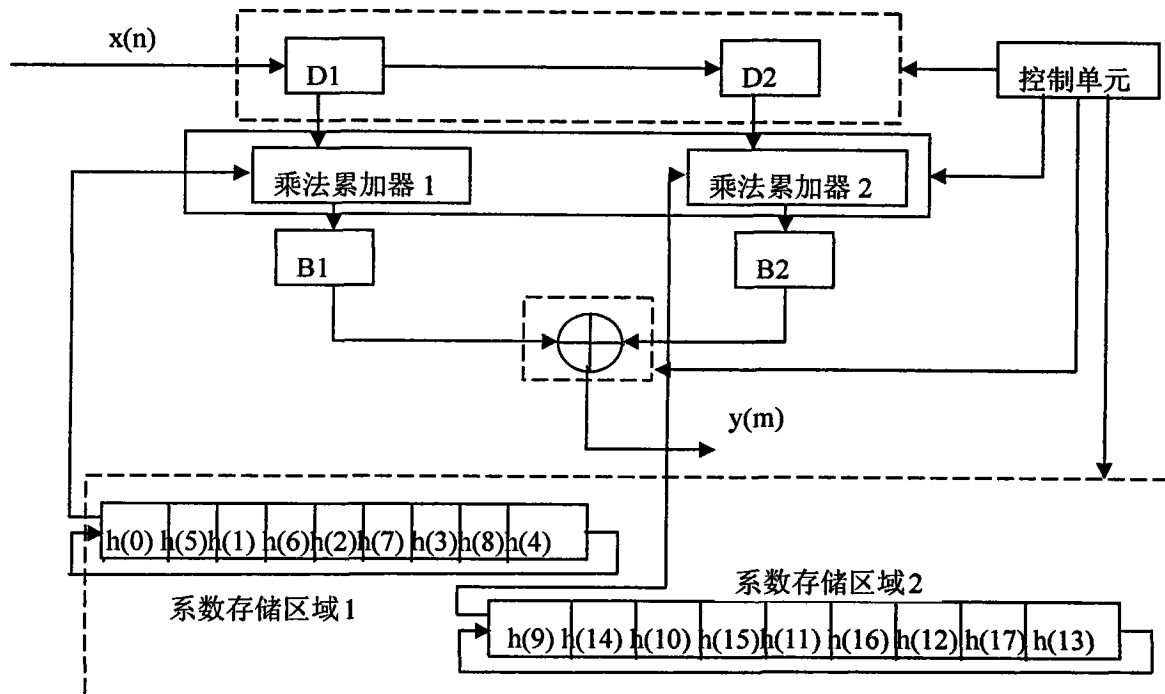


图 6

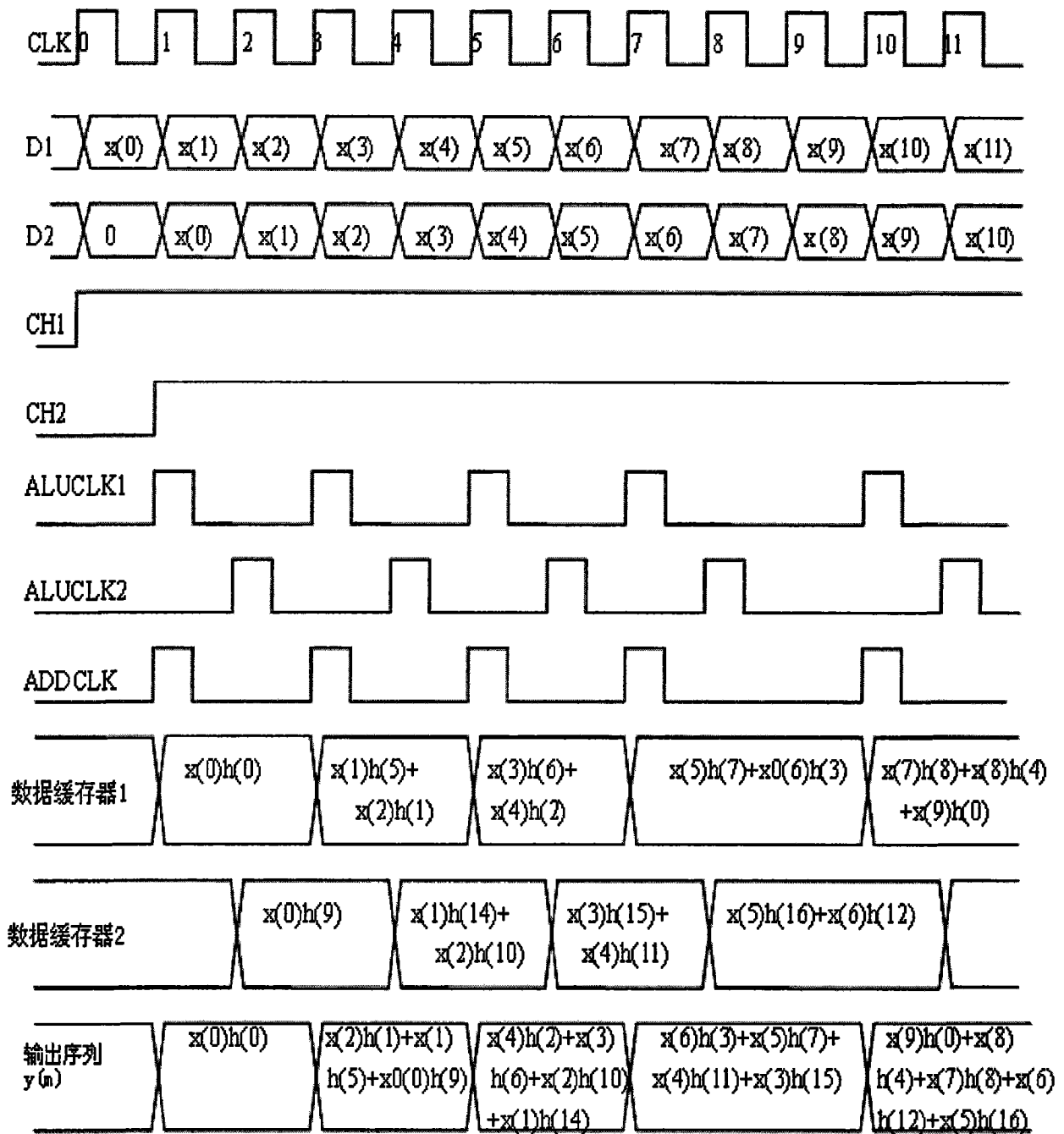


图 7

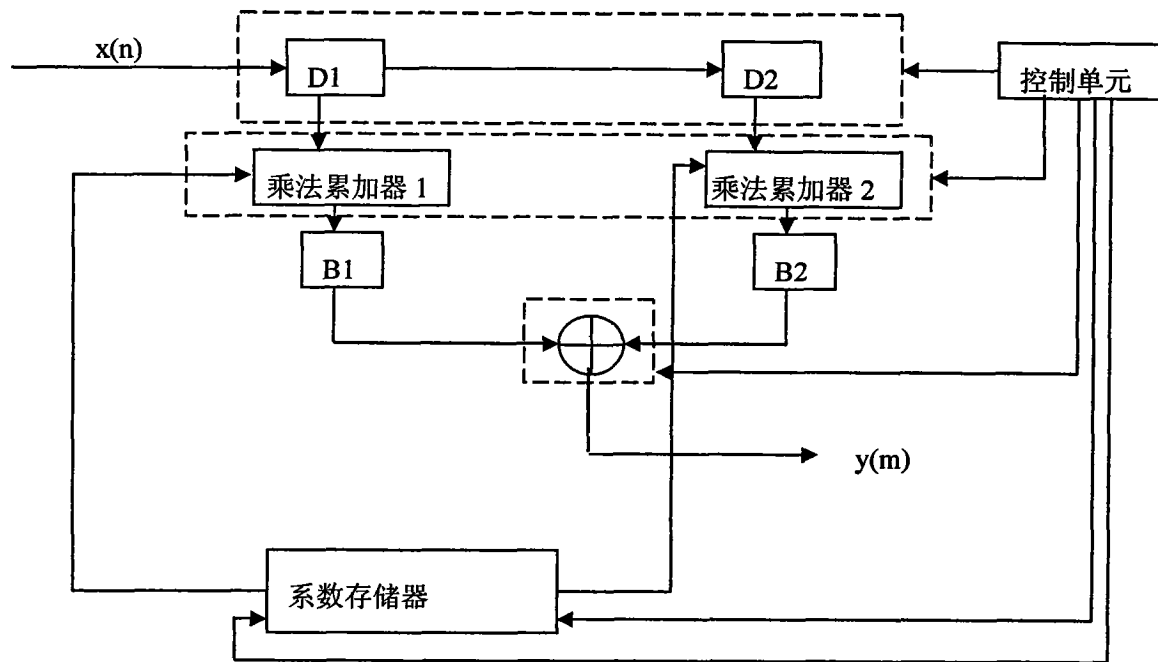


图 8

Figure 1 is a block diagram of a multi-channel signal processing system. The system takes an input signal $x(n)$ and processes it through L parallel channels. Each channel consists of a delay element ($D1, D2, \dots, DL$), a multiplier ($B1, B2, \dots, BL$), and an accumulator (乘法累加器 1, 乘法累加器 2, ..., 乘法累加器 L). The outputs of the accumulators are summed at a summing junction (106) to produce the output signal $y(m)$. A control unit (104) manages the system, and storage regions (108) are used for data storage.