



[12] 实用新型专利说明书

专利号 ZL 200820235772.3

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 201353160Y

[22] 申请日 2008.12.30

[21] 申请号 200820235772.3

[73] 专利权人 深圳市蓝韵实业有限公司

地址 518034 广东省深圳市福田区景田路碧
景园 E 栋 408-413 室

[72] 发明人 周 阳 蒋颂平

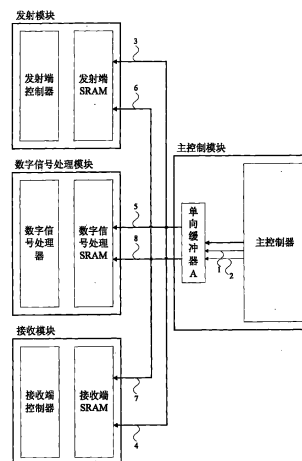
权利要求书 2 页 说明书 13 页 附图 4 页

[54] 实用新型名称

一种总线控制多普勒超声成像系统

[57] 摘要

本实用新型公开了一种总线控制多普勒超声成像系统，包括超声波探头模块、主控制模块、发射模块、接收模块、数字信号处理模块和显示模块，其特征在于：所述主控制模块分别与所述发射模块、所述接收模块、所述数字信号处理模块通过地址总线、数据总线和控制总线连接，所述主控制模块用于通过所述控制总线选择与之通信的其它模块，控制数据传输方向，以及发送其它控制信号，通过所述地址总线传输数据的源地址或目的地址，通过所述数据总线传输数据，所述发射模块、所述接收模块、所述数字信号处理模块用于通过所述数据总线传输数据。



1、一种总线控制多普勒超声成像系统，包括超声波探头模块、主控制模块、发射模块、接收模块、数字信号处理模块和显示模块，其特征在于：所述主控制模块分别与所述发射模块、所述接收模块、所述数字信号处理模块通过地址总线、数据总线和控制总线连接，所述主控制模块通过所述控制总线选择与之通信的其它模块，控制数据传输方向，以及发送其它控制信号，通过所述地址总线传输数据的源地址或目的地址，通过所述数据总线传输数据，所述发射模块、所述接收模块和所述数字信号处理模块通过所述数据总线传输数据。

2、根据权利要求 1 所述的总线控制多普勒超声成像系统，其特征在于：所述主控制模块包括主控制器和第一缓冲器，所述主控制器与第一缓冲器通过使能信号线连接，所述发射模块包括发射端存储器，所述接收模块包括接收端存储器，所述数字信号处理模块包括数字信号处理存储器，第一缓冲器通过所述控制总线和所述地址总线分别与所述发射端存储器、所述接收端存储器和所述数字信号处理存储器连接。

3、根据权利要求 2 所述的总线控制多普勒超声成像系统，其特征在于：所述主控制模块还包括第二缓冲器，所述主控制器与第二缓冲器通过使能信号线连接，第二缓冲器通过所述数据总线分别与所述发射端存储器、所述接收端存储器和所述数字信号处理存储器连接。

4、根据权利要求 3 所述的总线控制多普勒超声成像系统，其特征在于：所述主控制模块还包括第三缓冲器，所述主控制器与第三缓冲器通过使能信号线连接，所述发射模块包括发射端控制器，所述接收模块包括接收端控制器，所述数字信号处理模块包括数字信号处理器，第三缓冲器通过所述地址总线、所述数据总线和所述控制总线分别与所述发

射端控制器、所述接收端控制器和所述数字信号处理器连接。

5、根据权利要求 4 所述的总线控制多普勒超声成像系统，其特征在于：所述主控制器通过所述控制总线中的第一使能信号线组选择所述发射端存储器、所述接收端存储器或者所述数字信号处理存储器。

6、根据权利要求 5 所述的总线控制多普勒超声成像系统，其特征在于：所述主控制器通过所述控制总线中的第二使能信号线组选择所述发射端控制器、所述接收端控制器或者所述数字信号处理器。

7、根据权利要求 6 所述的总线控制多普勒超声成像系统，其特征在于：所述主控制器设为芯片 XC5VLX50T。

8、根据权利要求 7 所述的总线控制多普勒超声成像系统，其特征在于：所述数字信号处理器设为芯片 TMS320C6454。

9、根据权利要求 8 所述的总线控制多普勒超声成像系统，其特征在于：所述发射端存储器、所述接收端存储器和所述数字信号处理存储器设为芯片 IDT71V416YS。

10、根据权利要求 9 所述的总线控制多普勒超声成像系统，其特征在于：所述发射端控制器、所述接收端控制器和所述数字信号处理器设为芯片 XC3S1600e。

一种总线控制多普勒超声成像系统

技术领域

本实用新型涉及超声成像设备技术领域，具体涉及一种总线控制多普勒超声成像系统。

背景技术

多普勒超声成像系统用来检测血流的速度和方向，并将检测结果以彩色图像的形式加以显示，主要应用于对心血管、妇产、腹部器官等的检查和诊断。

如图1所示，多普勒超声成像系统包括超声波探头模块、主控制模块、发射模块、接收模块、数字信号处理模块和显示模块。主控制模块发送发射超声波指令给发射模块，发射模块控制超声波探头模块向人或动物体内发射超声波，接收模块接收人或动物体内反射回来的超声回波并作前期处理（如模拟-数字转换、数字滤波、波束合成等），接着，通过主控制模块将信号传输至数字信号处理模块对接收信号进行处理，最后，再通过主控制模块传输至显示模块以彩色图像的形式进行显示。

主控制模块、发射模块、接收模块以及数字信号处理模块是多普勒超声成像系统的核心组成模块。这四个模块之间的通信方式的设计直接决定了多普勒超声成像系统图像的质量和实时性能。

现有技术的多普勒超声成像系统不同模块上的控制器分别独立地控制相应模块上的存储器件，也就是说，发射模块上的控制器控制发射模块上的存储器件，接收模块上的控制器控制接收模块上的存储器件，

数字信号处理模块上的数字信号处理器控制数字信号处理模块上的存储器件。这样设计的缺点在于，不同模块之间的数据传递的同步性较难控制，并且系统运行的频率较低，从而降低了系统运行的实时性，而实时性是多普勒超声成像系统最为重要的性能指标之一。

实用新型内容

本实用新型要解决的技术问题是提供一种总线控制多普勒超声成像系统，克服现有技术的多普勒超声成像系统数据传递的同步性很难控制、不能保证系统运行实时性的缺陷。

本实用新型为解决上述技术问题所采用的技术方案为：

一种总线控制多普勒超声成像系统，包括超声波探头模块、主控制模块、发射模块、接收模块、数字信号处理模块和显示模块，所述主控制模块分别与所述发射模块、所述接收模块、所述数字信号处理模块通过地址总线、数据总线和控制总线连接，所述主控制模块通过所述控制总线选择与之通信的其它模块，控制数据传输方向，以及发送其它控制信号，通过所述地址总线传输数据的源地址或目的地址，通过所述数据总线传输数据，所述发射模块、所述接收模块和所述数字信号处理模块通过所述数据总线传输数据。

所述的总线控制多普勒超声成像系统，其中所述主控制模块包括主控制器和第一缓冲器，所述主控制器与第一缓冲器通过使能信号线连接，所述发射模块包括发射端存储器，所述接收模块包括接收端存储器，所述数字信号处理模块包括数字信号处理存储器，第一缓冲器通过所述控制总线和所述地址总线分别与所述发射端存储器、所述接收端存储器和所述数字信号处理存储器连接。

所述的总线控制多普勒超声成像系统，其中所述主控制模块还包括

第二缓冲器，所述主控制器与第二缓冲器通过使能信号线连接，第二缓冲器通过所述数据总线分别与所述发射端存储器、所述接收端存储器和所述数字信号处理存储器连接。

所述的总线控制多普勒超声成像系统，其中所述主控制模块还包括第三缓冲器，所述主控制器与第三缓冲器通过使能信号线连接，所述发射模块包括发射端控制器，所述接收模块包括接收端控制器，所述数字信号处理模块包括数字信号处理器，第三缓冲器通过所述地址总线、所述数据总线和所述控制总线分别与所述发射端控制器、所述接收端控制器和所述数字信号处理器连接。

所述的总线控制多普勒超声成像系统，其中所述主控制器通过所述控制总线中的第一使能信号线组选择所述发射端存储器、所述接收端存储器或者所述数字信号处理存储器。

所述的总线控制多普勒超声成像系统，其中所述主控制器通过所述控制总线中的第二使能信号线组选择所述发射端控制器、所述接收端控制器或者所述数字信号处理器。

所述的总线控制多普勒超声成像系统，其中所述主控制器设为芯片 XC5VLX50T。

所述的总线控制多普勒超声成像系统，其中所述数字信号处理器设为芯片 TMS320C6454。

所述的总线控制多普勒超声成像系统，其中所述发射端存储器、所述接收端存储器和所述数字信号处理存储器设为芯片 IDT71V416YS。

所述的总线控制多普勒超声成像系统，其中所述发射端控制器、所述接收端控制器和所述数字信号处理器设为芯片 XC3S1600e。

本实用新型的有益效果：本实用新型总线控制多普勒超声成像系统

将大部分控制功能集中在主控制模块，并且对地址总线、数据总线的操作都经由主控制模块，因此整个系统的信号同步很容易控制，大大减小了整个系统的复杂程度，也大大降低了配套软件开发的难度。

附图说明

本实用新型包括如下附图：

图 1 为现有技术多普勒超声成像系统示意图；

图 2 为本实用新型各模块通过控制总线和地址总线连接的示意图；

图 3 为本实用新型各模块通过数据总线连接的示意图；

图 4 为本实用新型主控制器通过总线与发射端控制器、接收端控制器及数字信号处理控制器连接的示意图。

具体实施方式

下面根据附图和实施例对本实用新型作进一步详细说明：

如图 1、图 2、图 3 和图 4 所示，本实用新型总线控制多普勒超声成像系统包括超声波探头模块、主控制模块、发射模块、接收模块、数字信号处理模块和显示模块，主控制模块分别与发射模块、接收模块、数字信号处理模块通过地址总线、数据总线和控制总线连接，主控制模块通过控制总线选择与之通信的其它模块，控制数据传输方向，以及发送其它控制信号，通过地址总线传输数据的源地址或目的地址，通过数据总线传输数据，发射模块、接收模块、数字信号处理模块通过数据总线传输数据。主控制模块包括主控制器和第一缓冲器（缓冲器 A），主控制器与第一缓冲器通过使能信号线连接，发射模块包括发射端存储器，接收模块包括接收端存储器，数字信号处理模块包括数字信号处理存储器，第一缓冲器通过控制总线和地址总线分别与发射端存储器、接收端

存储器和数字信号处理存储器连接。主控制模块还包括第二缓冲器，主控制器与第二缓冲器（双向缓冲器）通过使能信号线连接，第二缓冲器通过数据总线分别与发射端存储器、接收端存储器和数字信号处理存储器连接。主控制模块还包括第三缓冲器（缓冲器 B），主控制器与第三缓冲器通过使能信号线连接，发射模块包括发射端控制器，接收模块包括接收端控制器，数字信号处理模块包括数字信号处理器，第三缓冲器通过地址总线、数据总线和控制总线分别与发射端控制器、接收端控制器和数字信号处理器连接。主控制器通过所述控制总线中的第一使能信号线组选择发射端存储器、接收端存储器或者数字信号处理存储器。主控制器通过控制总线中的第二使能信号线组选择发射端控制器、接收端控制器或者数字信号处理器。

如图 2 所示，主控制器通过单向缓冲器 A 使能信号线 1 使能单向缓冲器 A，并将单向缓冲器 A 读/写控制信号线 2 设置为写状态，在同一时刻，通过使能发射端 SRAM 控制总线中的发射端 SRAM 使能信号、接收端 SRAM 控制总线中的接收端 SRAM 使能信号或者数字信号处理 SRAM 控制总线中的数字信号处理 SRAM 使能信号中的唯一一根信号线，选中上述三个 SRAM 中的其中一个器件，这样主控制器就可以通过发射端 SRAM 地址总线 3 与发射端 SRAM 控制总线 6 选择发射端 SRAM 数据的源地址或目的地址并控制发射端 SRAM；主控制器就可以通过接收端 SRAM 地址总线 4 与接收端 SRAM 控制总线 7 选择接收端 SRAM 数据的源地址或目的地址并控制接收端 SRAM；主控制器就可以通过数字信号处理 SRAM 地址总线 5 与数字信号处理 SRAM 控制总线 8 选择数字信号处理 SRAM 数据的源地址或目的地址并控制数字信号处理 SRAM。

如图 3 所示，主控制模块通过双向缓冲器使能信号线 9 使能双向缓冲器，并将双向缓冲器读/写控制信号线 10 设置为写状态，在发射端

SRAM 地址总线 3 与发射端 SRAM 控制总线 6 的协同作用下, 发射端 SRAM 数据总线 11 接收来自主控制模块的数据; 在接收端 SRAM 地址总线 4 与接收端 SRAM 控制总线 7 的协同作用下, 发射端 SRAM 数据总线 12 接收来自主控制模块的数据; 在数字信号处理 SRAM 地址总线 5 与数字信号处理 SRAM 控制总线 8 的协同作用下, 数字信号处理 SRAM 数据总线 13 接收来自主控制模块的数据。然后, 主控制模块通过双向缓冲器使能信号线 9 使能双向缓冲器, 并将双向缓冲器读/写控制信号线 10 设置为读状态, 在发射端 SRAM 地址总线 3 与发射端 SRAM 控制总线 6 的协同作用下, 发射端 SRAM 数据总线 11 向主控制模块发送数据; 在接收端 SRAM 地址总线 4 与接收端 SRAM 控制总线 7 的协同作用下, 接收端 SRAM 数据总线 12 向主控制模块发送数据; 在数字信号处理 SRAM 地址总线 5 与数字信号处理 SRAM 控制总线 8 的协同作用下, 数字信号处理 SRAM 数据总线 13 向主控制模块发送数据。

如图 4 所示, 主控制模块通过单向缓冲器 B 使能信号线 14 使能单向缓冲器 B, 并将单向缓冲器 B 读/写控制信号线 15 设置为写状态, 在同一时刻, 通过使能发射端控制器控制总线中的发射端控制器使能信号、接收端控制器控制总线中的接收端控制器使能信号或者数字信号处理器控制总线中的数字信号处理使能信号中的唯一一根线号线, 选中上述三个器件中的一个, 这样主控制器就可以通过发射端控制器地址总线 16、发射端控制器控制总线 19 和发射端控制器数据总线 22 选择发射端控制器待写入数据的目的地址并控制发射端控制器, 将数据从主控制模块发送至发射端控制器; 主控制器就可以通过接收端控制器地址总线 17、接收端控制器控制总线 20 和接收端控制器数据总线 23 选择接收端控制器待写入数据的目的地址并控制接收端控制器, 将数据从主控制模块发送至接收端控制器; 主控制器就可以通过数字信号处理器地址总线 18、数字信号处理器控制总线 21 和数字信号处理器数据总线 24 选择数

字信号处理器待写入数据的目的地址并控制数字信号处理器，将数据从主控制模块发送至数字信号处理器。

下面以主控制器使用 Xilinx 公司的芯片 XC5VLX50T、数字信号处理器使用 TI 公司（Texas Instruments, Inc）的芯片 TMS320C6454，发射端存储器、接收端存储器和数字信号处理存储器使用 IDT 公司（Integrated Device Technology, Inc）的芯片 IDT71V416YS，发射端控制器、接收端控制器和数字信号处理器使用 Xilinx 公司的芯片 XC3S1600e 为例说明本实用新型的信号控制过程：

发射端 SRAM 的存储空间为 256K×32-Bit，因此它和主控制模块的地址总线宽度为 18 位（记为 TxSRAMADDRESSBUS[17:0]），数据总线宽度为 32 位（记为 TxSRAMDATABUS[31:0]），另外，发射端 SRAM 和主控制模块的控制总线宽度为 4 位（记为 TxSRAMCONTROLBUS[3:0]，其对应 4 个独立的控制信号：(1)发射端 SRAM 读/写使能信号（记为 TxSRAMWE 或 TxSRAMCONTROLBUS[0]）；(2)发射端 SRAM 输出使能信号（记为 TxSRAMOE 或 TxSRAMCONTROLBUS[1]）；(3)发射端 SRAM 数据方向选择信号（记为 TxSRAMDIR 或 TxSRAMCONTROLBUS[2]）；(4)发射端 SRAM 使能信号（记为 TxSRAMEn 或 TxSRAMCONTROLBUS[3]）。），其中地址总线 TxSRAMADDRESSBUS[17:0]对应图 2 中的发射端 SRAM 地址总线 3，控制总线 TxSRAMCONTROLBUS[3:0]对应图 2 中的发射端 SRAM 控制总线 6，数据总线 TxSRAMDATABUS[31:0]对应图 3 中的发射端 SRAM 数据总线 11。

接收端 SRAM 的存储空间为 256K×32-Bit，因此它和主控制模块的地址总线宽度为 18 位（记为 RxSRAMADDRESSBUS[17:0]），数据总线宽度为 32 位（记为 RxSRAMDATABUS[31:0]），另外，接收端 SRAM 和主控制模块的控制总线宽度为 4 位（记为

RxSRAMCONTROLBUS[3:0]，其对应 4 个独立的控制信号：(1)接收端 SRAM 读 / 写 使 能 信 号 （ 记 为 RxSRAMWE 或 RxSRAMCONTROLBUS[0]）；(2)接收端 SRAM 输出使能信号（记为 RxSRAMOE 或 RxSRAMCONTROLBUS[1]）；(3)接收端 SRAM 数据方向选择信号（记为 RxSRAMDIR 或 RxSRAMCONTROLBUS[2]）；(4)接收端 SRAM 使能信号（记为 RxSRAMEn 或 RxSRAMCONTROLBUS[3] ），其中地址总线 RxSRAMADDRESSBUS[17:0] 对应图 2 中的接收端 SRAM 地址总线 4，控制总线 RxSRAMCONTROLBUS[3:0]对应图 2 中的接收端 SRAM 控制总线 7，数据总线 RxSRAMDATABUS[31:0]对应图 3 中的发射端 SRAM 数据总线 12。

数字信号处理 SRAM 的存储空间为 256K×32-Bit，因此它和主控制模块的地址总线宽度为 18 位（记为 DSPSRAMADDRESSBUS[17:0]），数据总线宽度为 32 位（记为 DSPSRAMDATABUS[31:0]），另外，数字信号处理 SRAM 和主控制模块的控制总线宽度为 4 位（记为 DSPSRAMCONTROLBUS[3:0]，其对应 4 个独立的控制信号：(1)数字信号处理 SRAM 读 / 写 使 能 信 号 （ 记 为 DSPSRAMWE 或 DSPSRAMCONTROLBUS[0]）；(2)数字信号处理 SRAM 输出使能信号（记为 DSPSRAMOE 或 DSPSRAMCONTROLBUS[1]）；(3)数字信号处理 SRAM 数据方向选择信号（记为 DSPSRAMDIR 或 DSPSRAMCONTROLBUS[2]）；(4)数字信号处理 SRAM 使能信号（记为 DSPSRAMEn 或 DSPSRAMCONTROLBUS[3] ），其中地址总线 DSPSRAMADDRESSBUS[17:0]对应图 2 中的数字信号处理 SRAM 地址总线 5，控制总线 DSPSRAMCONTROLBUS[3:0]对应图 2 中的数字信号处理 SRAM 控制总线 8，数据总线 DSPSRAMDATABUS[31:0]对应图 3 中的数字信号处理 SRAM 数据总线 13。

发射端控制器与主控制模块的数据总线宽度为 32 位（记为 TxCONTROLLERDATABUS[31:0]），发射端控制器内部有 256 个可控寄存器，因此其地址总线宽度为 8 位（记为 TxCONTROLLERADDRESSBUS[7:0]），控制总线宽度为 3 位（记为 TxCONTROLLERCONTROLBUS[2:0]，其对应 3 个独立的控制信号：(1) 发射端控制器读/写使能信号（记为 TxCONTROLLERWE 或 TxCONTROLLERCONTROLBUS[0]）；(2) 发射端控制器数据方向选择信号（记为 TxCONTROLLERDIR 或 TxCONTROLLERCONTROLBUS[1]）；(3) 发射端控制器使能信号（记为 TxCONTROLLEREn 或 TxCONTROLLERCONTROLBUS[2]）。），其中地址总线 TxCONTROLLERADDRESSBUS[7:0] 对应图 4 中的发射端控制器地址总线 16，控制总线 TxCONTROLLERCONTROLBUS[2:0] 对应图 4 中的发射端控制器控制总线 19，数据总线 TxCONTROLLERDATABUS[31:0] 对应图 4 中的发射端控制器数据总线 22。

接收端控制器与主控制模块的数据总线宽度为 32 位（记为 RxCONTROLLERDATABUS[31:0]），接收端控制器内部有 256 个可控寄存器，因此其地址总线宽度为 8 位（记为 RxCONTROLLERADDRESSBUS[7:0]），控制总线宽度为 3 位（记为 RxCONTROLLERCONTROLBUS[2:0]，其对应 3 个独立的控制信号：(1) 接收端控制器读/写使能信号（记为 RxCONTROLLERWE 或 RxCONTROLLERCONTROLBUS[0]）；(2) 接收端控制器数据方向选择信号（记为 RxCONTROLLERDIR 或 RxCONTROLLERCONTROLBUS[1]）；(3) 接收端控制器使能信号（记为 RxCONTROLLEREn 或 RxCONTROLLERCONTROLBUS[2]。），其中地址总线 RxCONTROLLERADDRESSBUS[7:0] 对应图 4 中的接收端控制器地址总线 17，控制总线 RxCONTROLLERCONTROLBUS[2:0] 对应图

4 中的接收端控制器控制总线 20，数据总线 RxCONTROLLERDATABUS[31:0]对应图 4 中的接收端控制器数据总线 23。

数字信号处理器与主控制模块的数据总线宽度为 32 位（记为 DSPDATABUS[31:0]），数字信号处理器内部有 1024 个可控寄存器，因此其地址总线宽度为 10 位（记为 DSPADDRESSBUS[9:0]），控制总线宽度为 3 位（记为 DSPCONTROLBUS[2:0]，其对应 3 个独立的控制信号：(1) 数字信号处理器读/写使能信号（记为 DSPWE 或 DSPCONTROLBUS[0]）；(2) 数字信号处理器数据方向选择信号（记为 DSPDIR 或 DSPCONTROLBUS[1]）；(3) 数字信号处理器使能信号（记为 DSPEn 或 DSPCONTROLBUS[2]）。），其中地址总线 DSPADDRESSBUS[9:0]对应图 4 中的数字信号处理器地址总线 18，控制总线 DSPCONTROLBUS[2:0]对应图 4 中的数字信号处理器控制总线 21，数据总线 DSPDATABUS[31:0]对应图 4 中的数字信号处理器数据总线 24。

单向缓冲器 A 使能信号线 1 记为 BufAEn，单向缓冲器 A 读/写控制信号线 2 记为 BufAWE，双向缓冲器使能信号线 12 记为 BiDirBufEn，双向缓冲器读/写控制信号线 13 记为 BiDirBufWE；单向缓冲器 B 使能信号线 17 记为 BufBEn，单向缓冲器 B 读/写控制信号线 18 记为 BufBWE。

首先，将 BiDirBufEn 置为高电平使能双向缓冲器，将 BiDirBufWE 设置为高电平，将双向缓冲器置于写状态。主控制器将 BufAEn 置为高电平使能单向缓冲器 A，并将 BufAWE 置为高电平使得单向缓冲器置于写状态，将 TxSRAMEn 置为高电平使能发射端 SRAM，这样，主控制器就可以通过 TxSRAMADDRESSBUS[17:0]选择发射端 SRAM 数据写入的目的地址并通过 TxSRAMCONTROLBUS[3:0]控制发射端 SRAM，其中将 TxSRAMWE 置为高电平，将发射端 SRAM 置于写状态；将

TxSRAMOE 置为低电平，关闭发射端 SRAM 数据输出功能；将 TxSRAMDIR 置为高电平，从而数据总线 TxSRAMDATABUS[31:0]上的数据从主控制模块流向发射端 SRAM。同理，主控制器将 BufAEn 置为高电平使能单向缓冲器 A，并将 BufAWE 置为高电平使得单向缓冲器置于写状态，将 RxSRAMEn 置为高电平使能接收端 SRAM，这样，主控制器就可以通过 RxSRAMADDRESSBUS[17:0]选择接收端 SRAM 数据写入的目的地址并通过 RxSRAMCONTROLBUS[3:0]控制接收端 SRAM，其中将 RxSRAMWE 置为高电平，将接收端 SRAM 置于写状态；将 RxSRAMOE 置为低电平，关闭接收端 SRAM 数据输出功能；将 RxSRAMDIR 置为高电平，从而数据总线 RxSRAMDATABUS[31:0]上的数据从主控制模块流向接收端 SRAM。主控制器将 BufAEn 置为高电平使能单向缓冲器 A，并将 BufAWE 置为高电平使得单向缓冲器置于写状态，将 DSPSRAMEn 置为高电平使能数字信号处理 SRAM，这样，主控制器就可以通过 DSPSRAMADDRESSBUS[17:0]选择数字信号处理 SRAM 数据写入的目的地址并通过 DSPSRAMCONTROLBUS[3:0]控制数字信号处理 SRAM，其中将 DSPSRAMWE 置为高电平，将数字信号处理 SRAM 置于写状态；将 DSPSRAMOE 置为低电平，关闭数字信号处理 SRAM 数据输出功能；将 DSPSRAMDIR 置为高电平，从而数据总线 DSPSRAMDATABUS[31:0]上的数据从主控制模块流向数字信号处理 SRAM。注意，在同一时刻，TxSRAMEn、RxSRAMEn 和 DSPSRAMEn 中只能有一个信号为高电平，因为同一时刻只能使能发射端 SRAM、接收端 SRAM 或者数字信号处理 SRAM 中的唯一一个器件。

接着，将 BiDirBufWE 设置为低电平，将双向缓冲器置于读状态。主控制器将 BufAWE 置为低电平使得单向缓冲器置于读状态，将 TxSRAMEn 置为高电平使能发射端 SRAM，这样，主控制器就可以通过 TxSRAMADDRESSBUS[17:0]选择发射端 SRAM 数据读取的源地址并通

过 TxSRAMCONTROLBUS[3:0]控制发射端 SRAM, 其中将 TxSRAMWE 置为低电平, 将发射端 SRAM 置于读状态; 将 TxSRAMOE 置为高电平, 开启发射端 SRAM 数据输出功能; 将 TxSRAMDIR 置为低电平, 从而数据总线 TxSRAMDATABUS[31:0]上的数据从发射端 SRAM 流向主控制模块。同理, 主控制器将 BufAWE 置为低电平使得单向缓冲器置于读状态, 将 RxSRAMEn 置为高电平使能接收端 SRAM, 这样, 主控制器就可以通过 RxSRAMADDRESSBUS[17:0]选择接收端 SRAM 数据读取的源地址并通过 RxSRAMCONTROLBUS[3:0]控制接收端 SRAM, 其中将 RxSRAMWE 置为低电平, 将接收端 SRAM 置于读状态; 将 RxSRAMOE 置为高电平, 开启接收端 SRAM 数据输出功能; 将 RxSRAMDIR 置为低电平, 从而数据总线 RxSRAMDATABUS[31:0]上的数据从接收端 SRAM 流向主控制模块。主控制器将 BufAWE 置为低电平使得单向缓冲器置于读状态, 将 DSPSRAMEn 置为高电平使能数字信号处理 SRAM, 这样, 主控制器就可以通过 DSPSRAMADDRESSBUS[17:0]选择数字信号处理 SRAM 数据读取的源地址并通过 DSPSRAMCONTROLBUS[3:0]控制数字信号处理 SRAM, 其中将 DSPSRAMWE 置为低电平, 将数字信号处理 SRAM 置于读状态; 将 DSPSRAMOE 置为高电平, 开启数字信号处理 SRAM 数据输出功能; 将 DSPSRAMDIR 置为低电平, 从而数据总线 DSPSRAMDATABUS[31:0]上的数据从数字信号处理 SRAM 流向主控制模块。

最后, 主控制器将 BufBEn 设置为高电平使能单向缓冲器 B, 并将 BufBWE 设置为高电平将单向缓冲器 B 置为写状态。主控制器将 TxCONTROLLEREn 置为高电平使能发射端控制器, 这样, 主控制器就可以通过 TxCONTROLLERADDRESSBUS[7:0]选择发射端控制器数据写入的目的寄存器并通过 TxCONTROLLERCONTROLBUS[2:0]控制发射端控制器, 其中将 TxCONTROLLERWE 置为高电平, 将发射端控制

器置于写状态；将 TxCONTROLLERDIR 置为高电平，从而数据总线 TxCONTROLLERDATABUS[31:0]上的数据从主控制模块流向发射端控制器。同理，主控制器将 BufBEn 设置为高电平使能单向缓冲器 B，并将 BufBWE 设置为高电平将单向缓冲器 B 置为写状态。主控制器将 RxCONTROLLEREn 置为高电平使能接收端控制器，这样，主控制器就可以通过 RxCONTROLLERADDRESSBUS[7:0]选择接收端控制器数据写入的目的寄存器并通过 RxCONTROLLERCONTROLBUS[2:0]控制发射端控制器，其中将 RxCONTROLLERWE 置为高电平，将发射端控制器置于写状态；将 RxCONTROLLERDIR 置为高电平，从而数据总线 RxCONTROLLERDATABUS[31:0]上的数据从主控制模块流向接收端控制器。主控制器将 BufBEn 设置为高电平使能单向缓冲器 B，并将 BufBWE 设置为高电平将单向缓冲器 B 置为写状态。主控制器将 DSPEn 置为高电平使能数字信号处理器，这样，主控制器就可以通过 DSPADDRESSBUS[9:0]选择数字信号处理器数据写入的目的寄存器并通过 DSPCONTROLBUS[2:0]控制发射端控制器，其中将 DSPWE 置为高电平，将数字信号处理器置于写状态；将 DSPDIR 置为高电平，从而数据总线 DSPDATABUS[31:0]上的数据从主控制模块流向数字信号处理器。注意，在同一时刻，TxCONTROLLEREn、RxCONTROLLEREn 和 DSPEn 中只能有一个信号为高电平，因为同一时刻只能使能发射端控制器、接收端控制器或者数字信号处理器中的唯一一个器件。

本领域技术人员不脱离本实用新型的实质和精神，可以有多种变形方案实现本实用新型，以上所述仅为本实用新型较佳可行的实施例而已，并非因此局限本实用新型的权利范围，凡运用本实用新型说明书及附图内容所作的等效结构变化，均包含于本实用新型的权利范围之内。

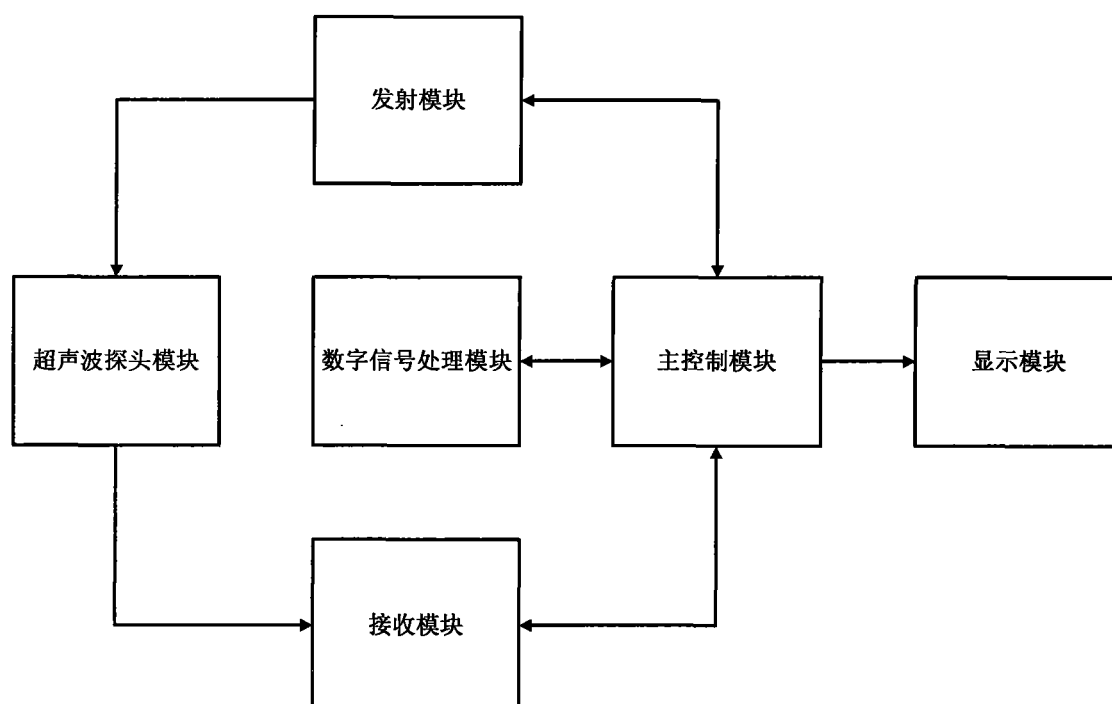


图1

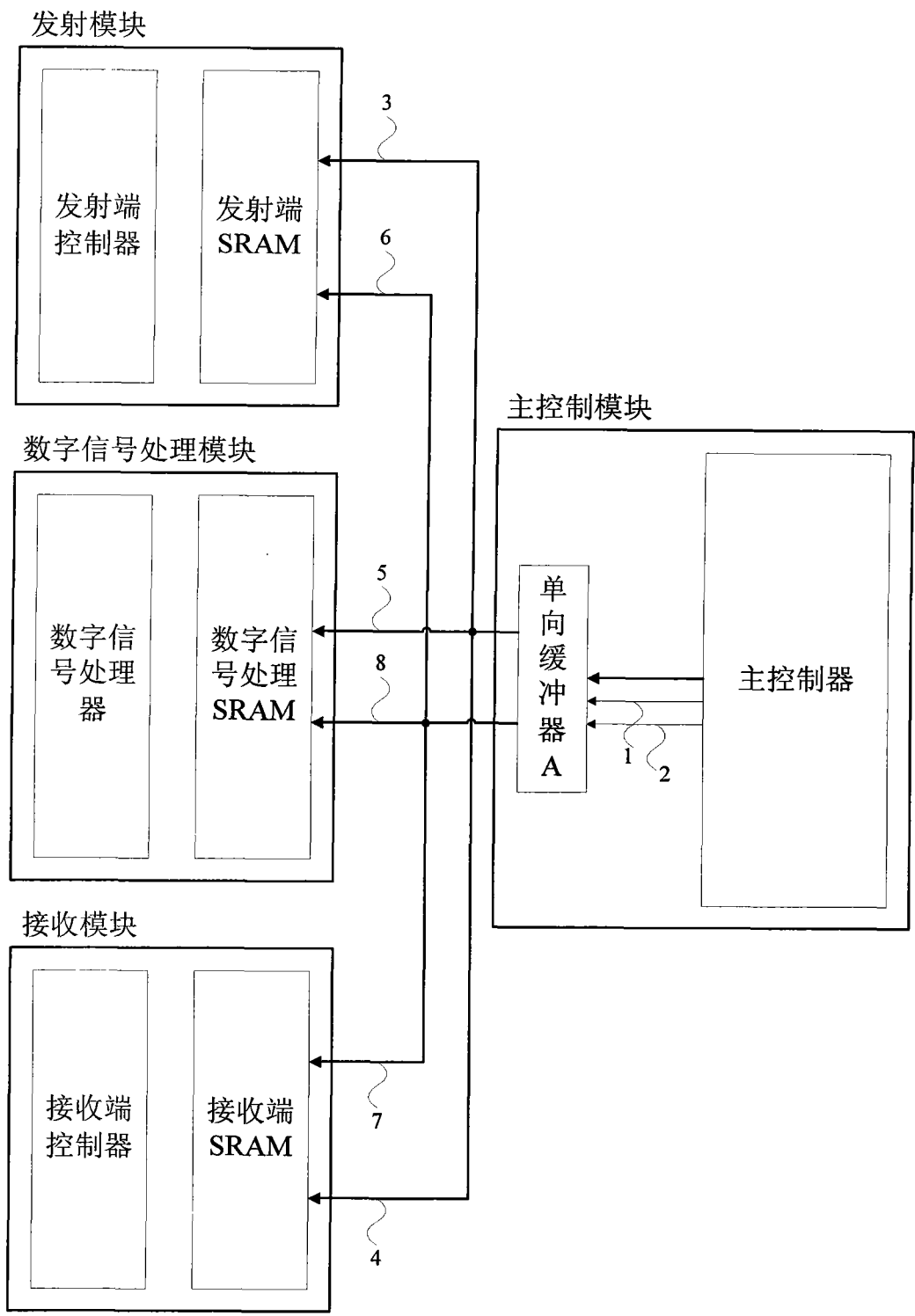


图2

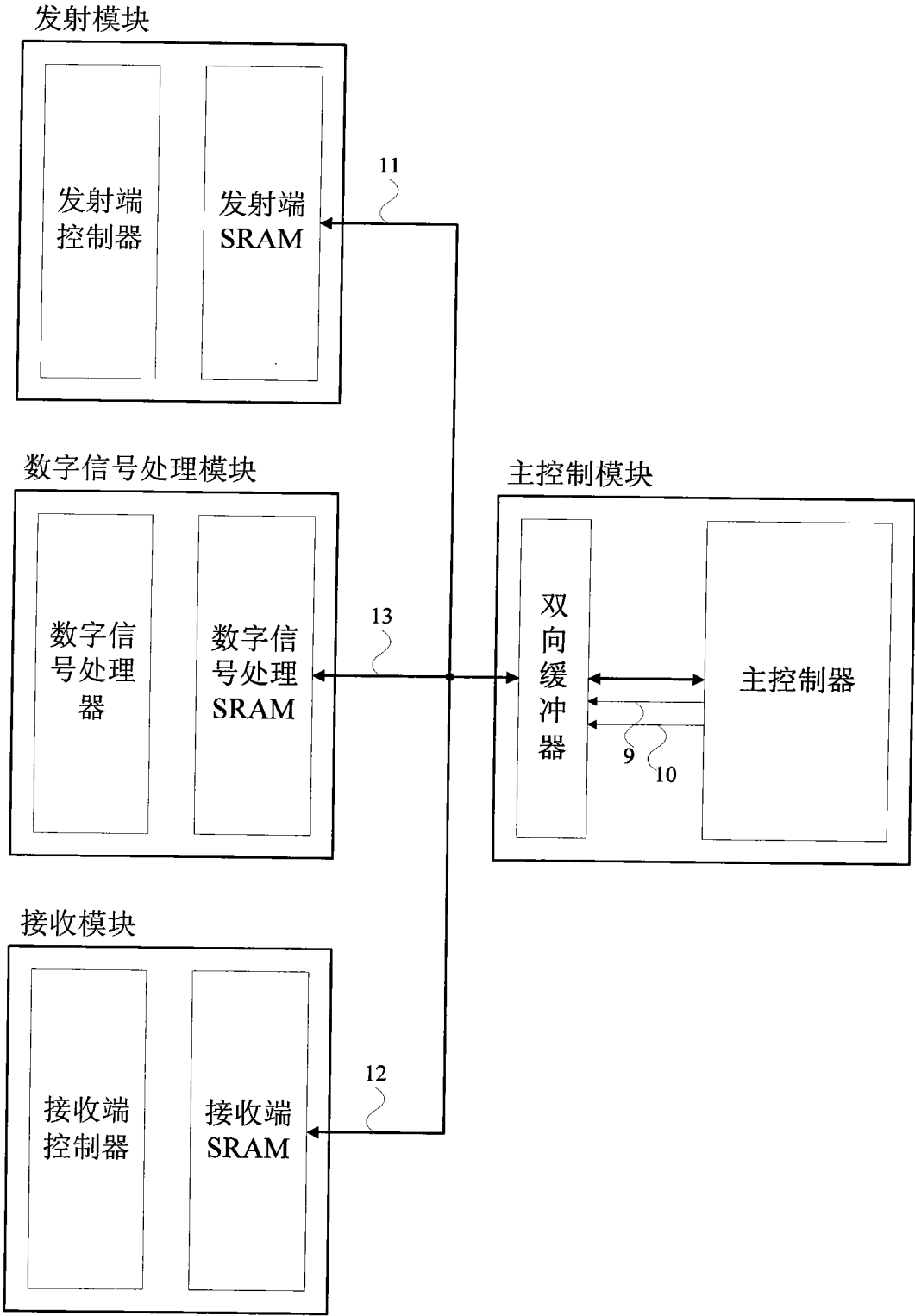


图3

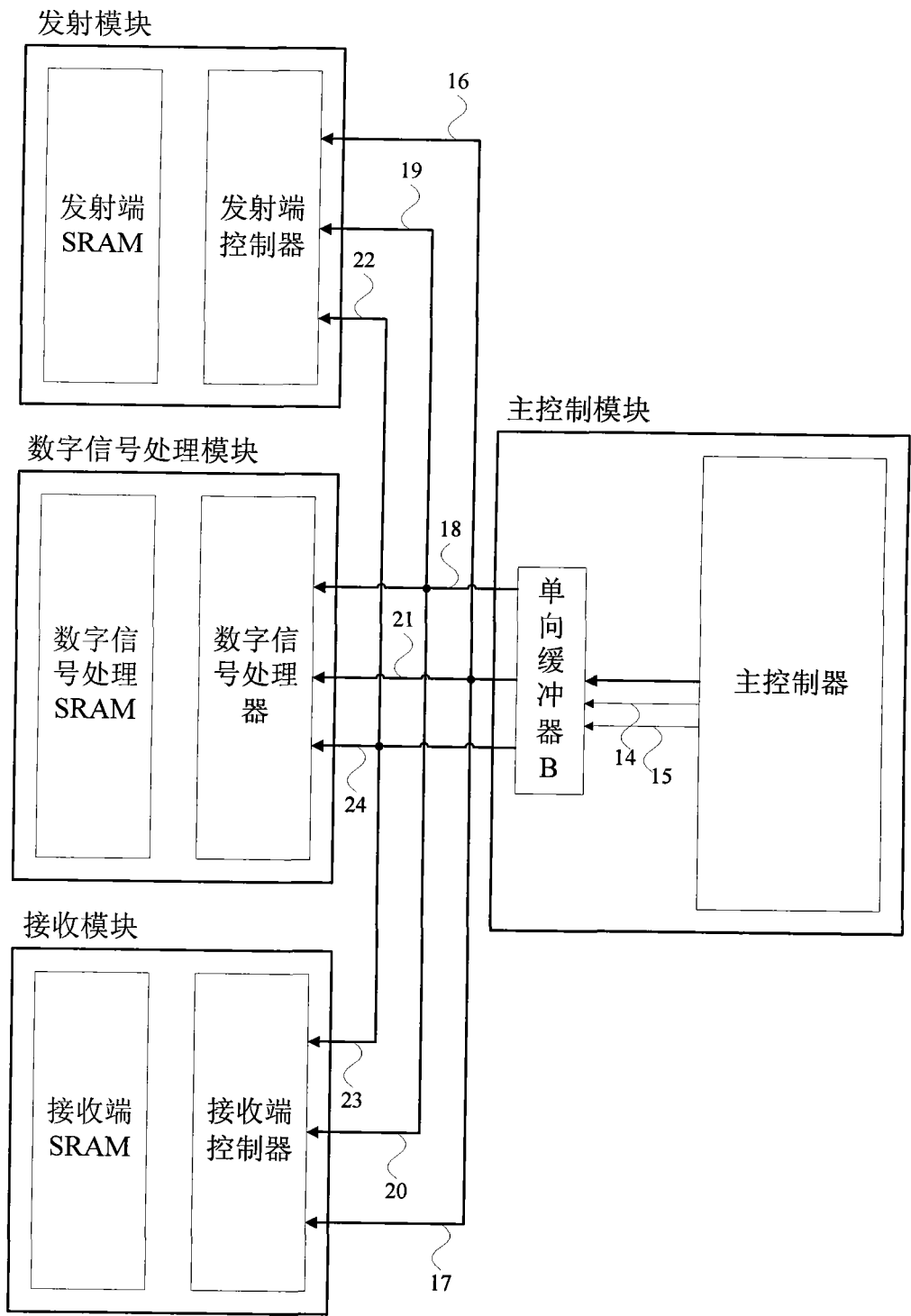


图4

专利名称(译)	一种总线控制多普勒超声成像系统		
公开(公告)号	CN201353160Y	公开(公告)日	2009-12-02
申请号	CN200820235772.3	申请日	2008-12-30
[标]申请(专利权)人(译)	深圳市蓝韵实业有限公司		
申请(专利权)人(译)	深圳市蓝韵实业有限公司		
当前申请(专利权)人(译)	深圳市蓝韵实业有限公司		
[标]发明人	周阳 蒋颂平		
发明人	周阳 蒋颂平		
IPC分类号	A61B8/06		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种总线控制多普勒超声成像系统，包括超声波探头模块、主控制模块、发射模块、接收模块、数字信号处理模块和显示模块，其特征在于：所述主控制模块分别与所述发射模块、所述接收模块、所述数字信号处理模块通过地址总线、数据总线和控制总线连接，所述主控制模块用于通过所述控制总线选择与之通信的其它模块，控制数据传输方向，以及发送其它控制信号，通过所述地址总线传输数据的源地址或目的地址，通过所述数据总线传输数据，所述发射模块、所述接收模块、所述数字信号处理模块用于通过所述数据总线传输数据。

