



(12)发明专利申请

(10)申请公布号 CN 108476023 A

(43)申请公布日 2018.08.31

(21)申请号 201680070411.5

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

(22)申请日 2016.12.01

代理人 康建峰 陈炜

(30)优先权数据

14/957,418 2015.12.02 US

(51)Int.Cl.

H03M 1/12(2006.01)

(85)PCT国际申请进入国家阶段日

2018.05.31

A61B 8/14(2006.01)

(86)PCT国际申请的申请数据

PCT/US2016/064406 2016.12.01

(87)PCT国际申请的公布数据

W02017/096033 EN 2017.06.08

(71)申请人 蝴蝶网络有限公司

地址 美国康涅狄格州

(72)发明人 陈凯亮 泰勒·S·拉尔斯顿

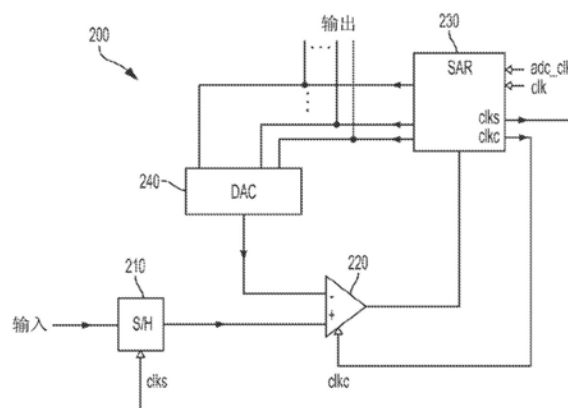
权利要求书1页 说明书7页 附图5页

(54)发明名称

异步逐次逼近模数转换器及相关方法和装置

(57)摘要

提供了一种包括异步逐次逼近模数转换器的超声设备和方法。该设备包括：至少一个超声换能器；耦接至至少一个超声换能器的多个异步逐次逼近寄存器(SAR)模数转换器(ADC)，多个异步SAR中的至少一个异步SAR具有采样和保持级、数模转换器(DAC)、比较器以及控制电路，其中，至少一个位转换之后的DAC更新事件与多个ADC中的至少一个其他ADC的相应DAC更新事件同步。



1. 一种装置,包括:

至少一个超声换能器;

耦接至所述至少一个超声换能器的多个异步逐次逼近寄存器 (SAR) 模数转换器 (ADC), 所述多个异步 SAR ADC 中的至少一个异步 SAR ADC 具有采样和保持级、数模转换器 (DAC)、比较器以及 SAR 控制器;

其中,所述 SAR 控制器被配置成生成使所述采样和保持级对其输入模拟信号进行采样的第一控制信号,并且生成使所述比较器将所采样的输入模拟信号与所述 DAC 的输出信号进行比较的第二控制信号,其中,所述比较器的输出被配置成生成与单独位转换对应的 DAC 更新事件。

2. 根据权利要求 1 所述的装置,其中,所述至少一个超声换能器包括 $M \times N$ 阵列的超声换能器。

3. 根据权利要求 1 所述的装置,其中,所述 DAC 更新事件与所述装置的系统时钟不同步。

4. 根据权利要求 3 所述的装置,其中,所述 SAR ADC 的其他位的转换与所述装置的系统时钟不同步。

5. 根据权利要求 1 所述的装置,其中,所述 SAR ADC 的最高有效位 (MSB) 的转换与所述装置的系统时钟或采样时钟同步。

6. 根据权利要求 1 所述的装置,其中,所述 SAR ADC 的多于一个位但不是全部位的转换是同步的。

7. 根据权利要求 1 所述的装置,其中,下一位的转换由所述 DAC 更新事件触发。

8. 一种操作超声设备的方法,所述超声设备具有多个超声换能器和多个异步逐次逼近寄存器 (SAR) 模数转换器 (ADC),每个超声换能器分别耦接至异步 SAR ADC,所述多个异步 SAR ADC 中的每个异步 SAR ADC 具有采样和保持级、数模转换器 (DAC)、比较器以及 SAR 控制器,所述方法包括:

响应于第一控制信号来转换一个异步 SAR ADC 的第一位;

响应于所述转换来更新所述一个异步 SAR ADC 中的 DAC;以及

响应于第二控制信号来转换所述一个异步 SAR ADC 的一个或更多个另外的位并且更新所述 DAC;

其中,所述第一控制信号和所述第二控制信号两者均由所述 SAR 控制器生成,其中,所述第一控制信号使所述采样和保持级对其输入模拟信号进行采样,并且所述第二控制信号使所述比较器将所采样的输入模拟信号与所述 DAC 的输出信号进行比较。

9. 根据权利要求 8 所述的方法,其中,所述第一控制信号是使用系统时钟生成的。

10. 根据权利要求 9 所述的方法,其中,所述第一控制信号的时钟速率近似为采样频率。

11. 根据权利要求 9 所述的方法,其中,响应于所述第二控制信号来转换所述一个或更多个另外的位不使用所述系统时钟来同步。

12. 根据权利要求 8 所述的方法,其中,所述 SAR ADC 的多于一个位但不是全部位的转换是同步的。

异步逐次逼近模数转换器及相关方法和装置

[0001] 相关申请的交叉引用

[0002] 本申请是根据35U.S.C§120要求于2015年12月2日提交的代理人案卷号为B1348.70018US00并且题为“ASYNCHRONOUS SUCCESSIVE APPROXIMATION ANALOG-TO-DIGITAL CONVERTER AND RELATED METHODS AND APPARATUS”的美国专利申请序列号14/957,418的权益的继续申请,该美国专利申请的全部内容通过引用并入本文。

技术领域

[0003] 本申请涉及具有逐次逼近模数转换器的超声设备。

背景技术

[0004] 超声设备可以被用于执行诊断成像和/或治疗。超声成像可以被用于查看内部软组织身体结构。超声成像可以被用于发现疾病来源或者排除任何病理。超声设备使用具有高于人类可听到的频率的声波。通过使用探头将超声脉冲发送到组织中来制造超声图像。声波被反射离开组织,其中不同组织反射不同程度的声音。这些反射的声波可以作为图像记录并显示给操作者。声音信号的强度(幅度)和声波穿过身体所需的时间提供了用于产生图像的信息。

[0005] 可以使用超声设备来形成许多不同类型的图像。图像可以是实时图像。例如,可以生成显示组织的二维横截面、血液流动、组织随时间的运动、血液的位置、特定分子的存在、组织的硬度或三维区域的解剖结构的图像。

发明内容

[0006] 根据本申请的一个方面,提供了一种装置,该装置包括:至少一个超声换能器;耦接至至少一个超声换能器的多个异步逐次逼近寄存器(SAR)模数转换器(ADC),多个异步SAR中的至少一个异步SAR具有采样和保持级、数模转换器(DAC)、比较器以及控制电路,其中,至少一个位转换之后的DAC更新事件与多个ADC中的至少一个其他ADC的相应DAC更新事件同步。

[0007] 根据本发明的一个方面,提供了一种操作超声设备的方法,所述超声设备具有多个超声换能器和多个异步逐次逼近寄存器(SAR)模数转换器(ADC),每个超声换能器分别耦接至ADC,多个异步SAR中的每个异步SAR具有采样和保持级、数模转换器(DAC)、比较器以及控制电路。所述方法包括:响应于第一时钟信号来转换一个ADC的第一位;响应于所述转换来更新所述一个ADC中的DAC;以及响应于更新所述一个ADC中的DAC来更新多个ADC中的另一ADC中的DAC。

附图说明

[0008] 将参照以下附图对本申请的各个方面和实施方式进行了描述。应当理解的是,附图不一定按比例绘制。出现在多个附图中的项目在它们出现的所有附图中由相同的附图标记

来指示。

[0009] 图1是根据本申请的非限制性实施方式的包括模数转换器的超声设备的框图。

[0010] 图2是根据本申请的非限制性实施方式的异步逐次逼近模数转换器的框图。

[0011] 图3是根据本申请的非限制性实施方式的示出与图2的异步逐次逼近模数转换器相关联的七个控制信号的时间演化的曲线图。

[0012] 图4是根据本申请的非限制性实施方式的示出由图2的异步逐次逼近模数转换器转换的可能位序列的时间演化的曲线图。

[0013] 图5示出了根据本申请的非限制性实施方式的执行模数转换的方法的步骤。

具体实施方式

[0014] 本发明人已经认识并且理解的是,与模数转换器相关联的功耗可以通过去除对高耗电高速时钟电路的需要而极大地改善。

[0015] 本申请的各方面涉及一种不需要使用高速时钟信号来管理与逐次转换相关联的定时的异步逐次逼近模数转换器(ADC)。因此,逐次转换过程的每次迭代可以由先前迭代的完成来触发。

[0016] 此外,本发明人已经认识并且理解的是,与模数转换器相关联的速度可以通过去除对时间约束时钟电路的需要而极大地提高。典型的模数转换器的转换速度受到用于对电路进行定时的时钟信号的重复率的限制。

[0017] 本申请的各方面涉及一种不需要使用高速时钟信号来管理与逐次转换相关联的定时的异步逐次逼近模数转换器(ADC)。因此,转换速度可能仅受由执行转换所需的电路引起的延迟的限制。

[0018] 以上描述的各方面和实施方式以及另外的方面和实施方式在下面进一步进行描述。由于本申请在该方面不受限制,因此这些方面和/或实施方式可以单独使用、全部一起使用、或者以两种或更多种的任何组合使用。

[0019] 图1示出了根据本申请的非限制性实施方式的用于对接收到的超声信号进行处理的电路。电路100包括N个超声换能器102a...102n,其中,N是整数。在一些实施方式中,超声换能器是产生表示接收到的超声信号的电信号的传感器。在一些实施方式中,超声换能器还可以传送超声信号。在一些实施方式中,超声换能器可以是电容式微机械超声换能器(CMUT)。在一些实施方式中,超声换能器可以是压电微机械超声换能器(PMUT)。在其他实施方式中可以使用另外替换类型的超声换能器。

[0020] 电路100还包括N个电路通道104a...104n。电路通道可以与相应的超声换能器102a...102n对应。例如,可以存在八个超声换能器102a...102n和八个对应的电路通道104a...104n。在一些实施方式中,超声换能器102a...102n的数目可以大于电路通道的数目。

[0021] 电路通道104a...104n可以包括发射电路、接收电路、或两者。发射电路可以包括耦接至相应的脉冲器108a...108n的发射解码器106a...106n。脉冲器108a...108n可以控制相应的超声换能器102a...102n发出超声信号。

[0022] 电路通道104a...104n的接收电路可以接收从相应的超声换能器102a...102n输出的电信号。在所示出的示例中,每个电路通道104a...104n包括相应的接收开关110a...110n和放大器112a...112n。接收开关110a...110n可以被控制以激活/停用来自给定的超声换能

器102a...102n的电信号的读出。更一般地,接收开关110a...110n可以是接收电路,因为可以采用开关的替选方案来执行相同的功能。放大器112a...112n可以是跨阻放大器(TIA)。

[0023] 电路100还包括取平均电路114,取平均电路114在本文中也称为加法器或求和放大器。在一些实施方式中,取平均电路114是缓冲器或放大器。取平均电路114可以接收来自放大器112a...112n中的一个或更多个的输出信号并且可以提供平均输出信号。平均输出信号可以通过增加或减去来自各个放大器112a...112n的信号而部分地形成。取平均电路114可以包括可变反馈电阻。可以基于取平均电路从其接收信号的放大器112a...112n的数目来动态地调节可变反馈电阻的值。取平均电路114耦接至自动归零块116。

[0024] 自动归零块116耦接至包括衰减器120和固定增益放大器122的时间增益补偿电路118。时间增益补偿电路118经由ADC驱动器124耦接至模数转换器(ADC)126。在所示出的示例中,ADC驱动器124包括第一ADC驱动器125a和第二ADC驱动器125b。ADC 126将来自取平均电路114的信号数字化。

[0025] 根据本申请的各方面,ADC 126可以是逐次逼近ADC。逐次逼近ADC通过在所有可能的量化级别执行二分查找来将连续模拟波形转换成数字表示。在一些实施方式中,使用异步逐次逼近ADC。

[0026] 虽然图1示出了作为超声设备的电路的一部分的多个部件,但是应当理解的是,本文中描述的各方面不限于所示出的确切部件或部件的配置。例如,本申请的各方面涉及逐次逼近ADC 126。

[0027] 图1的部件可以定位在单个衬底上或者不同衬底上。例如,如所示出的,超声换能器102a...102n可以在第一衬底128a上,并且其余示出的部件可以在第二衬底128b上。第一衬底和/或第二衬底可以是半导体衬底,例如硅衬底。在可替选的实施方式中,图1的部件可以在单个衬底上。例如,超声换能器102a...102n和所示出的电路可以被单片集成在相同的半导体管芯上。通过使用CMUT作为超声换能器可以促进这样的集成。

[0028] 根据实施方式,图1的部件形成超声探头的一部分。超声探头可以是手持式的。在一些实施方式中,图1的部件形成被配置成由患者穿戴的超声贴片(patch)的一部分。

[0029] 图2示出了根据本申请的各方面的逐次逼近ADC 200。ADC可以包括采样和保持电路210、比较器220、数模转换器(DAC)240和逐次逼近寄存器(SAR)控制器230。ADC的输出是由N位的字构成的输入模拟信号的数字表示。N可以具有5与20之间的任何值。

[0030] 根据本申请的各方面,由ADC 200执行的模数转换是迭代过程。在每次迭代中,模拟输入电压的数字表示可以通过逐次减小误差信号来进一步改善。此外,ADC 200可以以异步方式操作,使得每次迭代由前一迭代的完成来触发。

[0031] 在一些实施方式中,ADC 200可以耦接至M×N阵列的超声换能器的一个超声换能器,其中,M和N可以呈任何合适的值。在一些其他实施方式中,单个换能器可以耦接至与ADC 200类型相同的多个电路。在又一些其他实施方式中,ADC 200可以由通过组合由多个超声换能器换能的信号而获得的信号来馈送。

[0032] 根据本申请的各方面,在逐次逼近ADC 200中,开始从最高有效位(MSB)到最低有效位(LSB)一次一位地执行转换。因此,序列的第i位的转换出现在非预定义的时间,并且由第i-1位的转换的完成来触发。通过说明的方式,与每个位的转换相关联的定时不受时钟信号支配,就好像是同步逐次逼近ADC的情况一样。

[0033] 在一些实施方式中,一个位的转换是同步的并且由时钟信号触发,而所有其它位是异步的。在一些实施方式中,最高有效位是同步位。在其他实施方式中,至少两个位但不是全部位是同步的,而所有其他位是异步的。

[0034] 采样和保持(S/H)电路210可以被配置成接收模拟输入信号。采样和保持210可以是单端的或差分的。在指定时段期间,采样和保持电路210可以捕获与输入信号相关联的电压的一部分。随后,采样和保持210可以将所捕获的电压保持为恒定值。在一些实施方式中,采样和保持210可以包括开关和电容器(未示出)。在采样阶段期间,开关可以处于“闭合”状态,从而将输入电压连接至电容器。在该阶段中,只要开关保持“闭合”,输入电压就可以对电容充电或放电。在保持阶段中,开关可以处于“断开”状态,从而断开来自电容器的输入电压。在整个采样阶段中存储在电容器中的电荷可以产生电容器两端的电压,其与输入电压成比例。在该阶段期间,电容器可以将所捕获的电压保持在恒定电平。然而,电容器可能由于其自身的漏电流而被充电或放电,并且因此所存储的电压可能随时间变化。信号clks可以被用于确定采样和保持210的开关是处于“闭合”状态还是“断开”状态。在一些实施方式中,当clks等于逻辑1时开关“闭合”,并且当clks等于逻辑0时开关“断开”。然而,还可以实现相反的逻辑。在一些实施方式中,开关可以是场效应晶体管(FET)、双极结型晶体管(BJT)或任何其他合适类型的晶体管中的一个或组合。此外,在一些实施方式中,开关可以遵循被配置为缓冲放大器的运算放大器来对电容器充电和放电。

[0035] 可以将由采样和保持电路210获取的电压发送至比较器220的一个输入端口。比较器220的第二输入端口可以连接至DAC 240的输出。在一些实施方式中,如果所获取的电压大于DAC输出电压,则比较器220可以输出与“高”电平或逻辑1对应的电压。相反,如果DAC输出电压大于所获取的电压,则比较器220可以输出与“低”状态或逻辑0对应的电压。然而,可以实现任何其他合适的逻辑。在一些实施方式中,比较器220可以包括运算放大器。在一些实施方式中,比较器220可以由信号clkc选通(gate)。在“选通”状态下,比较器220可以被配置成执行比较并且基于输入信号来输出电压。在“未选通”状态下,比较器220不激活并且不执行任何比较。在一些实施方式中,当clkc等于逻辑1时,比较器220被选通,并且当clkc等于逻辑0时,比较器220是未选通的。然而,还可以实现相反的逻辑。

[0036] 逻辑状态0和1可以表示任何电压,只要对应于逻辑0的电压或电压范围和对应用于逻辑1的电压或电压范围不同即可。在一些实施方式中,逻辑1对应于1.8V,而逻辑0对应于0V。在一些实施方式中,逻辑1对应于0.5V与5V之间的任何电压,而逻辑0对应于-5V与1V之间的任何电压,使得两个范围不重叠。

[0037] 根据本申请的各方面,逐次逼近寄存器(SAR)控制器230可以包括一个或多个寄存器和逻辑电路。寄存器中的一个可以存储模拟输入电压的最新数字表示。寄存器的内容可以基于由比较器220执行的比较的结果而连续地更新。包含在寄存器中的数字字可以被传送至DAC 230,DAC230又可以执行数模转换。在一些实施方式中,在模数转换开始之前寄存器的初始状态可以被设置成使得最高有效位(MSB)被设置为1,而所有其他位被设置为0。在这种场景下,DAC 240可以输出等于 $V_{ref}/2$ 的模拟信号,其中, V_{ref} 是施加至DAC 240的参考电压。然而,可以实现任何其他合适的初始状态。在一些实施方式中,DAC 240可以被配置成在接收到包含全1的数字字时输出 V_{ref} ,并且还可以被配置成在接收到包含全0的数字字时输出0V。在一些实施方式中,DAC 240包括电荷分配电路。DAC 240还可以包括以单端或差

分配置布置的一堆电容器。

[0038] 在一些实施方式中,输出数字表示可以被配置成等于如图2所示的DAC 240的输入。在一些实施方式中,输出数字表示可以被存储在SAR控制器230的专用寄存器中。

[0039] 根据本申请的各方面,由ADC 200执行的模数转换是迭代过程。在每次迭代中,模拟输入电压的数字表示通过逐次减小等于输入信号与DAC输出信号之间的差的误差信号而进一步改善。

[0040] SAR控制器230的逻辑电路可以被配置成依次扫描形成模拟输入电压的数字表示的N个位的每个位。在一些实施方式中,在第一迭代期间,基于由比较器220执行的比较的结果来确定最高有效位。举例来说,如果比较的输出是逻辑1(与所获取的信号大于DAC输出信号的场景对应),则移位寄存器的最高有效位(MSB)被设置为1。一旦确定了MSB的状态,则逻辑电路就跳到下一位。该过程持续直到确定了最低有效位(LSB)。

[0041] 根据本申请的各方面,ADC 200可以以异步方式操作。每次迭代可以由前一迭代的完成来触发。控制信号clks和clkc可以由SAR控制器230的逻辑电路响应于时钟信号clk和信号adc_clk而生成。

[0042] 图3示出了根据本申请的各方面的定时图的非限制性示例。信号adc_clk可以被用于对模数转换进行初始化。此外,时钟信号clk可以被提供给SAR控制器230。时钟信号clk可以具有在大约100Hz与10GHz之间,大约1KHz与100MHz之间、大约1MHz与50MHz之间的重复率。在一些实施方式中,adc_clk的沿例如上升沿可以启动转换。随后,clk的沿例如上升沿可以触发clks以切换至逻辑1。当clks等于1时,采样和保持电路210可以对模拟输入信号进行采样。在clk周期的持续时间内,信号clks可以保持在1状态。在这种情况下,当提供第二clk上升沿时,clks可以返回至0。然而,clks可以保持在1状态达任何合适的时间量。在一些实施方式中,clks的第二沿例如下降沿可以触发clkc以切换至逻辑1。在clkc等于1时,比较器220可以将所获取的信号与DAC输出信号进行比较。信号clkc可以保持在1状态达任何合适的时间量。

[0043] 每个信号sel_i选择SAR控制器230的寄存器的位,其中,sel_0选择MSB并且sel_N-1选择LSB。在一些实施方式中,当sel_i被设置为1时,可以基于由比较器220执行的比较的结果来更新寄存器的第i位。在一些实施方式中,MSB可以由clk例如由clk的下降沿触发。举例来说,当提供clk的下降沿时,sel_0可以切换至1。在一些实施方式中,除了MSB之外的所有其他位被异步触发。例如,当sel_0被切换至1时,sel_0的沿例如上升沿可以触发任何合适持续时间的clkc脉冲(包括上升沿,随后是下降沿)。clkc的下降沿又可以触发sel_1以切换至1状态。类似地,sel_1可以触发clkc,clkc又可以触发sel_2。该方法可以继续直到达到LSB。可以例如通过调节clkc脉冲的持续时间来调整相继位之间的延迟。然而,可以使用任何其他合适的技术来延迟位。

[0044] 根据本申请的各方面,时钟信号clk可以被用于触发仅数字字的子集。例如,clk可以只触发MSB,而所有其他位可以由前一位触发。因此,与同步逐次逼近ADC相比,可以放宽对与时钟信号的重复率相关联的要求。

[0045] 图3示出了控制信号clk_adc、clk、clks、clkc和sel_i——其中,i可以呈0与N-1之间的任何值——可以如何被用于驱动ADC 200的非限制性示例。然而,替代上述控制信号或除了上述控制信号之外,可以使用任何其他合适的控制信号。所有控制信号都可以由上升

沿或下降沿进行沿触发,或者可替代地可以由脉冲触发。

[0046] 举例来说,图4示出了根据本申请的各方面的输入电压 V_{in} 的非限制性模数转换。在非限制性示例中,提供了模拟输入电压的8位表示。然而,可以使用任何数目的位。在非限制性示例中, V_{in} 可以呈现 V_{ref} 与 $V_{ref}/2$ 之间的电压,并且ADC可以被配置成使得初始DAC输出电压被设置为 $V_{ref}/2$ 。因此,在时间 t_0 处启动转换之前,寄存器的值可以等于“10000000”,其中,第一数字表示MSB。在 t_0 与 t_1 之间,可以执行 V_{in} 与 V_{dac} 之间的比较,其中, V_{dac} 表示DAC输出电压。在非限制性示例中,因为 V_{in} 大于 V_{dac} ,所以MSB保持在1状态。根据时间图表示出的数字表示出了寄存器在时间 t_i 之后的内容。正在更新的最新位被示出为在表中加下划线。在 t_1 与 t_2 之间可以执行第二比较。在非限制性示例中,因为 V_{dac} 大于 V_{in} ,所以第二位保持在0状态。在 t_2 与 t_3 之间可以执行第三比较。在非限制性示例中,因为 V_{in} 大于 V_{dac} ,所以第三位被设置为1。转换可以迭代地继续,直到达到LSB。

[0047] 图5示出了根据本申请的各方面的执行数模转换的方法。方法500可以例如当由SAR控制器230接收到信号 adc_clk 的上升沿时在步骤502处开始。在步骤504处,寄存器可以被设置为“10000000”。在非限制性示例中,可以用8位长字来执行数字表示。然而,可以使用任何数目的位。不管寄存器的长度如何,MSB可以被设置为1,并且所有其他位可以被设置为0。在步骤506处,可以由采样和保持210来接收 $clks$ 的沿,并且可以对模拟输入电压进行采样和存储。在步骤508处,比较器220可以通过由 $clks$ 的沿触发的信号 clk_c 进行选通。触发沿可以是下降沿。在步骤510处,比较器220可以确定是 V_{in} 大于 V_{dac} 还是 V_{dac} 大于 V_{in} 。在前一情况下,第 i 位可以被设置为1,否则第 i 位可以被设置为0。在步骤514处,SAR控制器230可以确定第 i 位是否是LSB。如果第 i 位不是LSB,则在步骤516处可以通过将 sel_i+1 设置为1来选择第 $i+1$ 位。如图3所示,第 $i+1$ 位的选择可以通过 clk_c 的沿异步执行。在步骤518处,可以通过DAC 240来执行数模转换。随后,方法500可以执行另一迭代,并且可以将 V_{dac} 的更新值与 V_{in} 进行比较。否则,如果第 i 位是LSB,则可以完成采样的模拟电压的转换。在步骤520处,该方法确定是否完成了模数转换。如果没有完成模数转换,则该方法可以从步骤504继续,并且可以捕获并转换模拟输入的新样本。

[0048] 此外,节省的时间量可以是显著的。在典型的逐次逼近模数转换器中,执行转换所需的时间可能受到用于对电路定时的时钟的重复率的限制。在一些实施方式中,利用本文中描述的类型异步逐次逼近模数转换器可以通过去除等待后续时钟沿花费的不必要的空闲时段来提供大量的时间节省。在一些实施方式中,利用本文中描述的类型异步逐次逼近模数转换器可以提供高达10%的时间节省、高达25%的时间节省、高达50%的时间节省,或者这样的范围内的任何范围或值(取决于ADC)。

[0049] 在一些实施方式中,可以提供耦接至超声换能器的多个逐次逼近寄存器(SAR)模数转换器(ADC)。

[0050] 由此已经描述了本申请的技术的若干方面和实施方式,但是要理解的是,本领域普通技术人员将容易想到各种改变、修改和改进。这样的改变、修改和改进意在落入本申请中描述的技术的精神和范围内。因此,要理解的是,前述实施方式仅以示例的方式呈现,并且在所附权利要求及其等同物的范围内,可以以与具体描述不同的方式来实践本发明实施方式。

[0051] 如所描述的,一些方面可以被呈现为一个或更多个方法。可以以任何适合的方式

对作为方法的一部分执行的动作进行排序。因此,可以构造其中以不同于所示出的次序来执行动作的实施方式,其可以包括同时执行即使在说明性实施方式中示出为顺序动作的一些动作。

[0052] 如本文中定义和使用的所有定义应当被理解成掌控了词典定义、通过引用合并的文献中的定义、以及/或者所定义术语的普通含义。

[0053] 如本文中在说明书和权利要求书中所使用的短语“和/或”应当被理解为意指如此结合的要素——即在一些情况下结合地存在并且在其他情况下分离地存在的要素——中的“任一者或两者”。

[0054] 如本文中在说明书和权利要求书中所使用的,关于一个或更多个要素的列表的短语“至少一个”应当被理解成意指从要素列表中的要素的任何一个或更多个中选择的至少一个要素,但是不一定包括要素列表内具体列出的每种和每个要素中的至少一个,并且不排除要素列表中的要素的任何组合。

[0055] 如本文中所使用的,除非另有说明,否则在数值背景下使用的术语“在……与……之间”是包括性的。例如,除非另有说明,否则“在A与B之间”包括A和B。

[0056] 在权利要求书中,以及在以上说明书中,所有过渡性短语如“包括”、“包含”、“带有”、“具有”,“含有”、“涉及”、“持有”、“由……构成”等要被理解成是开放式的,即意味着包括但不限于。只有过渡性短语“由……组成”和“基本上由……组成”分别应该是封闭或半封闭的过渡性短语。

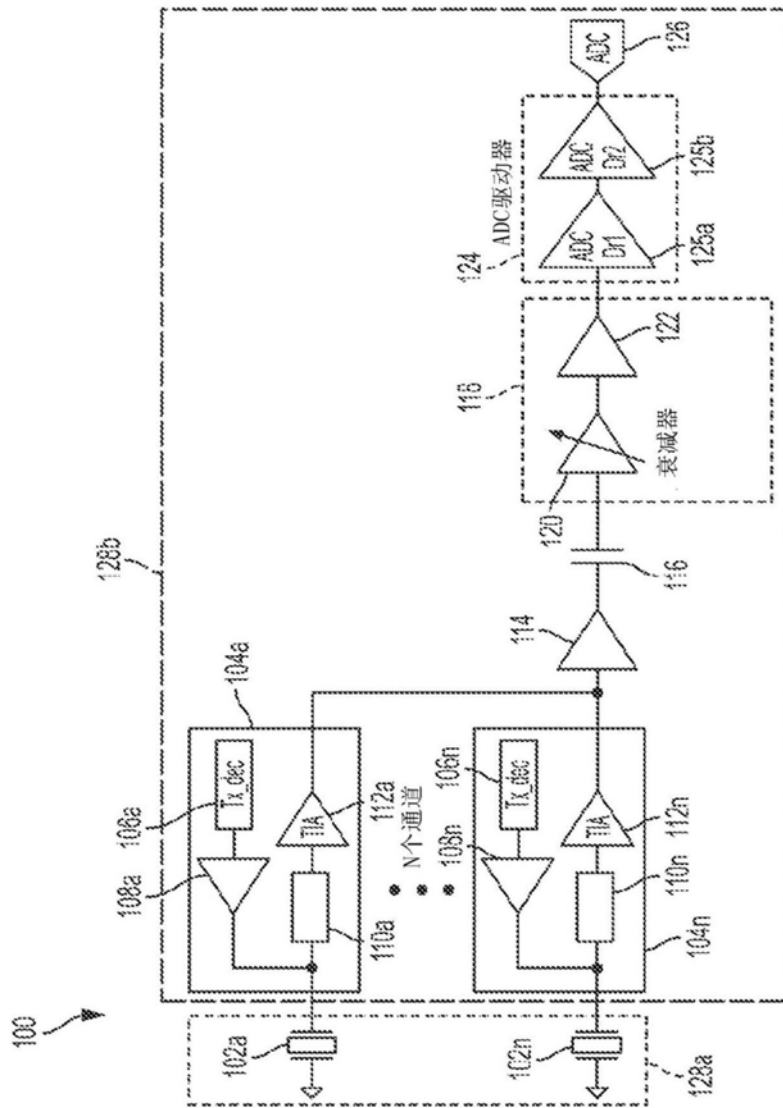


图1

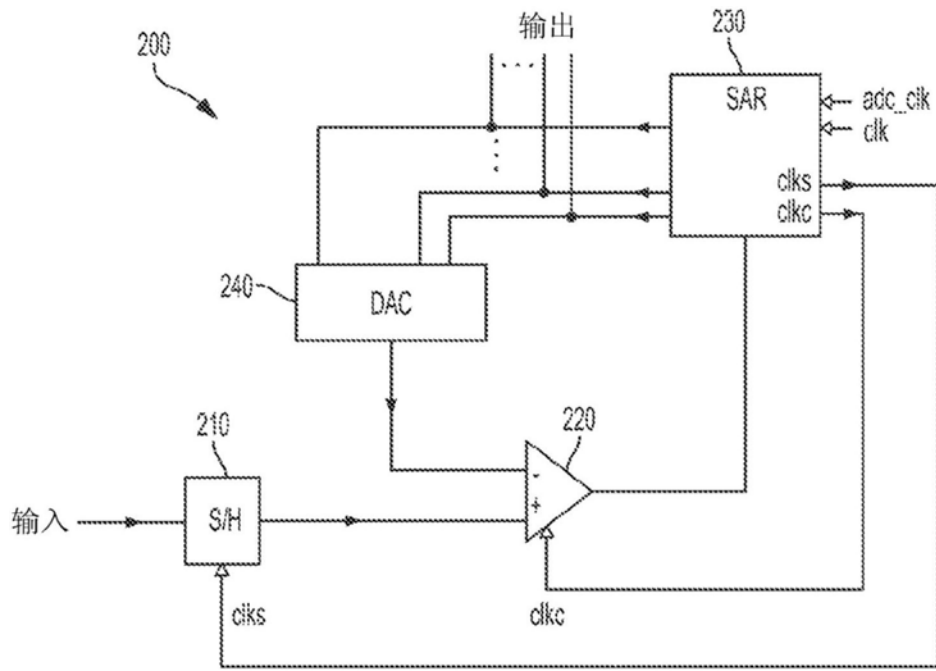


图2

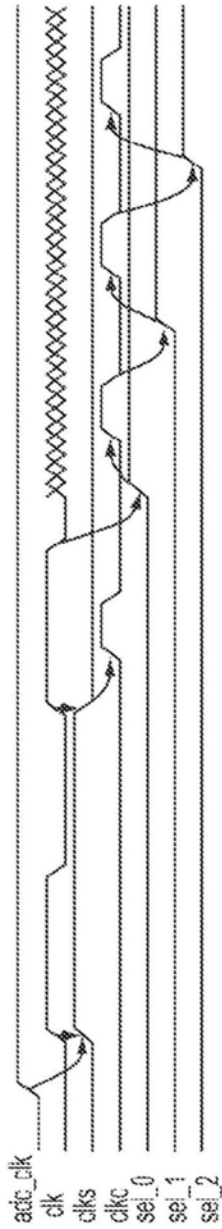


图3

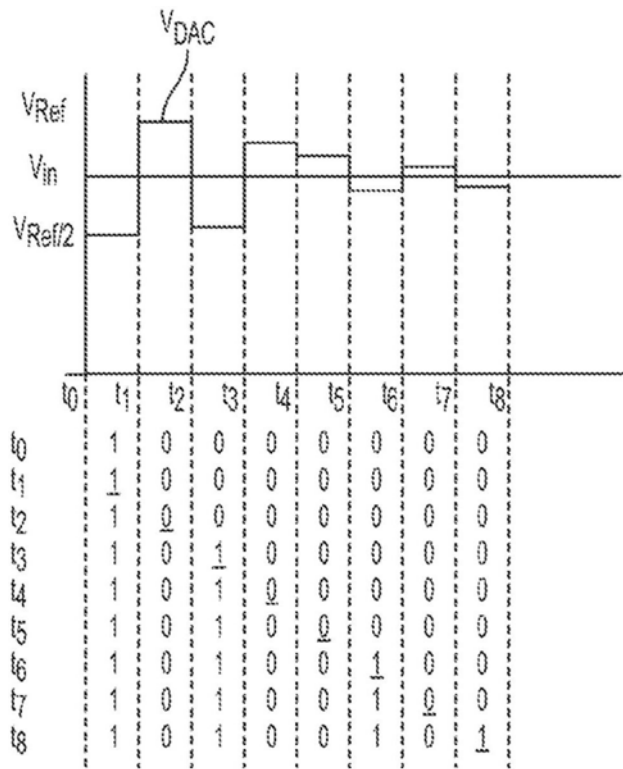


图4

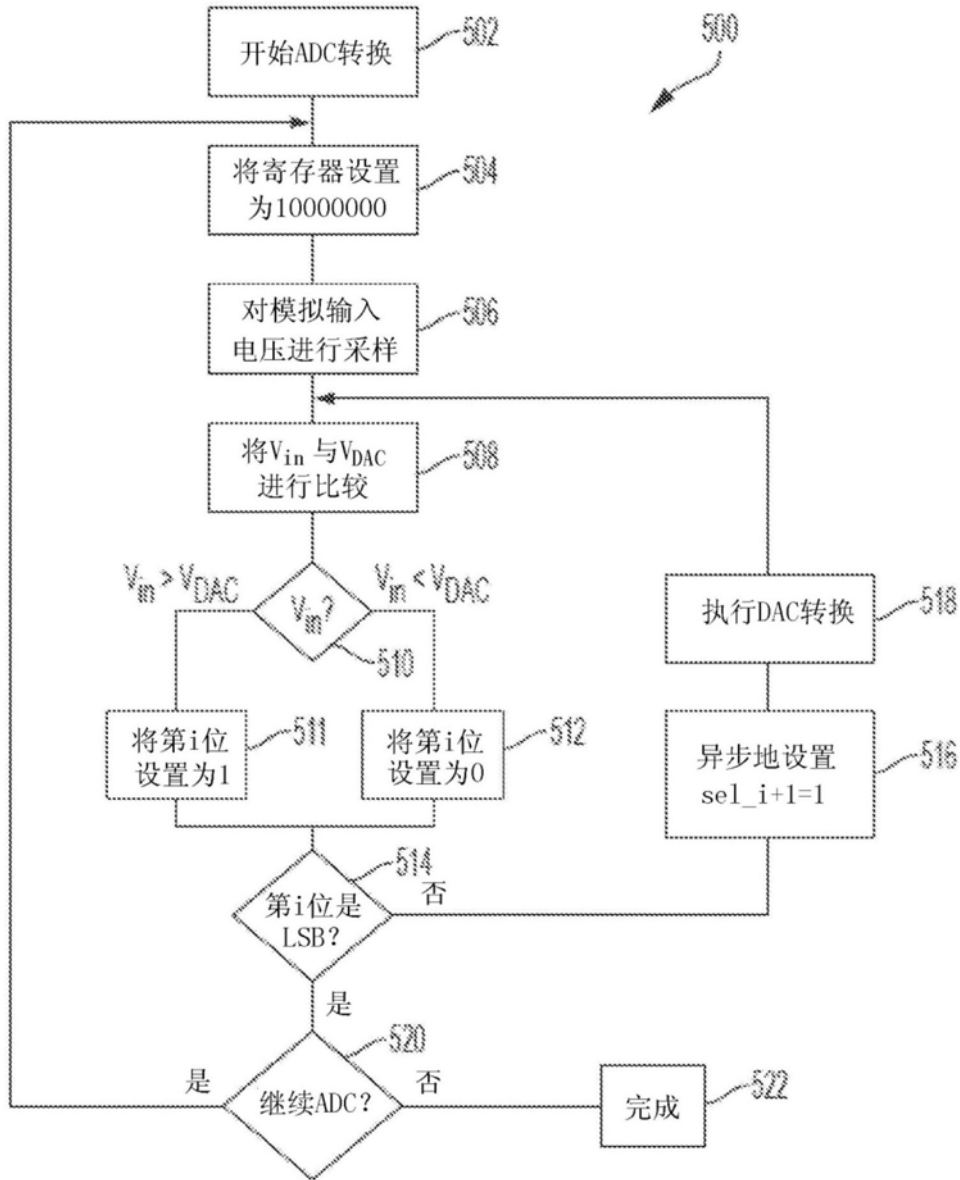


图5

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 异步逐次逼近模数转换器及相关方法和装置 | | |
| 公开(公告)号 | CN108476023A | 公开(公告)日 | 2018-08-31 |
| 申请号 | CN201680070411.5 | 申请日 | 2016-12-01 |
| [标]申请(专利权)人(译) | 蝴蝶网络有限公司 | | |
| 申请(专利权)人(译) | 蝴蝶网络有限公司 | | |
| 当前申请(专利权)人(译) | 蝴蝶网络有限公司 | | |
| [标]发明人 | 陈凯亮 泰勒S拉尔斯顿 | | |
| 发明人 | 陈凯亮 泰勒·S·拉尔斯顿 | | |
| IPC分类号 | H03M1/12 A61B8/14 | | |
| CPC分类号 | A61B8/4483 A61B8/54 H03M1/125 H03M1/462 A61B8/4494 H03M1/002 | | |
| 代理人(译) | 康建峰 陈炜 | | |
| 优先权 | 14/957418 2015-12-02 US | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

提供了一种包括异步逐次逼近模数转换器的超声设备和方法。该设备包括：至少一个超声换能器；耦接至少一个超声换能器的多个异步逐次逼近寄存器(SAR)模数转换器(ADC)，多个异步SAR中的至少一个异步SAR具有采样和保持级、数模转换器(DAC)、比较器以及控制电路，其中，至少一个位转换之后的DAC更新事件与多个ADC中的至少一个其他ADC的相应DAC更新事件同步。

