



(12) 发明专利申请

(10) 申请公布号 CN 104306027 A

(43) 申请公布日 2015. 01. 28

(21) 申请号 201410675185. 6

(22) 申请日 2014. 11. 21

(71) 申请人 中国医学科学院生物医学工程研究所

地址 300192 天津市南开区南开区白堤路 236 号

(72) 发明人 王延群 方思敏 周盛 王晓春 叶青盛

(74) 专利代理机构 天津市北洋有限责任专利代理事务所 12201

代理人 杜文茹

(51) Int. Cl.

A61B 8/14(2006. 01)

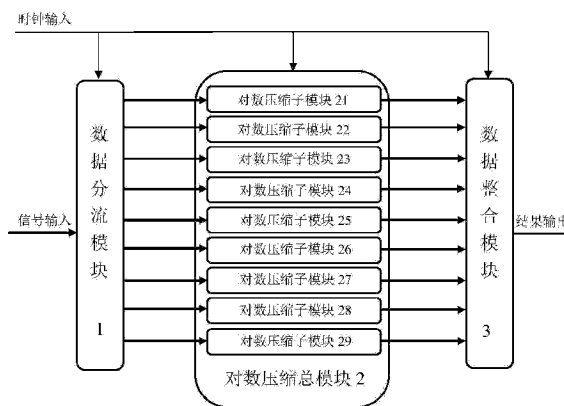
权利要求书2页 说明书5页 附图2页

(54) 发明名称

基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法

(57) 摘要

一种基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法,在 FPGA 上分别建立与数据输入信号相连的数据分流模块,与数据分流模块输出相连的对数压缩总模块,以及与对数压缩总模块的输出相连的数据整合模块,其中,对数压缩总模块是由与数据分流模块的 N+1 个输出通道个数相同的对数压缩子模块构成, N 是数据整合模块所输出的压缩结果的位数。本发明能够实现每个时钟上升沿到来时,都有一个对数压缩结果输出,保证超声回波数字信号在对数压缩处理时的实时性。对数压缩能有效压缩输入信号的动态变化范围,增强小信号,并且达到实时处理的要求。其中 ROM 所需要的空间是 2^8 x 16bit,能够有效减少硬件资源的占用。



1. 一种基于FPGA的医用超声诊断仪实时对数压缩电路构建法,其特征在于,在FPGA上分别建立与数据输入信号相连的用于将待压缩的输入数据分成N+1路数据输出的数据分流模块,与所述的数据分流模块输出相连用于将N+1路通道的数据分别同时进行对数压缩运算,并将N+1个对数压缩结果进行输出的对数压缩总模块,以及与对数压缩总模块的输出相连将N+1个对数压缩结果根据压缩前对应数据的先后顺序排列整合成一路信号的数据整合模块,其中,所述的对数压缩总模块是由与所述的数据分流模块的N+1个输出通道个数相同的对数压缩子模块构成,所述的N是数据整合模块所输出的压缩结果的位数。

2. 根据权利要求1所述的用于医用超声诊断仪的实时对数压缩电路的构建方法,其特征在于,所述的数据分流模块的构建方法是:

1) 将数据分流模块的N+1个输出通道分别与对数压缩总模块中N+1个对数压缩子模块的输入端对应相连;

2) 将待压缩的输入数据以每个时钟1个数据的频率输入所述数据分流模块;

3) 数据分流模块将第1个时钟的第1个数据从第1路通道输出,将第2个时钟的第2个数据从第2路通道输出,直到将第N+1个时钟的第N+1个数据从第N+1路通道输出后,将第N+2个时钟的第N+2个数据又重新从第1路通道输出,一直如此循环,直到超声诊断仪结束扫描。

3. 根据权利要求1所述的用于医用超声诊断仪的实时对数压缩电路的构建方法,其特征在于,所述的对数压缩总模块的构建方法是,每一个对数压缩子模块在接收到数据分流模块的每一个输出信号,都要经过N+1个时钟对所接收到的信号进行数据处理,然后输出到数据整合模块。

4. 根据权利要求3所述的用于医用超声诊断仪的实时对数压缩电路的构建方法,其特征在于,所述的数据处理包括:将用于控制时序的时钟信号分两路,一路通过一个非门进入只读存储器,另一路直接进入N位地址选择器,所述的只读存储器的输出端连接比较器的一个输入端,比较器的另一个输入端连接所述数据分流模块的相对应的输出端,所述比较器的两个输出端分别连接N位地址选择器的两个输入端,N位地址选择器的输出端连接所述的只读存储器的输入端,同时还构成对数压缩子模块的输出端。

5. 根据权利要求4所述的用于医用超声诊断仪的实时对数压缩电路的构建方法,其特征在于,所述的N位地址选择器的工作过程是:

在第1个时钟时,N位地址选择器中的地址复位为 2^{N-1} ;在第2个时钟时,N位地址选择器将比较器的输出结果锁存在N位地址选择器中地址的最高位,舍去最低位组成新地址;在第3个时钟时,N位地址选择器将比较器的输出结果锁存在N位地址选择器中地址的次高位,舍去最低位组成新地址;依次进行直至第N+1个时钟时,N位地址选择器将比较器的输出结果锁存在N位地址选择器中地址的最低位,组成新地址,所述新地址为对数压缩子模块输出的压缩结果。

6. 根据权利要求4所述的用于医用超声诊断仪的实时对数压缩电路的构建方法,其特征在于,所述的只读存储器的工作过程是:在只读存储器的存储表中设定x为存储值,y为存储表地址,则由对数运算曲线 $y = k \log_a(x+1)$ 求得x值,其中,y取值为 $0 \sim (2^N - 1)$,k和a为常数。

7. 根据权利要求1所述的用于医用超声诊断仪的实时对数压缩电路的构建方法,其特

征在于,所述的数据整合模块的构建方法是:

1) 将数据整合模块的N+1个输入通道分别与对数压缩总模块中N+1个对数压缩子模块的输出通道对应相连。

2) 数据整合模块在第1个时钟将第1个对数压缩子模块的压缩结果从输出通道输出,在第2个时钟将第2个对数压缩子模块的压缩结果从输出通道输出,直到在第N+1个时钟将第N+1个对数压缩子模块的压缩结果从输出通道输出,在第N+2个时钟将第N+2个对数压缩子模块的压缩结果从输出通道输出,一直如此循环,直到超声诊断仪结束扫描。

基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法

技术领域

[0001] 本发明涉及一种医用超声诊断仪实时对数压缩电路。特别是涉及一种基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法

背景技术

[0002] 医用超声诊断仪多用于对人体软组织进行实时、动态的断层成像。医用超声诊断系统通过超声换能器发射超声波,并同样通过换能器接收经过组织吸收、散射等衰减后反射回来的超声回波信号。回波信号经过 A/D 芯片转换成数字信号,在 FPGA 上完成滤波、检波、对数压缩等数字信号处理,来分别实现噪声抑制、信号解调和动态范围的压缩,最后送入后端系统显示超声图像。

[0003] 其中,对数压缩是超声回波信号处理中必不可少的一个过程。人体各软组织对超声的吸收系数为 0.6-0.7dB/cm. MHz,导致超声回波信号的动态范围达到 100dB 以上,难以在终端显示器显示。对数压缩利用非线性关系将大动态范围的信号进行压缩的同时,对能够反映人体结构细节的微弱回波信号相对其他强信号有拉伸效果,起到增加对比度的作用。传统的对数压缩采用查表法直接压缩,如果将 16 位的数据压缩为 8 位的数据,需要的查找表大小是 $2^{16} \times 8\text{bit}$,占用的硬件资源过大。中国专利基于 FPGA 的医学超声成像系统用解调和数压缩系统 (03104777.7) 中采用的对数压缩方法需要 9 个时钟才能得到一个压缩结果,而在这 9 个时钟期间输入的后 8 个待压缩数据将无法及时得到处理,应用到实际产品中时,会严重影响数据处理速度和成像实时性。

发明内容

[0004] 本发明所要解决的技术问题是,提供一种仅需要替换 ROM 中的数据便可实现不同曲线的压缩的基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法。

[0005] 本发明所采用的技术方案是:一种基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法,在 FPGA 上分别建立与数据输入信号相连的用于将待压缩的输入数据分成 N+1 路数据输出的数据分流模块,与所述的数据分流模块输出相连用于将 N+1 路通道的数据分别同时进行对数压缩运算,并将 N+1 个对数压缩结果进行输出的对数压缩总模块,以及与对数压缩总模块的输出相连将 N+1 个对数压缩结果根据压缩前对应数据的先后顺序排列整合成一路信号的数据整合模块,其中,所述的对数压缩总模块是由与所述的数据分流模块的 N+1 个输出通道个数相同的对数压缩子模块构成,所述的 N 是数据整合模块所输出的压缩结果的位数。

[0006] 所述的数据分流模块的构建方法是:

[0007] 1) 将数据分流模块的 N+1 个输出通道分别与对数压缩总模块中 N+1 个对数压缩子模块的输入端对应相连;

[0008] 2) 将待压缩的输入数据以每个时钟 1 个数据的频率输入所述数据分流模块;

[0009] 3) 数据分流模块将第 1 个时钟的第 1 个数据从第 1 路通道输出,将第 2 个时钟的

第 2 个数据从第 2 路通道输出,直到将第 N+1 个时钟的第 N+1 个数据从第 N+1 路通道输出后,将第 N+2 个时钟的第 N+2 个数据又重新从第 1 路通道输出,一直如此循环,直到超声诊断仪结束扫描。

[0010] 所述的对数压缩总模块的构建方法是,每一个对数压缩子模块在接收到数据分流模块的每一个输出信号,都要经过 N+1 个时钟对所接收到的信号进行数据处理,然后输出到数据整合模块。

[0011] 所述的数据处理包括:将用于控制时序的时钟信号分两路,一路通过一个非门进入只读存储器,另一路直接进入 N 位地址选择器,所述的只读存储器的输出端连接比较器的一个输入端,比较器的另一个输入端连接所述数据分流模块的相对应的输出端,所述比较器的两个输出端分别连接 N 位地址选择器的两个输入端, N 位地址选择器的输出端连接所述的只读存储器的输入端,同时还构成对数压缩子模块的输出端。

[0012] 所述的 N 位地址选择器的工作过程是:

[0013] 在第 1 个时钟时, N 位地址选择器中的地址复位为 2^{N-1} ; 在第 2 个时钟时, N 位地址选择器将比较器的输出结果锁存在 N 位地址选择器中地址的最高位,舍去最低位组成新地址; 在第 3 个时钟时, N 位地址选择器将比较器的输出结果锁存在 N 位地址选择器中地址的次高位,舍去最低位组成新地址; 依次进行直至第 N+1 个时钟时, N 位地址选择器将比较器的输出结果锁存在 N 位地址选择器中地址的最低位,组成新地址,所述新地址为对数压缩子模块输出的压缩结果。

[0014] 所述的只读存储器的工作过程是:在只读存储器的存储表中设定 x 为存储值, y 为存储表地址,则由对数运算曲线 $y = k \log_a(x+1)$ 求得 x 值,其中, y 取值为 $0 \sim (2^N - 1)$, k 和 a 为常数。

[0015] 所述的数据整合模块的构建方法是:

[0016] 1) 将数据整合模块的 N+1 个输入通道分别与对数压缩总模块中 N+1 个对数压缩子模块的输出通道对应相连。

[0017] 2) 数据整合模块在第 1 个时钟将第 1 个对数压缩子模块的压缩结果从输出通道输出,在第 2 个时钟将第 2 个对数压缩子模块的压缩结果从输出通道输出,直到在第 N+1 个时钟将第 N+1 个对数压缩子模块的压缩结果从输出通道输出,在第 N+2 个时钟将第 N+2 个对数压缩子模块的压缩结果从输出通道输出,一直如此循环,直到超声诊断仪结束扫描。

[0018] 本发明的基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法,采用 FPGA 能够重复改变组态的电路,满足大数据量复杂运算的高速处理。本发明能够实现每个时钟上升沿到来时,都有一个对数压缩结果输出,保证超声回波数字信号在对数压缩处理时的实时性。对数压缩能有效压缩输入信号的动态变化范围,增强小信号,并且达到实时处理的要求。其中 ROM 所需要的空间是 $2^8 \times 16\text{bit}$,能够有效减少硬件资源的占用。本发明仅需要替换 ROM 中的数据便可实现不同曲线的压缩,具有很好地可移植性。

附图说明

[0019] 图 1 是本发明的整体结构示意图;

[0020] 图 2 是对数运算曲线图;

[0021] 图 3 是本发明中对数压缩子模块的结构示意图。

[0022]	图中	
[0023]	1 :数据分流模块	2 :对数压缩总模块
[0024]	21 ~ 29 :对数压缩子模块	3 :数据整合模块
[0025]	210 :只读存储器	211 :比较器
[0026]	212 :N 位地址选择器	213 :非门

具体实施方式

[0027] 下面结合实施例和附图对本发明的基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法做出详细说明。

[0028] 首先说明对数压缩本质上来说就是利用对数运算曲线 $y = k \log_a(x+1)$, ($a > 1$) 对输入信号 x 进行非线性的调制, a 的取值决定了曲线的形状, k 的取值取决于输入信号 x 的位数。如图 2 所示, 所述对数运算曲线是一条单调递增的曲线, 那么当 $x_1 < x_2$ 时, 必有 $y_1 < y_2$ 成立, 其中 y_1 、 y_2 分别对应当 x 取 x_1 、 x_2 时 $y = k \log_a(x+1)$ 的值。

[0029] 如图 1 所示, 本发明的基于 FPGA 的医用超声诊断仪实时对数压缩电路构建法, 在 FPGA 上分别建立与数据输入信号相连的用于将待压缩的输入数据分成 $N+1$ 路数据输出的数据分流模块, 与所述的数据分流模块输出相连用于将 $N+1$ 路通道的数据分别同时进行对数压缩运算, 并将 $N+1$ 个对数压缩结果进行输出的对数压缩总模块, 以及与对数压缩总模块的输出相连将 $N+1$ 个对数压缩结果根据压缩前对应数据的先后顺序排列整合成一路信号的数据整合模块, 其中, 所述的对数压缩总模块是由与所述的数据分流模块的 $N+1$ 个输出通道个数相同的对数压缩子模块构成, 所述的 N 是数据整合模块所输出的压缩结果的位数。

[0030] 在本发明的实施列中, 所述的 FPGA 可以采用 ALTERA 公司生产的 Cyclone IV 系列中型号为 EP4CE55F23C8 的芯片。

[0031] 所述的数据分流模块的构建方法是: 1) 将数据分流模块的 $N+1$ 个输出通道分别与对数压缩总模块中 $N+1$ 个对数压缩子模块的输入端对应相连; 2) 将待压缩的输入数据以每个时钟 1 个数据的频率输入所述数据分流模块; 3) 数据分流模块将第 1 个时钟的第 1 个数据从第 1 路通道输出, 将第 2 个时钟的第 2 个数据从第 2 路通道输出, 直到将第 $N+1$ 个时钟的第 $N+1$ 个数据从第 $N+1$ 路通道输出后, 将第 $N+2$ 个时钟的第 $N+2$ 个数据又重新从第 1 路通道输出, 一直如此循环, 直到超声诊断仪结束扫描。

[0032] 对数压缩子模块就是利用对数函数的单调性, 通过比较输入数据与预存数据大小依次判断压缩结果的各个位数, 实现对数压缩。如果将 M 位数据压缩为 N 位数据, 并用 Y_N 、 $Y_{N-1} \cdots Y_1$ 表示压缩结果 Y 的各个位数, 第一次比较输入数据与 $X_{100 \cdots 0}$ ($X_{100 \cdots 0}$ 表示当 $y = 100 \cdots 0$ 时, x 的取值; $100 \cdots 0$ 表示最高位为 1, 其余位为 0 的数) 的大小判断压缩结果的最高位 Y_N , 若输入数据大于 $X_{100 \cdots 0}$, Y_N 为 1; 反之, Y_N 为 0。第二次比较输入数据与 $X_{Y_N 100 \cdots 0}$ ($Y_N 100 \cdots 0$ 表示最高位为 Y_N , 次高位为 1, 其余位为 0 的数) 的大小判断次高位 Y_{N-1} , 若输入数据大于 $X_{Y_N 100 \cdots 0}$, Y_{N-1} 为 1; 反之, Y_{N-1} 为 0。如此重复判断, 直到第 N 个时钟比较出最低位 Y_1 的值, 并在第 $N+1$ 个时钟将最终压缩结果 “ $Y_N Y_{N-1} \cdots Y_1$ ” 输出。

[0033] 所述的对数压缩总模块的构建方法是, 每一个对数压缩子模块在接收到数据分流模块的每一个输出信号, 都要经过 $N+1$ 个时钟对所接收到的信号进行数据处理, 然后输出

到数据整合模块。如图 3 所示,所述的数据处理包括:将用于控制时序的时钟信号分两路,一路通过一个非门 213 进入只读存储器 (ROM) 210,另一路直接进入 N 位地址选择器,所述的只读存储器的输出端连接比较器 211 的一个输入端,比较器 211 的另一个输入端连接所述数据分流模块 1 的相对应的输出端,所述比较器 211 的两个输出端分别连接 N 位地址选择器 212 的两个输入端,N 位地址选择器 212 的输出端连接所述的只读存储器 210 的输入端,同时还构成对数压缩子模块的输出端。其中,

[0034] 所述的 N 位地址选择器的工作过程是:在第 1 个时钟时,N 位地址选择器中的地址复位为 2^{N-1} ;在第 2 个时钟时,N 位地址选择器将比较器的输出结果锁存在 N 位地址选择器中地址的最高位,舍去最低位组成新地址;在第 3 个时钟时,N 位地址选择器将比较器的输出结果锁存在 N 位地址选择器中地址的次高位,舍去最低位组成新地址;依次进行直至第 N+1 个时钟时,N 位地址选择器将比较器的输出结果锁存在 N 位地址选择器中地址的最低位,组成新地址,所述新地址为对数压缩子模块输出的压缩结果。

[0035] 所述的只读存储器的工作过程是:在只读存储器的存储表中设定 x 为存储值,y 为存储表地址,则由对数运算曲线 $y = k \log_a(x+1)$ 求得 x 值,其中,y 取值为 $0 \sim (2^N - 1)$,k 和 a 为常数。

[0036] 所述的数据整合模块的构建方法是:1) 将数据整合模块的 N+1 个输入通道分别与对数压缩总模块中 N+1 个对数压缩子模块的输出通道对应相连。2) 数据整合模块在第 1 个时钟将第 1 个对数压缩子模块的压缩结果从输出通道输出,在第 2 个时钟将第 2 个对数压缩子模块的压缩结果从输出通道输出,直到在第 N+1 个时钟将第 N+1 个对数压缩子模块的压缩结果从输出通道输出,在第 N+2 个时钟将第 N+2 个对数压缩子模块的压缩结果从输出通道输出,一直如此循环,直到超声诊断仪结束扫描。

[0037] 下面给出一个具体的实例:

[0038] 待压缩数据位数 $M = 16$,对数压缩结果位数 $N = 8$ 。

[0039] 数据分流模块用于将待压缩的输入数据分成 9 路数据输出。所述待压缩的输入数据以每个时钟一个数据的频率输入所述数据分流模块,所述数据分流模块将第 1 个时钟的第 1 个数据从第 1 路通道输出;将第 2 个时钟的第 2 个数据从第 2 路通道输出;直到将第 9 个时钟的第 9 个数据从第 9 路通道输出后,将第 10 个时钟的第 10 个数据重新从第 1 路通道输出;一直如此循环,直到超声诊断仪结束扫描。

[0040] 所述数据分流模块的 9 个输出通道分别与对数压缩总模块中 9 个对数压缩子模块相连,如第一个对数压缩子模块在第一个时钟接收到第一个数据,在第 9 个时钟输出第一个数据的压缩结果,并在下个时钟也就是第 10 个时钟接收第 10 个数据参与压缩运算;其他对数压缩子模块的工作模式同所述的第一个对数压缩子模块相似。

[0041] 所述对数压缩子模块电路连接如图 3 所示,具体实现过程如下:

[0042] 第一个时钟上升沿锁存一个输入数据,同时复位信号使地址选择器复位为“10000000”,则下降沿从 ROM 输出地址为“10000000”的 $X_{10000000}$,与输入数据在比较器中进行比较;

[0043] 第二个时钟上升沿来临时,第一个时钟的比较结果 Y_8 (若输入数据大于 ROM 读取数据, Y_8 为 1;反之, Y_8 为 0) 锁存在地址选择器中地址的最高位,组成新地址“ $Y_81000000$ ”,下降沿时根据新的地址在 ROM 中读取新的值输入到比较器,与原输入数据进行第二次比

较,得到次高位 Y_7 ;

[0044] 在第三个时钟上升沿时,地址选择器中地址的最高位锁存 Y_8 不变,次高位锁存第二次比较结果 Y_7 ,组成新地址“ $Y_8Y_71000000$ ”,下降沿时根据新的地址在 ROM 中读取新的值输入到比较器,与原输入数据进行第三次比较,得到第三高位 Y_6 ;

[0045] 重复锁存并组合新的地址,直到第九个时钟时由地址选择器得到结果“ $Y_8Y_7Y_6Y_5Y_4Y_3Y_2Y_1$ ”。

[0046] 当第十个时钟上升沿到来时,重新锁存一个刚刚由数据分流模块过来的待压缩输入数据,同时复位信号使地址选择器复位为“ 10000000 ”,重复以上步骤,得到压缩结果。

[0047] 其中,在 ROM 存储表中地址为 Q 的 X_Q 代表当 $y = Q$ 时, x 的值,可由对数运算曲线 $y = k \log_a(x+1)$ 求得。

[0048] 每当有新的数据输入,也就是复位信号复位时,对数压缩子模块便根据上述过程计算对数压缩结果,同时所述对数压缩总模块中 9 个对数压缩子模块的对数压缩结果输出与数据整合模块相连,所述数据整合模块将输入的对数压缩结果按多对应的输入数据的输入先后顺序排列以每个时钟一个结果的频率将最终压缩结果输出,实现实时对数压缩。

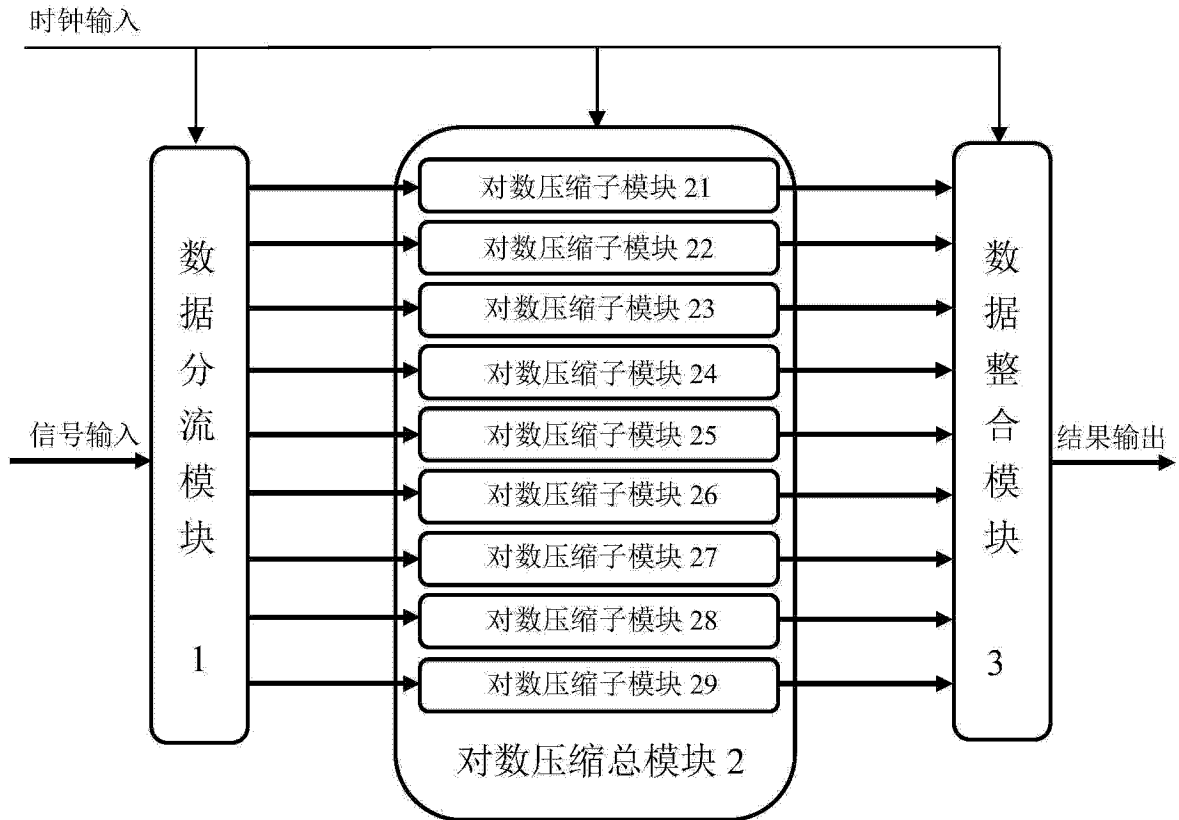


图 1

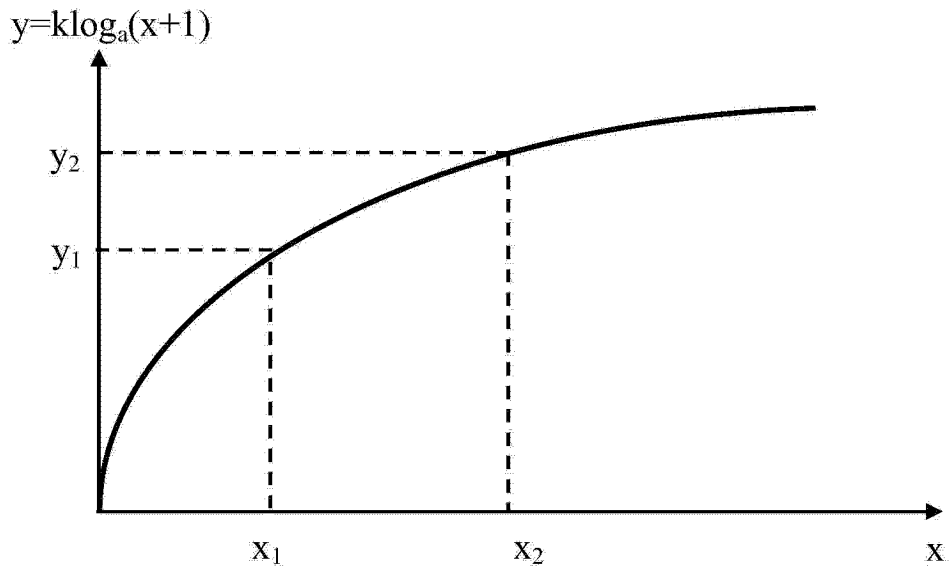


图 2

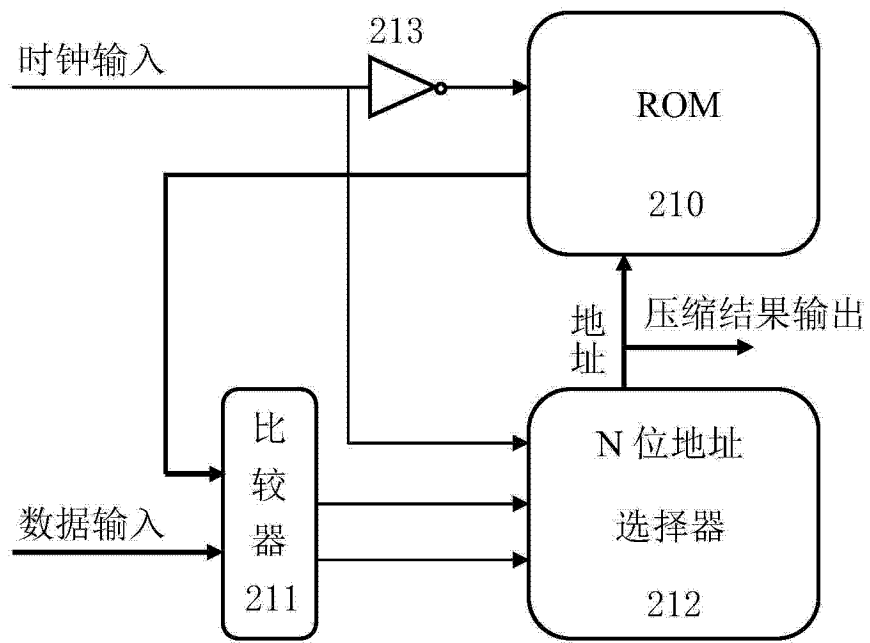


图 3

专利名称(译)	基于FPGA的医用超声诊断仪实时对数压缩电路构建法		
公开(公告)号	CN104306027A	公开(公告)日	2015-01-28
申请号	CN201410675185.6	申请日	2014-11-21
[标]申请(专利权)人(译)	中国医学科学院生物医学工程研究所		
申请(专利权)人(译)	中国医学科学院生物医学工程研究所		
当前申请(专利权)人(译)	中国医学科学院生物医学工程研究所		
[标]发明人	王延群 方思敏 周盛 王晓春 叶青盛		
发明人	王延群 方思敏 周盛 王晓春 叶青盛		
IPC分类号	A61B8/14		
CPC分类号	A61B8/14 A61B8/5207 A61B8/5223		
其他公开文献	CN104306027B		
外部链接	Espacenet SIPO		

摘要(译)

一种基于FPGA的医用超声诊断仪实时对数压缩电路构建法，在FPGA上分别建立与数据输入信号相连的数据分流模块，与数据分流模块输出相连的对数压缩总模块，以及与对数压缩总模块的输出相连的数据整合模块，其中，对数压缩总模块是由与数据分流模块的N+1个输出通道个数相同的对数压缩子模块构成，N是数据整合模块所输出的压缩结果的位数。本发明能够实现每个时钟上升沿到来时，都有一个对数压缩结果输出，保证超声回波数字信号在对数压缩处理时的实时性。对数压缩能有效压缩输入信号的动态变化范围，增强小信号，并且达到实时处理的要求。其中ROM所需要的空间是28×16bit，能够有效减少硬件资源的占用。

